



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월26일
(11) 등록번호 10-1215425
(24) 등록일자 2012년12월18일

(51) 국제특허분류(Int. Cl.)

H01L 21/027 (2006.01)

(21) 출원번호 10-2005-0085840

(22) 출원일자 2005년09월14일

심사청구일자 2010년05월20일

(65) 공개번호 10-2006-0051300

(43) 공개일자 2006년05월19일

(30) 우선권주장

10/941,665 2004년09월14일 미국(US)

(56) 선행기술조사문헌

JP2003142583 A*

JP2004111626 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에이저 시스템즈 엘엘시

미합중국 펜실베이니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110

(72) 발명자

케르, 대니얼 찰스

미국 플로리다 32836, 올란드, 위크햄 웨이 9381

루체, 로스코 티.

미국 플로리다 32744, 키심미, 레이크뷰 드라이브 1516

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 6 항

심사관 : 오순영

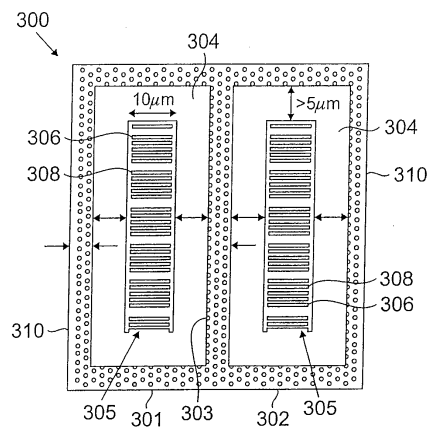
(54) 발명의 명칭 개선된 매칭을 위한 가드 링

(57) 요약

반도체 제조 방법은 하나 이상의 장치들이 제조된 내부 영역을 규정하는 레벨링 가드 링을 형성하는 것을 포함한다. 임의의 실시예들에서, 공통 중심 레이아웃에 있는 두 개 이상의 매칭된 장치들은 내부 영역에 제조된다. 가드 링은 특정 처리 단계 동안 적어도 하나의 특정 층상에 형성된다. 로컬 피쳐들의 상승부 차들의 효과를 압도하는 가드 링에 의해, 최종적으로 도포된 포토레지스트는 내부 영역을 가로질러 더욱 균일한 높이를 가져서, 결국 더욱 균일한 장치들을 형성한다.

몇몇 실시예에서, 매칭된 장치들의 각각의 어레이들을 둘러싸는 다수의 가드 링들은 서로 로컬적이지 않도록 이격된다. 각각의 가드 링들에 의한 평등화 효과에 기초하여, 내부 영역들에 배열된 각각의 장치들은 멀리 이격된 가드 링들 내에서 등가의 장치들에 더욱 평평하게 매칭된다. 따라서, 양측 로컬 및 글로벌 매칭이 달성된다.

대표도 - 도3a



(72) 발명자

제미슨, 미첼 마리

미국 플로리다 32771, 셴포드, 이스트 20 스트리트
806

첸, 알란 상곤

미국 플로리다 34786, 윈더미어, 인게보그 코트
2828

러셀, 윌리엄 에이.

미국 플로리다 32819, 올란도, 에지-오-그로브
6440

특허청구의 범위

청구항 1

반도체 웨이퍼를 제조하는 방법에 있어서:

- a. 제 1 특정 영역 내의 피쳐들을 포함하는 집적 회로 피쳐들의 배열을 설계하는 단계;
- b. 상기 제 1 특정 영역 내에 포토레지스트를 유지하기 위한 높이까지 반도체 웨이퍼의 상기 제 1 특정 영역 둘레에 제 1 레벨링 가드 링을 형성하는 단계;
- c. 상기 제 1 특정 영역 내 및 상기 제 1 레벨링 가드 링 상에 포토레지스트 층을 도포하는 단계로서, 상기 포토레지스트는 상기 제 1 특정 영역 내의 빈 용적(unoccupied volume)을 채우는, 상기 도포하는 단계; 및
- d. 상기 제 1 특정 영역 내의 피쳐들을 규정하기 위해 상기 포토레지스트 층을 이미징(imaging)하는 단계를 포함하는, 반도체 웨이퍼 제조 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 특정 영역 내의 포토레지스트 두께의 균일성에 대한 주변 피쳐들의 상승부들(elevations)의 효과를 감소시키기 위해, 포토레지스트의 유동 효과를 부과하는 높이로 상기 제 1 레벨링 가드 링을 형성하는 단계를 포함하는, 포토레지스트 두께 변화 감소 방법.

청구항 4

제 3 항에 있어서,

상기 높이는 상기 집적 회로 피쳐들 상의 포토레지스트-유동-방해 구성요소들(photoresist-flow-disturbing components)의 높이와 동일한, 포토레지스트 두께 변화 감소 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 레벨링 가드 링을 통해 상호접속 피쳐들을 추가하는 단계를 더 포함하는, 포토레지스트 두께 변화 감소 방법.

청구항 6

제 1 항에 있어서,

상기 제 1 레벨링 가드 링 상에 상호접속 피쳐들을 추가하는 단계를 더 포함하는, 포토레지스트 두께 변화 감소 방법.

청구항 7

제 1 항에 있어서,

적어도 하나의 부가적인 특정 영역 둘레에 적어도 하나의 부가적인 레벨링 가드 링을 형성하고, 상기 적어도 하나의 부가적인 특정 영역에 두 개 이상의 장치들의 어레이를 제조하는 단계를 더 포함하는, 포토레지스트 두께 변화 감소 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0018] 본 발명은 일반적으로 반도체 제조 분야에 관한 것이다. 특히, 본 발명은 로컬 및 글로벌 매칭을 제공하는 반

도체 웨이퍼 표면상 피쳐 설계를 위한 방법들 및 시스템들에 관한 것이다.

- [0019] 포토리소그래피는 집적 회로들(IC들)을 제조하기 위하여 사용되는 가장 빈번하게 사용되는 반도체 웨이퍼 처리 기술들 중 하나이다. 포토리소그래피는 패터닝을 위하여 반도체 웨이퍼 표면에 복잡한 회로 구조의 패턴(즉, 사진 전사를 통하여)을 형성하기 위한 처리를 포함한다. 이들 패턴들은 중첩된 다수의 층들을 형성하기 위하여 노출 및 처리 단계들의 연속으로 웨이퍼상에 형성된다. IC 장치들을 위한 제조 처리들은 균일한 피쳐들(feature)을 형성하기 위하여 웨이퍼 표면에 이들 패턴들의 극히 정밀한 재생에 의존한다. 포토리소그래피에 의한 피쳐들의 형성시 특정 정확도 및 정밀도는 로컬 및 글로벌(즉, 칩) 레벨에서 특정 피쳐들의 적절한 성능 매칭을 위하여 필요하다. 정확도 및 정밀성의 중요도는 산업의 트렌드인 피쳐 크기 감소와 함께 증가한다.
- [0020] 각각의 포토리소그래피 단계 동안, 의도되지 않은 편차들은 웨이퍼 표면의 칩 영역들상에 전사되는 포토마스크 이미지를 왜곡시키도록 일반적으로 유도된다. 이들 편차들은 전사되는 패턴의 특성, 칩 영역들의 토포그래픽 상승부 및 다양한 다른 처리 파라미터들에 따른다. 처리 편차들은 반도체 장치의 성능에 악영향을 미친다. 특히, 포토레지스트 층이 스핀 코팅에 의해 웨이퍼 표면에 증착될때, 포토레지스트 층 두께의 균일성은 칩 영역들의 토포그래픽 상승부에 기여하는 피쳐들의 밀도 및 배열에 의해 왜곡되는 것을 알려졌다. 예를 들어, 하나의 영역에서 로컬 피쳐들이 비교적 밀집되고 인접 영역의 피쳐들이 상대적으로 덜 밀집되면, 포토레지스트 층의 상부 표면은 빈번하게 밀집 영역에서 덜 밀집 영역으로 아래쪽으로 기울어진다. 게다가, 포토레지스트 두께는 피쳐들의 다양한 밀도들 및 배열들에 따라 불규칙적으로 변화할 수 있다. 따라서 경사 영역 또는 불규칙한 포토레지스트 두께 영역에서 레지스터들 같은 다수의 유사한 피쳐들은 상기 피쳐들의 불균일한 크기들 및 성능을 유발한다. 예를 들어, 다른 밀도들, "상부(upstream)" 피쳐들(즉, 포토레지스트 소스쪽)의 모양들 및/또는 높이들의 효과들로 인해, 포토레지스트 두께는 두 개의 적당하게 매칭된 레지스터들의 각각에 대해 변화할 것이다. 따라서, 하나의 레지스터는 다른 의도적으로 매칭된 레지스터가 더욱 좁은 전체 라인폭을 가지는 동안 전체적으로 더욱 넓은 도전체 라인폭을 가질 수 있다. 이것은 두 개의 의도적으로 매칭된 레지스터들(즉, 장치들의 로컬 미스매칭)의 불균일한 성능을 유발한다.
- [0021] 이러한 예 및 보다 일반적인 측면에서, 웨이퍼상에 패턴들 및 피쳐들을 형성하는 포토리소그래피 처리는 웨이퍼 토포그래픽 상승부에 민감하다. 포토레지스트의 증착된 토포그래픽 상승부의 차이는 비교적 긴(그러나 여전히 로컬인) 거리에 걸쳐 포토레지스트 두께 변화를 유발할 수 있다. 상기 포토레지스트 두께 변화는 주어진 패턴에 대한 사양으로부터 라인폭 또는 다른 변화를 유도한다. 사양으로부터 이러한 변화는 사양으로부터 성능 차를 유발하고, 상기 차이는 포토레지스트 두께 변화를 포함하는 영역에 다중 장치들이 형성될때 명백하다. 이것은 장치들의 로컬 미스매칭을 유발한다. 본 명세서에 참조로써 통합된 다음 공개물, 1994년 3월 "매칭 테스트 구조들의 설계(Design of Matching Test Structures,)" H.P. Tuinhout, Proc. IEEE 1994 Int'l. Conference on Microelectronic Test Structures, 7권 21-23쪽 외에 다수의 미스 매칭들을 기술한다.
- [0022] 당업자는 불규칙한 칩 토포그래피(topography)에서의 유동으로 인한 포토레지스트 두께의 변화를 처리했다. 비교적 작은 공간 크기상에서 점차적인 포토레지스트 두께 변화 및 다른 인자들 영향을 감소시키거나 제거하기 위한 종래 방식은 특히 더미(dummy)들을 이용한 맞물린 핑거들을 이용하여 공통 중심 레이아웃에 장치를 배열하는 것이다. 중심은 질량 중심으로 일반적으로 정의된다. 2개의 장치들의 공통 중심 배열은 예를 들어 각각의 장치들의 피쳐들이 배열되어 양쪽 장치들이 동일한 질량 중심을 가질때 발생한다. 칩 설계시 종종 다중의 유사한 세그먼트들(즉, 핑거들)의 어레이는 하나의 장치를 포함하고, 이것은 양쪽 장치들이 동일한 중심(즉, 공통 중심)을 가지는 패턴의 제 2 유사한 장치를 가진 특정 패턴으로 배열된다.
- [0023] 공통 중심 레이아웃은 일차원 또는 이차원일 수 있다. 일차원 공통 중심 레이아웃은 소위 배열된 장치들이 공통 대칭 축을 공유하도록 각각의 세그먼트들의 대칭 패턴을 형성하기 위하여 배열된다. 예를 들어, 도 1a는 세그먼트들(ABBA)로 배열된 매칭된 장치들(A 및 B)을 도시하고, 여기에 두 개의 B 세그먼트들 사이에 공통 대칭축(10)이 존재한다. 이들 장치들은 공통 대칭축(10)의 중심에 "X"로 표시된 중앙 공통 중심을 공유한다. 통상적으로, 두 개의 A 세그먼트들이 외부에 있기 때문에, 세그먼트들을 레벨링하는 것은 각각의 세그먼트가 기하구조들의 유사한 배열 다음에 있도록 하는 순서로 부가된다(이에 의해 유사한 네스트 바이어스 처리). 다른 일차원 공통 중심 패턴은 ABABAB로서 도시된다. 여기서, 하나의 A 및 하나의 B 세그먼트는 단부 세그먼트들을 포함한다. 이차원 공통 중심 레이아웃은 서로맞물린 패턴으로부터 두 개의 그 축들을 유도한다. 예들은 도 1b 및 1c에 도시된다.
- [0024] 그러나, 공통 중심 레이아웃들의 장치들은 포토레지스트 두께 변화들에 의해 유발되는 라인폭 변화에 영향을 받는다. 상기 두께 변화는 포토레지스트 층 아래에 놓이도록(즉, "하부 피쳐들(underlying features)") 로컬 피

처들로부터 평평하지 않은 유동 및 다른 효과들로 인한 변화에 의해 유발될 수 있다. 게다가, 글로벌 매칭, 즉 집적 회로상에서 서로 일정한 거리 이격된 장치들(또는 장치들의 어레이들)의 성능 등가성은 매칭된 성능을 가지도록 설계된 예를 들어 두 개의 비교적 먼 장치들(또는 장치들의 어레이들) 근처에 여러 로컬 토포그래픽 상승부가 있을 때 발생할 수 있다. 허용할 수 있는 성능을 제공하기 위하여 매칭된 장치들의 대칭 및 정밀도의 중요성은 레지스터들, 캐패시터들 및 트랜지스터들과 같은 많은 장치 형태들에서 인식된다.

[0025] 매칭된 장치들에 사용되는 추후 영역에서 포토레지스트 두께에 영향을 미칠 수 있는 다중의 비교적 가까운 피쳐들의 존재에 대해, 제공된 설계들은 상기 근처 하부 피쳐들의 랜덤하고 복잡한 효과를 유발한다. 이것은 포토레지스트가 어떻게 적용되는가의 고려시 더욱 잘 이해된다. 통상적으로 포토레지스트는 분당 1,000 및 8,000 회전들 사이 같은 스피닝(spinning)으로 웨이퍼 상에 도포된다. 포토레지스트의 특정 조성물 및 점도, 스핀 속도, 및 온도 및 다른 인자들의 총 효과들에 기초하여, 웨이퍼 표면에 걸쳐 포토레지스트 층의 두께는 특정 고정된 값으로 도달한다. 두꺼운 폴리실리콘의 큰 블록과 같은 웨이퍼의 비교적 균일한 영역에 걸쳐, 상기 영역 및 포토레지스트의 인가 지점 사이에 근처 상승된 피쳐들이 존재하지 않는 경우 포토레지스트 두께는 상기 고정된 값으로 도달한다. 이것은 "평평한-웨이퍼 등가 두께(flat-wafer equilibrium thickness)"로 고려될 수 있다.

[0026] IC 웨이퍼들에 도포된 포토레지스트 층들의 통상적인 두께는 약 1.0 미크론의 크기 정도로 비교적 얇다는 것이 주의된다. 표면 장력, 전하 효과들 및 상호작용들과 같은 물리적/화학적 효과들, 및 포토레지스트 두께에서 일반적인 유동성들은 포토레지스트 두께가 비교적 두꺼운 층들의 작용에 기초하여 예상하지 않은 방식으로 작용하는 것이 인식된다. 이러한 특정 환경의 측면에서, 본 발명은 종래 기술에 비해 진보되었다.

[0027] 특히, 본 명세서에 기술되고 청구된 레벨링 가드 링은 개선된 로컬 및/또는 글로벌 매칭을 더욱 잘 보장하기 위하여 토포그래픽 상승부 및 장치 레이아웃에서 개선 필요성을 만족시킨다. 이것은 피쳐들의 크기 요구들이 매우 작아지므로 매우 중요하고, 하나 이상의 비교적 근처의 하부 피쳐들이 포토레지스트 층 두께를 중대하게 왜곡할 수 있는 가변적 설계 배열들을 제공하기 때문에 매우 중요하다.

발명이 이루고자 하는 기술적 과제

[0028] 여러가지 중에서 본 발명의 독립적이고 분리된 목적들은 하나 이상의 장치들이 공통 중심 패턴에 배열된 매칭된 장치들과 같이, 배열되는 하나의 영역을 둘러싸는 가드 링 구조를 포함하는 토포그래픽 상승부를 설계하고 실행함으로써 반도체 제조 처리들을 합리화하고, 제조 수율을 증가시키고, 더욱 큰 정확도 및/또는 정밀도에 대한 필요성을 해결하고, 처리 정확도 및/또는 정밀도를 개선하는 것이다.

발명의 구성 및 작용

[0029] 본 발명의 실시예에서, 레벨링 가드 링은 공통 중심 레이아웃에 장치들의 어레이가 제조되는 영역 둘레에 형성된다. 다른 실시예에서, 레벨링 가드 링은 그 안에 배열된 하나 이상의 장치들이 공통 중심 레이아웃과 다른 레이아웃에 배열되는 영역 주변에 형성된다.

[0030] 본 발명의 다른 실시예에서, 반도체 칩상에서 이격된 두 개 이상의 레벨링 가드 링들은 공통 중심 레이아웃에 장치들의 어레이를 포함한다. 하나의 상기 이격된 가드 링내의 장치들은 다른 이격된 가드 링내의 하나 이상의 장치들에 기능적으로 매칭된다. 가드 링들이 각각 내부에 배치된 장치 어레이들을 제공하는 포토레지스트 두께의 상대적 균일성을 증가시키면, 더욱 큰 성능 균일성, 또는 매칭이 이들 매칭된 장치들을 위하여 달성된다.

[0031] 보다 일반적으로, 본 발명은 내부 영역을 형성하는 가드 링 구조에 대한 적절한 위치를 결정하고 상기 구조를 형성하는 것에 관한 것이다. 하나 이상의 층들에 의해 형성되면, 본 발명의 가드 링은 이후 도포되는 포토레지스트의 유동 효과를 충분히 부당한 높이를 가지며, 그후 결과적으로 도포된 포토레지스트는 내부 영역을 가로질러 더욱 균일한 높이를 가진다. 포토레지스트가 도포된 후, 포토리소그래피 처리는 더욱 균일하게 두꺼운 포토레지스트를 가진 장치들의 피쳐들을 내부 영역에 형성하거나 완성한다. 상기 더욱 균일한 포토레지스트에 형성된 트랜치들 및 다른 피쳐들의 라인폭들은 결과적으로 더욱 균일하다. 또한, 임의의 실시예들에서, 내부 영역에 매칭된 장치들은 발생할 수 있는 바와 같이 임의의 불균일한 포토레지스트 두께들 및 다른 인자들이 상기 모든 매칭된 장치들에 비교적 평평하게 분배되도록 공통 중심 배열로 배열된다.

[0032] 게다가, 임의의 실시예들에서 매칭된 장치들의 각각의 어레이들을 둘러싸는 하나 이상의 가드 링들은 서로 로컬적이 아니도록 이격된 칩의 표면에 걸쳐 배열된다. 각각의 가드 링들의 등가 효과에 기초하여, 내부 영역들에 배열된 각각의 장치들은 멀리 이격된 가드 링들에 등가 장치들과 더욱 균일하게 매칭된다. 따라서, 로컬 및 글로벌 매칭 모두는 본 발명의 방법들 및 시스템을 실행하여 달성된다.

- [0033] 본 발명의 다른 측면들, 장점들 및 목적들은 첨부된 도면들을 고려하여 다음 상세한 설명에 제공된다.
- [0034] 신규한 것으로 믿어지는 본 발명의 특징들은 첨부된 청구항들에 특히 나타난다. 그러나, 구조 및 동작 방법에 관한 본 발명 자체는 다음 상세한 설명 및 첨부 도면들을 참조하여 가장 잘 이해될 수 있다.
- [0035] 본 발명의 레벨링 가드 링 기술은 가드 링의 레벨링 효과가 더욱 균일한 포토레지스트 두께를 제공하는 영역들을 둘러싸는 가드 링들의 형성을 제공한다. 본 발명의 가드 링은 통상적으로 웨이퍼 칩들상 다른 피쳐들의 형성 동안 형성된다. 가드 링이 하나 또는 두 개의 층들로 형성될 수 있지만, 또한 다중 층들로 형성될 수 있다. IC 제조에 일반적으로 사용된 어떠한 제조 기술들은 레벨링 가드 링들을 형성하기 위하여 사용되고, 공통 기술이 주의된다. 즉, 적층은 에칭 다음이고, 그에 따라 칩 표면상에 가드 링들 및 다른 피쳐들을 포함하는 필수적으로 균일한 높이의 원하는 피쳐들을 남긴다.
- [0036] 본 발명의 가드 링은 "레벨링 가드 링(leveling guard ring)"이라 불릴 수 있다. 명세서를 통하여 사용된 바와 같이, "레벨링 가드 링"은 또한 "가드 링" 또는 "본 발명의 가드 링"이라 한다.
- [0037] 본 발명은 본 발명의 가드 링에 의해 형성된 영역에서 포토레지스트 두께상 특정 웨이퍼 토폰그래픽 상승부의 원하지 않는 효과를 감소시키거나 제거한다. 특정 실시예들에서, 본 발명의 가드 링은 공통 중심 레이아웃내에 장치들의 어레이가 제조된 후 하나의 영역 둘레에 형성된다. 그렇게 형성된 가드 링은 관심 영역(가드 링내에 있는 영역) 근처에 다양한 밀도들 및/또는 모양들로 인해, 상기 영역에서 포토레지스트 두께상 바람직하지 못한 변화를 유발할 것으로 예상되는 가드 링내의 포토레지스트 두께가 제어되고 다수의 로컬 하부 피쳐들의 영향과 비교하여 더욱 균일하게 이루어지는 포토레지스트 유동에 대해 대칭성을 부여한다.
- [0038] 본 명세서에 사용된 바와 같이 더욱 균일한 포토레지스트 두께는 레벨링 가드 링의 벽 근처에 두께를 가변시키는 전이 존(transition zone)이 존재할 수 있다는 것을 고려한다. 즉, "상부(upstream)" 가드 링 벽(즉, 스핀 코팅 동안 포토레지스트의 소스에 가장 근접한 벽)에 인접하고 그 내부에 있는 포토레지스트의 높이는 본 명세서에 정의된 바와 같이 '평평한-웨이퍼 등가 두께'보다 두꺼운 것으로 기대된다. 상기 영역 내부쪽으로 더, 포토레지스트 두께는 '평평한-웨이퍼 등가 두께'쪽으로 점차로 경사질 수 있다. 이것은 가드 링 벽들에 비교적 인접하여 가드 링내의 피쳐들을 배치하기 위한 임의의 실시예들의 설계 기준을 따른다. 이들 비교적 밀접한 피쳐들은 가드 링에 의해 보다 예측 가능하게 이루어지는 포토레지스트 두께에 영향을 받는다.
- [0039] 예를 들어, 도 2a는 (포토레지스트의 유동에 대한 관계에서) 피쳐(210) 상부와와의 인접한 관계에서, 계획된 피쳐들(205)을 포함하는 본 발명의 가드 링의 평면도를 도시한다. 도 2b는 가드 링을 갖는 그리고 가드 링이 없는 포토레지스트 층(230)의 상부 표면 및 상대적 높이의 도식적 비교를 도시한다. 가드 링을 갖는 포토레지스트 상부 표면(232)은 도시되는 바와 같이 짙은 선이고, 가드 링이 존재하지 않을 때의 예상되는 포토레지스트 상부 표면(234)은 점선으로 도시된다. 도 2c는 본 발명의 가드 링(200) 및 피쳐(210) 상부의 측면도를 도시하는 도 2a의 축 A-A'을 따라 취해진 단면도를 도시한다. 가드 링(200) 이내의, 도 2a에 도시된 계획된 피쳐들(205)이 아직 제조되지 않고 설계된 것이고 그에 따라 도 2c에 도시되지 않는다는 것을 유의하라.
- [0040] 도 2c는 존재하는 피쳐(210) 및 가드 링 상부 벽(214) 및 하부 벽(216) 상에 패턴화될 제 2 층(212)을 지시한다. 화살표는 제 2 층(212) 상의 피쳐들을 이미징하기 위해 사용될 포토레지스트의 유동의 방향을 지시한다. 도 2b에서의 비교에서 지시된 바와 같이, 가드 링(200)으로 인해 포토레지스트 상부 표면(232)은 (가드 링(200)이 존재하지 않는다면) 234와 비교하여 가드 링 업스트림 벽(214)과 가드 링 다운스트림 벽(216) 사이에서 더욱 높고 더욱 균일하다. 이는 결과적으로 가드 링(200) 내의 더욱 균일한 포토레지스트 두께(234와 비교하여)는 (즉, 제 2 층(212)에 대해) 도 2c에 도시되는 포토레지스트(230)를 사용하는 포토리소그래픽 처리 동안 가드 링(200) 내에 제작되는 피쳐들의 정합성을 개선한다.
- [0041] 따라서, 포토레지스트 두께의 일부 변화가 본 발명의 가드 링 내의 영역 내에 여전히 국한될 수 있다는 것이 인식될지라도, 가드 링 벽들 내부의 변화는 포토레지스트가 하부에 놓이는 다른 밀도들 및 간격들의 다수의 로컬 피쳐들보다 오히려 가드 링 벽들의 균일한 효과에 의해 제어 및 개선된다. 특히, 특정 실시예들에서, "상부" 벽은 이들 벽들 사이의 거리가 이완 길이(relaxation length)(즉, 포토레지스트 평평한 웨이퍼 등가 두께에 도달하는 거리) 미만이도록 '하부(downstream)'에 대향하여 밀접하다. 예를 들어, 벽-대-벽-대-벽(wall-to-wall-to-wall)(거리는 이완 길이가 약 50 마이크로미터일 때 약 15 마이크로미터이거나, 대안적으로 약 25 마이크로미터일 수 있다. 게다가, 비록 포토레지스트 두께가 가드 링 내부에서 변화하더라도, 거리에 따른 포토레지스트 두께 프로파일은 특히 서로 맞물린 레이아웃을 가진 공통 중심 설계의 사용에 의해 특정 실시예들에서 제거된다. 따라서, 본 발명의 레벨링 가드 링의 사용은 가드 링 레이아웃이 실질적으로 가드 링 외측 토폰그래픽

상승부에 실질적으로 둔감하기 때문에(즉, 가드 링 돌출부(perturbation)는 개별적이고 가변되는 로컬 피쳐들의 돌출부들 위에 놓임), 공통 중심 레이아웃을 단독으로 사용하는 것의 단점을 극복한다.

[0042] 특히, 본 발명의 가드 링들은 가드 링의 배치가 가드 링 내의 포토레지스트 두께의 균일성에 대한 주변 피쳐들의 상승부들의 효과를 감소시키거나 제거하도록 둘레 피쳐들에 대한 높이, 및 풋프린트 및 모양을 가진다. 주어진 바와 같이, 가드 링의 높이는 한층, 두층들, 또는 더욱 많은 수의 층들에 가드 링을 형성함으로써 달성될 수 있다. 특정 이론에 제한되지 않고, 더욱 균일한 포토레지스트 두께는 피쳐들 아래에 놓이는 로컬 인접 비평평 효과들이 포토레지스트가 그위에서 흐를때(즉, 하나의 가드 링 벽에서) 감소되거나 제거되고 가드 링 구조에 의해(즉, 반대 벽에서) 유지될때 달성된다.

[0043] 본 명세서에 사용된 바와 같이, 상승된 피쳐들로부터 로컬 효과는 평균 200 미크론으로 얻어지고, 200 미크론들 이상으로 떨어진 가드 링들은 서로 영향을 미치지 않는, 즉 비로컬적인 대신 글로벌하게 관련된다.

[0044] 따라서, 본 발명의 가드 링들의 사용은 추후 포토리소그래피 동안 더욱 정확하고 정밀한 결과들을 위하여 제공한다. 포토리소그래피가 반도체 제조시 수행되는 다수의 중대한 처리들중 하나인 것이 인식된다. 반도체 재료들이 이들 처리들을 통하여 행해질때, 품질, 제조 수율 및 제조 비용에 직접 영향을 미치는 장치 크기들을 결정하기 때문에 정확하게 포토리소그래피를 수행하는 것은 필수적이다. 포토리소그래피는 또한 절연체들, 도전체들 및 반도체 재료들의 다수의 중첩된 층을 형성하기 위하여 노출/처리 단계들의 연속시 반복되기 때문에 중요한 처리이다.

[0045] 포토리소그래픽 처리는 대부분 일괄적으로 제조되는 다수의 또는 "로트(lot)"의 웨이퍼들에서 발생한다. 대표적인 포토리소그래픽 처리는 다음 단계들을 포함한다:

- [0046] · 각각의 웨이퍼는 스핀 코팅과 같은 것에 의해 그 표면에 도포된 포토레지스트 재료를 가진다.
- [0047] · 웨이퍼들은 마스크를 사용하여 자외선 광 같은 에너지 소스에 노출되고, 포토레지스트상에 원하는 패턴을 형성하기 위하여 포토레지스트를 노출시킨다.
- [0048] · 포토레지스트는 현상액(developer solution)을 도포하여 현상된다.
- [0049] · 패턴들(즉, 이미지들)은 적당한 리소그래피 또는 고정 방법에 의해 안정화된다.
- [0050] · 각각의 웨이퍼는 에칭된다.
- [0051] · 나머지 포토레지스트는 추후에 제거된다.

[0052] 포토레지스트 재료들은 포지티브 또는 네가티브 포토레지스트 화학물들로부터 선택될 수 있다. 광학 타입 레지스트들의 이들 넓은 분류들은 Peter Van Zant 1997 McGraw Hill("Zant reference")에 의한 "마이크로칩 제조(Microchip Fabrication)," 3차 편집본에 기술된다. 상기 요약된 포토리소그래피 단계들을 포함하는 본 명세서에 참조된 특정 제조 단계들에 대한 이들 기술들 및 다른 기술들은 특히 참조로써 통합된다. 보다 일반적으로, 모든 특허들, 특허 출원들, 특허 공개들, 및 모든 다른 공개 인용들은 만약 각각의 개별 공개물 또는 특허 출원이 전체적으로 특정하고 개별적으로 나타나는 것과 동일한 범위로 참조에 의해 통합된다.

[0053] 상기된 바와 같이, 포토리소그래픽 처리 동안 다양한 소스들로부터의 원하지 않는 편차는 패턴화된 회로의 일부를 형성하기 위하여 칩 표면에 전사되는 포토마스크 이미지를 왜곡시키도록 도입될 수 있다. 즉, 패턴화된 회로를 형성하기 위한 이미지들은 포토마스크 이미지의 본래 크기 및 모양에서 벗어난다. 이들 편차들 중 몇몇은 포토레지스트의 두께 차를 발생시킨다. 논의된 바와 같이, 포토레지스트 두께 차의 한가지 원인은 더욱 밀집된 상승된 피쳐들의 영역으로부터 밀집되지 않거나 더욱 덜 밀집된 상승된 피쳐들의 영역으로 유동에 의해 포토레지스트 표면이 경사지는 것이다. 매칭되는 장치들이 제조되는 영역(즉, 도포 동안 포토레지스트의 영역 및 소스 사이)의 특히 "상부"에 밀집되고 및/또는 다수의 상승된 피쳐들이 있을때, 이들 피쳐들은 매칭된 장치들에 대한 영역을 가로질러 지속하는 포토레지스트의 궁극적 두께 및 유동의 돌출부들을 제공할 수 있다. 이러한 포토레지스트 두께의 비균일 효과는 상기 영역에서 장치들의 빈약한 매칭을 유발할 수 있는 비균일 장치 피쳐들을 발생시킨다.

[0054] 도 2d는 웨이퍼 표면상 포토레지스트 두께 편차의 예를 제공한다. 도 2d는 제조 동안 웨이퍼의 섹션(250)의 스캐닝 전자 마이크로그래프이다. 영역 A에서 폴리실리콘(즉, 다결정 실리콘) 피쳐(252)는 인접 영역 B, 및 레지스터 층(253)을 포함하는 로컬 영역 C보다 상승된다. 포토레지스트(206)가 피쳐(252)에 걸쳐 인가될때, 포토레지스트(256)는 피쳐(252) 상부쪽으로 돌출된다. 포토레지스트(256)의 표면(208)은 도 2d에서 다소 높지 않고

도 2d의 우측으로 이동하여 피쳐(252)상 영역으로부터 층 높이가 점차 낮아진다. 포토레지스트(256)의 마스크 및 패터닝을 위하여, 포토레지스트(256)의 두께는 피쳐(252)상 영역으로부터 거리에 따라 변화한다.

[0055] 예를 들어, 영역 B의 하나의 포인트에서, 포토레지스트 두께는 1.22 마이크로미터로서 측정되고, 영역 C의 하나의 포인트에서 포토레지스트 두께는 1.17 마이크로미터로서 측정되고, 영역 D의 하나의 포인트에서, 상승된 종래 피쳐(202)에서 가장 멀게 측정되는 포인트에서, 포토레지스트 두께는 1.15 마이크로미터로서 측정된다. 상기 두께 변화는 영역 C와 같은 영역에서 제조되는 레지스터들과 같은 패턴화된 장치들의 라인폭 변화 및/또는 다른 편차들을 유발한다.

[0056] 청구항들을 포함하여 본 명세서에 사용된 바와 같이, 가드 링에 의해 가드 링이 적어도 하나의 특정 층의 형성 동안 형성되고, 가드 링에 의해 둘러싸인 영역내에 더욱 균일하게 포토레지스트 층이 분배되도록 하기 위하여 배치되고 제조되는 것이 나타난다. 본 발명의 가드링의 풋프린트, 높이, 및 전체 모양은 추후에 도포되는 포토레지스트 층이 가드 링 내의 영역에서 더욱 균일한 두께를 얻도록 한다. 이것은 가드 링의 높이가 실질적으로 포토레지스트 층의 최종 두께 미만일 때의 경우이다. 예를 들어, 제한되는 것은 아니지만, 약 30 퍼센트의 포토레지스트 평균 높이의 가드 링 높이는 그 경계내에 더욱 균일한 포토레지스트 두께를 제공하는데 효과적일 수 있다. 상기 높이는 패턴화된 회로(즉, 개별적 및 가변 방식으로 포토레지스트 유동을 교란하는 인접한 하부 피쳐들)상에 포토레지스트-유동-방해 구성요소들과 동일한 높이일 때 원하는 효과를 가진다.

[0057] 보다 일반적으로, 균일함이 목표되는 관심 영역 근처에 있는 종래 처리 단계들에서 제조된 피쳐들이 상기 영역에 영향을 미치고 본 발명의 가드 링이 이러한 바람직하지않은 효과를 극복할 수 있는 것이 인식된다. 예를 들어, 종래 처리 단계에서 제 1 폴리실리콘 층은 산화물 층상에 증착된다. 다음으로 상기 제 1 폴리실리콘층은 패턴화되고, 회로 설계에 따른 피쳐들을 남긴다. 특히, 이러한 피쳐들은 순차적으로 공급된 포토레지스트 층의 포토레지스트 두께에 영향을 미친다. 추후 단계에서, 제 2 폴리실리콘 층이 증착될 때, 제 1 폴리실리콘 층의 피쳐들에 증착될 것이다. 이것은 제 1 폴리실리콘 층 피쳐들상 및 주변에 제 2 폴리실리콘 층의 불규칙성(즉, 더욱 큰 높이)을 유발한다. 그 다음, 제 2 폴리실리콘 층이 패턴화될때, 불규칙성은 제 1 폴리실리콘 층 피쳐들 근처에 패턴화된 정확하고 정밀한 피쳐들에 악영향을 미칠 수 있다.

[0058] 도 3a는 공통 벽(303)을 공유하는 두 개의 인접한 가드 링들(301 및 302)을 포함하는 가드 링 레이아웃 스타일(300)의 일실시예의 이차원 도면을 제공한다. 각각의 가드 링(301 및 302)의 경계내에는 내재된 영역(304)이 있고, 여기에 패턴화된 회로 매칭 장치들(306 및 308)의 중앙에 배치된 어레이(305)가 형성된다. 매칭된 장치들(306 및 308)의 각각의 세트 또는 어레이(305)는 공통 중심 레이아웃에 배열된다. 특정 크기들 및 크기 관계들에 대해 제한되지 않지만, 도 3에 도시된 실시예는 5 마이크로미터 폭, 및 10 마이크로미터의 어레이 폭의 가드 링들(301 및 302)의 벽들(310)을 가진다.

[0059] 도 3b는 그 내부에 포함된 하나의 장치(327)를 가진 레벨링 가드 링(321)을 포함하는 레벨링 가드 링 레이아웃 스타일(320)의 이차원 도면을 제공한다. 도시된 장치는 두 개 이상의 장치들의 내재 구성이기보다 단일 장치이다. 예를 들어, 단일 장치는 특정한 미리결정된 전기 구성요소 특성에 적당히 부합하도록 구성된 어떠한 전기 회로 구성요소일 수 있다. 도 3c는 그 내부에 나란히 배열된 두 개의 장치들(347)을 가진 레벨링 가드 링(341)을 포함하는 레벨링 가드 링 레이아웃 스타일(34)의 이차원 도면을 제공한다. 도 3d는 그 내부에 나란히 배열된 다수의 장치들(367)을 가진 레벨링 가드 링(361)을 포함하는 레벨링 가드 링 레이아웃 스타일(360)의 이차원 도면을 제공한다. 도 3e는 그 경계내에 나란히 배열된 네개의 장치들(387)을 가진 각각 가드 링 인클로저(381)를 가지며 공통 벽들(383)을 가진 세개의 인접한 가드 링 인클로저(381)를 갖는 레벨링 가드 링 레이아웃 스타일(380)의 이차원 도면을 도시한다. 단일 장치 대신 이들 도면들에 도시된 각각의 장치는 내재된 패턴(도 3a에 도시됨)의 두 개의 장치들(여기에 제한되지 않음) 같은 두 개 이상의 장치들의 교번적 어레이일 수 있다는 것이 이해된다. 대안적으로, 도 3d 및 도 3e에 도시된 바와 같은 다중 장치들의 각각의 어레이들은 공통 중심 패턴으로 배열된 장치들의 어레이들의 구성요소들일 수 있다.

[0060] 도 3a 내지 도 3e에 도시된 토포그래피는 일반적으로 다음과 같이 기술된 몇몇 기본 단계들의 결과이다. 이들 단계들은 당분야에 잘 알려져있고 기술 상태를 개시하는 상세 처리 단계를 참조하여 특히 참조된 Zant reference, chapter 5-13에 완전히 기술된다. 반도체 웨이퍼상 집적 회로들의 제조시 일련의 단계들 동안, 적층 동작은 절연체, 폴리실리콘과 같은 반도체, 또는 도전체의 층을 제공한다. 상기 적층은 성장(즉, 산화), 증착(즉, 화학 기상 증착), 기화, 스퍼터링, 또는 어떠한 추후 개발된 기술에 의해 달성될 수 있다. 적당한 적층 방법 및 재료에 기초할 때, 패터닝 동작은 도 3에 도시된 바와 같은 원하는 수의 가드 링들을 패턴화한다. 논의된 바와 같이, 통상적으로 상기 패터닝 동안 다른 피쳐들은 칩상에 패턴화된다. 그 다음, 패터닝(및, 통상적

으로 에칭) 단계들의 완료후, 각각의 가드 링의 구조는 더욱 균일한 배리어, 또는 돌출부를 각각의 내부 영역 주변에 제공한다.

- [0061] 그후, 처리의 원하는 단계에서, 가드 링내에 장치들의 형성이 시작된다. 다른 예들에서, 이들 장치들의 구조 부분을 형성하는 종래 레벨은 이미 적층되었다. 상기 예들에서, 제조는 가드 링내에 더욱 균일한 포토레지스트 층을 계속 유지하고, 이것은 다음 제조 동작 동안 더욱 균일한 라인폭 두께를 제공한다.
- [0062] 예를 들어, 제한되는 것은 아니지만, 적층 동작은 공통 중심 레이아웃에서 두 개의 서로 맞물린 레지스터 장치들의 어레이를 완료하기 위한 패터닝 다음에 이루어진다. 게다가, 이들 및/또는 다른 단계들은 가드 링 내부 레지스터 장치들 및 가드 링 외부의 다른 피쳐들 사이에 도전 접속부들(제한되지 않지만 트랜치들에 의해)을 형성하기 위하여 사용될 수 있다. 임의의 상호접속을 위하여 대안적으로, 가드링은 관통(즉, 에칭 쓰로우)되거나, 보다 통상적으로 트랜치 또는 다른 접속은 가드 링의 상부상 레벨에 있을 수 있다. 대안적으로, 가드 링 아래에 형성된 도핑 영역들이 사용될 수 있다.
- [0063] 보다 일반적으로, 비록 본 발명의 가드 링이 궁극적으로 도전체 역할을 가지지만, 본 발명의 방법들 동안 가드 링의 주 목적은 흐르는 포토레지스트에 대하여 더욱 균일한 돌출부를 제공하기 위한 배리어를 제공하고(가변하고 여러가지의 근처 하부 구조들과 비교하여), 이에 따라 가드 링내에 더욱 균일한 포토레지스트 두께가 발생하는 것이다.
- [0064] 다른 실시예들에서, 본 발명의 가드 링은 이 어레이 부재들의 풋프린트, 간격 및 높이에 기초하여 포토레지스트 두께에 레벨링 효과를 가하기 위하여 하나의 영역 둘레에 미리 결정된 간격으로 이격된 트랜지스터들, 레지스터들, 캐패시터들 및 다이오드들과 같은 장치들의 어레이로 형성될 수 있다. 상기 실시예들에서, 가드 링을 형성하는 장치들의 어레이 사이의 어떠한 갭들은 포토레지스트 두께에 실질적인 영향을 갖지 않는다.
- [0065] 상기된 바와 같은 가드 링을 형성하는 대신, 가드 링은 기상 및 스퍼터링 같은 증착 처리들에 의해 금속 같은 도전층으로 형성될 수 있다. 또한, 비록 직사각형 및 정사각형이 일반적으로 사용된 가드 링의 모양들이지만, 다른 모양들은 사용되고 이는 본 발명의 범위내에 있다.
- [0066] 따라서, 일반적으로, 본 발명의 방법은 다음 단계들에 의해 요약될 수 있다.
- [0067] a. 제 1 특정 영역 주위에 레벨링 가드 링을 형성한다. 이것은 통상적으로 특정 제조 단계 동안 웨이퍼 표면에 걸쳐 다른 장치들상 피쳐들 형성동안 이루어지고 한번에 다중 레벨링 가드 링들을 형성하는 것을 포함할 수 있다. 예를 들어, 제한되는 것은 아니지만, 이러한 형성은 종래에 실행된 바와 같은 증착 및 관련 단계들에 의해 이루어질 수 있다. 주의된 바와 같이, 가드 링은 하나 이상의 층으로 형성될 수 있다.
- [0068] b. 웨이퍼 상에 포토레지스트를 도포한다. 스핀 코팅은 비록 당분야에 알려진 어떠한 수단이 사용될 수 있지만, 포토레지스트를 도포하는 통상적인 방식이다.
- [0069] 게다가, 특정 실시예들에 대한 부가적인 단계는 하나 이상의 레벨링 가드 링들에 의해 형성된 영역(들)내에 도포된 포토레지스트를 사용하고, 공통 중심 패턴의 두 개 이상의 장치들을 각각 포함하는 각각의 어레이(들)에 대한 하나 이상의 상기 영역(들)에 피쳐 또는 접속부를 형성하는 것이다.
- [0070] 또한, 칩상에 하나 이상의 가드 링들에 대한 적당한 위치를 결정하는 것으로 이루어진 예비 단계는 상기 방법에 포함될 수 있는 것이 주의된다. 즉, 특정 실시예들에서 하나의 단계는 하나 이상의 특정 영역들내에 매칭된 인접한 피쳐들을 포함하는 피쳐들의 배열을 설계하는 것이다. 각각의 특정 영역에 대하여(계획된 레벨링 가드 링내의 웨이퍼 표면 영역을 의미), 상기 배열의 설계들은 공통 중심 패턴의 두 개 이상의 매칭 피쳐들의 배열에 대한 충분한 공간을 설계하는 것을 포함한다. 게다가, 특정 실시예들에서, 가드 링의 위치는 가드 링이 진행되는 피쳐들 로컬의 상승부들(종래 또는 계산된)의 분석에 기초하여 결정된다. 예를 들어, 제한없이, 만약 특정 영역에 로컬되는 피쳐들의 배열이 포토레지스트 두께에 영향을 미치는 다중 돌출부들을 형성하기 위하여 고려되었다면, 가드 링 벽들의 폭 또는 높이는 더욱 우수한 마스크로 설계될 수 있고, 및/또는 가드 링 및 그의 크기는 상기 피쳐로부터 더욱 멀리 배치될 수 있다.
- [0071] 도 4는 포토레지스트 두께가 증가할 때 라인폭에 대한 요동 관계를 도시하는 스윙 곡선 그래프이다. 데이터는 다수의 포토레지스트 두께를 가진 완전히 평평한 전체 웨이퍼들을 스핀 코팅하고, 그 다음 동일한 공칭 라인 폭으로 라인들을 프린팅하는 것으로부터 발생된다. 상기 데이터는 포토레지스트 두께 변화에 대한 바람직하지 않은 효과들 중 하나를 나타내기 위하여 제공된다. 포토레지스트 두께는 x 축을 따라 도시되고, 라인폭은 y축(유효 스트롱)을 따라 도시된다. 일반적으로, 포토레지스트 두께가 증가함에 따라 포토리소그래피 동안 형성된 트랜

치들의 라인폭은 증가한다. 이러한 상부 진행 경향은 제거 및 보강(즉, 지지) 같은 포토리소그래피 동안 복잡한 광과 현상으로 인해 요동한다. 이러한 편차 소스를 고려하여, 포토레지스트 두께가 증가할 때 라인폭의 가장 나쁜 증가는 이 실시예에서 65 나노미터 두께 변화상에서 약 100 나노미터 라인폭 변화이다. 따라서, 더욱 많은 로컬 포토레지스트 두께 프로파일들상 로컬 하부 피쳐들의 영향과 결합하여, 포토레지스트가 스핀 코팅에 의해 제공될 때 웨이퍼에서 발생할 수 있는 두께의 긴 범위 변화는 라인폭 두께의 실질적인 변화를 유발할 수 있다는 것이 인식된다. 이것은 차례로 장치의 미스 매칭을 유도한다. 이것은 비록 요동들이 반사 방지 코팅을 사용함으로써 댄핑되더라도, 상승하는 경향이 여전히 제공되기 때문에 발생한다. 이것은 더욱 두꺼운 레지스트에서 노출 도즈의 희석(dilution of the exposure dose)과 관련된다.

[0072] 본 발명의 방법은 본 발명의 가드 링들의 경계내에 형성된 장치들에 대한 라인폭 두께 변화 및 다른 편차들을 감소시킨다. 이것은 가드 링의 형태로 상기 영역내의 장치 어레이에 피쳐에 대한 포토레지스트 두께 관련 편차들을 감소시키거나 제거하기 위한 특정 영역 둘레에 경계부를 부과하여 부분적으로 달성된다. 최소로, 이것은 각각의 가드 링내의 장치들에 대한 로컬 레벨로 달성된다. 칩을 가로질러 분산된 다수의 가드 링들을 고려할 때, 이들내의 장치들은 포토레지스트 두께(가드 링에 의해 부과된 포토레지스트 유동 등가화)의 보다 낮은 변화로 인해 더욱 균일하게 되고, 특정 실시예들에서 가드 링들내의 공통 중심 배열로 인해 더욱 균일해진다. 이것은 글로벌 매칭을 개선시킨다.

[0073] 도 5는 실리콘 칩(600)의 다수의 가드 링들의 위치들을 도시한다. 상기 도면은 비례적이지 않고, 간략화를 위하여 이들 가드 링들 내부에 장치들을 포함하는 칩의 피쳐들은 도시되지 않는다. 레벨링 가드 링들의 다양한 구성이 도시되고 몇몇은 공통 벽들(즉, 가드 링들에 의해 둘러싸인 두 개의 인접한 영역들 사이의 벽)을 가진다. 세개의 절연된 가드 링들(602) 각각은 이들 절연된 가드 링들의 서로 영향을 미치는 로컬 피쳐들에 의해 영향을 받지 않도록 충분히 멀리 이격된다. 세개의 가드 링 어셈블리들(604) 각각은 세개의 공통 벽들(603)을 공유하는 네개의 가드 링들(604)로 구성된다. 대조하여, 가드 링들(606)은 서로 로컬적이고 임의의 공통 벽들을 공유하지 않는다. 본 발명이 칩의 전체 표면에 걸쳐 사용될 때, 로컬 토포그래픽 상승부의 영향으로 인한 것과 같은 포토레지스트 높이로 인한 각각의 로컬 편차는 가드 링들내에 어레이된 각각의 장치들을 위하여 감소된다. 이들 장치들이 다른 비로컬 가드 링 영역들의 다른 장치들과 매칭될 때, 공통 중심 레이아웃들과 결합하여 개선된 피쳐 균일성(보다 균일한 포토레지스트 두께)에 기초하여 성능 비균일성을 감소시킨다. 결과적으로, 상기된 바와 같이, 개선된 글로벌 매칭은 달성된다.

[0074] 본 명세서에 기술된 실시예들이 공통 중심 레이아웃내에 배열된 가드 링내의 장치들과 매칭되지만, 본 발명의 다른 실시예들은 공통 중심 레이아웃내에 배열되지 않은 하나 이상의 장치들이 배열된 가드 링을 포함하는 것이 인식된다.

[0075] 본 발명은 포토리소그래피 동안 형성된 피쳐들의 라인폭들의 정확도, 정밀도, 및 예측성을 증가시킨다. 본 명세서에 개시된 바와 같은 가드 링없이, 포토레지스트 두께의 변화는 로컬 밀집 및/또는 상승 하부 피쳐들로부터의 영향들의 결합으로 인해 예측할 수 없다.

[0076] 본 발명의 바람직한 실시예들이 제공된 본문에서 도시되고 기술되었지만, 상기 실시예들은 단순히 예로서 제공되고, 제한되지 않는다. 다수의 변형들, 변화들 및 대체들은 본 발명에서 벗어나지 않고 당업자에 의해 이루어질 것이다. 예를 들어, 본 발명은 다른 애플리케이션들이 본 발명의 교시로부터 똑같이 바람직할 수 있기 때문에, 여기에 개시된 가장 우수한 모드로 제한될 필요가 없다. 따라서, 본 발명이 첨부된 청구항들의 사상 및 범위에 의해서만 제한되는 것이 인식된다.

발명의 효과

[0077] 본 발명은 하나 이상의 장치들이 공통 중심 패턴에 배열된 매칭된 장치들 처럼 배열되는 하나의 영역을 둘러싸는 가드 링 구조를 포함하는 토포그래픽 상승부를 설계하고 실행함으로써 반도체 제조 처리들을 중단하지 않고, 제조 수율을 증가시키고, 더욱 큰 정확도 및/또는 정밀도에 대한 필요성을 해결하고, 처리 정확도 및/또는 정밀도를 개선하는 효과를 가진다.

도면의 간단한 설명

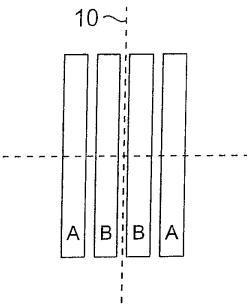
[0001] 도 1a, 1b 및 1c는 종래에 알려진 바와 같은 공통 중심 설계들에서 피쳐들의 배열들을 도시하는 도면.

[0002] 도 2a는 피쳐 상부와 인접한 관계에서의 본 발명의 가드 링의 평면도.

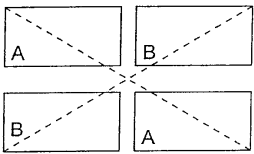
- [0003] 도 2b는 가드 링을 갖는 그리고 가드 링이 없는 포토레지스트 층의 상부 표면 및 상대적 높이의 도식적 비교를 도시하는 도면.
- [0004] 도 2c는 피쳐 상부와 인접한 관계에서 본 발명의 가드 링을 갖는, 도 2a에 대응하는 단면도.
- [0005] 도 2d는 겹쳐진 포토레지스트의 두께에 대한 하부 폴리실리콘의 영향을 도시하는, 제조 동안의 웨이퍼 섹션의 스캐닝 전자 마이크로그래프 단면도.
- [0006] 도 3a는 각각의 링은 매칭된 장치들의 두 개의 중앙에 배치된 어레이들을 그 경계내에 갖는, 두 개의 인접한 레벨링 가드 링들을 가진 레벨링 가드 링 레이아웃 스타일의 이차원 도면.
- [0007] 도 3b는 그 내부에 포함된 하나의 장치를 가진 레벨링 가드 링 레이아웃 스타일의 이차원 도면.
- [0008] 도 3c는 그 내부에 나란히 배열된 두 개의 장치들을 가진 레벨링 가드 링 레이아웃 스타일의 이차원 도면.
- [0009] 도 3d는 그 안에 나란히 배열된 다수의 장치들을 가진 레벨링 가드 링 레이아웃 스타일의 이차원 도면.
- [0010] 도 3e는 그 경계내에 나란히 배열된 5개의 장치들을 각각 가진 세개의 인접한 레벨링 가드 링 인클로저들(enclosures)을 가진 레벨링 가드 링 레이아웃 스타일의 이차원 도면.
- [0011] 도 4는 포토레지스트 두께가 증가할때 라인폭에 대한 요동 관계를 도시하는 스윙 곡선 그래프.
- [0012] 도 5는 웨이퍼 표면의 다른 피쳐들은 도시되지 않는, 웨이퍼 표면에 걸쳐 다수의 가드 링들의 위치를 일반적으로 도시하는 투시도.
- [0013] *도면의 주요 부분에 대한 부호의 설명*
- [0014] 300 : 가드 링 레이아웃 스타일 301, 302 : 가드링
- [0015] 303 : 공통 벽 304 : 내부 영역
- [0016] 305 : 어레이 306, 308 : 회로 매칭 장치
- [0017] 310 : 벽

도면

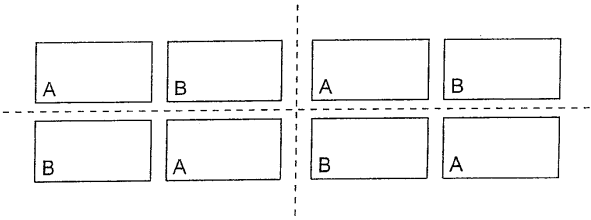
도면1a



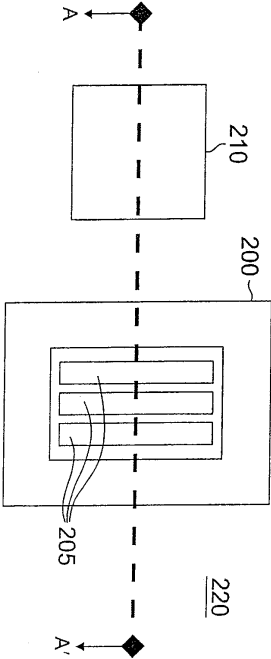
도면1b



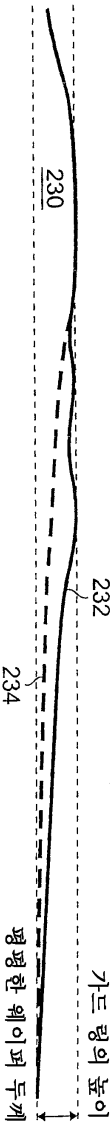
도면1c



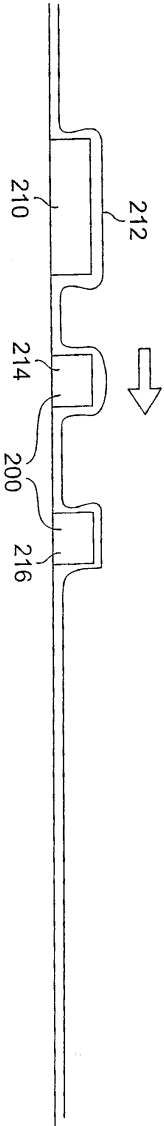
도면2a



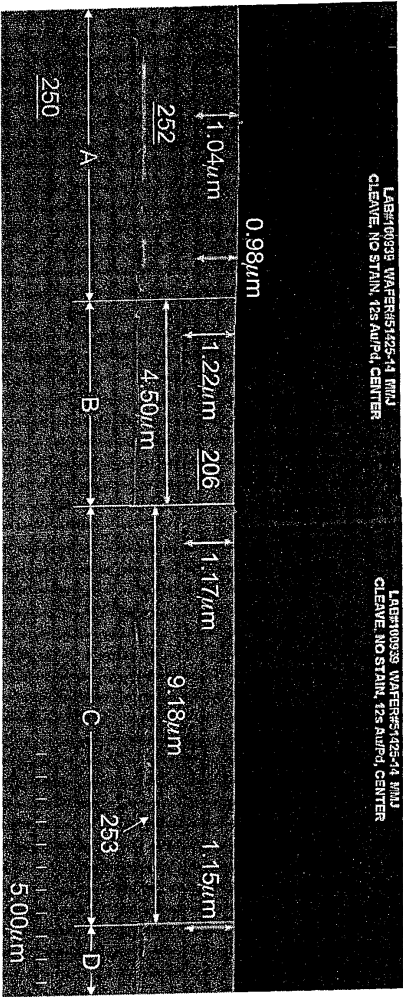
도면2b



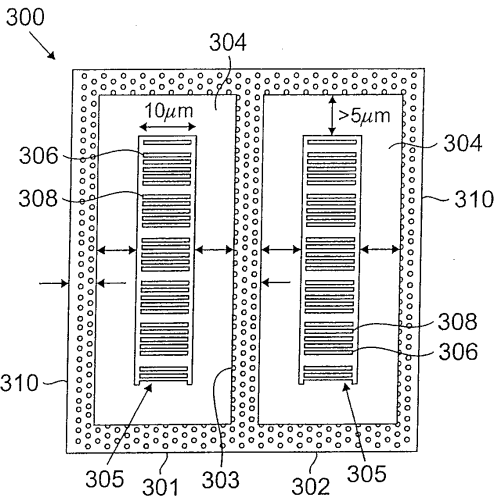
도면2c



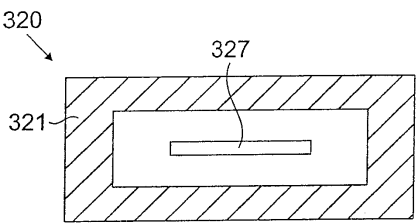
도면2d



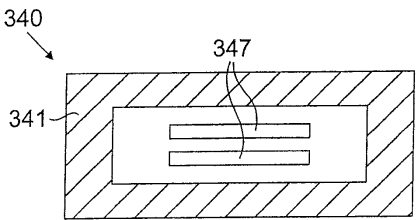
도면3a



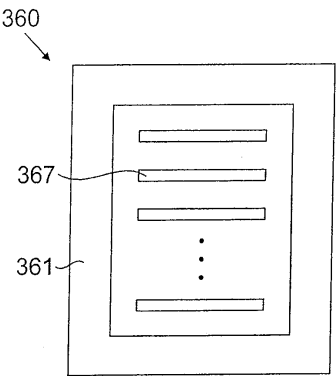
도면3b



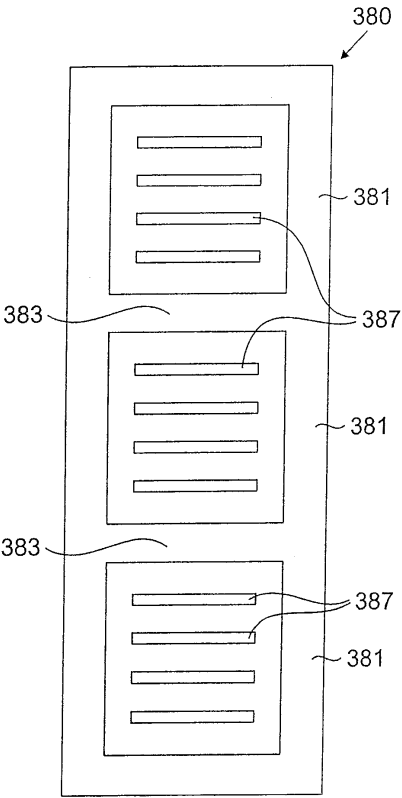
도면3c



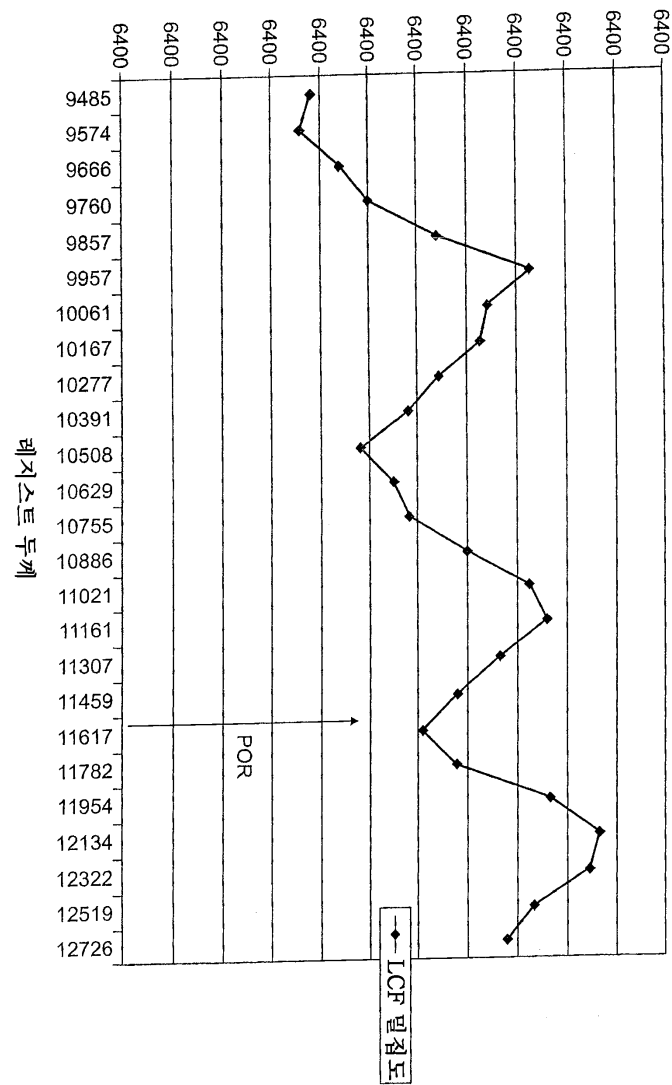
도면3d



도면3e



도면4



도면5

