

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 7 月 2 日 (02.07.2020)



(10) 国际公布号
WO 2020/132880 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/77** (2017.01)

(21) 国际申请号: PCT/CN2018/123564

(22) 国际申请日: 2018 年 12 月 25 日 (25.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市柔宇科技有限公司 (SHENZHEN ROYOLE TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(72) 发明人: 高伟程 (GAO, Weicheng); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。蔡武卫 (CAI, Wuwei); 中国广东省深圳市龙岗

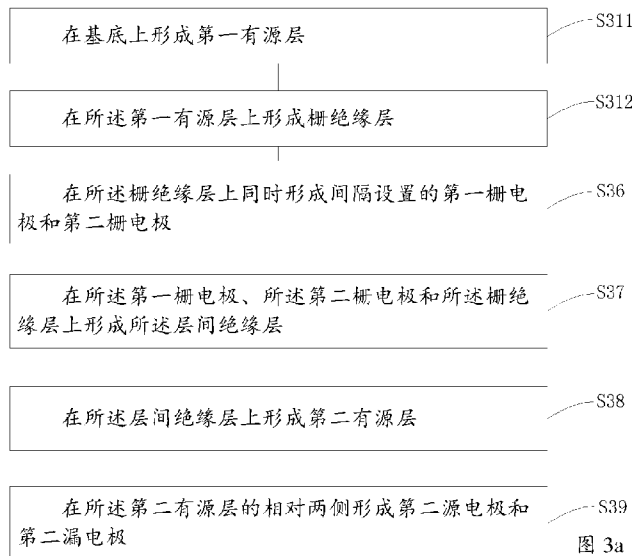
区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(74) 代理人: 深圳市六加知识产权代理有限公司 (LIUJIA CHINA IP LAW OFFICE); 中国广东省深圳市南山区南海大道 4050 号上汽大厦 207 室, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制造方法及显示装置



S311 FORM A FIRST ACTIVE LAYER ON A SUBSTRATE
S312 FORM A GATE INSULATING LAYER ON THE FIRST ACTIVE LAYER
S36 SIMULTANEOUSLY FORM A FIRST GATE ELECTRODE AND A SECOND GATE ELECTRODE SPACED APART ON THE GATE INSULATING LAYER
S37 FORM AN INSULATING INTERLAYER ON THE FIRST GATE ELECTRODE, THE SECOND GATE ELECTRODE AND THE GATE INSULATING LAYER
S38 FORM A SECOND ACTIVE LAYER ON THE INSULATING INTERLAYER
S39 FORM A SECOND SOURCE ELECTRODE AND A SECOND DRAIN ELECTRODE ON OPPOSITE SIDES OF THE SECOND ACTIVE LAYER

图 3a

(57) Abstract: Disclosed are an array substrate, a manufacturing method therefor, and a display device. The method for manufacturing an array substrate comprises: forming a first active layer (18) on a substrate (2); forming a gate insulating layer (6) on the first active layer (18); simultaneously forming a first gate electrode (16) and a second gate electrode (28) on the gate insulating layer (6); simultaneously forming an insulating interlayer (5) on the first gate electrode (16) and the second gate electrode (28); and forming a second active layer (26) on the insulating interlayer (5). The first active layer (18) and the second active layer (26) are produced using the same manufacturing technology and different materials, so as to obtain thin film transistor devices having different device characteristics on an array substrate, thereby improving production efficiency and facilitating the use of layout space.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板及其制造方法及显示装置, 其中阵列基板的制造方法包括: 在基底(2)上形成第一有源层(18); 在所述第一有源层(18)上形成栅绝缘层(6); 在所述栅绝缘层(6)上同时形成第一栅电极(16)和第二栅电极(28); 在所述第一栅电极(16)和所述第二栅电极(28)上同时形成所述层间绝缘层(5); 在所述层间绝缘层(5)上形成第二有源层(26), 通过利用同一种制备工艺, 不同的材料制备而成所述第一有源层(18)和所述第二有源层(26), 进而在一种阵列基板上得到具有不同器件特性的薄膜晶体管器件, 提高了生产效率, 同时利于布局空间的使用。

阵列基板及其制造方法及显示装置

技术领域

本申请实施例涉及显示技术领域，尤其涉及一种阵列基板及其制造方法及使用该阵列基板的显示装置。

背景技术

随著现有有源矩阵有机发光二极管工艺技术提升，显示屏解析度越高，由于解析度提高，供给有机发光二极管的电流因面积减小而减小，为了能降低开关电流，达到器件的工作范围，薄膜晶体管的器件尺寸宽长比(W/L)通常也需要降低，才能满足有机发光二极管的需求电流，但当薄膜晶体管的长度增加，相对设计空间会受到影响，不利于后续往更高解析度发展。

目前以低温多晶氧化物技术为开发方向，现有低温多晶氧化物工艺利用低温多晶硅技术与铟镓锌氧化物技术定义元件为P型与N型半导体，然而低温多晶氧化物技术设备昂贵且低温多晶硅技术工艺生产效率较低。

发明内容

本申请实施例旨在提供一种阵列基板及其制造方法及使用该阵列基板的显示装置，以解决现有技术中阵列基板生产效率不高的技术问题。

本申请实施例解决其技术问题提供以下技术方案：

一种阵列基板的制造方法，包括：在基底上形成第一有源层；

在所述第一有源层上形成栅绝缘层；

在所述栅绝缘层上同时形成间隔设置的第一栅电极和第二栅电极，所述第一栅电极位于所述第一有源层的正上方；

在所述第一栅电极、所述第二栅电极和所述栅绝缘层上形成所述层间绝缘层；

在所述层间绝缘层上形成第二有源层，所述第二有源层设于所述第二栅电极的正上方，其中所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同；

在所述第二有源层的相对两侧形成第二源电极和第二漏电极。

可选地，所述在所述基底上形成第一有源层，包括：

在所述基底上形成第一金属氧化物半导体层，并对所述第一金属氧化物半导体层进行图案化，以形成所述第一有源层。

可选地，所述在所述层间绝缘层上形成第二有源层，包括：

在所述层间绝缘层上形成第二金属氧化物半导体层，并对所述第二金属氧化物半导体层进行图案化，以形成所述第二有源层，所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

可选地，所述在所述第一有源层上形成栅绝缘层的步骤包括：在所述第一有源层的两相对侧分别形成第一源电极和第一漏电极，在所述第一有源层、所述第一源电极和第一漏电极上形成栅绝缘层。

可选地，所述在所述第一栅电极、所述第二栅电极和所述栅绝缘层上形成所述层间绝缘层之后，还包括：

在所述层间绝缘层、所述栅绝缘层上形成与所述第一有源层的两相对应的过孔，并且在所述层间绝缘层上同时形成第一源电极、第一漏极、所述第二源电极和所述第二漏电极，所述第一源电极和所述第一漏极分别通过所述过孔与所述第一有源层接触。

可选地，所述在基底上形成第一有源层的步骤之前包括：

在所述基底上形成柔性基板，所述第一有源层形成在所述柔性基板上。

可选地，所述在基底上形成第一有源层的步骤之前还包括：

在所述柔性基板上形成缓冲层，所述第一有源层形成在所述缓冲层上。

本申请实施例解决其技术问题还提供以下技术方案：

一种阵列基板的制造方法，包括：在基底上形成第一栅电极；

在所述第一栅电极上形成栅绝缘层；

在所述栅绝缘层上形成正对应所述第一栅电极的第一有源层；

在所述栅绝缘层、所述第一有源层上同时形成第一源电极、第一漏电极和第二栅电极，所述第一源电极和所述第一漏电极分别与所述第一有源层的相对两侧接触，所述第二栅电极在与所述第一栅电极间隔预设距离处形成；

在所述第一源电极、所述第一漏电极、所述第二栅电极和所述栅绝缘层上形成层间绝缘层；

在所述层间绝缘层上形成第二有源层，所述第二有源层位于所述第二栅电极的正上方，其中所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同；

在所述第二有源层的相对两侧形成第二源电极和第二漏电极。

可选地，所述在所述栅绝缘层上形成正对应所述第一栅电极的第一有源层，包括：在所述栅绝缘层上形成第一金属氧化物半导体层，并对所述第一金属氧化物半导体层进行图案化，以形成所述第一有源层。

可选地，所述在所述层间绝缘层上形成第二有源层，包括：在所述层间绝缘层上形成第二金属氧化物半导体层，并对所述第二金属氧化物半导体层进行图案化，以形成所述第二有源层，所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

可选地，所述在基底上形成第一栅电极的步骤之前包括：

在所述基底上形成柔性基板，所述第一栅电极形成在所述柔性基板上。

可选地，所述在基底上形成第一栅电极的步骤之前还包括：

在所述柔性基板上形成缓冲层，所述第一栅电极形成在所述缓冲层上。

本申请实施例解决其技术问题还提供以下技术方案：

一种阵列基板，包括：基底及形成于所述基底上的第一有源层、第一栅电极、第一源电极、第一漏电极、第二有源层、第二栅电极、第二

源电极、第二漏电极、栅绝缘层和层间绝缘层；所述第一有源层与所述第一栅电极正对设置，所述栅绝缘层位于所述第一有源层与所述第一栅电极之间以使二者相互绝缘；所述第一源电极与所述第一漏电极分别与所述第一有源层的相对两侧接触；所述第二有源层与所述第二栅电极正对设置，所述层间绝缘层位于所述第二有源层与所述第二栅电极之间以使二者相互绝缘设置；所述第二栅电极位于所述栅绝缘层与所述层间绝缘层之间；所述第二源电极与所述第二漏电极分别与所述第二有源层的相对两侧接触；所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同。

可选地，所述第一有源层由高迁移率非晶铟镓锌氧化物靶材溅射而成，

所述第二有源层由普通非晶铟镓锌氧化物靶材溅射而成，所述第一有源层的载流子迁移率高于所述第二有源层的载流子迁移率。

可选地，所述第一有源层位于所述栅绝缘层靠近所述基底的一侧。可选地，所述第一源电极和所述第一漏电极位于所述栅绝缘层靠近所述第一有源层的一侧。

可选地，所述第一源电极和所述第一漏电极位于所述层间绝缘层远离所述基底的一侧，所述第一源电极、所述第一漏电极分别通过贯穿所述层间绝缘层和所述栅绝缘层的过孔，分别与所述第一有源层接触。

可选地，所述阵列基板还包括形成于所述基底上的柔性基板，所述第一有源层、所述第一栅电极、所述第一源电极、所述第一漏电极、所述第二有源层、所述第二栅电极、所述第二源电极、所述第二漏电极、所述栅绝缘层和所述层间绝缘层均形成于所述柔性基板上。

可选地，所述阵列基板还包括形成于所述柔性基板上的缓冲层，所述第一有源层、所述第一栅电极、所述第一源电极、所述第一漏电极、所述第二有源层、所述第二栅电极、所述第二源电极、所述第二漏电极、所述栅绝缘层和所述层间绝缘层均形成于所述缓冲层上。

本申请实施例解决其技术问题还提供以下技术方案：

一种显示装置，包括以上所述的阵列基板。

与现有技术相比较，在本申请实施例提供的阵列基板通过利用同一种制备工艺，不同的材料制备而成所述第一有源层和所述第二有源层，进而在一种阵列基板上得到具有不同器件特性的薄膜晶体管器件，提高了生产效率，同时利于布局空间的使用。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图示出的结构获得其他的附图。

图 1 是本申请其中一个实施例提供的一种阵列基板的结构示意图；

图 2 是本申请另一个实施例提供的一种阵列基板的结构示意图；

图 3a 是本申请其中一个实施例提供的一种阵列基板的制造方法的流程图；

图 3b 是本申请另一实施例提供的一种阵列基板的制造方法的流程图；

图 4a 至图 4g 是图 3b 示出的阵列基板的制造方法在不同阶段的制备示意图；

图 5a 是本申请再一实施例提供的一种阵列基板的制造方法的流程图；

图 5b 是本申请又一实施例提供的一种阵列基板的制造方法的流程图；

图 6a 至图 6g 是图 5b 示出的阵列基板的制造方法在不同阶段的制备示意图。

具体实施方式

为了便于理解本申请，下面结合附图和具体实施例，对本申请进行更详细的说明。需要说明的是，当元件被表述“固定于”另一个元件，

它可以直接在另一个元件上、或者其间可以存在一个或多个居中的元件。当一个元件被表述“连接”另一个元件，它可以是直接连接到另一个元件、或者其间可以存在一个或多个居中的元件。本说明书所使用的术语“垂直的”、“水平的”、“左”、“右”、“内”、“外”以及类似的表述只是为了说明的目的，并且仅表达实质上的位置关系，例如对于“垂直的”，如果某位置关系因为为了实现某目的的缘故并非严格垂直，但实质上是垂直的，或者利用了垂直的特性，则属于本说明书所述“垂直的”范畴。

除非另有定义，本说明书所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。在本申请的说明书中所使用的术语只是为了描述具体地实施例的目的，不是用于限制本申请。本说明书所使用的术语“和/或”包括一个或多个相关的所列项目的任意的和所有的组合。

此外，下面所描述的本申请不同实施例中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

请参阅图 1，本申请其中一个实施例提供的阵列基板 100 包括：第一薄膜晶体管 10 和第二薄膜晶体管 20，所述第一薄膜晶体管 10 和所述第二薄膜晶体管 20 间隔设置。所述第一薄膜晶体管 10 包括第一有源层 18；所述第二薄膜晶体管 20 包括第二有源层 26，所述第一有源层 18 和所述第二有源层 26 分别由不同的材料制得，进而使得所述第一有源层 18 和所述第二有源层 26 的电学性能不同，因此所述第一薄膜晶体管 10 和所述第二薄膜晶体管 20 具有不同的器件特性。

所述第一有源层 18 和第二有源层 26 的电学性能包括载流子浓度、霍尔载流子迁移和缺陷态密度等。

在本实施例中，所述第一薄膜晶体管 10 和第二薄膜晶体管 20 分别为开关薄膜晶体管和驱动薄膜晶体管。所述第一薄膜晶体管 10 和所述第二薄膜晶体管 20 由同一工艺不同靶材同时制备而成。

所述第一薄膜晶体管 10 和所述第二薄膜晶体管 20 共用共同的基底 2、柔性基板 3、缓冲层 4、层间绝缘层 5 和栅绝缘层 6。所述基底 2 作

为承载所述第一薄膜晶体管 10 和所述第二薄膜晶体管 20 的衬底,所述基底 2 依次形成有所述柔性基板 3、所述缓冲层 4、栅绝缘层 6 以及层间绝缘层 5。

上述阵列基板 100 的设计不需调整第一薄膜晶体管 10 或所述第二薄膜晶体管 20 的宽长比 (W/L),提高了布局空间的使用率,有利于显示屏往更高解析度的方向发展。

所述第一薄膜晶体管 10 还包括第一源电极 12、第一漏电极 14 和第一栅电极 16,所述第一有源层 18,第一源电极 12、第一漏电极 14 设于所述缓冲层 4 和所述栅绝缘层 6 之间,所述第一源电极 12 和所述第一漏电极 14 分别设于所述第一有源层 18 的相对两侧,所述第一栅电极 16 设于所述栅绝缘层 6 和所述层间绝缘层 5 之间。

所述第二薄膜晶体管 20 还包括第二源电极 22、第二漏电极 24 和第二栅电极 28。所述第二栅电极 28 设于所述栅绝缘层 6 和所述层间绝缘层 5 之间,所述第二有源层 26 设置于所述层间绝缘层 5 上,所述第二源电极 22 和所述第二漏电极 24 分别设置于所述第二有源层 26 的相对两侧。

本实施方式中,所述第一薄膜晶体管 10 采用顶栅极结构,所述第二薄膜晶体管 20 采用底栅极结构。

在变更实施方式中(未图示),所述第一薄膜晶体管 10 的第一源电极 12 和第一漏电极 14 可设置在所述层间绝缘层 5 上,通过设置穿透所述层间绝缘层 5 和所述栅绝缘层 6 的过孔使所述第一源电极 12 和所述第一漏电极 14 分别与所述第一有源层 18 接触。所述第一源电极 12、所述第一漏电极 14 可与所述第二源电极 22、所述第二漏电极 24 由同一金属层图案化而成。

请参阅图 2,本申请一些实施例提供的阵列基板 100a 与图 1 所示的阵列基板 100 基本相同,区别在于所述阵列基板 100a 中的第一薄膜晶体管 10a 的第一栅电极 16 设于所述缓冲层 4 和所述栅绝缘层 6 之间,所述第一有源层 18,第一源电极 12、第一漏电极 14 设于所述层间绝缘层 5 和所述栅绝缘层 6 之间,所述第一源电极 12 和所述第一漏电极 14 分别

设置于所述第一有源层 18 的相对两侧。

所述基底 2 采用玻璃等透明材料制成，且经过预先清洗。在一些实施例中，因传统碱玻璃中铝、钡和钠等金属杂质含量较高，容易在高温处理工艺中发生金属杂质的扩散，因此基底 2 也可以采用无碱玻璃制成。

所述柔性基板 3 是用于支撑和保护可以在其上形成的多种元件的基板。所述柔性基板 3 可以由多种材料形成。例如，当薄膜晶体管在诸如柔性显示设备的柔性应用中使用，柔性基板 3 可以由柔性绝缘材料形成。柔性绝缘材料的示例可以包括聚酰亚胺 (PI)、聚醚酰亚胺 (PEI)、聚对苯二甲酸乙二醇酯 (PES)、聚碳酸酯 (PC)、聚苯乙烯 (PS)、苯乙烯-丙烯腈共聚物、以及硅丙烯酸树脂。而且，当薄膜晶体管在具有高透射率的应用 (诸如，透明显示设备) 中使用，柔性基板 3 可以由柔性透明绝缘材料形成。

所述缓冲层 4 用于阻挡柔性基底 2 中所含的杂质扩散进入薄膜晶体管的有源层中，防止对薄膜晶体管器件的阈值电压和源漏电流等特性产生影响。同时所述缓冲层 4 能够增强有源层或栅绝缘层 6 与柔性基板 3 之间的密接性，增大有源层或栅绝缘层 6 与柔性基板 3 的接触牢固度，进而避免有源层或栅绝缘层 6 的脱落，提高了薄膜晶体管的稳定性。

在一些实施例中，所述缓冲层 4 也可设置于栅电极、源电极或漏电极的一侧或两侧，可以提高栅电极、源电极或漏电极和与其相连的薄膜层之间的密接性，同时，还能够有效地阻止栅电极、源电极或漏电极中的原子扩散到与其相连的膜层中，从而提高薄膜晶体管的可靠性。

所述缓冲层 4 的材料为铜合金材料。当合金材料中含有金属铜元素和非金属氮元素或氧元素时，能够制作出具有较高密接性的作为阻挡膜的缓冲层 4。

在所述铜合金材料中，含有氮或氧、铜、铝。其中氮或氧、铜、铝的含量可以根据不同需求进行设定，在此不做具体限定。比如：铝原子占铜合金材料中总原子个数的原子百分比可以为 0.05-30%，氮或氧占铜合金材料中总原子个数的原子百分比也可以为 0.05-30%，其余为铜。铝原子占铜合金材料中总原子个数的原子百分比可以为 0.05-30%。铝

元素的含量在该范围内所制作出来的缓冲层 4 具有更好的密接性和阻挡性。

在一些实施例中，所述铜合金材料中还可以含有非铜非铝的金属元素。例如，非铜非铝的金属元素可以包括 Ca、Mg、Na、K、Be、Li、Ge、Sr 和 Ba 元素中的至少一种元素。可选地，非铜非铝的金属原子占铜合金材料中总原子个数的原子百分比为 0.05-30%，这样能够使制作出来的缓冲层 4 具有较高的密接性和较高的阻挡性。

所述栅绝缘层 6 是以氨气 (NH_3) 和甲硅烷 (SiH_4) 为反应源气体，采用射频等离子体增强化学气相沉积 (RF-PECVD) 法在缓冲层 4 上沉积了一系列氢化非晶氮化硅 ($\text{a-SiN}_x\text{:H}$) 薄膜，所述氮化硅薄膜具有优良的绝缘耐压性能以及较好的界面特性。同时通过调整所述栅绝缘层 6 的厚度可改善有源层背面界面的质量，防止在所述有源层界面形成漏电的途径。所述栅绝缘层 6 的厚度为 100-400nm，因为其良好的界面特性，所制备的半导体器件具有较小的泄露电流，提高了器件的电学性能。

在一些实施例中，所述栅绝缘层 6 也可采用单层二氧化硅 (SiO_2) 或双层二氧化硅/氮化硅 ($\text{SiO}_2/\text{SiN}_x$) 结构。

所述层间绝缘层 5 能够对有源层的背沟道进行钝化，有助于薄膜晶体管电学特性的提高。所述层间绝缘层 5 采用的是氮化硅绝缘层，所述氮化硅绝缘层具有优良的光电性能、机械性能以及强的阻挡杂质粒子扩散和水汽渗透等优点。较薄的所述氮化硅栅绝缘层 6 不易阻隔扩散现象，并随着层间绝缘层 5 厚度的增加，有源层界面的污染物浓度随之降低，但当厚度超过一临界值，污染物浓度将不再大幅度降低而达到一极小值，因而设置所述层间绝缘层 5 的厚度为 100-400nm。

在一些实施例中，所述层间绝缘层 5 也可采用单层二氧化硅 (SiO_2) 或双层二氧化硅/氮化硅 ($\text{SiO}_2/\text{SiN}_x$) 结构。

所述第一有源层 18 和第二有源层 26 的分别由高迁移率非晶铟镓锌氧化物 (a-IGZO) 靶材和普通非晶铟镓锌氧化物靶材溅射而成。通过在溅射过程中改变所述第一有源层 18 和第二有源层 26 的厚度、溅射过程中的氧分压及不同的非晶铟镓锌氧化物靶材，所制备出的所述第一有源

氧化物材料的透明导电氧化物层。所述透明导电氧化物材料可以包括氧化铟锡(ISO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化铟锡锌(ISZO)等。所述多层电极可以具有被配置为包括第一透明导电氧化物层、金属层和第二透明导电氧化物层的三层结构。所述多层电极也可以具有被配置为包括透明导电氧化物层和金属层的两层结构。

在一些实施例中,所述第一源电极 12、第二源电极 22、第一漏电极 14 和第二漏电极 24 均包括柔性基材、导电金属线层以及导电薄膜,所述导电金属线层设置于所述柔性基材和所述导电薄膜之间。

所述柔性基材的材质选择可见光透过率大于 80%的材料,可以为聚对苯二甲酸、乙二醇酯(PES)、聚醚砜(PES)、聚苯二甲酸乙二醇酯(PEN)、环烯烃共聚物(COC)或透明聚酰亚胺(PI)。所述柔性基材的厚度可以为 0.1mm-0.5mm。

所述导电薄膜的材质可为聚(3,4-二氧乙基噻吩)/聚(对苯乙烯磺酸)(PEDOS:PSS), PSS 与 PEDOS 的质量比可以为 1:20。所述导电薄膜的厚度可以为 15 μm -1100 μm 。

所述导电金属线层包括多根导电金属线,多根所述导电金属线排布于所述柔性基材,本实施例中,多根所述导电金属线网状排布于所述柔性基材。在一些实施例中,多根所述导电金属线也可以采用栅状排布。

所述导电金属线直径为 10 μm -1000 μm ,相邻的所述两根导电金属线之间的距离为 0.2mm-10mm,所述导电金属线的材质可以为金、银、铝、铜或镍。所述电极在所述柔性基材和所述导电薄膜之间设置所述导电金属线层,所述导电金属线层的多个导电金属线被导电薄膜覆盖包裹,形成一个内部的导电网络,降低了表面电阻,使得电极的导电能力得到提高。请一并参阅图 3a 和图 3b,本申请其中一个实施例提供一种阵列基板的制造方法,需要说明的是,上述对阵列基板的实施方式的解释说明也适用于本实施方式的阵列基板的制备方法,为避免冗余,在此不再详细展开。需要说明的是,在下述各个实施例中,下述各步骤之间并不必然存在一定的先后顺序,本领域普通技术人员,根据本申请实施例的描述可以理解,不同实施例中,下述各步骤可以有不同的执行顺序,

亦即，可以并行执行，亦可以交换执行等等；不同实施例中，下述有些步骤亦可以省略或被代替。

所述阵列基板的制造方法包括：

步骤 S31：在基底 2 上形成柔性基板 3。

步骤 S32：在所述柔性基板 3 上形成缓冲层 4。

具体地，在所述柔性基板 3 上，采用等离子体增强化学气相沉积（Plasma Enhanced Chemical Vapor Deposition：简称 PECVD）方式、低压化学气相沉积方式（Low Pressure Chemical Vapor Deposition：简称 LPCVD）、大气压化学气相沉积（Atmospheric Pressure Chemical Vapor Deposition：简称 APCVD）方式或电子回旋谐振化学气相沉积（Electron Cyclotron Resonance Chemical Vapor Deposition：简称 ECR-CVD）方式或溅射方式形成所述缓冲层 4。所述缓冲层 4 的厚度范围为 300Å-10000Å，沉积温度小于或等于 600℃。

所述缓冲层 4 的具体地制作方法为：将铜、铝靶材放入沉积腔室，通过溅射或者蒸镀在柔性基板 3 上沉积缓冲层 4，并且在沉积时通入氮气或者氧气。该方法可以根据加入的原料的量，制作出铝原子占铜合金材料中总原子个数的原子百分比为 0.05-30%、氮或氧占铜合金材料中总原子个数的原子百分比为 0.05-30%、其余为铜的铜合金材料。此外，如果需要增加非铜非铝的金属元素，则可以将非铜非铝的金属与铜、铝一起放入沉积腔室，再通过溅射或者蒸镀在柔性基板 3 上沉积缓冲层 4，并且在沉积时通入氮气或者氧气。

在一些实施例中，所述缓冲层 4 的具体地制作方法为也可以是：将氮或氧、铜、铝按照设定的原子比例制作成靶材，然后在柔性基板 3 上进行沉积以形成缓冲层 4。例外，如果需要增加非铜非铝的金属元素，也可以将氮或氧、铜、铝和非铜非铝的金属按照设定的原子比例制作成靶材，然后进行沉积以形成缓冲层 4。其中，所述缓冲层 4 可以为单层或多层结构，当为多层结构时，各层的材料可以相同或不相同。在一些实施方式中步骤 S32 可以省略，也即省略所述缓冲层 4。

步骤 S33：通过一次图案化工艺在所述缓冲层 4 上形成第一有源层

18。

请参阅图 4a, 具体地, 在经过步骤 S2 的所述缓冲层 4 上形成第一金属氧化物半导体层, 并对所述第一金属氧化物半导体层进行图案化, 以形成所述第一有源层 18。

具体地, 通过溅射法在所述缓冲层 4 上形成所述第一金属氧化物半导体层。溅射所使用的靶材为高迁移率非晶铟镓锌氧化物 (a-IGZO) 靶材。经过图案化工艺形成的第一有源层 18 因为是由高迁移率非晶铟镓锌氧化物 (a-IGZO) 靶材溅射而成, 从而其具有高的载流子迁移率。

所述图案化工艺可只包括光刻工艺, 或包括光刻工艺以及刻蚀步骤, 同时还可以包括打印、喷墨等其他用于形成预定图形的工艺; 光刻工艺, 是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本申请实施例中所形成的结构选择相应的构图工艺。

在本实施例中, 在所述第一金属氧化物半导体层上形成一层光刻胶, 对光刻胶进行曝光和显影, 然后对所述第一金属氧化物半导体层进行干法刻蚀, 以形成所述第一有源层 18。

在一些实施例中, 步骤 S31 也可以省略, 即直接在所述缓冲层 4 上形成所述第一有源层 18。在另一些实施例中, 步骤 S31、步骤 S32 和步骤 S33 可用步骤 S311 代替, 所述步骤 S311 为在所述基底 2 上形成所述第一有源层 18。

步骤 S34: 通过一次图案化工艺在所述第一有源层 18 的相对两侧分别形成第一源电极 12 和第一漏电极 14。

请参阅图 4b, 具体地, 在经过步骤 S3 的所述第一有源层 18 和缓冲层 4 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 2000-6000Å 的源漏金属层, 在源漏金属层上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域, 其中, 光刻胶保留区域位于所述第一有源层 18 的相对两侧, 光刻胶不保留区域为其他区域; 通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的源漏金属薄膜, 剥离剩余的光刻胶, 形成所述第一源电极 12

和第一漏电极 14。

步骤 S35: 在所述缓冲层 4、所述第一有源层 18、所述第一源电极 12 以及所述第一漏电极 14 上同时形成栅绝缘层 6。

请参阅图 4c, 具体地, 可以采用等离子体增强化学气相沉积 (PECVD) 方法, 在经过步骤 S4 的所述缓冲层 4、所述第一有源层 18、所述第一源电极 12 以及所述第一漏电极 14 上沉积厚度约为 $2000\text{--}6000\text{\AA}$ 的栅绝缘层 6, 其中, 栅绝缘层 6 材料可以选用氧化物、氮化物或者氮氧化物, 栅绝缘层 6 可以为单层、双层或多层结构。具体地, 栅绝缘层 6 可以是 SiN_x , SiO_x 或 $\text{Si}(\text{ON})_x$ 。

在一些实施例中, 步骤 S34 和 S35 可用步骤 S312 代替, 所述步骤 S312 为在所述第一有源层 18 上形成栅绝缘层 6。

步骤 S36: 通过一次图案化工艺在所述栅绝缘层 6 上同时形成第一栅电极 16 和第二栅电极 28, 所述第一栅电极 16 位于所述第一有源层 18 的正上方, 所述第一栅电极 16 和第二栅电极 28 间隔预设距离。

请参阅图 4d, 具体地, 可以在经过步骤 S5 的所述栅绝缘层 6 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 $2000\text{--}6000\text{\AA}$ 的栅金属层, 在栅金属层上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域; 通过刻蚀工艺刻蚀掉光刻胶不保留区域的栅金属层, 剥离剩余的光刻胶, 形成所述第一栅电极和所述第二栅电极, 所述第一栅电极位于所述第一有源层的正上方, 所述第二栅电极与所述第一栅电极间隔预设距离。

步骤 S37: 在所述第一栅电极 16、所述第二栅电极 28 和所述栅绝缘层 6 上同时形成所述层间绝缘层 5。

请参阅图 4e, 具体地, 所述层间绝缘层 5 的厚度范围为 $3000\text{--}9000\text{\AA}$, 与沉积所述栅绝缘层 6 的方式相同, 可采用等离子体增强化学气相沉积方式、低压化学气相沉积方式、大气压化学气相沉积方式或电子回旋谐振化学气相沉积方式沉积形成所述层间绝缘层 5, 沉积温度小于或等于 600°C 。所述层间绝缘层 5 可采用单层的氧化硅材料或者氧化硅材料、氮化硅材料形成多个子层的叠层。

步骤 S38: 通过一次图案化工艺在所述层间绝缘层 5 上形成第二有源层 26, 所述第二有源层 26 设于所述第二栅电极 28 的正上方, 其中所述第一有源层和所述第二有源层分别由不同的材料制得, 进而使得所述第一有源层和所述第二有源层的电学性能不同。

请参阅图 4f, 具体地, 通过溅射法在经过步骤 S7 的所述层间绝缘层 5 上形成第二金属氧化物半导体层。溅射所使用的靶材为普通非晶铟镓锌氧化物 (a-IGZO) 靶材。经过图案化工艺形成的第二有源层 26 因为是由普通非晶铟镓锌氧化物 (a-IGZO) 靶材溅射而成, 从而所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

所述图案化工艺可只包括光刻工艺, 或包括光刻工艺以及刻蚀步骤, 同时还可以包括打印、喷墨等其他用于形成预定图形的工艺; 光刻工艺, 是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本申请实施例中所形成的结构选择相应的构图工艺。

在本实施例中, 在所述第二金属氧化物半导体层上形成一层光刻胶, 对光刻胶进行曝光和显影, 然后对所述第二金属氧化物半导体层进行干法刻蚀, 以形成所述第二有源层 26。

步骤 S39: 通过一次图案化工艺在所述第二有源层 26 的相对两侧形成第二源电极 22 和第二漏电极 24。

请参阅图 4g, 具体地, 可以在经过步骤 S38 的所述第二有源层 26 和层间绝缘层 5 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 2000-6000Å 的源漏金属层, 在源漏金属层上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域, 其中, 光刻胶保留区域为所述第二有源层 26 的两侧和上方, 光刻胶不保留区域为其他区域; 通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的源漏金属薄膜, 剥离剩余的光刻胶, 形成所述第二源电极 22 和第二漏电极 24。

在一些实施例中, 所述步骤 S34 可以调至步骤 S37 与步骤 S38 之间, 即, 在形成所述层间绝缘层 5 后, 直接在所述层间绝缘层 5 上形成所述

第一源电极 12 和所述第一漏电极 14, 所述第一源电极 12 和所述第一漏电极 14 通过贯穿所述层间绝缘层 5 和栅绝缘层 6 的过孔分别与所述第一有源层 18 接触。在另一些实施例中, 所述步骤 S34 也可以在步骤 S38 之后, 即, 第一源电极 12、所述第一漏电极 14 和所述第二源电极 22、所述第二漏电极 24 在由同一导电层同时图案化形成, 所述第一源电极 12 和所述第一漏电极 14 通过贯穿所述层间绝缘层 5 和栅绝缘层 6 的过孔分别与所述第一有源层 18 接触。

请一并参阅图 5a 和图 5b, 本申请另一实施例提供一种阵列基板的制造方法, 需要说明的是, 上述对阵列基板的实施例的解释说明也适用于本实施例的阵列基板的制备方法, 为避免冗余, 在此不再详细展开。需要说明的是, 在下述各个实施例中, 下述各步骤之间并不必然存在一定的先后顺序, 本领域普通技术人员, 根据本申请实施例的描述可以理解, 不同实施例中, 下述各步骤可以有不同的执行顺序, 亦即, 可以并行执行, 亦可以交换执行等等; 不同实施例中, 下述有些步骤亦可以省略或被代替。

所述阵列基板的制造方法包括:

步骤 S51: 在基底 2 上形成柔性基板 3。

步骤 S52: 在所述柔性基板 3 上形成缓冲层 4。

步骤 S53: 通过一次图案化工艺在所述缓冲层 4 上形成第一栅电极 16。

请参阅图 6a, 具体地, 可以在经过步骤 S2 的所述缓冲层 4 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 2000-6000Å 的栅金属层, 在栅金属层上涂覆一层光刻胶, 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域, 其中, 光刻胶保留区域靠近所述缓冲层 4 的一端, 光刻胶不保留区域为其他区域; 通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的栅金属层, 剥离剩余的光刻胶, 形成所述第一栅电极 16。

在一些实施例中, 步骤 S51 也可以省略, 即直接在所述缓冲层 4 上形成所述第一栅电极 16。在另一些实施例中, 步骤 S51、步骤 52 和步

骤 S3 可用步骤 S511 代替, 所述步骤 S511 为在基底上形成第一栅电极。

步骤 S54: 请参阅图 6b, 在所述第一栅电极 16 和所述缓冲层 4 上同时形成栅绝缘层 6。

步骤 S55: 通过一次图案化工艺在所述栅绝缘层 6 上形成第一有源层 18, 所述第一有源层 18 正对应所述第一栅电极 16。

请参阅图 6c, 具体地, 通过溅射法在所述栅绝缘层 6 上形成第一金属氧化物半导体层。溅射所使用的靶材为高迁移率非晶铟镓锌氧化物 (a-IGZO) 靶材。经过图案化工艺形成的第一有源层 18 因为是由纯非晶铟镓锌氧化物 (a-IGZO) 靶材溅射而成, 从而其具有高的载流子迁移率。

步骤 S56: 请参阅图 6d, 通过一次图案化工艺同时形成所述第一源电极 12、第一漏电极 14 和第二栅电极 28。所述第一源电极 12 和所述第一漏电极 14 分别与所述第一有源层 18 的相对两侧接触, 所述第二栅电极 28 在与所述第一栅电极 16 间隔预设距离处形成。

步骤 S57: 请参阅图 6e, 在第一源电极 12、第一漏电极 14、第二栅电极 28 上和栅绝缘层 6 上同时形成层间绝缘层 5。

步骤 S58: 通过一次图案化工艺在在所述层间绝缘层 5 上形成第二有源层 26, 所述第二有源层 26 位于所述第二栅电极 28 的正上方, 其中所述第一有源层 18 和所述第二有源层 26 分别由不同的材料制得, 进而使得所述第一有源层 18 和所述第二有源层 26 的电学性能不同;

请参阅图 6f, 具体地, 通过溅射法在经过步骤 S7 的所述层间绝缘层 5 上形成所述第二金属氧化物半导体层。溅射所使用的靶材为普通非晶铟镓锌氧化物 (a-IGZO) 靶材。经过图案化工艺形成的第二有源层 26 因为是由普通非晶铟镓锌氧化物 (a-IGZO) 靶材溅射而成, 从而所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

步骤 S59: 通过一次图案化工艺在所述第二有源层 26 的相对两侧形成第二源电极 22 和第二漏电极 24。

上述阵列基板可应用于一显示装置, 该显示装置包括发光层及保护

层，所述发光层形成于所述阵列基板上方，所述保护层形成于所述发光层上方，所述阵列基板用于驱动所述发光层发光而使所述显示装置的实现显示功能。当然，所述阵列基板还可包括其他必要的电子元件以实现显示驱动，这些元件与现有技术相似，此处不再赘述。需要说明的是，当上述各阵列基板应用于柔性显示装置时，所述基底与所述柔性基板可进行剥离，可以是先将所述发光层及所述保护层依次形成于所述柔性基板上形成有上述第一、二薄膜晶体管的一侧后，再将所述基底与所述柔性基板进行剥离。

所述显示装置可通过设置诸如弯曲传感器之类，利用弯曲传感器检测的弯曲参数，以实现各类应用功能的执行，从而极大提升用户的体验感。

与现有技术相比较，本申请显示装置的阵列基板 100 或 100a，通过同一种制备工艺，利用不同掺杂浓度或不同电学性能的靶材，同时在一种阵列基板 100 或 100a 上得到具有不同器件特性的薄膜晶体管器件，提高了生产效率，同时利于布局空间的使用。

最后应说明的是：以上实施例仅用以说明本申请的技术方案，而非对其限制；在本申请的思路下，以上实施例或者不同实施例中的技术特征之间也可以进行组合，步骤可以以任意顺序实现，并存在如上所述的本申请的不同方面的许多其它变化，为了简明，它们没有在细节中提供；尽管参照前述实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权利要求书

1、一种阵列基板的制造方法，其特征在于，

在基底上形成第一有源层；

在所述第一有源层上形成栅绝缘层；

在所述栅绝缘层上同时形成间隔设置的第一栅电极和第二栅电极，
所述第一栅电极位于所述第一有源层的正上方；

在所述第一栅电极、所述第二栅电极和所述栅绝缘层上形成所述层间绝缘层；

在所述层间绝缘层上形成第二有源层，所述第二有源层设于所述第二栅电极的正上方，其中所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同；

在所述第二有源层的相对两侧形成第二源电极和第二漏电极。

2、根据权利要求1所述的方法，其特征在于：

所述在所述基底上形成第一有源层，包括：

在所述基底上形成第一金属氧化物半导体层，并对所述第一金属氧化物半导体层进行图案化，以形成所述第一有源层。

3、根据权利要求2所述的方法，其特征在于：所述在所述层间绝缘层上形成第二有源层，包括：

在所述层间绝缘层上形成第二金属氧化物半导体层，并对所述第二金属氧化物半导体层进行图案化，以形成所述第二有源层，所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

4、根据权利要求1所述的方法，其特征在于：

所述在所述第一有源层上形成栅绝缘层的步骤包括：在所述第一有源层的两相对侧分别形成第一源电极和第一漏电极，在所述第一有源

层、所述第一源电极和第一漏电极上形成栅绝缘层。

5、根据权利要求1所述的方法，其特征在于：

所述在所述第一栅电极、所述第二栅电极和所述栅绝缘层上形成所述层间绝缘层之后，还包括：

在所述层间绝缘层、所述栅绝缘层上形成与所述第一有源层的两侧对应的过孔，并且在所述层间绝缘层上同时形成第一源电极、第一漏极、所述第二源电极和所述第二漏电极，所述第一源电极和所述第一漏极分别通过所述过孔与所述第一有源层接触。

6、根据权利要求1所述的方法，其特征在于：

所述在基底上形成第一有源层的步骤之前包括：

在所述基底上形成柔性基板，所述第一有源层形成在所述柔性基板上。

7、根据权利要求6所述的方法，其特征在于：

所述在基底上形成第一有源层的步骤之前还包括：

在所述柔性基板上形成缓冲层，所述第一有源层形成在所述缓冲层上。

8、一种阵列基板的制造方法，其特征在于，

在基底上形成第一栅电极；

在所述第一栅电极上形成栅绝缘层；

在所述栅绝缘层上形成正对应所述第一栅电极的第一有源层；

在所述栅绝缘层、所述第一有源层上同时形成第一源电极、第一漏电极和第二栅电极，所述第一源电极和所述第一漏电极分别与所述第一有源层的相对两侧接触，所述第二栅电极在与所述第一栅电极间隔预设距离处形成；

在所述第一源电极、所述第一漏电极、所述第二栅电极和所述栅绝

缘层上形成层间绝缘层；

在所述层间绝缘层上形成第二有源层，所述第二有源层位于所述第二栅电极的正上方，其中所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同；

在所述第二有源层的相对两侧形成第二源电极和第二漏电极。

9、根据权利要求8所述的方法，其特征在于：

所述在所述栅绝缘层上形成正对应所述第一栅电极的第一有源层，包括：在所述栅绝缘层上形成第一金属氧化物半导体层，并对所述第一金属氧化物半导体层进行图案化，以形成所述第一有源层。

10、根据权利要求9所述的方法，其特征在于：

所述在所述层间绝缘层上形成第二有源层，包括：在所述层间绝缘层上形成第二金属氧化物半导体层，并对所述第二金属氧化物半导体层进行图案化，以形成所述第二有源层，所述第二金属氧化物的载流子迁移率低于所述第一金属氧化物的载流子迁移率。

11、根据权利要求8所述的方法，其特征在于：

所述在基底上形成第一栅电极的步骤之前包括：

在所述基底上形成柔性基板，所述第一栅电极形成在所述柔性基板上。

12、根据权利要求11所述的方法，其特征在于：

所述在基底上形成第一栅电极的步骤之前还包括：

在所述柔性基板上形成缓冲层，所述第一栅电极形成在所述缓冲层上。

13、一种阵列基板，其特征在于，包括：基底及形成于所述基底上

的第一有源层、第一栅电极、第一源电极、第一漏电极、第二有源层、第二栅电极、第二源电极、第二漏电极、栅绝缘层和层间绝缘层；所述第一有源层与所述第一栅电极正对设置，所述栅绝缘层位于所述第一有源层与所述第一栅电极之间以使二者相互绝缘；所述第一源电极与所述第一漏电极分别与所述第一有源层的相对两侧接触；所述第二有源层与所述第二栅电极正对设置，所述层间绝缘层位于所述第二有源层与所述第二栅电极之间以使二者相互绝缘设置；所述第二栅电极位于所述栅绝缘层与所述层间绝缘层之间；所述第二源电极与所述第二漏电极分别与所述第二有源层的相对两侧接触；所述第一有源层和所述第二有源层分别由不同的材料制得，进而使得所述第一有源层和所述第二有源层的电学性能不同。

14、根据权利要求 13 所述的阵列基板，其特征在于，
所述第一有源层由高迁移率非晶铟镓锌氧化物靶材溅射而成，
所述第二有源层由普通非晶铟镓锌氧化物靶材溅射而成，所述第一有源层的载流子迁移率高于所述第二有源层的载流子迁移率。

15、根据权利要求 13 所述的阵列基板，其特征在于，所述第一有源层位于所述栅绝缘层靠近所述基底的一侧。

16、根据权利要求 15 所述的阵列基板，其特征在于，
所述第一源电极和所述第一漏电极位于所述栅绝缘层靠近所述第一有源层的一侧。

17、根据权利要求 15 所述的阵列基板，其特征在于，所述第一源电极和所述第一漏电极位于所述层间绝缘层远离所述基底的一侧，所述第一源电极、所述第一漏电极分别通过贯穿所述层间绝缘层和所述栅绝缘层的过孔，分别与所述第一有源层接触。

18、根据权利要求 13 所述的阵列基板，其特征在于，所述阵列基板还包括形成于所述基底上的柔性基板，所述第一有源层、所述第一栅电极、所述第一源电极、所述第一漏电极、所述第二有源层、所述第二栅电极、所述第二源电极、所述第二漏电极、所述栅绝缘层和所述层间绝缘层均形成于所述柔性基板上。

19、根据权利要求 18 所述的阵列基板，其特征在于，所述阵列基板还包括形成于所述柔性基板上的缓冲层，所述第一有源层、所述第一栅电极、所述第一源电极、所述第一漏电极、所述第二有源层、所述第二栅电极、所述第二源电极、所述第二漏电极、所述栅绝缘层和所述层间绝缘层均形成于所述缓冲层上。

20、一种显示装置，其特征在于，包括如权利要求 13 至 19 任一项所述的阵列基板。

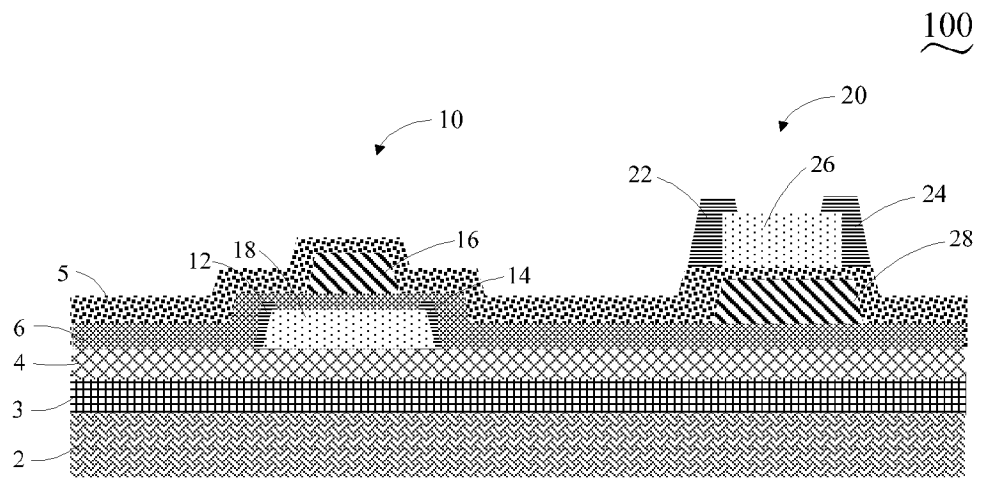


图 1

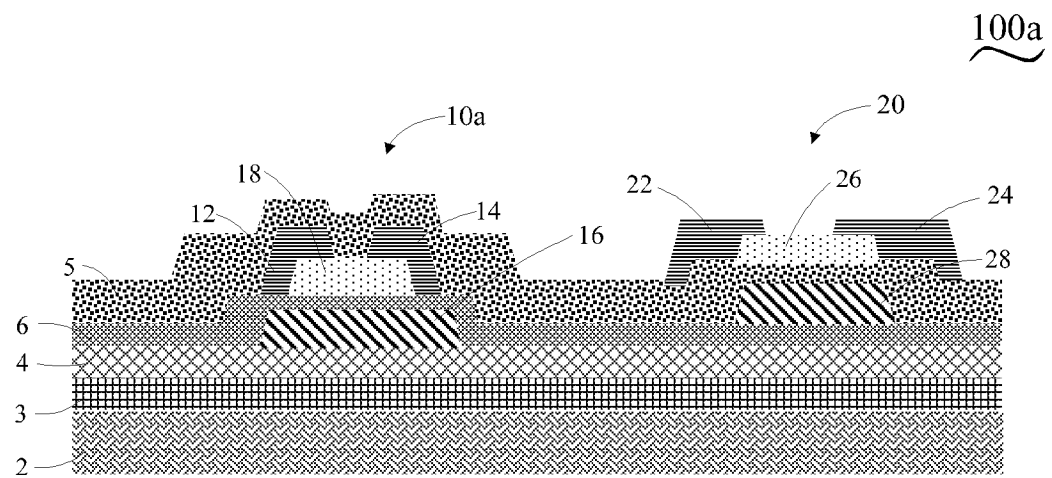


图 2

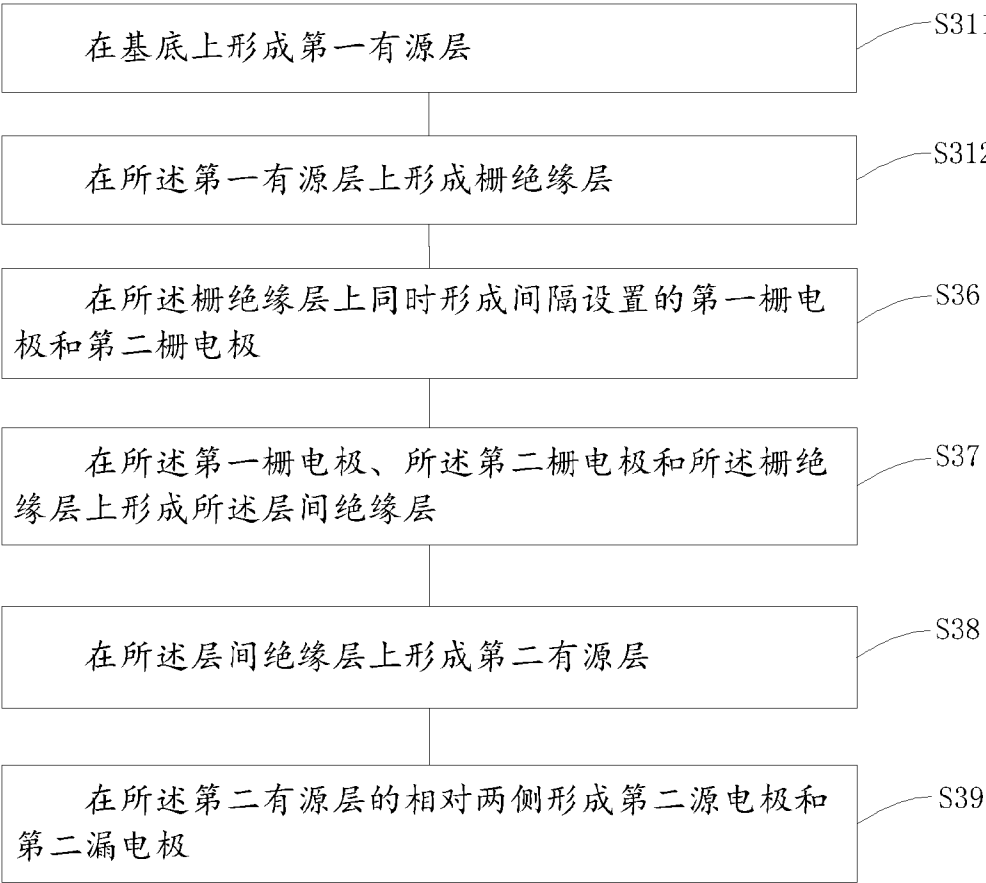


图 3a

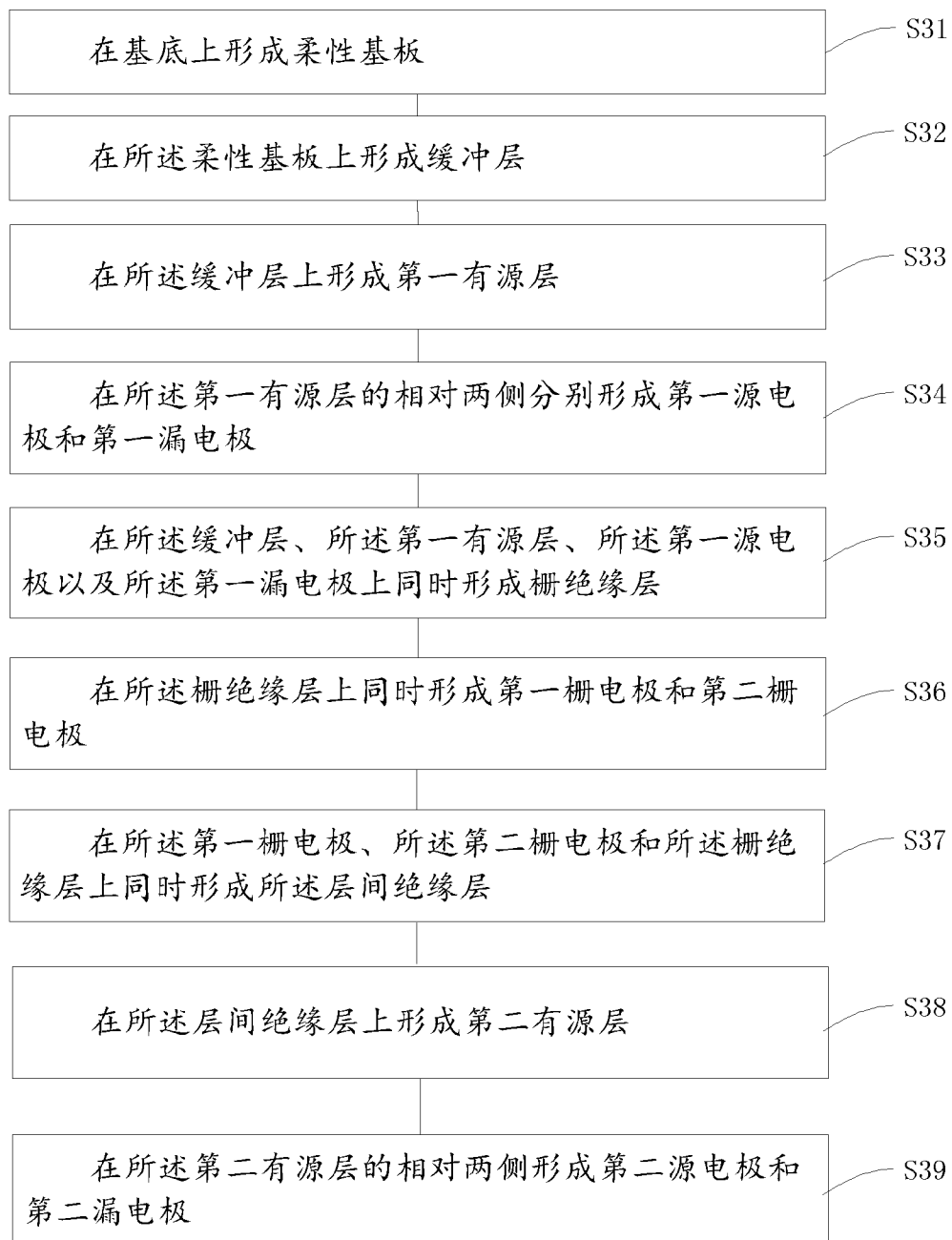


图 3b

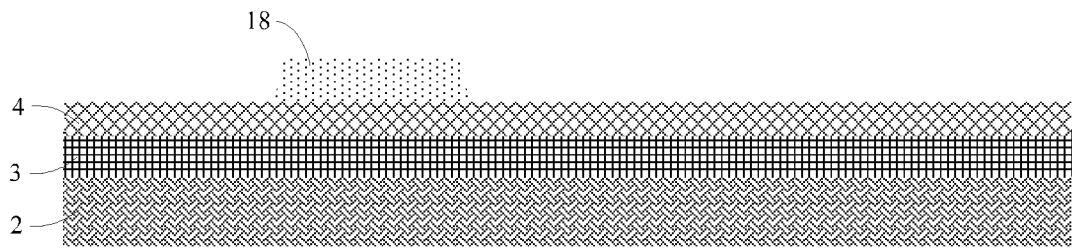


图 4a

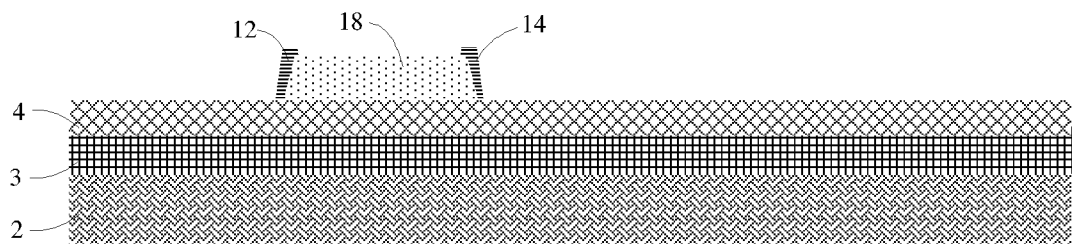


图 4b

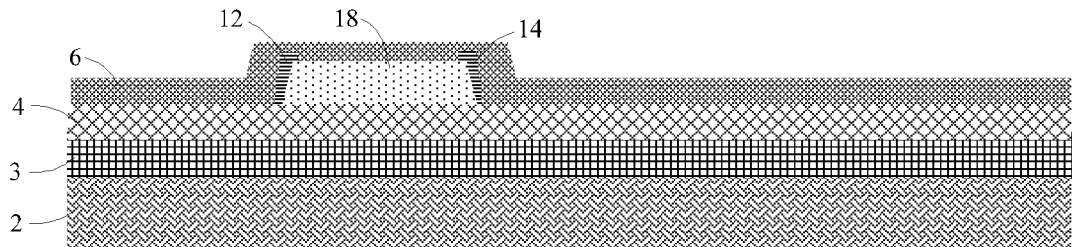


图 4c

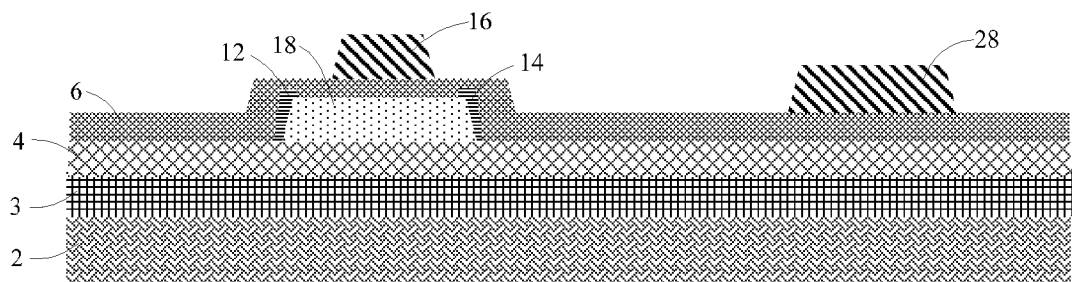


图 4d

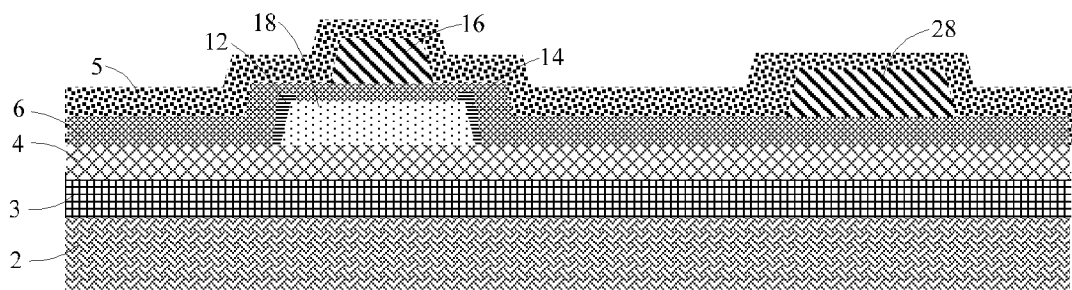


图 4e

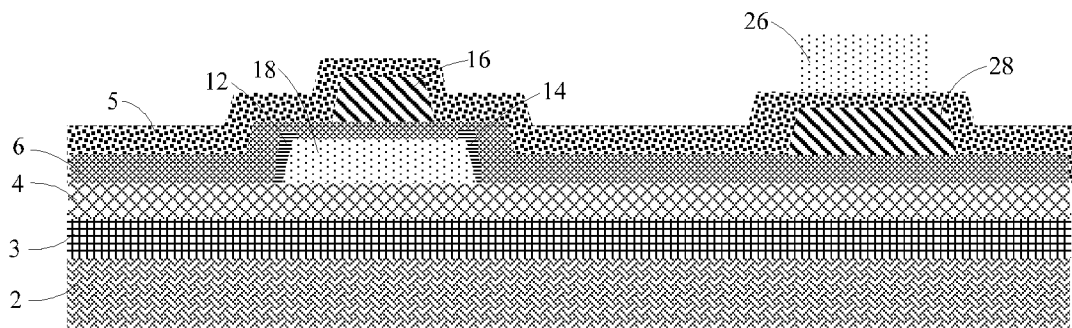


图 4f

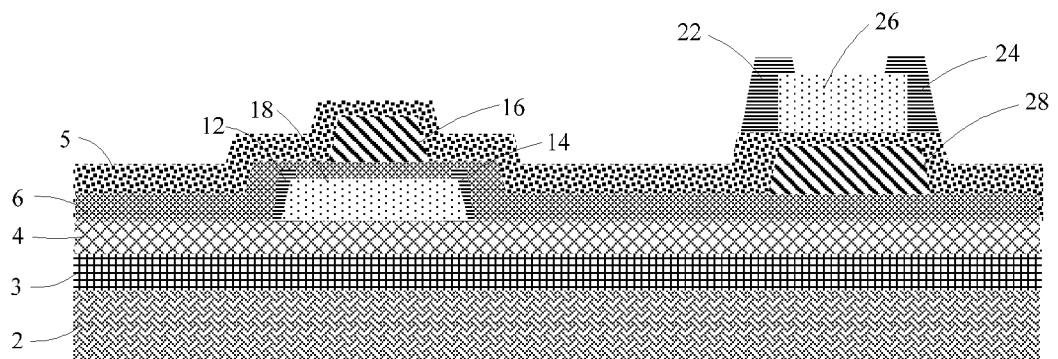


图 4g



图 5a



图 5b

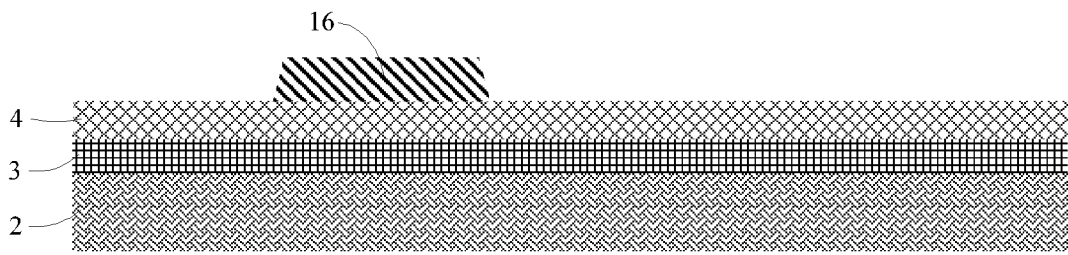


图 6a

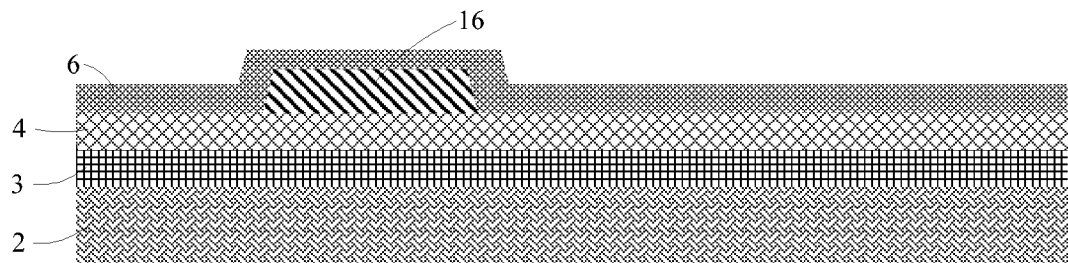


图 6b

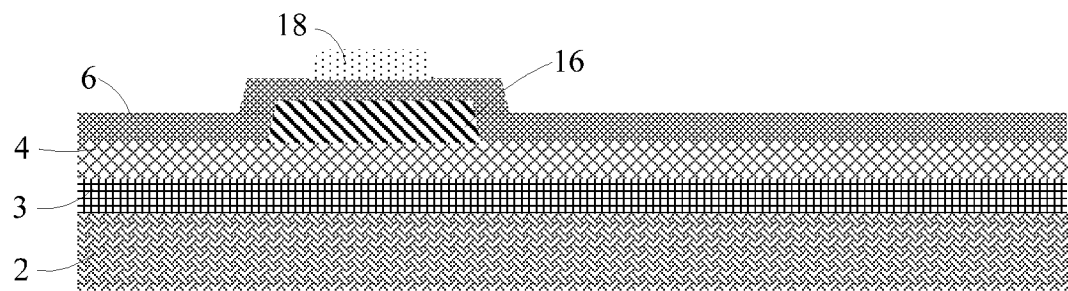


图 6c

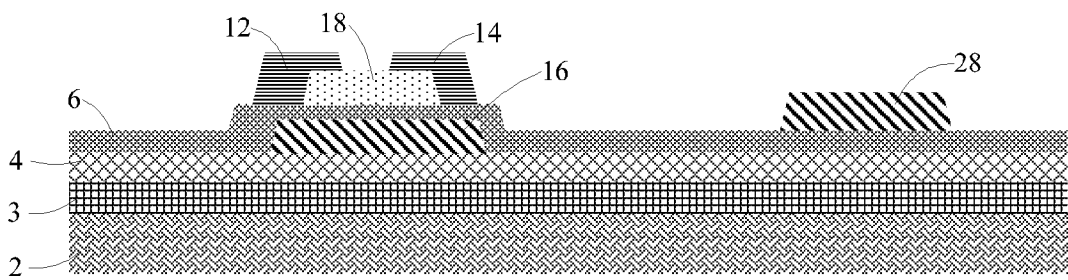


图 6d

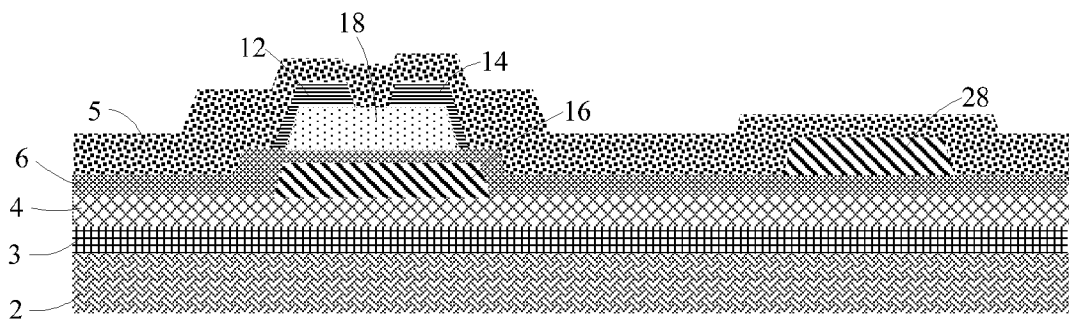


图 6e

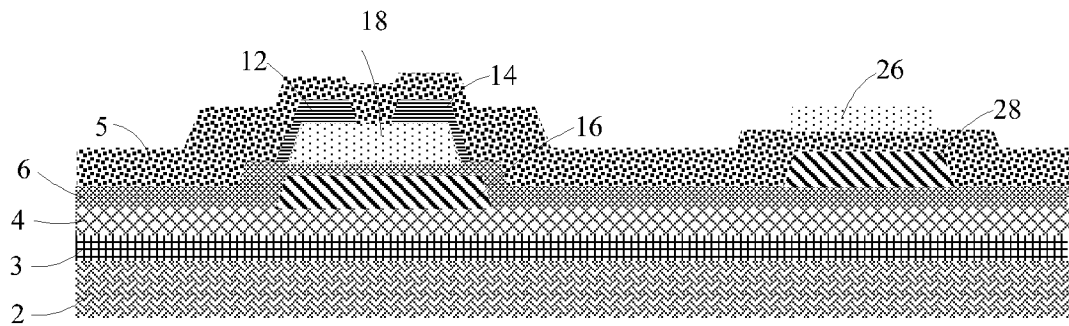


图 6f

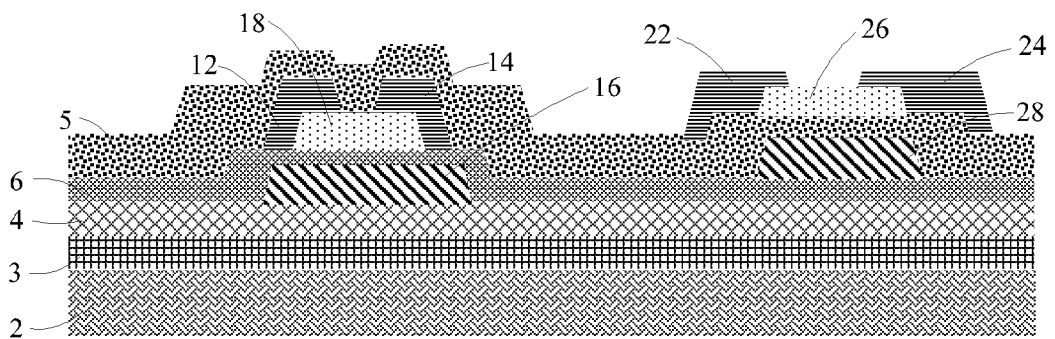


图 6g

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/123564

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, WPI, EPODOC: 深圳市柔宇科技有限公司, 高伟程, 蔡武卫, 金敏澈, 阵列基板, 第一有源层, 第二有源层, 第一栅极, 第二栅极, 一次构图, 同时形成, 不同材料, 载流子迁移率, 顶栅, 底栅, array, substrate, transistor, active, gate, mask, top, bottom

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107452757 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 08 December 2017 (2017-12-08) description, paragraphs [0032]-[0087], and figures 1 and 8a-10f	1-6, 13-18, 20
Y	CN 107452757 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 08 December 2017 (2017-12-08) description, paragraphs [0032]-[0087], and figures 1 and 8a-10f	7, 9-12, 19
Y	CN 107275350 A (BOE TECHNOLOGY GROUP CO., LTD.) 20 October 2017 (2017-10-20) description, paragraphs [0046]-[0084], and figures 4-8	8-12
Y	CN 108321159 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 July 2018 (2018-07-24) description, paragraphs [0037] and [0073]	7-12, 19
A	US 2015325602 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 12 November 2015 (2015-11-12) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 September 2019

Date of mailing of the international search report

27 September 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/123564

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107452757	A	08 December 2017	US	10276607	B2	30 April 2019
				US	2018219032	A1	02 August 2018
CN	107275350	A	20 October 2017	US	2019027511	A1	24 January 2019
CN	108321159	A	24 July 2018	WO	2019148886	A1	08 August 2019
US	2015325602	A1	12 November 2015	US	9449995	B2	20 September 2016
				EP	3089212	A1	02 November 2016
				CN	103715196	A	09 April 2014
				EP	3089212	A4	23 August 2017
				CN	103715196	B	25 March 2015
				WO	2015096355	A1	02 July 2015

国际检索报告

国际申请号

PCT/CN2018/123564

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, IEEE, WPI, EPDOC: 深圳市柔宇科技有限公司, 高伟程, 蔡武卫, 金敏澈, 阵列基板, 第一有源层, 第二有源层, 第一栅极, 第二栅极, 一次构图, 同时形成, 不同材料, 载流子迁移率, 顶栅, 底栅, array, sub-rate, transistor, active, gate, mask, top, bottom

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 107452757 A (上海天马微电子有限公司) 2017年 12月 8日 (2017 - 12 - 08) 说明书第[0032]-[0087]段, 图1、8a-10f	1-6, 13-18, 20
Y	CN 107452757 A (上海天马微电子有限公司) 2017年 12月 8日 (2017 - 12 - 08) 说明书第[0032]-[0087]段, 图1、8a-10f	7, 9-12, 19
Y	CN 107275350 A (京东方科技集团股份有限公司) 2017年 10月 20日 (2017 - 10 - 20) 说明书第[0046]-[0084]段, 图4-8	8-12
Y	CN 108321159 A (京东方科技集团股份有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0037]、[0073]段	7-12, 19
A	US 2015325602 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 2015年 11月 12日 (2015 - 11 - 12) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 9月 11日

国际检索报告邮寄日期

2019年 9月 27日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李静

电话号码 86-(10)-53961223

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/123564

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107452757	A	2017年 12月 8日	US	10276607	B2	2019年 4月 30日
				US	2018219032	A1	2018年 8月 2日
CN	107275350	A	2017年 10月 20日	US	2019027511	A1	2019年 1月 24日
CN	108321159	A	2018年 7月 24日	WO	2019148886	A1	2019年 8月 8日
US	2015325602	A1	2015年 11月 12日	US	9449995	B2	2016年 9月 20日
				EP	3089212	A1	2016年 11月 2日
				CN	103715196	A	2014年 4月 9日
				EP	3089212	A4	2017年 8月 23日
				CN	103715196	B	2015年 3月 25日
				WO	2015096355	A1	2015年 7月 2日

表 PCT/ISA/210 (同族专利附件) (2015年1月)