

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월22일 10-0582335 2006년05월15일
--	-------------------------------------	--

(21) 출원번호	10-2003-0088265	(65) 공개번호	10-2005-0055210
(22) 출원일자	2003년12월05일	(43) 공개일자	2005년06월13일

(73) 특허권자                   에스티마이크로일렉트로닉스 엔.브이.  
스위스 제네바 플랜-레스-오우아테스 1228 체민 두 캠프 데스 필레스 39

주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자                    길민철  
경기도이천시고담동산72-1현대전자고담기숙사101동307호

(74) 대리인                    신영무

심사관 : 김상결

(54) 낸드 플래시 소자의 제조 방법

요약

본 발명은 낸드 플래시 소자의 제조 방법에 관한 것으로, 소스라인 플러그홀 형성후, 드레인 콘택 플러그 홀을 형성한 다음, 상기의 홀들을 도전성물질막으로 매립, 평탄화함으로서, 전면식각공정 단계 줄일 수 있어 공정의 단순화를 할 수 있고, 전면 식각공정에 의한 드레인 콘택 플러그의 손실을 방지함으로써, 소자의 전기적 특성을 향상 시킬 수 있고, 소자 제조의 원가를 절감시킬 수 있는 낸드 플래시 소자의 제조 방법을 제공한다.

대표도

도 4b

색인어

소스라인 플러그, 드레인 콘택 플러그, 평탄화 공정, 비트라인

명세서

도면의 간단한 설명

도 1은 종래의 플래시 소자의 제조 방법의 문제점을 설명하기 위한 단면도이다.

도 2는 종래의 문제점을 설명하기 위한 SEM 사진이다.

도 3은 본 발명에 따른 낸드 플래시 소자의 어레이도이다.

도 4a 내지 도 4g는 본 발명에 따른 낸드 플래시 소자의 제조 방법을 설명하기 위한 도 3의 III-III'선상의 단면도들이다.

도 5는 소스 콘택 식각후의 SEM 사진이다.

도 6은 드레인 콘택홀 형성후의 SEM 사진이다.

<도면의 주요 부분에 대한 부호의 설명>

10, 110 : 반도체 기판 20, 120 : 셀 스트링

30, 130 : 드레인 선택 트랜지스터 40, 140 : 소스 선택 트랜지스터

12, 16, 112, 122, 126 : 층간 절연막 14, 118 : 소스라인 플러그

18, 119 : 드레인 콘택 플러그 114 : 소스라인 콘택홀

116 : 드레인 콘택홀 124 : 식각정지막

134 : 트렌치 136 : 공통 소스라인 콘택홀

137, 138 : 비아홀 142 : 배리어막

150 : 비트라인 160 : 공통 소스라인 콘택

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 낸드 플래시 소자의 제조 방법에 관한 것으로, 특히 낸드 플래시 소자의 드레인 콘택과 소스 콘택 형성 방법에 관한 것이다.

낸드 플래시 소자의 셀 어레이(Cell Array)는 일반 플래시 소자와 달리 셀 어레이가 스트링(String)으로 연결되어 동작하고 있다. 이러한 특성상 스트링의 양 끝단에 비트라인(Bit Line)으로 연결되는 드레인 콘택(Drain Contact)과 글로벌 그라운드(Global Ground)를 위한 소스 라인 콘택(Source Line Contact)이 위치하게 되며 이들 콘택은 스트링 제어를 위한 셀렉트 트랜지스터>Select Transistor)의 정선과 연결된다.

도 1은 종래의 플래시 소자의 제조 방법의 문제점을 설명하기 위한 단면도이다.

도 2는 종래의 문제점을 설명하기 위한 SEM 사진이다.

도 1 및 도 2를 참조하면, 전기적 정보를 저장하기 위한 셀 스트링(120)과 셀 스트링(120)의 드레인 단자를 선택하기 위한 드레인 선택 트랜지스터(130)와 셀 스트링(120)의 소스 단자를 선택하기 위한 소스 선택 트랜지스터(140)가 형성된 반도체 기판(10)상에 제 1 층간 절연막(12)을 형성한다.

소정의 식각공정을 실시하여 소스 선택 트랜지스터(140)의 소스 영역상부의 제 1 층간 절연막(12)을 제거하여 소스 라인 콘택홀을 형성한다. 전체 구조상에 폴리 실리콘막을 증착한 다음, 제 1 층간 절연막(12)을 정지막으로 하는 화학 기계적 연마를 실시하여 상기 소스 라인 콘택을 폴리 실리콘으로 매립함으로써 소스 라인 플러그(14)를 형성한다.

전체 구조상에 제 2 층간 절연막(16)을 형성한다. 전체 구조상에 드레인 콘택 영역을 개방하는 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 드레인 선택 트랜지스터(130)의 드레인 영역 상부의 제 2 및 제 1 층간 절연막(16 및 12)을 제거하여 드레인 콘택홀을 형성한다. 전체 구조상에 폴리 실리콘막을 증착한 다음, 전면 식각을 실시하여 제 2 층간 절연막(16) 상의 폴리 실리콘막을 제거 하여, 드레인 콘택홀을 폴리 실리콘으로 매립함으로써 드레인 콘택 플러그(18)를 형성한다. 이러한, 전면 식각공정의 경우 콘택 내의 과도한 플러그 폴리의 손실이 발생할 위험이 있고(도 1의 A영역 참조), 공정 제어 측면에 있어서도 불리한 면이 있다. 이러한, 플러그 폴리의 과도한 손실은 후속 다마신 공정을 통한 비트라인 콘택과 비트라인 형성시 식각 타겟 부족으로 인한 식각 멈춤을 위한 질화막의 일부가 잔류하게 되는 문제가 발생하여 소자의 전기적 특성을 악화 하는 문제가 발생한다(도 2 참조).

또한, 낸드 플래시 소자의 콘택 형성 공정 중 가장 크리티컬한 공정중의 하나가 드레인 콘택 형성 고정으로 콘택 식각시의 포토레지스트 마진 문제가 이슈가 되고 있다, 즉, 100nm급 이하의 낸드 플래시 소자의 트레인 콘택 식각의 감광막의 마진이 낮아지게 되어 콘택 식각시 제 2 층간 절연막의 두께 감소보다 감광막의 두께 감소분이 더 크게 발생하게 되는 문제가 있게 된다. 상술한 바와 같이 드레인 콘택 플러그와 소스 라인 플러그를 각각의 독립적인 공정을 이용하여 형성하게 됨으로 인해 전체적인 마스크수의 증가와 공정 단계의 증가를 야기해 생산성을 저하 시키는 문제가 발생한다. 또한, 각기 콘택 플러그 및 금속배선의 독립적인 마스크 얼라인(Mask Align)이 필요하게 되어 오버레이(Overlay) 제어에 있어서 난점이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 소스 콘택 플러그 형성후, 동일한 레벨에서 드레인 콘택을 형성함으로써, 전면 식각에 의한 플러그 형성공정을 줄일 수 있고, 트레인 콘택 형성시 식각층의 두께 감소로 인한 공정 마진을 확보할 수 있는 낸드 플래시 소자의 제조 방법을 제공한다.

### 발명의 구성 및 작용

본 발명에 따른 낸드 플래시 셀과 상기 셀의 드레인 단자를 선택하기 위한 드레인 선택 트랜지스터와 상기 셀의 소스 단자를 선택하기 위한 소스 단자를 선택하기 위한 소스 선택 트랜지스터가 형성된 반도체 기판이 제공되는 단계와, 상기 반도체 기판상에 제 1 층간 절연막을 형성하는 단계와, 상기 소스 선택 트랜지스터의 소스영역 상부의 상기 제 1 층간 절연막의 일부를 제거하여 소스라인 콘택홀을 형성하는 단계와, 상기 드레인 선택 트랜지스터의 드레인 영역 상부의 상기 제 1 층간 절연막의 일부를 제거하여 드레인 콘택홀을 형성하는 단계와, 상기 소스라인 콘택홀 및 상기 드레인 콘택홀을 도전성 물질막으로 매립, 평탄화 하여 소스라인 플러그 및 드레인 콘택 플러그를 형성하는 단계 및 상기 드레인 콘택 플러그와 전기적 접촉을 하는 비트라인과, 상기 소스라인 플러그와 전기적 접촉을 하는 공통 소스라인 콘택을 형성하는 단계를 포함하는 낸드 플래시 소자의 제조 방법을 제공한다.

바람직하게, 상기 소스라인 플러그 및 상기 드레인 콘택 플러그 형성은, 소정의 이온주입 공정을 실시하여 개방된 상기 드레인 영역 및 상기 소스영역에 불순물을 주입하는 단계와, 전체 구조상에 상기 도전성 물질막으로 폴리 실리콘막을 도포하는 단계 및 상기 제 1 층간 절연막을 정지막으로 하는 화학 기계적 연마 공정을 실시하는 단계를 포함한다.

바람직하게, 상기 비트라인 및 상기 공통 소스라인 콘택의 형성은, 상기 소스라인 플러그 및 상기 드레인 콘택 플러그가 형성된 상기 제 1 층간 절연막 상에 제 2 층간 절연막, 식각정지막 및 제 3 층간 절연막을 순차적으로 형성하는 단계와, 상기 제 3 층간 절연막, 식각정지막 및 제 2 층간 절연막을 패터닝 하여 비트라인용 트렌치 및 공통 소스라인용 콘택홀을 형성하는 단계와, 상기 비트라인용 트렌치 하부의 상기 제 2 층간 절연막을 패터닝하여 상기 드레인 콘택 플러그를 개방하는 드레인 비아홀을 형성하고, 상기 공통 소스라인용 콘택홀 하부의 상기 제 2 층간 절연막을 패터닝 하여 상기 소스라인 플러그를 개방하는 공통 소스라인 비아홀을 형성하는 단계 및 전체 구조상에 금속막을 형성한 다음, 상기 제 3 층간 절연막을 정지막으로 하는 평탄화 공정을 실시하여 상기 드레인 콘택 플러그 상부에는 상기 비트라인을 형성하고, 상기 소스라인 플러그 상부에는 상기 공통 소스라인 콘택을 형성하는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 3은 본 발명에 따른 낸드 플래시 소자의 어레이도이다.

도 4a 내지 도 4g는 본 발명에 따른 낸드 플래시 소자의 제조 방법을 설명하기 위한 도 3의 III-III'선상의 단면도들이다.

도 5는 소스 콘택 식각후의 SEM 사진이다.

도 3, 도 4a 및 도 5를 참조하면, 낸드 플래시 셀(120)과 셀(120)의 드레인 단자를 선택하기 위한 드레인 선택 트랜지스터(130)와 셀(120)의 소스 단자를 선택하기 위한 소스 선택 트랜지스터(140)가 형성된 반도체 기판(110) 상에 제 1 층간 절연막(112)을 형성한다. 제 1 층간 절연막(112)을 패터닝 하여 소스 라인 콘택홀(114)을 형성한다.

상기에서 낸드 플래시 셀(120)과 드레인 및 소스 선택 트랜지스터(130 및 140)의 형성은 반도체 기판(110) 상에 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰 및 문턱 전압 조절을 위한 이온층(미도시)을 형성하는 것이 바람직하다. 상기 웰은 트리플 형태의 웰을 형성하는 것이 효과적이다. 상기 스크린 산화막을 제거한 다음 터널 산화막(미도시), 제 1 도전막(미도시) 및 패드 질화막(미도시)을 증착한다.

상기 패드 질화막 상에 감광막을 도포한 다음 감광막 마스크를 이용한 사진 식각 공정을 실시하여 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각 마스크로 하는 식각공정을 실시하여 패드 질화막, 제 1 도전막, 터널 산화막 및 반도체 기판을 식각하여 STI 구조의 트렌치를 형성하는 것이 바람직하다. 전체 구조 상부에 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 증착하여 트렌치 내부를 매립한다. 패드 질화막을 정지층으로 하는 평탄화 공정을 실시하여 패드 질화막 상의 HDP 산화막을 제거하여 소자 분리막을 형성하는 것이 바람직하다.

패드 질화막을 인산 딥 아웃( $H_3PO_4$  dip out)을 이용한 질화막 스트립(nitride strip) 공정을 수행함으로써, 소자 분리막의 일부가 돌출되도록 형성하는 것이 바람직하다. DHF를 이용한 전처리 세정 공정을 실시하여 제 1 도전막 상부에 형성된 자연산화막과 잔류물들을 제거한다. 전체 구조 상부에 제 2 도전막(미도시)을 증착한 다음, 상기 제 2 도전막의 일부를 패터닝 하여 플로팅 게이트전극을 형성한다.

전체구조의 단차를 따라 유전체막(미도시)을 증착하고, 컨트롤 게이트를 형성하기 위한 제 3 도전막(미도시), 텅스텐 실리사이드막( $WSi_x$ ) 및 하드 마스크막(미도시)을 순차적으로 증착한다. 유전체막으로는  $ONO(SiO_2-Si_3N_4-SiO_2)$  구조의 유전체막을 형성하는 것이 바람직하다. 게이트 마스크와 에칭(Gate mask and etching)공정과 셀프 얼라인드 마스크와 에칭(Self aligned mask and etching) 공정을 수행하여 컨트롤 게이트 전극을 형성하는 것이 바람직하다. 이로써, 플래시 셀용 게이트 전극 및 트랜지스터용 게이트 전극을 형성하게 된다. 이후, 이온주입 공정을 실시하여 소스/드레인을 형성하는 것이 바람직하다. 상기에서 형성된 게이트 전극들을 보호하기 위해 전체 구조상부에 그 단차를 따라 산화막을 형성하는 것이 효과적이다.

전체 구조상에 층간 절연막을 형성하되, 제 1 층간 절연막(112)은 플래시 셀(120)과 트랜지스터를 보호하기 위한 산화막 및 층간의 절연을 위한 유전체 물질막이 적층된 구조로 형성하는 것이 바람직하다.

소스 라인 콘택 콘택홀 형성은 다음과 같다.

제 1 층간 절연막(112) 상에 감광막을 도포한 다음, 감광막 마스크를 이용한 사진 식각공정을 실시하여 소스 라인 영역을 개방하는 제 1 감광막 패턴(미도시)을 형성하는 것이 바람직하다. 낸드 플래시 소자이기 때문에 소스 선택 트랜지스터(140)의 소스 영역을 개방하는 것이 효과적이다. 상기 제 1 감광막 패턴을 식각마스크로 하는 식각공정을 통해 제 1 층간 절연막(112)을 제거하여 소스라인 콘택홀(114)을 형성하는 것이 바람직하다. 상기의 제 1 감광막 패턴을 소정의 감광막 스트립 공정을 통해 제거한다.

도 6은 드레인 콘택홀 형성후의 SEM 사진이다.

도 3, 도 4b, 도 4c 및 도 6을 참조하면, 패터닝 공정을 통해 드레인 상부의 제 1 층간 절연막(112)을 제거하여 드레인 콘택홀(116)을 형성한 다음, 소스라인 콘택홀(114) 및 드레인 콘택홀(116)을 도전성 물질막으로 매립, 평탄화 하여 소스라인 콘택 플러그(118) 및 드레인 콘택 플러그(119)를 형성한다.

소스라인 콘택홀(114)이 형성된 제 1 층간 절연막(112) 상에 감광막을 도포한 다음, 감광막 마스크를 이용한 사진 식각공정을 실시하여 드레인 영역을 개방하는 제 2 감광막 패턴(미도시)을 형성하는 것이 바람직하다. 제 2 감광막 패턴 형성전에 상기 소스라인 콘택홀(114)을 매립하기 위한 반사 방지막을 도포할 수도 있다. 낸드 플래시 소자이기 때문에 드레인 선택 트랜지스터(130)의 드레인 영역을 개방하는 것이 효과적이다. 상기 제 2 감광막 패턴을 식각마스크로 하는 식각공정을 통해 제 1 층간 절연막(112)을 제거하여 드레인 콘택홀(116)을 형성하는 것이 바람직하다. 상기의 제 2 감광막 패턴을 소정의 감광막 스트립 공정을 통해 제거한다.

전체 구조상에 도전성 물질막을 증착한 다음, 제 1 층간 절연막(112)을 정지막으로 하는 평탄화 공정을 실시하여 제 1 층간 절연막(112) 상의 도전성막을 제거하여 소스라인 플러그(118)와 드레인 콘택 플러그(119)를 형성하는 것이 바람직하다. 평탄화 공정은 전면식각 또는 화학 기계적 연마(CMP; Chemical Mechanical Polishing)를 이용하는 것이 바람직하다. 본 실시예에서는 화학 기계적 연마를 사용하는 것이 효과적이다. 도전성막 증착 전에 셀 정선의 특성 유지를 위해 플러그 이온주입을 실시할 수도 있다. 도전성 물질막은 폴리 실리콘막을 사용하는 것이 효과적이다.

이하 듀얼 다마신 공정을 실시하여 드레인 콘택 플러그 상부에는 비트라인을 형성하고, 소스 라인 콘택 플러그 상부에는 공통 소스라인을 형성한다.

도 3, 도 4d 및 도 4e를 참조하면, 소스 라인 플러그(118)와 드레인 콘택 플러그(119)가 형성된 제 1 층간 절연막(112) 상에 제 2 층간 절연막(122), 식각정지막(124) 및 제 3 층간 절연막(126)을 순차적으로 형성한다. 제 3 층간 절연막(126) 상에 반사 방지막(128) 및 감광막 패턴(132)을 형성한다.

제 3 층간 절연막(126) 상에 난반사 방지를 위한 난반사 방지 유기막(Organic Bottom ARC)인 반사 방지막(128)을 형성한 다음, 반사 방지막(126) 상에 감광막을 도포한다. 감광막을 마스크를 이용한 사진 식각공정을 실시하여 비트라인 및 공통 소스라인 콘택 형성을 위한 제 3 감광막 패턴(132)을 형성한다. 제 3 감광막 패턴(132)을 식각마스크로 하는 식각 공정을 실시하여 반사 방지막(128), 제 3 층간 절연막(126), 식각정지막(124) 및 제 2 층간 절연막(122)의 일부를 식각하여 트렌치(134)를 형성한다.

소정의 스트립 공정을 실시하여 제 3 층간 절연막(126) 상에 잔류하는 제 3 감광막 패턴(132) 및 반사 방지막(128)을 제거한다. 이때, 제 3 층간 절연막(126) 식각시 식각정지막이 정지막 역할을 하여 목표로 하는 깊이와 두께의 트렌치(134 및 136)를 형성할 수 있도록 한다.

도 3, 도 4f 및 도 4g를 참조하면, 상기 트렌치(134 및 136) 하부의 제 2 층간 절연막(122)의 일부를 패터닝 하여 각기 공통 소스라인용 및 비트라인용 비아홀(137 및 138)을 형성한다. 콘택, 비아홀 및 상기 트렌치(134, 136, 137 및 138)를 각기 금속막으로 매립, 평탄화 하여 드레인 콘택 플러그(119)와 전기적 접촉을 하는 비트라인(150)을 형성하고, 소스라인 플러그(118)와 전기적 접촉을 하는 공통 소스라인 콘택(160)을 형성한다.

비트라인용 트렌치(134) 및 공통 소스라인용 콘택홀(136)이 형성된 전체 구조상에 감광막을 도포한 다음, 마스크를 이용한 사진 식각공정을 실시하여 비트라인용 트렌치(134) 하부의 드레인 콘택 플러그(119) 상부를 개방하고, 소스라인용 콘택홀(136) 하부의 소스라인 플러그(118) 상부를 개방하는 제 4 감광막 패턴(미도시)을 형성한다. 상기 제 4 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 제 2 층간 절연막(122)을 제거함으로써, 비트라인 트렌치(134) 하부에 드레인 콘택 플러그(119)를 개방하는 비트라인 비아홀(138)을 형성하고, 공통 소스라인 콘택홀(136) 하부에 소스라인 플러그(118)를 개방하는 소스라인 비아홀(137)을 형성한다. 소정의 스트립 공정을 실시하여 제 4 감광막 패턴을 제거한다.

전체 구조상에 확산 방지막(미도시)을 증착한 다음, 금속막을 형성한다. 제 3 층간 절연막(126)을 정지막으로 하는 평탄화 공정을 실시하여 제 3 층간 절연막(126)상의 금속막을 제거하여 드레인 콘택 플러그(119)와 전기적 접촉을 하는 비트라인(150)과, 소스라인 플러그(118)와 전기적 접촉을 하는 공통 소스라인 콘택(160)을 형성한다. 전체 구조상에 하부의 금속 배선, 콘택, 플러그를 보호하기 위한 보호막 또는 배리어막(142)을 도포한 다음, 후속 상부 금속배선 형성공정을 실시한다.

제 1 내지 제 3 층간 절연막(112, 122, 126)은 전기적 절연특성이 있는 물질막을 사용하되, 질화막 계열의 물질막, 산화막 계열의 물질막을 사용하는 것이 바람직하다. 금속막은 텅스텐막, 구리막 및 알루미늄막 중 적어도 어느 하나의 막을 사용하는 것이 바람직하다.

## 발명의 효과

상술한 바와 같이, 본 발명은 소스라인 플러그홀 형성후, 드레인 콘택 플러그 홀을 형성한 다음, 상기의 홀들을 도전성물질막으로 매립, 평탄화함으로써, 이온주입공정, 도전성 물질막 매립공정 및 전면식각공정 단계 줄일 수 있어 공정의 단순화를 할 수 있다.

또한, 전면 식각공정에 의한 드레인 콘택 플러그의 손실을 방지함으로써, 소자의 전기적 특성을 향상 시킬 수 있고, 소자 제조의 원가를 절감시킬 수 있다.

**(57) 청구의 범위**

**청구항 1.**

낸드 플래시 셀과 상기 셀의 드레인 단자를 선택하기 위한 드레인 선택 트랜지스터와 상기 셀의 소스 단자를 선택하기 위한 소스 단자를 선택하기 위한 소스 선택 트랜지스터가 형성된 반도체 기판이 제공되는 단계;

상기 반도체 기판상에 제 1 층간 절연막을 형성하는 단계;

상기 소스 선택 트랜지스터의 소스영역 상부의 상기 제 1 층간 절연막의 일부를 제거하여 소스라인 콘택홀을 형성하는 단계;

상기 드레인 선택 트랜지스터의 드레인 영역 상부의 상기 제 1 층간 절연막의 일부를 제거하여 드레인 콘택홀을 형성하는 단계;

소정의 이온주입 공정을 실시하여 개방된 상기 드레인 영역 및 상기 소스영역에 불순물을 주입하는 단계;

상기 소스라인 콘택홀 및 상기 드레인 콘택홀을 도전성 물질막으로 매립, 평탄화 하여 소스라인 플러그 및 드레인 콘택 플러그를 형성하는 단계; 및

상기 드레인 콘택 플러그와 전기적 접촉을 하는 비트라인과, 상기 소스라인 플러그와 전기적 접촉을 하는 공통 소스라인 콘택을 형성하는 단계를 포함하는 낸드 플래시 소자의 제조 방법.

**청구항 2.**

제 1 항에 있어서, 상기 소스라인 플러그 및 상기 드레인 콘택 플러그 형성은,

전체 구조상에 상기 도전성 물질막으로 폴리 실리콘막을 도포하는 단계; 및

상기 제 1 층간 절연막을 정지막으로 하는 화학 기계적 연마 공정을 실시하는 단계를 포함하는 낸드 플래시 소자의 제조 방법.

**청구항 3.**

제 1 항에 있어서, 상기 비트라인 및 상기 공통 소스라인 콘택의 형성은,

상기 소스라인 플러그 및 상기 드레인 콘택 플러그가 형성된 상기 제 1 층간 절연막 상에 제 2 층간 절연막, 식각정지막 및 제 3 층간 절연막을 순차적으로 형성하는 단계;

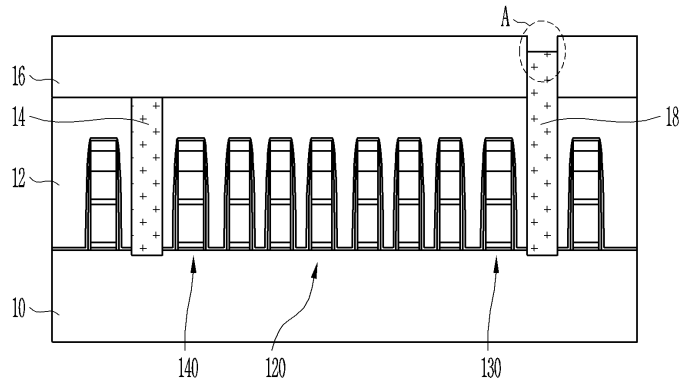
상기 제 3 층간 절연막, 식각정지막 및 제 2 층간 절연막을 패터닝 하여 비트라인용 트렌치 및 공통 소스라인용 콘택홀을 형성하는 단계;

상기 비트라인용 트렌치 하부의 상기 제 2 층간 절연막을 패터닝하여 상기 드레인 콘택 플러그를 개방하는 드레인 비아홀을 형성하고, 상기 공통 소스라인용 콘택홀 하부의 상기 제 2 층간 절연막을 패터닝 하여 상기 소스라인 플러그를 개방하는 공통 소스라인 비아홀을 형성하는 단계; 및

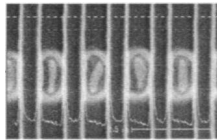
전체 구조상에 금속막을 형성한 다음, 상기 제 3 층간 절연막을 정지막으로 하는 평탄화 공정을 실시하여 상기 드레인 콘택 플러그 상부에는 상기 비트라인을 형성하고, 상기 소스라인 플러그 상부에는 상기 공통 소스라인 콘택을 형성하는 단계를 포함하는 낸드 플래시 소자의 제조 방법.

도면

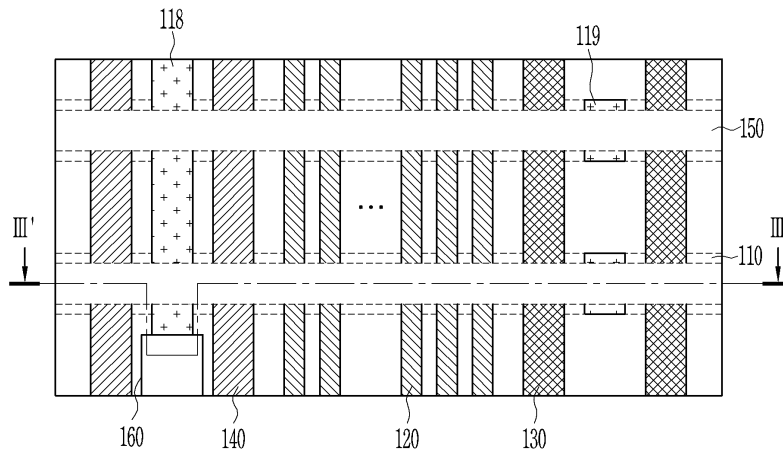
도면1



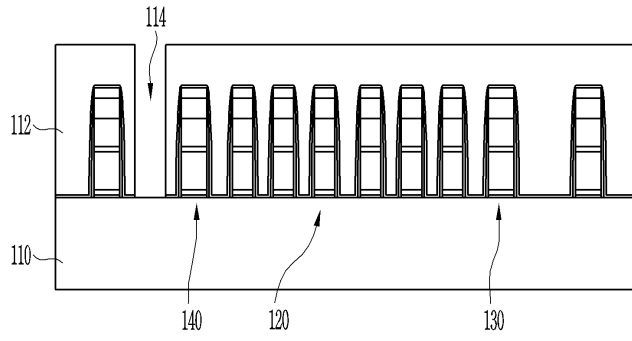
도면2



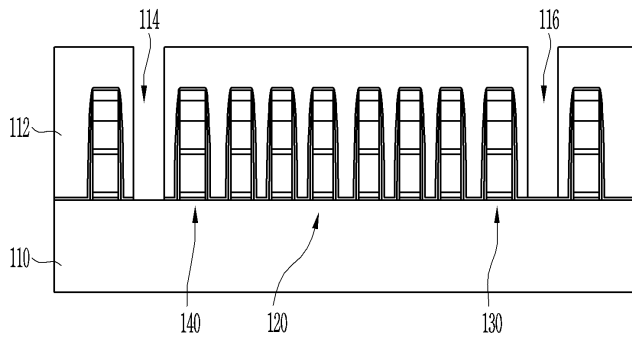
도면3



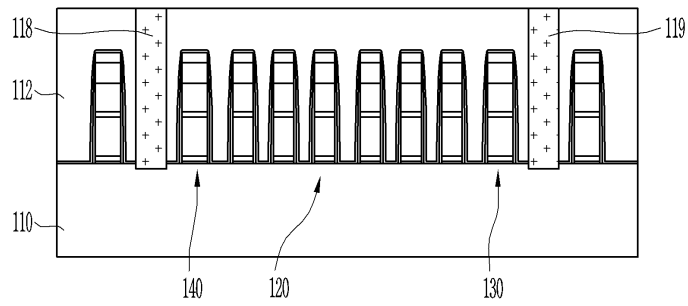
도면4a



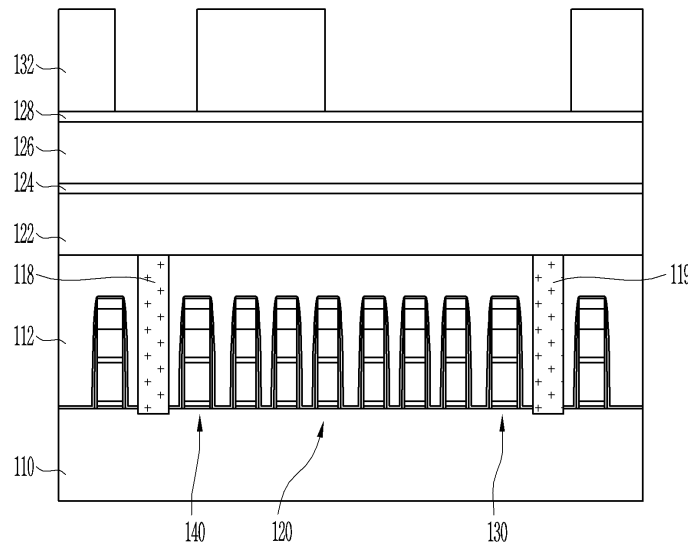
도면4b



도면4c

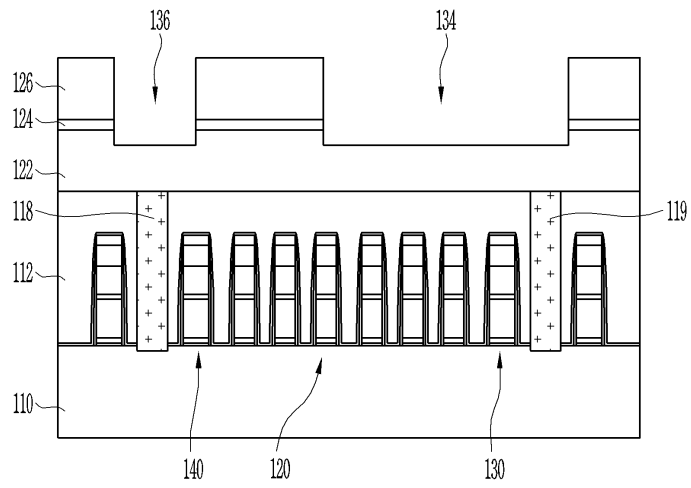


도면4d

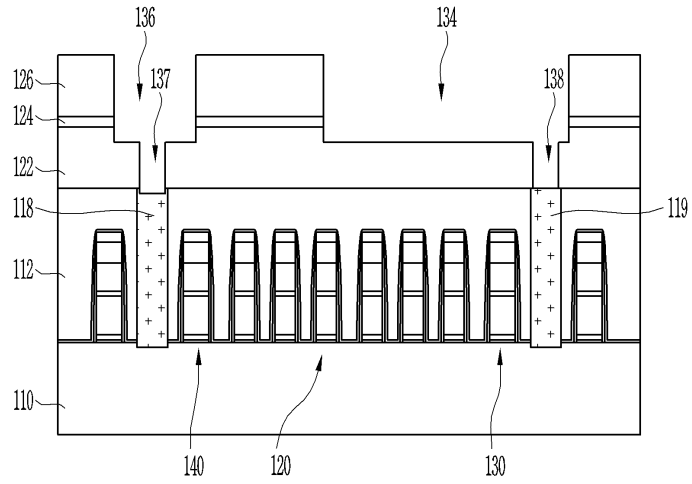




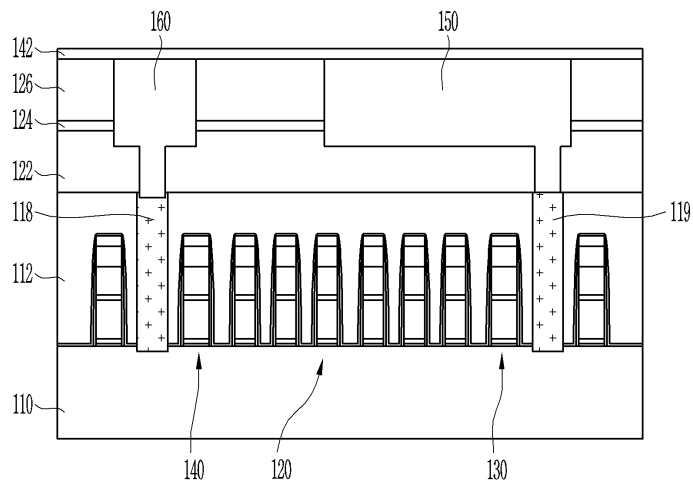
도면4e



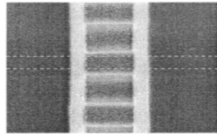
도면4f



도면4g



도면5



도면6

