

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月22日(22.11.2018)



(10) 国際公開番号

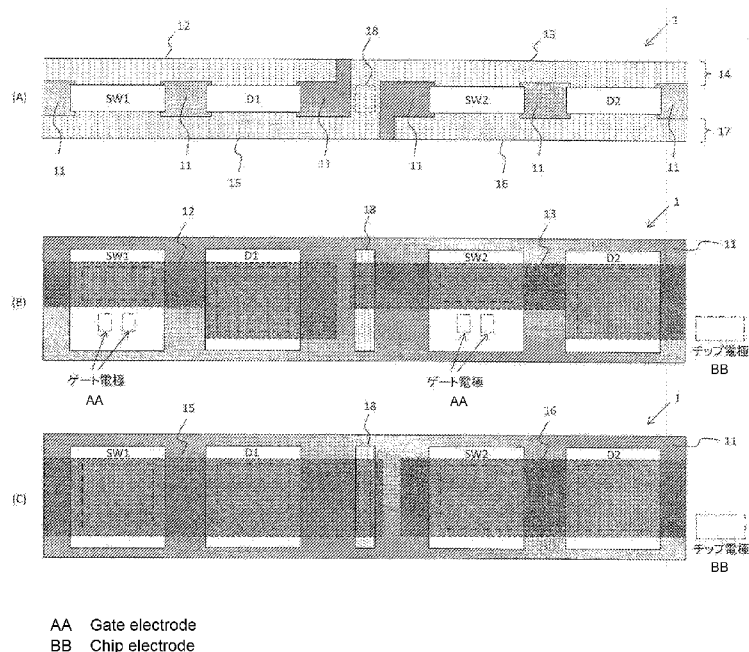
WO 2018/212342 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 23/12 (2006.01)
H01L 21/301 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2018/019354
- (22) 国際出願日: 2018年5月18日(18.05.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-099869 2017年5月19日(19.05.2017) JP
- (71) 出願人: 学校法人早稲田大学 (WASEDA UNIVERSITY) [JP/JP]; 〒1698050 東京都新宿区戸塚町1丁目104番地 Tokyo (JP).
- (72) 発明者: 巽 宏平 (TATSUMI, Kohei); 〒1698050 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内 Tokyo (JP).
- (74) 代理人: 平井 安雄 (HIRAI Yasuo); 〒8120011 福岡県福岡市博多区博多駅前2丁目20-1 大博多ビル10階 Fukuoka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: POWER SEMICONDUCTOR MODULE DEVICE AND POWER SEMICONDUCTOR MODULE MANUFACTURING METHOD

(54) 発明の名称: パワー半導体モジュール装置及びパワー半導体モジュール製造方法

[図2]



(57) Abstract: Provided are: a power semiconductor module device in which semiconductor elements arranged on a plane are supported at an interval by means of an insulator, where the semiconductor elements are supported from at least one of an upper direction or a lower direction while being electrically connected by thick-film plating from at least one of an upper-surface side or a lower-surface side; and a power semiconductor module manufacturing method. The power semiconductor module device comprises a first thick-film plating layer 14 formed as a first surface-side electrode which

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）

electrically connects, on at least one of an upper-surface side or a lower-surface side, a plurality of semiconductor elements which are arranged flush on a plane and which are fixed at an interval by means of an insulating support, wherein the first thick-film plating layer 14 supports the semiconductor elements from at least one of upper and lower directions. The power semiconductor module device may include a wiring metal substrate 83, on a surface on the opposite side from the first surface-side electrode, which includes a connection surface connected to electrodes of the semiconductor elements via an edge, wherein the first thick-film plating layer 14 and the wiring metal plate 83 are capable of supporting the semiconductor elements from the upper and lower directions.

(57) 要約：平面上に配列された半導体素子間を絶縁体で支持すると共に、表面側又は裏面側の少なくとも一方から厚膜めっきにより半導体素子間を電氣的に接続しつつ、上方向又は下方向の少なくとも一方から支持するパワー半導体モジュール装置及びパワー半導体モジュール製造方法を提供する。平面上に面に配列する複数の半導体素子間が絶縁性の支持体で固定され、当該半導体素子同士を表面側又は裏面側の少なくとも一方の面で電氣的に接続する第1面側電極として形成されている第1厚膜めっき層14を有しており、第1厚膜めっき層14が半導体素子を上下方向の少なくとも一方から支持する。また、前記第1面側電極と反対側の面に、前記半導体素子の電極とエッジを介して接続する接続面を有する配線金属基板83を有することが可能であり、前記第1厚膜めっき層14と前記配線金属基板83とが半導体素子を上下方向から支持することができる。

明 細 書

発明の名称：

パワー半導体モジュール装置及びパワー半導体モジュール製造方法

技術分野

[0001] 本発明は、絶縁材料を介して配列される半導体素子の表面側又は裏面側の少なくとも一方を厚膜めっきで配線形成するパワー半導体モジュール装置等に関する。

背景技術

[0002] 従来、半導体素子電極と外部端子とを接続するのにワイヤボンディングや半田接続が利用されていた。しかしながら、ワイヤボンディングでは配線長が長くなると共に、超音波接合により半導体素子への応力負荷によるダメージが懸念される。また、半田接続の場合は、半導体素子の高温時における動作の信頼性の確保が困難になってしまう。

[0003] そこで、めっき接続により半導体素子電極と外部端子とを接続することが有効と考えられるが、めっき接続の場合には、接続部分にボイドが発生してしまい、品質が低下してしまう可能性がある。そこで、めっき接続においてボイドの発生を防止する技術として、例えば特許文献 1、2 に示す技術が開示されている。

[0004] 特許文献 1 に示す技術は、半導体素子 1 と金属板 2 との間において、突起 3 を中心に放射状にメッキ 4 が成長する構成としたものである。特許文献 2 に示す技術は、電氣的に接続される電気回路の複数の電極間の少なくとも一部を直接又は間接的に接触させ、当該接触部分の周辺にメッキ液が流通した状態で電極間をメッキして接続するものである。

[0005] また、半導体素子などをモールド樹脂で埋め込んで再構成する技術としてファンアウトウエハレベルパッケージ（F O W L P）技術が知られている（例えば、特許文献 3 を参照）。

先行技術文献

特許文献

[0006] 特許文献1：特開2007-335473号公報

特許文献2：国際公開第2015/053356号

特許文献3：特開2014-179429号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1、2に示す技術は、いずれもめっき接続においてボイドの発生を抑制できるものであるが、個々の半導体素子を配列し、それぞれの電極をめっきで接合する技術ではない。また、FOWLPについては、多層構造で外部端子と接続するものであり、平面上に配列された個々の部品間を厚膜単層で接続し、半導体を支持するものではない。

[0008] 本発明は、平面上に配列された半導体素子間を絶縁体で支持すると共に、表面側又は裏面側の少なくとも一方から厚膜めっきにより半導体素子間を電氣的に接続しつつ、上方向又は下方向の少なくとも一方から支持するパワー半導体モジュール装置及びパワー半導体モジュール製造方法を提供する。

課題を解決するための手段

[0009] 本発明に係るパワー半導体モジュール装置は、平面上に面一に配列する複数の半導体素子間が絶縁性の支持体で固定され、前記半導体素子同士を表面側又は裏面側の少なくとも一方の面で電氣的に接続する第1面側電極として形成されている第1厚膜めっき層を有しており、前記第1厚膜めっき層が前記半導体素子を上下方向の少なくとも一方から支持するものである。

[0010] このように、本発明に係るパワー半導体モジュール装置においては、平面上に面一に配列する複数の半導体素子間が絶縁性の支持体で固定され、前記半導体素子同士を表面側又は裏面側の少なくとも一方の面で電氣的に接続する第1面側電極として形成されている第1厚膜めっき層を有しており、前記第1厚膜めっき層が前記半導体素子を上下方向の少なくとも一方から支持するため、半導体素子の機械的な支持構造をめっきで形成することが可能とな

り、半導体モジュールをシンプルな構造にすることができるという効果を奏する。

[0011] 本発明に係るパワー半導体モジュール装置は、前記第1面側電極と反対側の面に、前記半導体素子の電極とエッジを介してめっき接続する接続面を有する導電配線金属板を有しており、前記第1厚膜めっき層と前記導電配線金属板とが前記半導体素子を上下方向から支持するものである。

[0012] このように、本発明に係るパワー半導体モジュール装置においては、前記第1面側電極と反対側の面に、前記半導体素子の電極とエッジを介して接続する接続面を有する導電配線金属板を有しており、前記第1厚膜めっき層と前記導電配線金属板とが前記半導体素子を上下方向から支持するため、一方の面にのみパターニングが必要な場合などに、導電配線金属板により簡単なプロセスで配線することが可能になると共に、半導体素子の電極と導電配線金属板の接続面とがエッジを介することで、半導体素子電極とリードの接続面との間にめっき液を十分に流通させることができ、ボイド等を発生させることなく高品質なめっき接続を実現することができる。

[0013] なお、上記エッジとは、電極面とめっき接続する被接合体との界面が山形、円錐、ボール、円筒状の形状で形成され、線状もしくは点状、又は球状もしくは円状の頂点の突起部を指し、電極面とエッジ部周辺の間隙部をエッジを介しためっき接続をすることで、強固で、熱、電流損失が少ない伝達接合部を形成することができる。

[0014] 本発明に係るパワー半導体モジュール装置は、前記第1面側電極と反対側の面に、前記半導体素子同士を電氣的に接続する第2面側電極として形成されている第2厚膜めっき層を有しており、前記第1厚膜めっき層と前記第2厚膜めっき層とが前記半導体素子を上下方向から支持するものである。

[0015] このように、本発明に係るパワー半導体モジュール装置においては、前記第1面側電極と反対側の面に、前記半導体素子同士を電氣的に接続する第2面側電極として形成されている第2厚膜めっき層とを有しており、前記第1厚膜めっき層と前記第2厚膜めっき層とが前記半導体素子を上下方向から支

持するため、半導体素子の機械的な支持構造をめっきで形成することが可能となり、半導体モジュールをシンプルな構造にすることができるという効果を奏する。また、第1面側電極と第2面側電極とを同一のめっきプロセスで簡単に形成することが可能になるという効果を奏する。

[0016] 本発明に係るパワー半導体モジュール装置は、前記第1厚膜めっき層と前記第2厚膜めっき層とが略同一の厚さで、前記第1厚膜めっき層の表面側電極の投影面積が、前記半導体素子の投影面積の30%以上であり、前記第2厚膜めっき層の裏面側電極の投影面積が、前記半導体素子の投影面積の50%以上であり、前記表面側電極の投影面積と前記裏面側電極の投影面積との差が50%以内とするものである。

[0017] このように、本発明に係るパワー半導体モジュール装置においては、前記第1厚膜めっき層と前記第2厚膜めっき層とが略同一の厚さで、前記第1厚膜めっき層の表面側電極の投影面積が、前記半導体素子の投影面積の30%以上であり、前記第2厚膜めっき層の裏面側電極の投影面積が、前記半導体素子の投影面積の50%以上であり、前記表面側電極の投影面積と前記裏面側電極の投影面積との差が50%以内であるため、表面側及び裏面側の電極で放熱効果を高めることができると共に、表面側と裏面側との熱膨張による影響の差を最小限に抑えて高品質に保つことができるという効果を奏する。

[0018] 本発明に係るパワー半導体モジュール装置は、前記第1厚膜めっき層及び前記第2厚膜めっき層のめっきの厚さが少なくとも50 μ m以上とするものである。

[0019] このように、本発明に係るパワー半導体モジュール装置においては、前記第1厚膜めっき層及び前記第2厚膜めっき層のめっきの厚さが少なくとも50 μ m以上であるため、パワー半導体モジュールで大電流を通電しつつ、半導体素子を強固に支持することができるという効果を奏する。また、厚膜配線が形成された後に150℃以上の温度で熱処理することが望ましく、その場合に、50 μ mより薄いと半導体素子との熱膨張差による熱応力で反り量が増大してしまうが、50 μ m以上の厚みとすることで、構造材として形状

を維持することができるという効果を奏する。なお、めっきの厚みは、より好ましくは100 μm 以上、さらに好ましくは200 μm 以上であってもよい。

[0020] 本発明に係るパワー半導体モジュール装置は、前記第1厚膜めっき層及び／又は前記第2厚膜めっき層の表面の一部又は全部が1 μm 以上の厚さのN i又はN i合金で被覆されているものである。

[0021] このように、本発明に係るパワー半導体モジュール装置においては、前記第1厚膜めっき層及び／又は前記第2厚膜めっき層の表面の一部又は全部が1 μm 以上の厚さのN i又はN i合金で被覆されているため、導電性に優れ、高温での耐食性にも優れた配線構造とすることができるという効果を奏する。

[0022] 本発明に係るパワー半導体モジュール装置は、複数の前記半導体素子のうちの前記半導体素子がスイッチング素子であり、当該スイッチング素子以外の他の前記半導体素子のうち少なくとも一の前記半導体素子がダイオードであり、前記半導体素子間に、前記第1面側電極と前記第2面側電極とを電氣的に接続するための前記半導体素子と略同一の厚みを有する導電体が配設されており、当該導電体が前記第1面側電極及び前記第2面側電極と電氣的に接続されているものである。

[0023] このように、本発明に係るパワー半導体モジュール装置においては、複数の前記半導体素子のうちの前記半導体素子がスイッチング素子であり、当該スイッチング素子以外の他の前記半導体素子のうち少なくとも一の前記半導体素子がダイオードであり、前記半導体素子間に、前記第1面側電極と前記第2面側電極とを電氣的に接続するための前記半導体素子と略同一の厚みを有する導電体が配設されており、当該導電体が前記第1面側電極及び前記第2面側電極と電氣的に接続されているため、上記に示したようなシンプルな構造で高性能なスイッチング素子を実現することができると共に、第1面側電極と第2面側電極とを導電体を介しためっき接続により電氣的に確実に接続することができるという効果を奏する。

[0024] 本発明に係るパワー半導体モジュール装置は、前記導電配線金属板の表面に熱を拡散するためのヒートスプレッドがめっきで形成されているものである。

[0025] このように、本発明に係るパワー半導体モジュール装置においては、導電配線金属板の表面に熱を拡散するためのヒートスプレッドがめっきで形成されているため、熱を効率よく放出することができるという効果を奏する。また、ヒートスプレッドがめっきで形成されているため、導電配線金属板とヒートスプレッドとの間に半田等を介することなく、導電配線金属板の熱をヒートスプレッドに効率よく伝達することが可能になるという効果を奏する。

図面の簡単な説明

[0026] [図1]第1の実施形態に係るパワー半導体モジュール装置の回路図の一例を示す図である。

[図2]第1の実施形態に係るパワー半導体モジュール装置の構成を示す側断面図である。

[図3]第1の実施形態に係るパワー半導体モジュール装置の製造方法を示す第1の図である。

[図4]第1の実施形態に係るパワー半導体モジュール装置の製造方法を示す第2の図である。

[図5]第1の実施形態に係るパワー半導体モジュール装置の製造方法を示す第3の図である。

[図6]第1の実施形態に係るパワー半導体モジュール装置の他の構成を示す図である。

[図7]第2の実施形態に係るパワー半導体モジュール装置の製造方法を示す図である。

[図8]第3の実施形態に係るパワー半導体モジュール装置の構成を示す第1の図である。

[図9]第3の実施形態に係るパワー半導体モジュール装置の構成を示す第2の図である。

[図10]第3の実施形態に係るパワー半導体モジュール装置の製造方法を示す図である。

[図11]第3の実施形態に係るパワー半導体モジュール装置のその他の構成を示す第1の図である。

[図12]第3の実施形態に係るパワー半導体モジュール装置のその他の構成を示す第2の図である。

[図13]第4の実施形態に係るパワー半導体モジュール装置におけるヒートスプレッドの形成方法を示す図である。

発明を実施するための形態

[0027] 以下、本発明の実施の形態を説明する。また、本実施形態の全体を通して同じ要素には同じ符号を付けている。

[0028] (本発明の第1の実施形態)

本実施形態に係るパワー半導体モジュール装置について、図1ないし図7を用いて説明する。本実施形態に係るパワー半導体モジュール装置は、平面上に面一に配列する複数の半導体素子間を絶縁性の支持体で固定しつつ、半導体素子同士を第1面側（以下、表面側という）で電氣的に接続する第1面側電極（以下、表面側電極という）として第1厚膜めっき層と、半導体素子同士を第2面側（以下、裏面側という）で電氣的に接続する第2面側電極（以下、裏面側電極という）として第2厚膜めっき層とを形成し、第1厚膜めっき層と第2厚膜めっき層とを半導体素子を上下方向から支持する支持体として形成するものである。

[0029] 本実施形態に係るパワー半導体モジュール装置においては、例えば第1の半導体素子をハイサイド側のスイッチング素子SW1、第2の半導体素子をスイッチング素子SW1に対応するダイオードD1、第3の半導体素子をローサイド側のスイッチング素子SW2、第4の半導体素子をスイッチング素子SW2に対応するダイオードD2とするスイッチング電源回路について説明する。なお、スイッチング電源回路以外のパワー半導体についても、本実施形態に係る技術を適用可能である。また、スイッチング素子としては、S i

、SiC等の素子を利用することが可能であり、SiCMOSとダイオード、IGBTとダイオードなどの組み合わせが可能である。

[0030] 図1は、本実施形態に係るパワー半導体モジュール装置の回路図の一例を示す図である。図1において、スイッチング電源回路1は、直流電流を交流電流に変換して負荷に供給するものである。スイッチング電源回路1に供給された直流電流はスイッチング素子の相補的な切り替えにより交流電流に変換される。ハイサイド側のスイッチング素子SW1とローサイド側のスイッチング素子SW2とは、直列接続されており、その接続点Tから例えばモータなどの負荷Mに対して電力が供給される。スイッチング素子SW1、SW2には、逆起電力により当該スイッチング素子SW1、SW2が破壊されないように、それぞれのスイッチング素子SW1、SW2と逆並列にダイオードD1及びダイオードD2が接続されている。

[0031] なお、本実施形態に係るパワー半導体モジュール装置は、基板レベルで一括して複数のモジュールを形成し、最後に各モジュール単位に分割することで、個々のモジュールを製造することができる。製造方法の詳細については後述する。

[0032] 図2は、本実施形態に係るパワー半導体モジュール装置の構成を示す図である。図2(A)が側断面図、図2(B)が上面投影図、図2(C)が下面投影図である。パワー半導体モジュール装置を構成するスイッチング電源回路1は、それぞれが平面上に面一に配列されているスイッチング素子SW1、ダイオードD1、スイッチング素子SW2及びダイオードD2の各半導体素子と、当該各半導体素子間に充填されて当該各半導体素子を少なくとも側面方向から支持する絶縁支持体11と、スイッチング素子SW1及びダイオードD1の表面側を電氣的に接続する第1表面側電極12、並びに、スイッチング素子SW2及びダイオードD2の表面側を電氣的に接続する第2表面側電極13として形成される第1厚膜めっき層14と、第1スイッチング素子SW1及び第1ダイオードD1の裏面側を電氣的に接続する第1裏面側電極15、並びに、第2スイッチング素子SW2及び第2ダイオードD2の裏

面側を電氣的に接続する第2裏面側電極16として形成される第2厚膜めっき層17と、第1裏面側電極15と第2表面側電極13との間をめっき層を介して電氣的に接続するための導電体18とを備える。

[0033] 図2(A)に示すように、平面上に面一に配列された各半導体素子は、その半導体素子間に介在している絶縁支持体11により側面方向から支持されると共に、上下方向から第1厚膜めっき層14及び第2厚膜めっき層17により強固に支持される構造となっている。第1厚膜めっき層14及び第2厚膜めっき層17は、少なくとも $50\mu\text{m}$ （より好ましくは $100\mu\text{m}$ 、さらに好ましくは $200\mu\text{m}$ ）以上の厚さを有しており、半導体素子間及び外部との電氣的な接続を行うと共に、各半導体素子を強固に支持固定することが可能となる。すなわち、第1厚膜めっき層14及び第2厚膜めっき層17は配線金属基板として機能することが可能となり、本実施形態においては、部品としての配線金属基板が不要な構造となっている。また、厚膜めっき層が形成された後に 150°C 以上の温度で熱処理することが望ましいため、その場合に、厚膜めっき層が $50\mu\text{m}$ より薄いと半導体素子との熱膨張差による熱応力で反り量が増大してしまうが、 $50\mu\text{m}$ 以上の厚みとすることで、構造物として形状を維持することが可能となる。

[0034] また、図2(B)、(C)に示すように、第1厚膜めっき層14及び第2厚膜めっき層17における電極部分（第1表面側電極12、第2表面側電極13、第1裏面側電極15及び第2裏面側電極16）の投影面積が、ゲート電極を有する側、すなわち第1表面側電極12及び第2表面側電極13については、図2(B)に示すように、各半導体素子の投影面積の少なくとも30%以上の大きさとなっており、ゲート電極を有しない側、すなわち第1裏面側電極15及び第2裏面側電極16については、図2(C)に示すように、各半導体素子の投影面積の少なくとも50%以上の大きさとなっており、いずれも大電流を流しつつ、各半導体素子を上下方向から強固に支持することが可能となっている。

[0035] また、上述したように、第1厚膜めっき層14及び第2厚膜めっき層17

の厚さがどちらも $50\mu\text{m}$ （より好ましくは $100\mu\text{m}$ 、さらに好ましくは $200\mu\text{m}$ ）以上で略同一の厚さを有しており、第1厚膜めっき層14における第1表面側電極12及び第2表面側電極13の投影面積と、第2厚膜めっき層17における第1裏面側電極15及び第2裏面側電極16の投影面積との差（すなわち、図2（B）に示す第1表面側電極12及び第2表面側電極13の投影面積と、図2（C）に示す第1裏面側電極15及び第2裏面側電極16の投影面積との差）が50%と以内となっている。つまり、第1厚膜めっき層14と第2厚膜めっき層17とにおいて熱膨張の差が発生しにくいため、熱膨張による変形応力等によって品質が低下するのを防止することが可能となる。特に、多層に積層された際には上下間の撓みを最小限に抑えて品質を保つことが可能となる。

[0036] なお、第1厚膜めっき層14の第1表面側電極12及び第2表面側電極13、並びに、第2厚膜めっき層17の第1裏面側電極15及び第2裏面側電極16は、例えば、銅、銅合金、ニッケル、ニッケル合金、銀、アルミニウム、亜鉛、パラジウム等であることが好ましい。また、少なくとも最表面がニッケルめっきで被覆されることで腐食等が防止されるようにしてもよい。

[0037] 例えば、Cuめっきにより主めっき層を形成し、表面に $1\mu\text{m}$ 以上の厚みで被覆層を形成することで、導電性に優れ、高温での耐食性にも優れた、配線構造とすることができる。めっきするための下地層には、絶縁材料及び半導体素子電極ともに密着性の優れるCr、Ni、Ti、Pdなどの金属、又は、それらの合金もしくはそれらの金属の複層をスパッタ蒸着し、シード層として金属めっきをすることができる。

[0038] また、電極側からCr、Ni、Pd又は最表面には、さらにめっき金属と同種のもの又は酸化防止のためのAgもしくはAu膜を形成することが好ましい。

[0039] さらに、第1厚膜めっき層14及び第2厚膜めっき層17を形成するためのめっき処理の方法としては、電気めっきの他溶融めっきを利用することが可能である。溶融めっき金属としては、比較的低融点のZn、Al又はそれ

らの合金としてもよい。その場合の半導体素子は、耐熱性に優れるGaNやSiCなどの化合物半導体素子としてもよい。

[0040] さらにまた、上記各半導体素子のいずれか1つ又は複数が、SiC又はGaN半導体であってもよい。そうすることで、放熱効果を高めることが可能となる。

[0041] 次に、本実施形態に係るパワー半導体モジュール装置の製造方法について説明する。まず、図3(A)に示すように、基板21上にスイッチング素子SW1、ダイオードD1、スイッチング素子SW2及びダイオードD2の各半導体素子が面一に配列されると共に、スイッチング素子SW1及びダイオードD1からなる第1ペアと、スイッチング素子SW2及びダイオードD2からなる第2ペアとの間に導電体18が配置される。各半導体素子及び導電体18が配置されると、図3(B)に示すように、上記の各半導体素子と導電体18を埋め込むように樹脂22でモールドされる。モールドされた樹脂22に対して、図3(C)に示すように、上記各半導体素子の電極部分及び導電体18の表面が露出されるように溝23を形成する。この処理にはレジストを用いた一般的な露光、エッチング処理が適用できる。例えば、樹脂22の上にレジストを塗布し、選択的な露光処理を行ったあとレジスト除去を行い、レジストに開口部を形成する。開口部をドライエッチング又は薬液処理を行って、開口部の樹脂22を除去することで溝23を形成し、その後、レジストを除去する。なお、他の方法として、図3(A)のプロセスの次に、開口すべき部分に耐熱性のマスクを配置しておき、樹脂をモールドした後、マスクをその上の樹脂ごと除去して溝23を形成してもよい。

[0042] 続いて、図4(A)に示すように、電極を形成しない領域S1をマスク24でマスクした状態で、表面にめっき処理のためのシード31を形成する。マスク24としてレジストを用いることができ、先に説明したような方法で露光と選択的除去を行うことで領域S1上のみにレジストを残すことができる。シード31が形成されると、図4(B)に示すように、領域S1をマスクした状態のままめっき処理を行って第1表面側電極12及び第2表面側電

極 1 3 としての第 1 厚膜めっき層 1 4 が形成される。第 1 厚膜めっき層 1 4 を形成したあとマスク 2 4 として用いたレジストを除去し、続いて図 4 (C) に示すように、基板を剥離し、裏面側の工程へと進む。なお、基板剥離を容易にするため、予め基板と素子の接着に加熱や紫外線で剥離可能な耐熱性両面接着シートを用いるようにしてもよい。

[0043] 裏面側については、図 5 (A) に示すように、図 4 (A) の場合と同様に、電極を形成しない領域 S 2 をマスク 2 5 でマスクした状態で、裏面側表面にめっき処理のためのシード 4 1 を形成する。裏面側のシード 4 1 が形成されると、図 5 (B) に示すように、領域 S 2 をマスクした状態のまま領域 S 2 の下方空間にめっきが侵入しないようにレジスト処理を施し、めっき処理を行って第 1 裏面側電極 1 5 及び第 2 裏面側電極 1 6 としての第 2 厚膜めっき層 1 7 が形成される。第 2 厚膜めっき層 1 7 を形成したあとマスク 2 5 として用いたレジストを除去し、続いて図 5 (C) に示すように、全体を樹脂 2 6 でモールドした後、モジュール単位でダイシングすることで、本実施形態に係るパワー半導体モジュールが製造される。

[0044] なお、上記めっき処理は、電解めっき、無電解めっき又は溶融めっきのいずれかを適用することが可能である。また、樹脂 2 2 の絶縁体は、例えばゾルゲル法を用いて行うようにして、セラミックスを形成するか、P ガラスを塗布してもよい。さらに、図 5 (C) に示すように、最上層にビルトアップで樹脂 2 6 の層が形成され、さらに放熱基板又は放熱フィンを金属溶融（ダイキャスト法）により形成するようにしてもよい。

[0045] また、上記の製造工程において、図 6 に示すように、導電体 1 8 を配設せずに、導電体 1 8 の位置でスイッチング素子 SW 1 及びダイオード D 1 からなる第 1 ペア 6 3 と、スイッチング素子 SW 2 及びダイオード D 2 からなる第 2 ペア 6 4 とに分断するようにダイシングし、それぞれの部品を外部で接続するか縦に積層し、近接する面 6 1 においてワイヤやボール等のエッジ部 6 2 を介してめっき接続することで、第 1 ペア 6 3 と第 2 ペア 6 4 とに分断されたそれぞれの半導体素子（スイッチング素子 SW 1、ダイオード D 1、

スイッチング素子SW2及びダイオードD2)を電氣的に接続して積層構造を形成するようにしてもよい。このとき、例えば、国際公開第2015/053356号に開示されているようなめっき技術を用いることができる。

[0046] 以上のように、本実施形態に係るパワー半導体モジュール装置においては、平面上に面一に配列する複数の半導体素子間を絶縁体で固定し、半導体素子同士を表面側及び裏面側で電氣的に接続し、それぞれに第1厚膜めっき層及び第2厚膜めっき層とを有しており、第1厚膜めっき層と第2厚膜めっき層とが半導体素子を上下方向から支持するため、半導体素子の機械的な支持構造をめっきで形成することが可能となり、半導体モジュールをシンプルな構造にすることができる。

[0047] (本発明の第2の実施形態)

本実施形態に係るパワー半導体モジュール装置の製造方法について、図7を用いて説明する。前記第1の実施形態における図3～図5に示したパワー半導体モジュール装置の製造方法以外にも、図7に示すような製造方法を用いてパワー半導体モジュールを製造することができる。なお、本実施形態において、前記第1の実施形態と重複する説明は省略する。

[0048] 具体的には、表面側及び裏面側の両面に導電性（例えば、Cu等）の導電配線金属板71が形成されているセラミックス又は樹脂基板（基板72）を用意し、表面側となる面を支持用の仮止めテープ73で仮止めする（図7（A））。図7（A）の基板72に半導体素子74よりも大きい貫通孔75を設け（図7（B））、貫通孔内に半導体素子74を配置する（図7（C））。基板72と半導体素子74間を、例えばディスペンサにより絶縁樹脂又はセラミックス粒子ペースト等で充填する（図7（D））。充填された絶縁樹脂又はセラミックス粒子ペーストが硬化したら、仮止めテープ73を剥がす（図7（E））。表面側に対して、配線パターンに合わせて、例えばメタルマスクやマスクテープでマスクし、シード層を形成し、厚膜めっき金属を堆積させて第1厚膜めっき層14で配線を形成する（図7（F））。裏面側も同様に厚膜めっき金属を堆積させて第2厚膜めっき層17で配線を形成する

(図7 (G))。このような製造方法を用いることで、図2に示す構造と同様の構造を形成することが可能となる。

[0049] なお、樹脂基板は、例えばポリイミド材で両面に導電配線金属板を接着したものでもよい。また、厚みは絶縁材が50 μ mから1 mm、銅板は50 μ m～0.5 mm程度が好適である。

[0050] (本発明の第3の実施形態)

本実施形態に係るパワー半導体モジュール装置について、図8ないし図11を用いて説明する。本実施形態に係るパワー半導体モジュール装置は、表面側又は裏面側のいずれか一方の電極を前記各実施形態において説明した厚膜めっきで形成し、他の面側の電極については、導電配線金属板で形成するものである。このとき、導電配線金属板と半導体素子との電極接続面はエッジ部を介してめっき接続されるものである。本実施形態においては、例えば、パターニングが必要な方の面を導電配線金属板で電極形成し、パターニングが不要な面を厚膜めっきで電極形成する。なお、本実施形態において前記各実施形態と重複する説明は省略する。

[0051] 図8は、本実施形態に係るパワー半導体モジュール装置の構成を示す第1の図である。なお、図8及び図9においては、一例としてダイオードとMOSFETを用いた場合の構造を示している。図8 (A) は上面図、図8 (B) は図8 (A) における矢印aの断面図である。図8において、両面に導電配線金属板が配設されたセラミックス基板81に半導体素子82（ここでは、ダイオード82aとMOSFET82b）が埋め込まれており、それぞれの半導体素子82の側面の隙間にはセラミックス材料が充填されて、半導体素子82の側面方向から支持している。表面側は、導電配線金属板83のリード83aと半導体素子82の電極82cとがバンプ84のエッジ部分を介してめっきにより接続されている。図8 (B) に示すように、リード83a間には隙間が空いていることから、半導体素子82の電極82cとリード83aの接続面との間にめっき液を十分に流通することができるため、エッジ部分を介しためっき接続を行うことで、ボイド等を発生させることなく高品

質なめっき接続を実現することができる。裏面側は、上記第１の実施形態において説明したように、厚膜めっき層８５を配線として形成する構造となっている。

[0052] 図９において、図９（Ａ）は上面図、図９（Ｂ）は図９（Ａ）における矢印ａの断面図を示しており、図８の場合と同様に、両面に導電配線金属板が配設されたセラミックス基板８１に半導体素子８２が埋め込まれており、半導体素子８２の側面の隙間にはセラミックス材料が充填されて、半導体素子８２の側面方向から支持している。表面側は、導電配線金属板８３のリード８３ａの接続面が山形に形成されており、その山形のエッジ部分を介して半導体素子８２の電極８２ｃとめっきにより接続されている。ここでも、図９（Ａ）に示すように、リード８３ａ間には隙間が空いていることから、半導体素子８２の電極８２ｃとリード８３ａの接続面との間にめっき液を十分に流通することができるため、エッジ部分を介しためっき接続を行うことで、ボイド等を発生させることなく高品質なめっき接続を実現することができる。裏面側は、上記第１の実施形態において説明したように、厚膜めっき層８５を配線として形成する構造となっている。

[0053] 次に、本実施形態に係るパワー半導体モジュール装置の製造方法について説明する。ここでは、図９の構造について説明する。図１０は、本実施形態に係るパワー半導体モジュール装置の製造工程を示す図である。まず、セラミックス又は樹脂基板（基板９２）を用意し、半導体素子８２（ここでは、ダイオード８２ａとＭＯＳＦＥＴ８２ｂ）よりも大きい貫通孔９５を設ける（図１０（Ａ））。基板９２の表面側及び裏面側に導電配線金属板８３を接着する（図１０（Ｂ））。このとき、表面側の導電配線金属板８３は、貫通孔９５以外の領域に少なくとも接着され、貫通孔９５の領域については、間隔を空けて複数のリード８３ａが配設されている。これらのリード８３ａは、後述する工程で貫通孔９５内に埋め込まれる半導体素子８２の表面電極の位置と、リード８３ａに形成されている山形のエッジ部分８３ｂの位置とが対応するように接着される。また、裏面側の導電配線金属板８３は、貫通孔

95以外の領域に接着され、貫通孔95の領域は開口した状態となる。

[0054] 裏面側の開口部から半導体素子82を貫通孔95に嵌め込み、基板92と半導体素子82間を、例えばディスペンサにより絶縁樹脂又はセラミックス粒子等で充填して固定する(図10(C))。リード83aのエッジ部分83bをめっき処理して表面側の導電配線金属板83と半導体素子82とを接続する(図10(D))。半導体素子82の裏面側電極に銅薄膜98をスパッタにより被着させ(図10(E))、その後、規格電流量を勘案して、必要な厚みの厚膜めっき層85を形成し、電流配線層とする(図10(F))。

[0055] なお、導電配線金属板83のリード83aの接続面に形成される山形の突起は、接触面に対して5〜30度程度の傾斜角度で形成されることが望ましい。また、突起の形状は、山形以外にも、台形状、円弧状、波状等のようにエッジ部分が形成されるような形状であればよい。

[0056] このように、一方の面の電極を導電配線金属板で形成し、他方の面を厚膜めっきで形成することで、一方の面にのみパターニングが必要な場合などに、導電配線金属板により簡単なプロセスで配線することが可能になると共に、半導体素子の電極と導電配線金属板の接続面とがエッジを介することで、半導体素子電極とリードの接続面との間にめっき液を十分に流通させることができ、ボイド等を発生させることなく高品質なめっき接続を実現することができる。

[0057] なお、例えば、図11及び図12に示すように、表面側だけではなく、裏面側についても、エッジ部分を介して導電配線金属板と接続し、電流配線層を形成する構成とすることも可能である。ここで、図11(A)及び図12(A)は上面図、図11(B)及び図12(B)は下面図、図11(C)及び図12(C)は図11(A)及び図12(A)の矢印aにおける断面図を示している。

[0058] (本発明の第4の実施形態)

本実施形態に係るパワー半導体モジュール装置について、図13を用いて

説明する。本実施形態に係るパワー半導体モジュール装置は、前記第3の実施形態におけるパワー半導体モジュール装置の導電配線金属板83の表面にめっきによりヒートスプレッドが形成されるものである。

[0059] パワー半導体モジュール装置においては、半導体素子と導電配線金属板83を接続するだけでなく、放熱用に熱伝導率が高い金属（ヒートスプレッド）も接続する必要がある。ヒートスプレッドを導電配線金属板83に接続する場合には、半田を介して接続する方法があるが、半田は熱伝導率が悪いため、ヒートスプレッドと導電配線金属板83との間に半田を介するとヒートスプレッドの効果が十分に発揮できなくなってしまう。そこで、本実施形態においては、半田のような熱伝導率が悪い材料を介することなく、導電配線金属板83の表面にめっきにより直接ヒートスプレッドを形成する。

[0060] なお、本実施形態におけるめっきには電解めっき、無電解めっき、溶融めっきを含んでおり、電界めっきや無電解めっきにおいては、導電配線金属板83の表面にめっき金属を直接析出させてヒートスプレッドを形成するようにしてもよい。また、溶融めっきにおいては、比較的低融点の亜鉛やアルミニウムを溶かして鑄造し、又は、3次元プリンタのようにノズルから溶融金属を吹き付けてヒートスプレッドを形成するようにしてもよい。

[0061] 本実施形態に係るパワー半導体モジュール装置におけるヒートスプレッドの形成方法について詳細に説明する。図13は、本実施形態に係るパワー半導体モジュール装置におけるヒートスプレッドの形成方法の一例を示す図である。図13に示すヒートスプレッドの形成方法は、図9のように、表面側に導電配線金属板83が配設され、裏面側が厚膜めっき層85で形成されている場合における導電配線金属板83表面へのヒートスプレッドの形成方法を示している。なお、ここでは、図9に示すパワー半導体モジュール装置を樹脂でモールドした後に、ビルドアップ型でヒートスプレッドを形成する場合の処理を示している。裏面側には厚膜の銅めっきなどがされており、この裏面側にヒートスプレッドの形成を行わない場合は、モールド樹脂で覆われないようにするか、モールド後に、研磨などで樹脂を取り除くようにしても

よい。

[0062] まず、樹脂 122 でモールドされたパワー半導体モジュール装置 1 を用意し（図 13（A））、導電配線金属板 83 の箇所をレーザで穴開けし、ヒートスプレッド 120 が不要な箇所にリフトオフ用レジスト 121 を塗布する。このとき、裏面側の樹脂は研磨で除去する（図 13（B））。めっき処理のために図 13（B）で形成されたパワー半導体モジュール装置 1 の表面側に Ti-Au のシード 31 を成膜する（図 13（C））。レジスト 121 を剥離し、同時にレジスト箇所のシード層を除去する。めっき処理によりヒートスプレッド 120 を形成する（図 13（D））。このときのめっき処理は、上述したように、電解めっき、無電解めっき、溶融めっきのいずれの手法を用いてもよい。シード 31 は金属で $1\mu\text{m}$ 程度以下であるため、ヒートスプレッドの材質より熱伝導の低いものであっても放熱性の低下要因にはほとんどならない。

[0063] このように、本実施形態に係るパワー半導体モジュール装置においては、導電配線金属板 83 の表面に熱を拡散するためのヒートスプレッド 120 がめっきで形成されているため、熱を効率よく放出することができると共に、ヒートスプレッド 120 がめっきで形成されているため、導電配線金属板 83 とヒートスプレッド 120 との間に熱伝導率が良くない半田等を介することなく、導電配線金属板 83 の熱をヒートスプレッド 120 に効率よく伝達することが可能になる。

[0064] なお、本実施形態に係るヒートスプレッドの構造及び形成方法は、図 9 に示すパワー半導体モジュール装置以外にも、図 8、図 11、図 12 に示すパワー半導体モジュール装置においても適用することが可能である。特に図 11 及び図 12 に示すパワー半導体モジュール装置の場合には、それぞれの裏面側を図 13 の表面側と同様の構造とし、図 13 に示すプロセスをこの裏面側に適用することで、パワー半導体モジュール装置の両面にヒートスプレッドが形成される構造となる。なおゲート電極など、放熱不要な電極部分には、ヒートスプレッダーの形成しなくてもよい。

符号の説明

- [0065] D 1 , D 2 ダイオード
- SW 1 , SW 2 スイッチング素子
- 1 スイッチング電源回路
- 1 1 絶縁支持体
- 1 2 第 1 表面側電極
- 1 3 第 2 表面側電極
- 1 4 第 1 厚膜めっき層
- 1 5 第 1 裏面側電極
- 1 6 第 2 裏面側電極
- 1 7 第 2 厚膜めっき層
- 1 8 導電体
- 2 1 基板
- 2 2 樹脂
- 2 3 レジスト溝
- 2 6 樹脂
- 3 1 シード
- 4 1 裏面側シード
- 6 1 面
- 6 2 エッジ部
- 6 3 第 1 ペア
- 6 4 第 2 ペア
- 7 1 金属配線
- 7 2 基板
- 7 3 仮止めテープ
- 7 4 半導体素子
- 8 1 セラミックス基板
- 8 2 半導体素子

- 8 2 a ダイオード
- 8 2 b M O S F E T
- 8 3 導電配線金属板
- 8 3 a リード
- 8 3 b エッジ部分
- 8 4 バンプ
- 8 5 厚膜めっき層
- 9 2 基板
- 9 5 貫通孔
- 9 8 銅薄膜
- 1 2 0 ヒートスプレッダ
- 1 2 1 レジスト
- 1 2 2 樹脂

請求の範囲

- [請求項1] 平面上に面一に配列する複数の半導体素子間が絶縁性の支持体で固定され、前記半導体素子同士を表面側又は裏面側の少なくとも一方の面で電氣的に接続する第1面側電極として形成されている第1厚膜めっき層を有しており、前記第1厚膜めっき層が前記半導体素子を上下方向の少なくとも一方から支持することを特徴とするパワー半導体モジュール装置。
- [請求項2] 請求項1に記載のパワー半導体モジュール装置において、
前記第1面側電極と反対側の面に、前記半導体素子の電極とエッジを介して接続する接続面を有する導電配線金属板を有しており、前記第1厚膜めっき層と前記導電配線金属板とが前記半導体素子を上下方向から支持することを特徴とするパワー半導体モジュール装置。
- [請求項3] 請求項1に記載のパワー半導体モジュール装置において、
前記第1面側電極と反対側の面に、前記半導体素子同士を電氣的に接続する第2面側電極として形成されている第2厚膜めっき層を有しており、前記第1厚膜めっき層と前記第2厚膜めっき層とが前記半導体素子を上下方向から支持することを特徴とするパワー半導体モジュール装置。
- [請求項4] 請求項3に記載のパワー半導体モジュール装置において、
前記第1厚膜めっき層と前記第2厚膜めっき層とが略同一の厚さで、前記第1厚膜めっき層の表面側電極の投影面積が、前記半導体素子の投影面積の30%以上であり、前記第2厚膜めっき層の裏面側電極の投影面積が、前記半導体素子の投影面積の50%以上であり、前記表面側電極の投影面積と前記裏面側電極の投影面積との差が50%以内であることを特徴とするパワー半導体モジュール装置。
- [請求項5] 請求項3又は4に記載のパワー半導体モジュール装置において、
前記第1厚膜めっき層及び前記第2厚膜めっき層のめっきの厚さが少なくとも50 μ m以上であることを特徴とするパワー半導体モジュール装置。

ール装置。

[請求項6] 請求項3ないし5のいずれかに記載のパワー半導体モジュール装置において、

前記第1厚膜めっき層及び／又は前記第2厚膜めっき層の表面の一部又は全部が1 μm 以上の厚さのNi又はNi合金で被覆されていることを特徴とするパワー半導体モジュール装置。

[請求項7] 請求項1ないし6のいずれかに記載のパワー半導体モジュール装置において、

複数の前記半導体素子のうち一の前記半導体素子がスイッチング素子であり、当該スイッチング素子以外の他の前記半導体素子のうち少なくとも一の前記半導体素子がダイオードであり、

前記半導体素子間に、前記第1面側電極と前記第2面側電極とを電氣的に接続するための前記半導体素子と略同一の厚みを有する導電体が配設されており、当該導電体が前記第1面側電極及び前記第2面側電極と電氣的に接続されていることを特徴とするパワー半導体モジュール装置。

[請求項8] 請求項2に記載のパワー半導体モジュール装置において、
前記導電配線金属板の表面に熱を拡散するためのヒートスプレッドがめっきで形成されているパワー半導体モジュール装置。

[請求項9] 配列基板上に複数の半導体素子を面一に配列するステップと、
配列された半導体素子間を絶縁材料で埋め込むステップと、
前記半導体素子の配線部分にレジスト溝を形成するステップと、
第1面側にめっきシードを形成し、厚膜めっき処理を行うステップと、
前記配列基板を剥離するステップと、
前記配列基板が剥離された第2面側に対して、前記半導体素子同士を電氣的に接続する第2面側電極を形成するステップと、
モジュール単位にダイシングするステップとを含むことを特徴とす

るパワー半導体モジュール製造方法。

[請求項10]

請求項9に記載のパワー半導体モジュール製造方法において、

前記第2面側電極を形成するステップが、前記半導体素子の電極にエッジを介して接続する接続面を有する導電配線金属板と前記半導体素子の電極とをめっきで接合することを特徴とするパワー半導体モジュール製造方法。

[請求項11]

請求項9に記載のパワー半導体モジュール製造方法において、

前記第2面側電極を形成するステップが、前記半導体素子の第2面側の配線部分にレジスト溝を形成するステップと、第2面側の表面にめっきシードを形成し、厚膜めっき処理を行うステップとを含むことを特徴とするパワー半導体モジュール製造方法。

[請求項12]

請求項9ないし11のいずれかに記載のパワー半導体モジュール製造方法において、

前記配列基板の上に複数の前記半導体素子を配列すると共に、前記半導体素子と略同一の厚みを有する導電体を前記半導体素子間に配置することを特徴とするパワー半導体モジュール製造方法。

[請求項13]

絶縁基板に埋め込みの対象となる半導体素子よりも大きいサイズの貫通孔を形成するステップと、

前記絶縁基板の両面に、少なくとも前記貫通孔以外の領域に導電配線金属板を接着するステップと、

前記貫通孔に前記半導体素子を嵌め込むステップと、

前記貫通孔内で前記基板と前記半導体素子との間を絶縁材料で埋め込むステップと、

第1面側にめっきシードを形成し、厚膜めっき処理を行うステップと、

第2面側に前記半導体素子の電極にエッジを介して接続する接続面を有する導電配線金属板と前記半導体素子の電極とをめっきで接合するステップと、

モジュール単位にダイシングするステップとを含むことを特徴とするパワー半導体モジュール製造方法。

[請求項14] 両面に導電配線金属板が形成された基板に、埋め込みの対象となる半導体素子よりも大きいサイズの貫通孔を形成するステップと、
前記貫通孔に前記半導体素子を嵌め込むステップと、
前記貫通孔内で前記基板と前記半導体素子との間を絶縁材料で埋め込むステップと、

第1面側及び第2面側にめっきシードを形成し、厚膜めっき処理を行うステップと、

モジュール単位にダイシングするステップとを含むことを特徴とするパワー半導体モジュール製造方法。

[請求項15] 請求項13又は14に記載のパワー半導体モジュール製造方法において、

前記貫通孔に前記半導体素子を嵌め込む場合に、他の貫通孔に前記半導体素子と略同一の厚みを有する導電体を嵌め込むことを特徴とするパワー半導体モジュール製造方法。

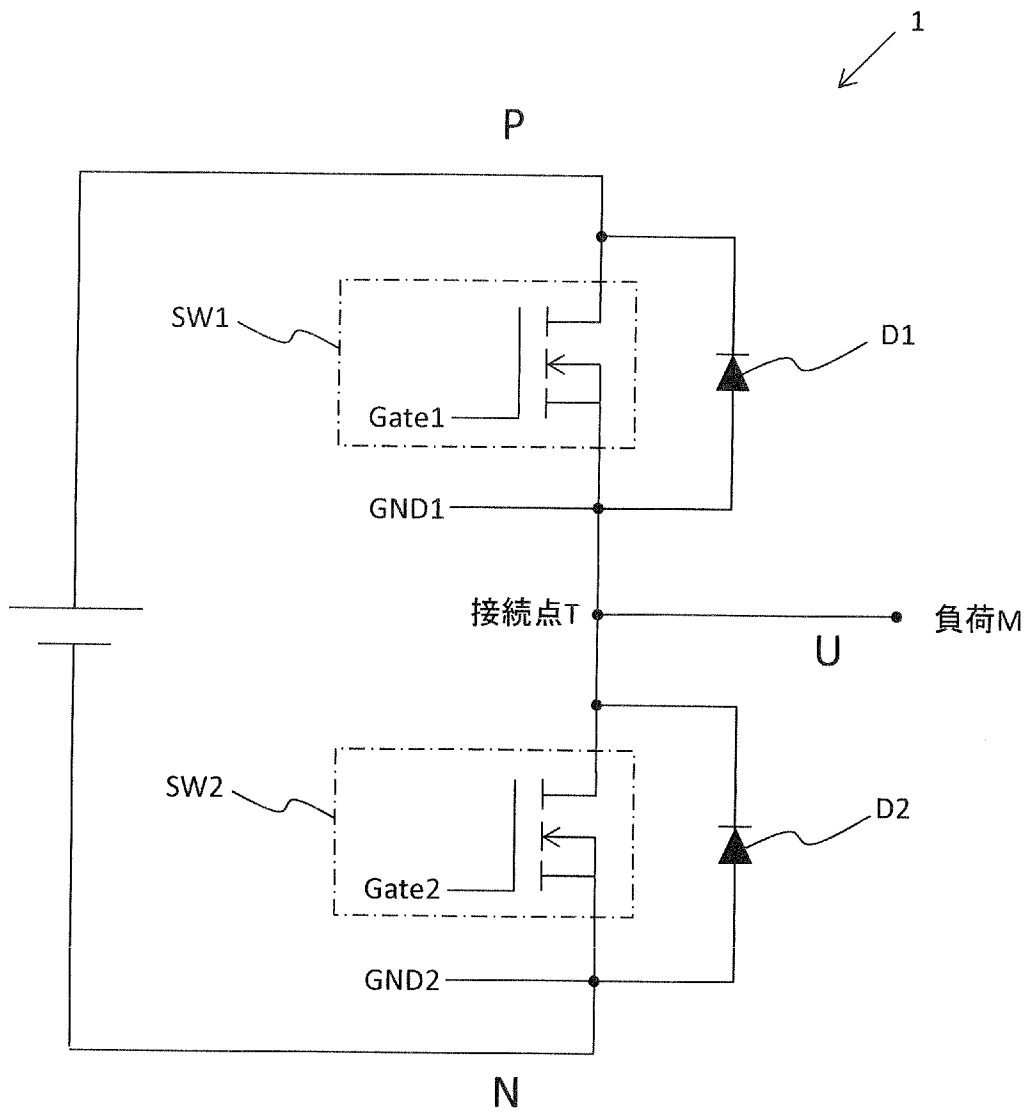
[請求項16] 請求項9ないし15のいずれかに記載のパワー半導体モジュール製造方法において、

前記厚膜めっき処理がCu又はCu合金でなされ、形成された厚膜めっきの表面の一部又は全部が、1 μ m以上のNi又はNi合金でめっきされるステップを含むことを特徴とするパワー半導体モジュール製造方法。

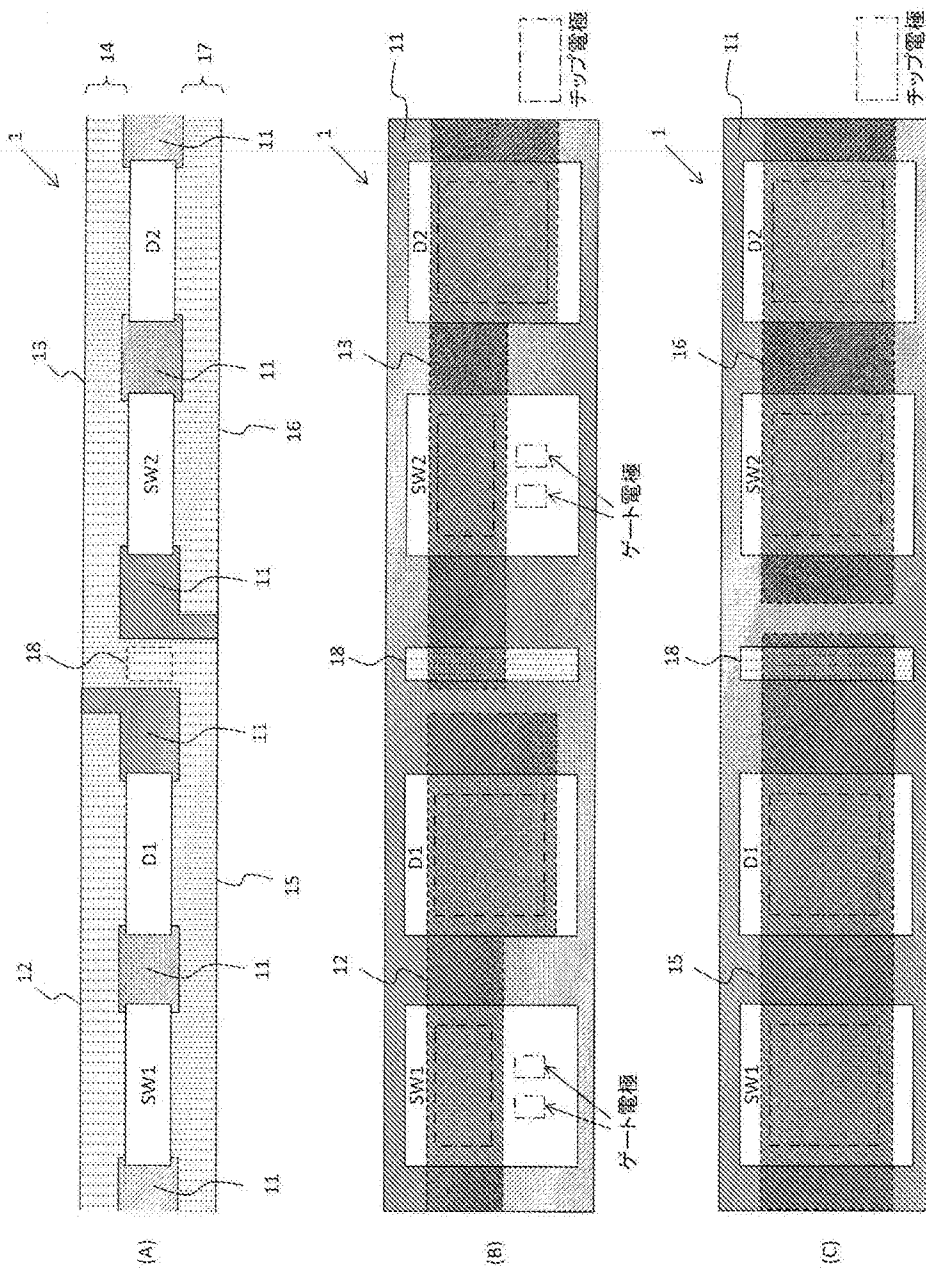
[請求項17] 請求項10又は13に記載のパワー半導体モジュール製造方法において、

前記導電配線金属板の表面に熱を拡散するためのヒートスプレッドをめっきで形成するステップを含むパワー半導体モジュール製造方法。

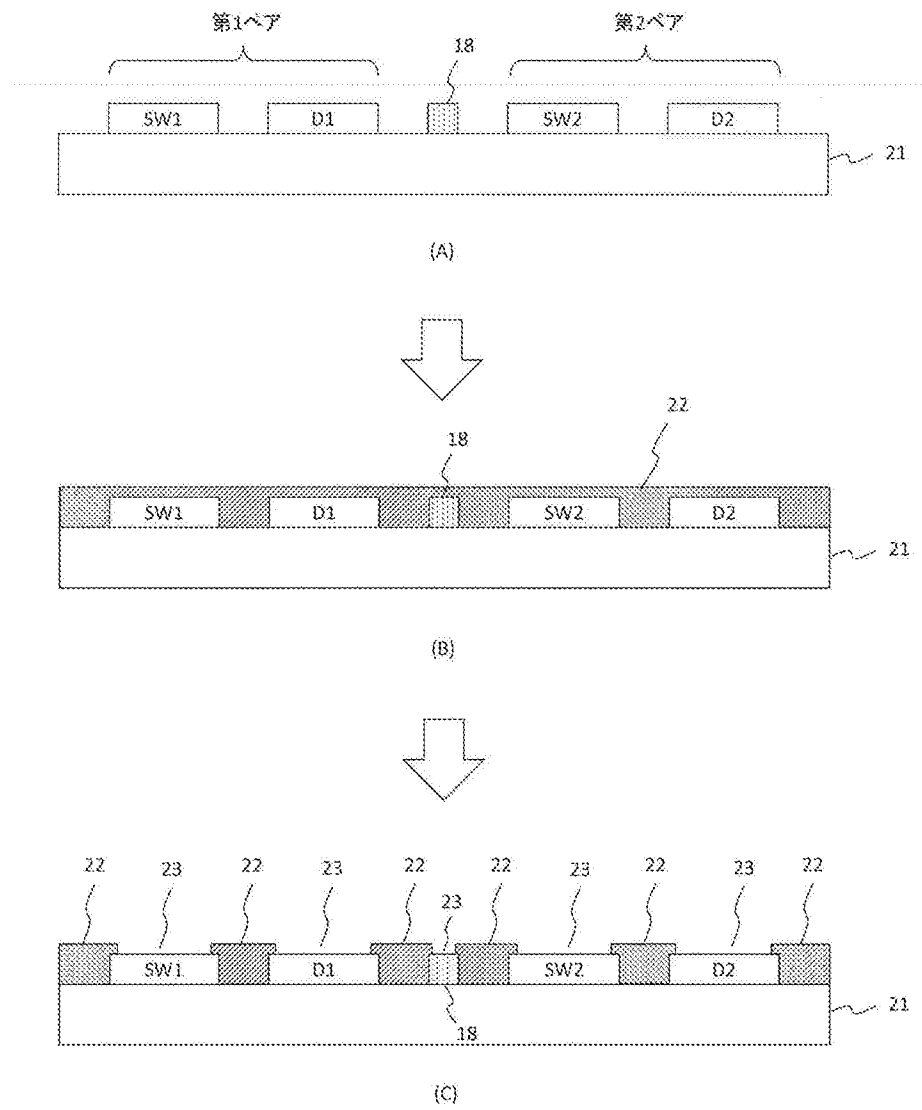
[図1]



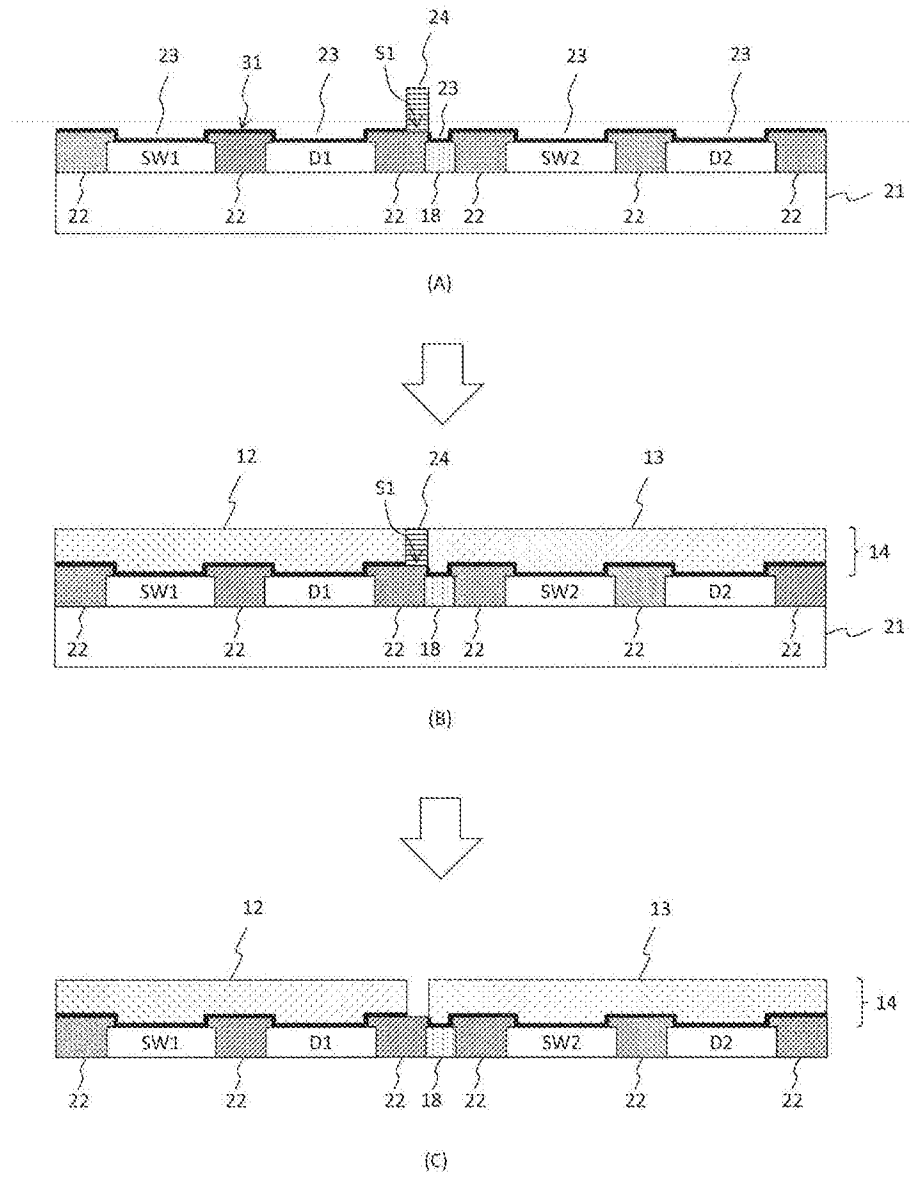
[図2]



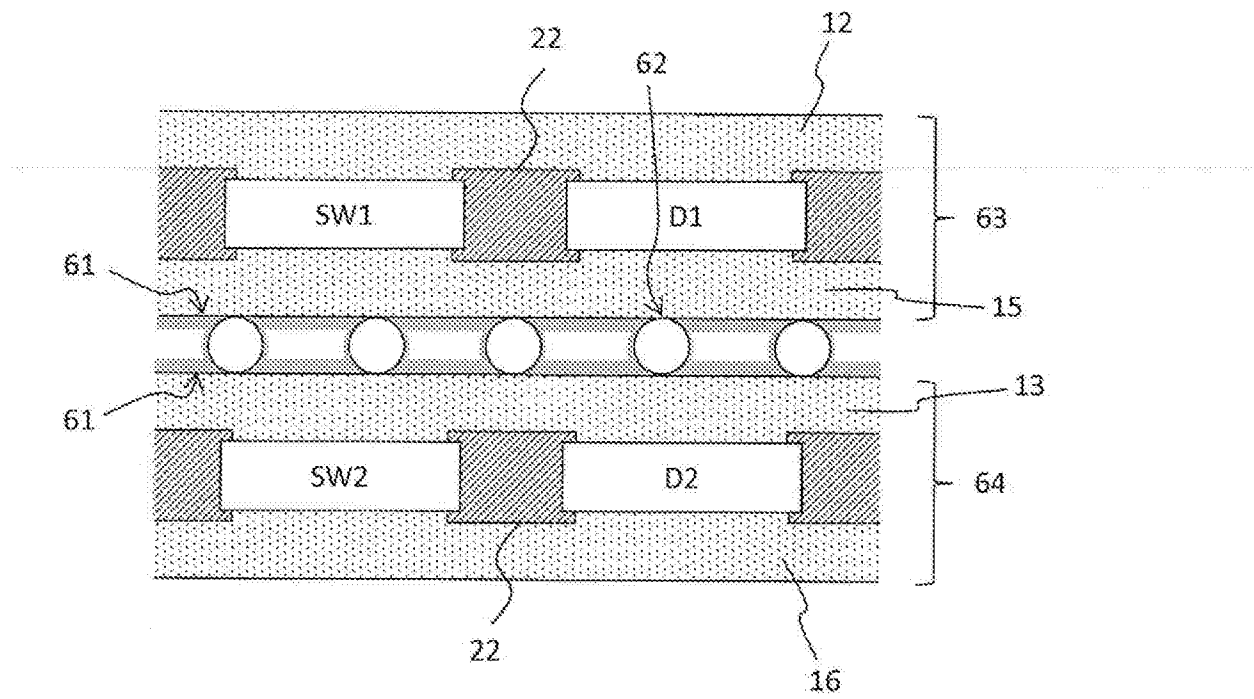
[図3]



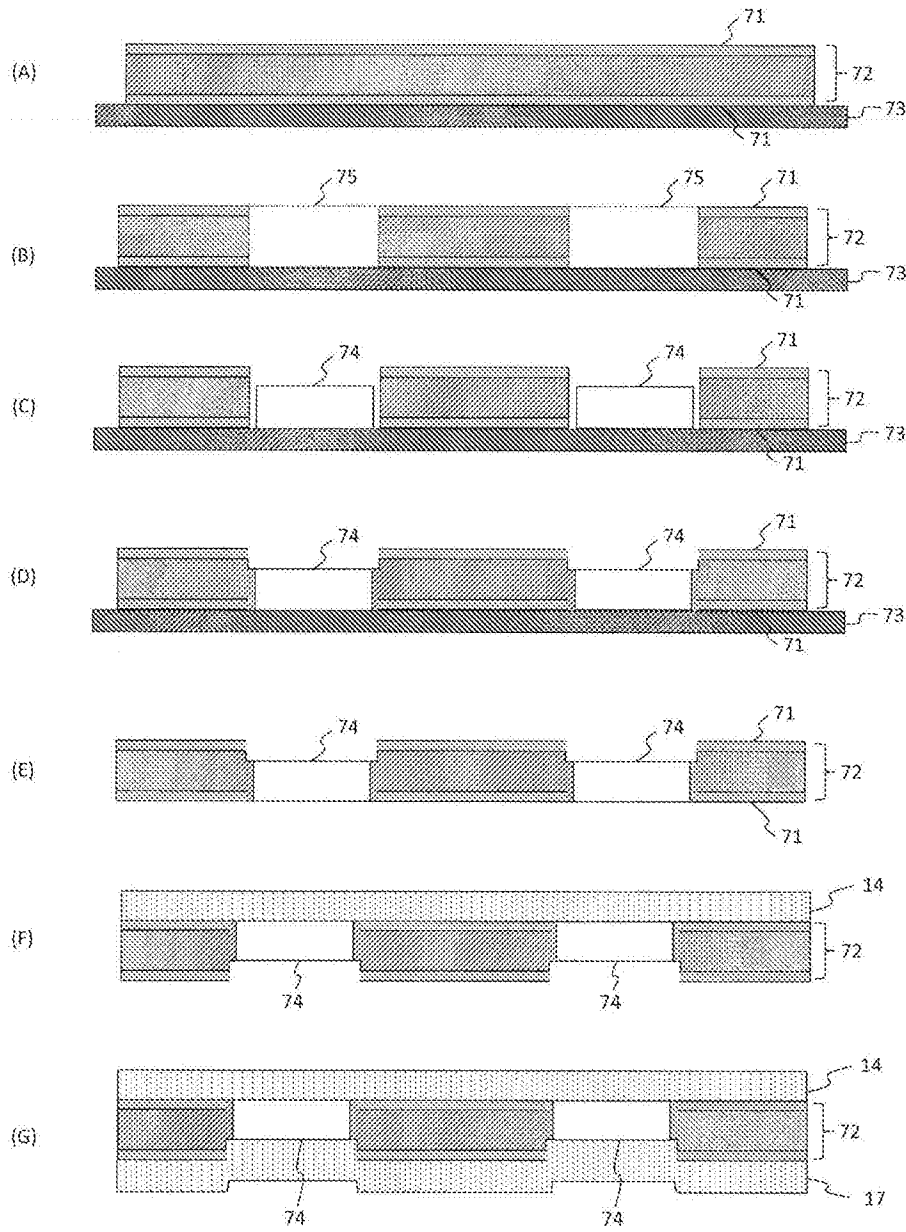
[図4]



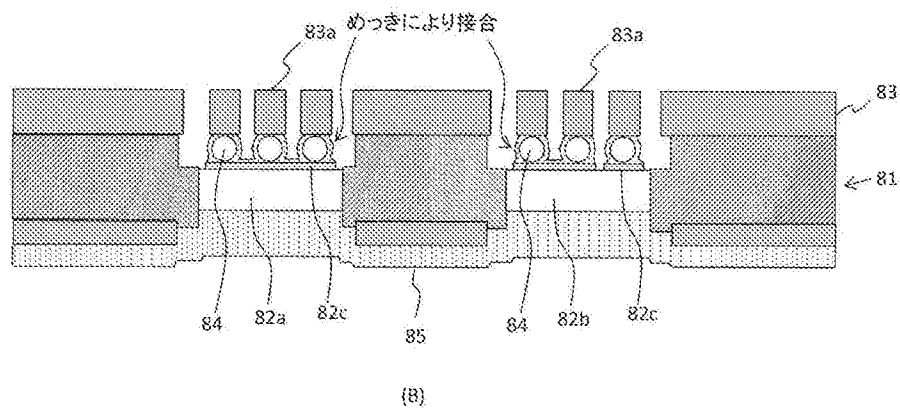
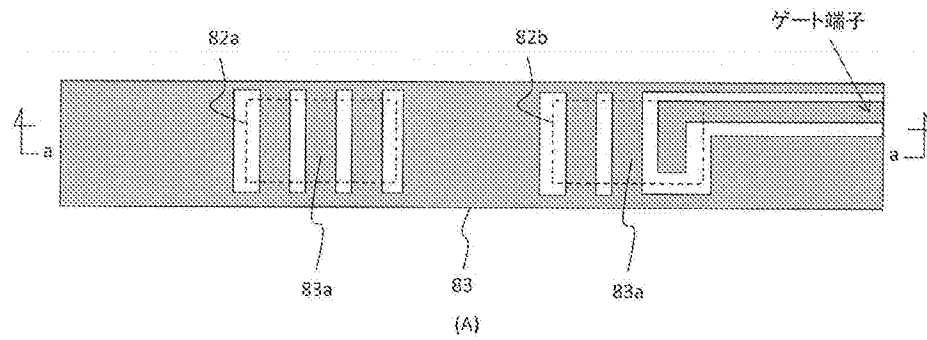
[図6]



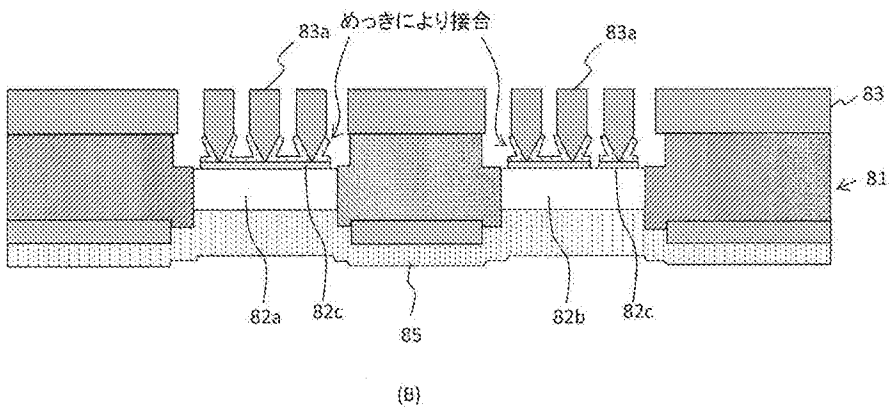
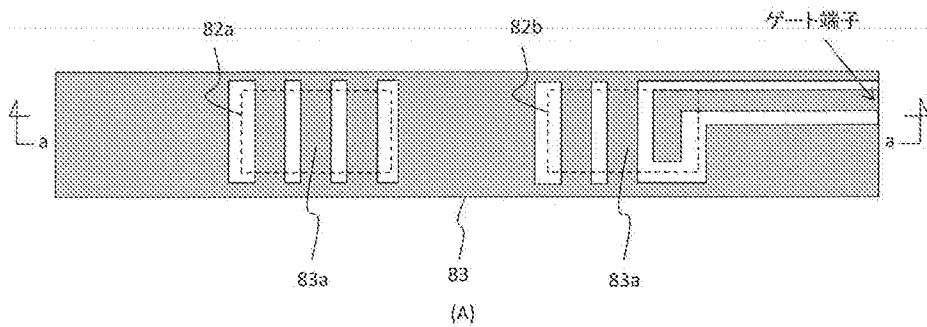
[図7]



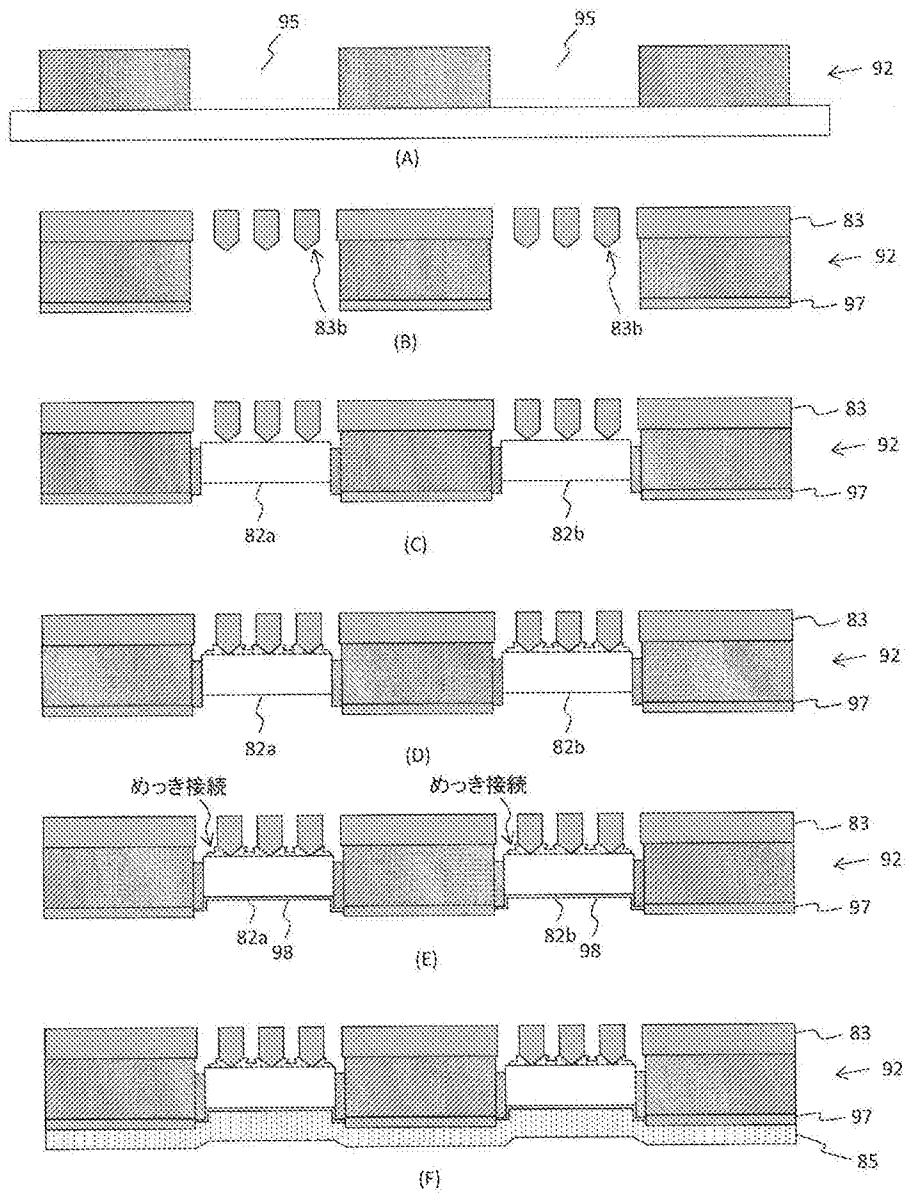
[図8]



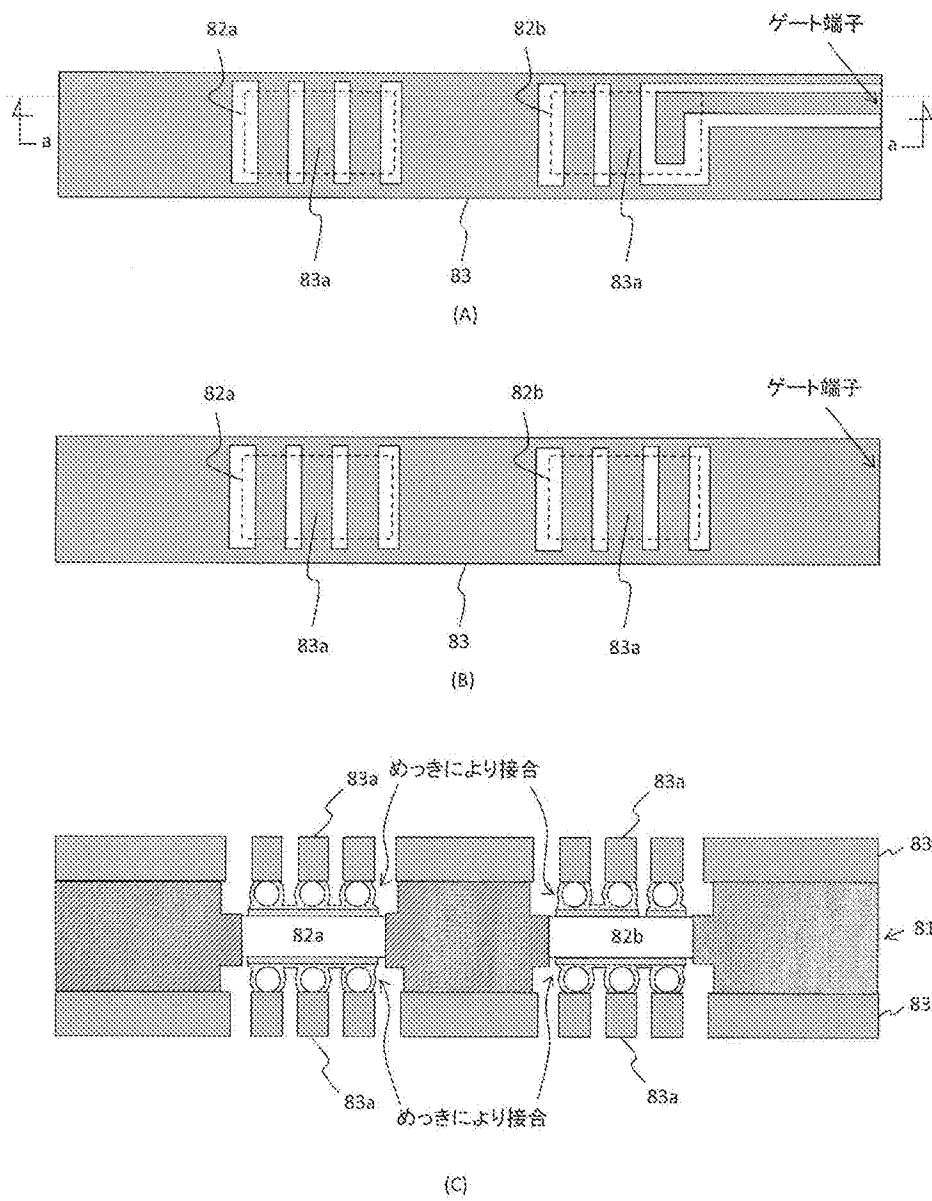
[図9]



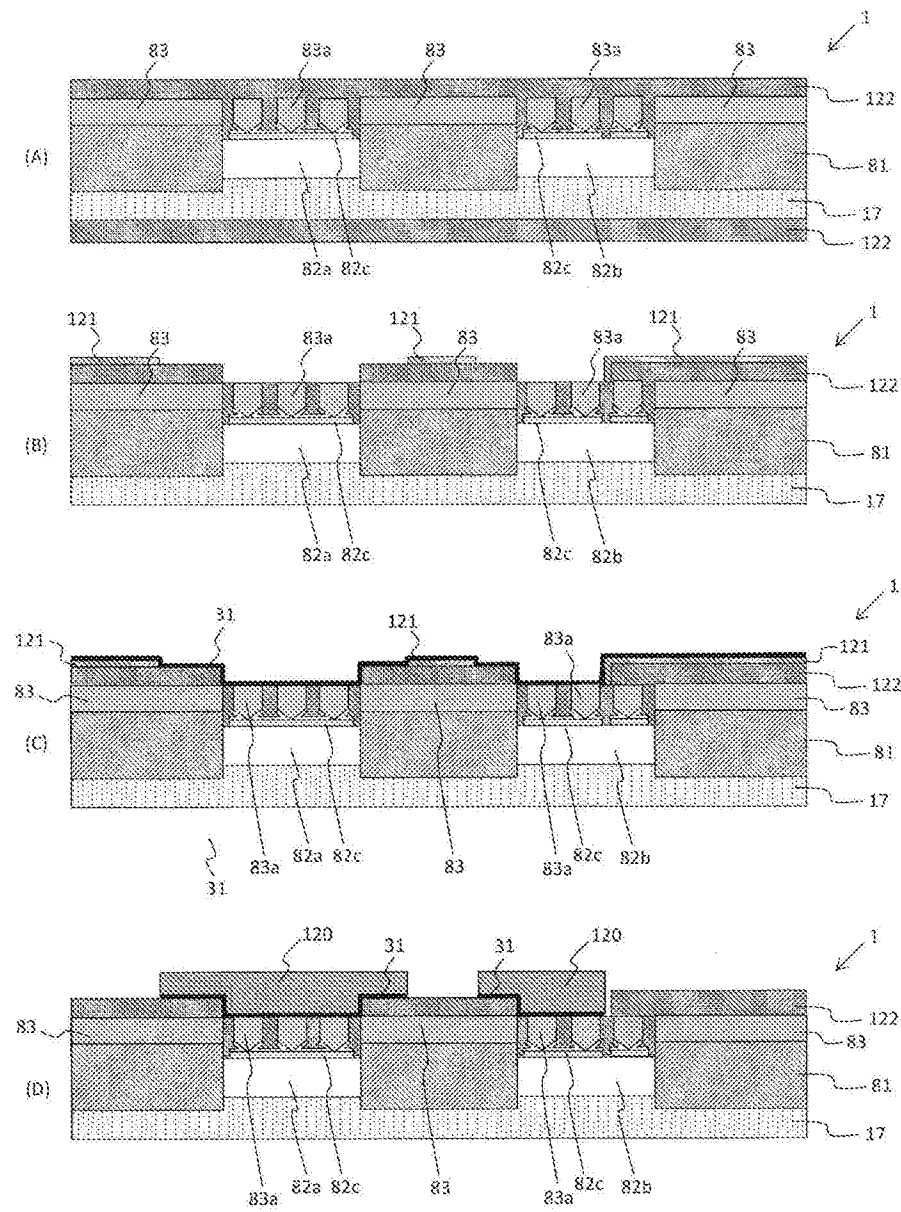
[図10]



[図11]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/019354

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L25/07 (2006.01) i, H01L21/301 (2006.01) i, H01L23/12 (2006.01) i,
H01L25/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L25/07, H01L21/301, H01L23/12, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-219324 A (TOSHIBA CORP.) 24 October 2013, paragraphs [0002]-[0091], [0114]-[0115], fig. 1-13, 22 & US 2013/0241040 A1, paragraphs [0003]-[0121], [0144], fig. 1-13, 22	1, 3, 5, 9, 11 6, 16 2, 4, 7-8, 10, 12-15, 17
Y A	JP 2008-4612 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 10 January 2008, paragraph [0012] & US 2007/0290782 A1, paragraph [0019] & CN 101110293 A	6, 16 2, 4, 7-8, 10, 12-15, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
24 July 2018 (24.07.2018)

Date of mailing of the international search report
07 August 2018 (07.08.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/019354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-86082 A (PANASONIC IP MANAGEMENT CO., LTD.) 19 May 2016 (Family: none)	1-17
A	JP 2014-179612 A (GENERAL ELECTRIC CO.) 25 September 2014 & US 2014/0264800 A1 & EP 2779230 A2 & CN 104051376 A & KR 10-2014-0113451 A & TW 201448137 A	1-17
A	JP 2016-186964 A (J-DEVICES CORPORATION) 27 October 2016 (Family: none)	1-17
A	WO 2009/101685 A1 (MITSUBISHI HEAVY INDUSTRIES, LTD.) 20 August 2009 & US 2011/0062600 A1 & EP 2244288 A1 & CN 101946318 A & KR 10-2010-0114076 A	1-17
A	JP 2007-335473 A (NISSAN MOTOR CO., LTD.) 27 December 2007 (Family: none)	1-17
A	JP 2014-107506 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 09 June 2014, paragraph [0037] (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L21/301(2006.01)i, H01L23/12(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L21/301, H01L23/12, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-219324 A (株式会社東芝) 2013.10.24, 段落[0002]-[0091], [0114]-[0115], 図 1-13, 22 & US 2013/0241040 A1, 段落[0003]-[0121], [0144], 図 1-13, 22	1, 3, 5, 9, 11 6, 16 2, 4, 7-8, 10, 12-15, 17
Y A	JP 2008-4612 A (富士電機デバイステクノロジー株式会社) 2008.01.10, 段落[0012] & US 2007/0290782 A1, 段落[0019] & CN 101110293 A	6, 16 2, 4, 7-8, 10, 12-15, 17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24.07.2018

国際調査報告の発送日

07.08.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 駿平

5 D

5588

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-86082 A (パナソニック I P マネジメント株式会社) 2016. 05. 19, (ファミリーなし)	1-17
A	JP 2014-179612 A (ゼネラル・エレクトリック・カンパニー) 2014. 09. 25, & US 2014/0264800 A1 & EP 2779230 A2 & CN 104051376 A & KR 10-2014-0113451 A & TW 201448137 A	1-17
A	JP 2016-186964 A (株式会社ジェイデバイス) 2016. 10. 27, (ファミリーなし)	1-17
A	WO 2009/101685 A1 (三菱重工業株式会社) 2009. 08. 20, & US 2011/0062600 A1 & EP 2244288 A1 & CN 101946318 A & KR 10-2010-0114076 A	1-17
A	JP 2007-335473 A (日産自動車株式会社) 2007. 12. 27, (ファミリーなし)	1-17
A	JP 2014-107506 A (独立行政法人産業技術総合研究所) 2014. 06. 09, 段落[0037] (ファミリーなし)	1-17