

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-40768

(P2004-40768A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

H03H 7/42

H03H 7/48

F I

H03H 7/42

H03H 7/48

テーマコード (参考)

Z

審査請求 未請求 請求項の数 10 O L 外国語出願 (全 33 頁)

(21) 出願番号 特願2003-99547 (P2003-99547)
(22) 出願日 平成15年4月2日(2003.4.2)
(31) 優先権主張番号 10/114166
(32) 優先日 平成14年4月2日(2002.4.2)
(33) 優先権主張国 米国 (US)

(71) 出願人 503123152
ノースロップ・グラマン・コーポレーション
NORTHROP GRUMMAN CORPORATION
アメリカ合衆国カリフォルニア州9006
7-2199, ロサンゼルス, センチュリー
・パーク・イースト 1840
(74) 代理人 100089705
弁理士 社本 一夫
(74) 代理人 100076691
弁理士 増井 忠式
(74) 代理人 100075270
弁理士 小林 泰

最終頁に続く

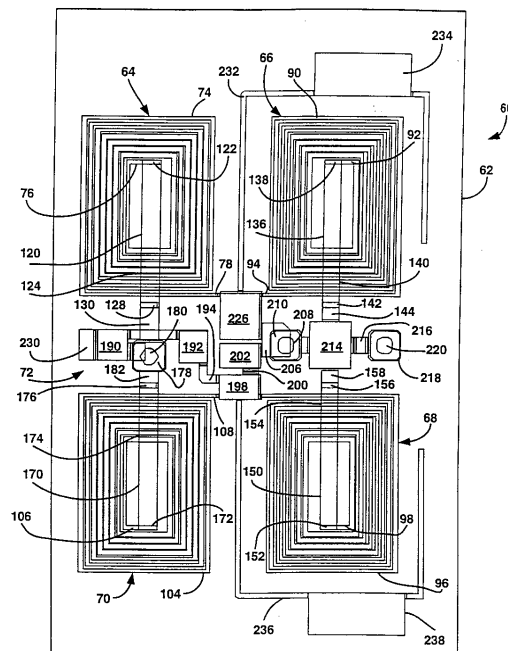
(54) 【発明の名称】 集中定数素子ハイブリッド

(57) 【要約】

【課題】 集中定数素子ハイブリッドを提供する。

【解決手段】 コンパクト設計のモノリシック基板(62)上にパターン化された素子を備えた集中定数素子リング・バラン(60)は、互いに180°位相がずれたRF出力信号を提供するように、電氣的に一体に結合した4つのインダクタ(64, 66, 68, 70)及び複数のコンデンサ(190, 192, 198, 202, 214, 226)を備える。インダクタは、基板の矩形領域に対称に配置される。インダクタ(64, 66)の第1対は、矩形領域の一方の端部に配置され、インダクタ(68, 70)の第2対は、矩形領域の対向する端部に配置されている。コンデンサはすべて、基板上のインダクタの第1対とインダクタの第2対の間の中央回路領域(72)に形成される。内側端(76, 92, 98, 106)は、エアブリッジ(124, 140, 154, 174)を貫通して延びている金属化トレース(120, 136, 150, 170)によって回路領域(72)の回路素子と結合する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板上に形成された集中定数素子ハイブリッドであって、該ハイブリッドは、前記基板上の矩形領域に対称に配置された 4 つのインダクタであって、前記インダクタのそれぞれが、第 1 端部および第 2 端部を有する電気巻線を備えており、第 1 インダクタおよび第 2 インダクタが、前記矩形領域の一方の側に互いに隣り合って配置され、第 3 インダクタおよび第 4 インダクタが、前記矩形領域の反対側に互いに隣り合って配置され、それにより、回路領域が、前記第 1 インダクタおよび前記第 2 インダクタの対と、前記第 3 インダクタおよび前記第 4 インダクタの対との間で、前記矩形領域の中央部分に、画定される、4 つのインダクタと、
前記基板上の前記回路領域に配置された複数のコンデンサであって、前記インダクタおよび前記コンデンサが、電氣的に共に結合して集中定数素子ハイブリッドを画定し、すべての前記インダクタの前記電気巻線の前記第 1 端部および前記第 2 端部が、前記回路領域の回路素子と電気結合される、複数のコンデンサと、
を備えたハイブリッド。

10

【請求項 2】

請求項 1 に記載のハイブリッドにおいて、各巻線の前記第 1 端部が、前記巻線の内側端であり、各巻線の前記第 2 端部が、前記巻線の外側端である、ハイブリッド。

【請求項 3】

請求項 2 に記載のハイブリッドにおいて、各巻線の前記内側端が、該インダクタの前記巻線の平行部分によって形成されたエアブリッジによって、前記回路領域の回路素子と電気結合される、ハイブリッド。

20

【請求項 4】

請求項 2 に記載のハイブリッドにおいて、各巻線の前記外側端が、コンデンサのプレートと直接結合される、ハイブリッド。

【請求項 5】

請求項 1 に記載のハイブリッドにおいて、
該ハイブリッドはさらに、前記第 1 インダクタと前記第 2 インダクタとの間で延びる第 1 出力トレースと、前記第 3 インダクタと前記第 4 インダクタとの間で延びる第 2 出力トレースと、を備え、
前記第 1 出力トレース上の出力信号が、前記第 2 出力トレース上の出力信号に対して、位相が 180° ずれている、ハイブリッド。

30

【請求項 6】

請求項 5 に記載のハイブリッドにおいて、
該ハイブリッドはさらに、第 1 直流阻止コンデンサと第 2 直流阻止コンデンサとを備え、前記第 1 直流阻止コンデンサが、前記第 1 出力トレースと結合され、前記第 2 直流阻止コンデンサが、前記第 2 出力トレースと結合される、ハイブリッド。

【請求項 7】

請求項 6 に記載のハイブリッドにおいて、前記第 1 直流阻止コンデンサおよび前記第 2 直流阻止コンデンサが、前記基板上の前記矩形領域の外側に形成される、ハイブリッド。

40

【請求項 8】

請求項 5 に記載のハイブリッドにおいて、前記第 1 出力トレースが、前記回路領域のコンデンサと直接結合され、前記第 2 出力トレースが、前記回路領域の他のコンデンサと直接結合される、ハイブリッド。

【請求項 9】

請求項 1 に記載のハイブリッドにおいて、複数の前記コンデンサが、6 個のコンデンサである、ハイブリッド。

【請求項 10】

請求項 1 に記載のハイブリッドにおいて、該ハイブリッドが、リング・ミクサのための集中定数素子リング・ balan である、ハイブリッド。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、リング・ミクサ用の集中定数素子バランに関し、より詳細には、空間を節約して使い、寄生インダクタンスを最小限に抑える形で、バラン回路素子がモノリシック基板上に構成された集中定数素子リング・バランの回路レイアウトに関する。

【0002】

【従来の技術】

近代の通信システムは、様々な通信チャネルに関連付けられた割当て周波数帯域幅を、最大限に利用しようと試みる送信器設計および受信器設計を使用している。なぜならば、システムの提供者にとって信号の帯域幅は、コストのかかる投資となるためである。割当て帯域幅を最大限に利用することは、極めて高性能の送信器および受信器を提供することになる。しかし、送信器と受信器は、低コストでなければならない。通信システムにおける無線周波数(RF)装置は、一般的に注文設計素子であり、大量生産されないため、通常、最も費用のかかる物品になっている。

【0003】

このカテゴリの範疇であるRF装置の1つは、周波数ミクサである。周波数ミクサは、2つのRF周波数信号又は2つの中間周波数(IF)信号を混合し、和周波数及び差周波数を生成して、周波数をダウン変換し、あるいはアップ変換する。例えば、受信器内で受信される信号は、局部発振器(LO)信号と混合され、後続する信号処理に適したIF信号が、生成される。通常、ミクサは、RF信号チェーンの性能を設定するためには不可欠である。したがって、RF集積回路(IC)内のセルとして具体化することができる、相互変調積がより小さく、かつ、ダイナミックレンジの広いミクサが、必要とされる。

【0004】

本明細書において考察するタイプのRF通信システムに使用されている周知のミクサの1つは、当分野でリング・ミクサ(ring mixer)と呼ばれている。リング・ミクサは、リング構成で接続され、IF信号を生成するためのRF信号及びLO信号を混合する4つのダイオードを、採用している。このリング・ミクサは、RF信号およびLO信号を、互いに180°位相がずれた信号に分割するハイブリッド又はバランを、採用している。リング・ミクサ・バランは、Sturdivant, Rick, "Balun Designs for Wireless, . . . Mixers, Amplifiers and Antennas," Applied Microwave, Summer 1993, pps. 34 - 44に、開示されている。分割されたRF信号およびLO信号は、リングの対向するコーナにおけるダイオード間のミクサに、印加される。ダイオードは、変調を行うために、RF信号の正の部分および負の部分にตอบสนองして、スイッチオンおよびスイッチオフされる。IF信号は、リングのもう一方の対向するコーナのダイオード間で生成される。

【0005】

図1は、既知の集中定数素子リング・バラン回路10の略図を示したものである。リング・バラン回路10は、コーナ・ノード14、16、18および20を画定している4つの辺を有する電気リング12を備えている。リング・バラン回路10は、コンデンサ(容量子) $C_1 \sim C_6$ 、インダクタ(誘導子) $L_1 \sim L_4$ 、および抵抗 R_1 からなる電氣的な構成を備えている。リング12の各辺は、伝搬する信号を遅延させる集中定数素子伝送線路を形成する高域通過フィルタを提供するように結合するコンデンサ及びインダクタを備えている。当分野で知られているように、コンデンサ上で電流が電圧を導き、インダクタ上で電圧が電流を導く。したがって、直列コンデンサおよびシャント・インダクタは、信号の位相を進ませ、また、直列インダクタおよびシャント・コンデンサは、信号の位相を遅らせる。

【0006】

RF入力信号は、ノード14にRFに印加され、フィルタは、ノード14における信号に

対して位相が 90° ずれたノード 20 における RF 信号を提供し、また、ノード 14 における信号に対して位相が 180° ずれたノード 18 における RF 信号を提供し、さらに、ノード 14 における信号に対して位相が 270° ずれたノード 16 における RF 信号を提供する。出力線路 54 および 56 が、それぞれ、ノード 20 および 16 と結合し、互いに位相が 180° ずれた出力信号が、提供される。直流阻止コンデンサ 24 および 26 は、出力線路 54 および 56 中に設けられ、リング・バラン回路 10 へのミクサからの直流信号の進入を防止している。

【0007】

リング・バラン回路 10 をリング・ミクサに適用することはできるが、二重バランのリング設計は複雑であるため、例えば、星形ミクサ、ダブル・ダブリ平衡ミクサなどの他のタイプのミクサへの使用には限界がある。したがって、当分野において、他のバラン設計が、他のタイプのミクサに使用されている。図 2 は、集中定数素子二重バラン回路 30 の略図を示し、その集中定数素子二重バラン回路 30 は、星形ミクサまたはモノリシック・マイクロ波集積回路 (MMIC: Monolithic Microwave Integrated Circuit) ダブル・ダブリ平衡ミクサ (DDBM: Double Doubly Balanced Mixer) と組み合わせて使用するための特定の用途を有する第 1 バラン 32 及び第 2 バラン 34 を備えている。二重バラン回路 30 は、RF 入力信号を受信し、第 1 のバラン 32 は、互いに 180° 位相がずれた 2 つの信号を出力し、第 2 のバラン 34 は、互いに 180° 位相がずれた 2 つの RF 信号を出力している。このタイプの二重バラン構造は、Chiou, Hwann-Keo, et al., "Miniature MMIC Star Double Balanced Mixer Using Lumped Dual Balun," Electronics Letters, Vol. 33, No. 6, March 13, 1997, pps. 503 - 505、および Chiou, Hwann-Keo, et al., "A Miniature MMIC Double Doubly Balanced Mixer Using Lumped Dual Balun for High Dynamic Receiver Application," IEEE, Microwave and Guided Wave Letters, Vol. 7, No. 8, August 1997, pps. 227 - 229 に、開示されている。

【0008】

二重バラン回路 30 は、上で考察したバラン回路 10 と同様に、互いに 180° 位相がずれた RF 信号を提供するために、インダクタおよびコンデンサ・フィルタ回路網を採用する。バラン 32 は、インダクタ L_1 およびコンデンサ C_1 からなるフィルタと、インダクタ L_2 およびコンデンサ C_2 からなるフィルタと、を備えている。同様に、バラン 34 は、インダクタ L_3 およびコンデンサ C_3 からなるフィルタと、インダクタ L_4 およびコンデンサ C_4 からなるフィルタと、を備えている。バラン 32 において、インダクタ L_1 は、ノード 36 でコンデンサ C_1 と結合し、インダクタ L_1 は、ノード 38 でコンデンサ C_2 と結合している。そのコンデンサ C_2 は、ノード 40 でインダクタ L_2 と結合し、インダクタ L_2 は、ノード 42 でコンデンサ C_1 と結合している。バラン 34 において、インダクタ L_3 は、ノード 44 でコンデンサ C_3 と結合し、インダクタ L_3 は、ノード 46 でコンデンサ C_4 と結合している。そのコンデンサ C_4 は、ノード 48 でインダクタ L_4 と結合し、インダクタ L_4 は、ノード 50 でコンデンサ C_3 と結合している。RF 入力信号は、ノード 36 および 44 に印加されている。RF 入力信号と同相の RF 出力信号は、ノード 42 および 50 に提供され、その RF 入力信号に対して 180° 位相がずれた RF 出力信号は、ノード 38 および 46 に提供されている。

【0009】

【非特許文献 1】

スターディバント・リック (Sturdivant, Rick) 著、「ワイヤレス、・・・、ミクサ、アンプ及びアンテナ用のバラン設計 (Balun Designs for Wireless, ... Mixers, Amplifiers and Antenn

10

20

30

40

50

nas)」、応用マイクロ派 (Applied Microwave)、1993年 夏 (Summer 1993)、p. 34 - 44

【非特許文献2】

キオス・ホアン・キオ (Chiou, Hwann - Keo) ら著、「集中定数二重バランを用いる小型MMIC星形ダブル平衡ミクサ (Miniature MMIC Star Double Balanced Mixer Using Lumped Dual Balun)」、エレクトロニクス・レター (Electronics Letters)、第33巻、第6号、1997年3月13日、p. 503 - 505

【非特許文献3】

キオス・ホアン・キオ (Chiou, Hwann - Keo) ら著、「高動力受信用途用の集中定数二重バランを用いる小型MMICダブル・ダブリ平衡ミクサ (A Miniature MMIC Double Doubly Balanced Mixer Using Lumped Dual Balun for High Dynamic Receiver Application)」、IEEE、マイクロ波&誘導波レター (Microwave and Guided Wave Letters)、第7巻、第8号、1997年8月、p. 227 - 229 10

【0010】

【発明の概要】

本発明の教示によれば、集中定数素子リング・バランのための回路レイアウトが開示され、そこでは、バランの素子が、コンパクトな設計でモノリシック基板上にパターン化される。バランは、RF入力信号をフィルタリングし、かつ、遅延させるために、一体に電気結合された4つのインダクタおよび複数のコンデンサを備えており、それにより、対応する互いに位相がずれたRF出力信号が提供される。インダクタは、基板上的矩形領域に、対称配置される。インダクタの第1の対は、矩形領域の一方の端部に、互いに隣り合って配置される。インダクタの第2の対は、矩形領域の対向する端部に、互いに隣り合って配置される。コンデンサはすべて、インダクタの第1対と第2対との間の中央回路領域の基板上に形成される。 20

【0011】

設計には、基板上にパターン化された金属化トレースが使用され、インダクタとコンデンサの間の電気結合を提供している。また、トレースは、基板中に異なるレベルで提供されている。インダクタの各々は、回路領域中の回路素子と電気結合された、内側端および外側端を有する巻線を、備えている。各巻線の内側端は、巻線から電氣的に分離しているエアブリッジを貫通して巻線の下側に延びるトレースと結合している。寄生インダクタンスを小さくするために、コンデンサまでの電気接続の長さは、最短化されている。接地ピアは、基板を貫通して延び、その基板の反対側で、金属化接地平面に電気接続されている。 30

【0012】

本発明の他の目的、利点および特徴については、添付の図面と共に、以下の詳細説明および特許請求の範囲の各請求項から明らかになるであろう。

【0013】

【発明の実施の形態】

モノリシック基板上のバランの専用回路レイアウトを対象とした本発明についての以下の考察は、単に例示的な性質のものに過ぎず、本発明またはその用途ないし用法を、何ら限定するものではない。 40

【0014】

本発明により、空間を節約して使い、寄生キャパシタンスおよび寄生インダクタンスを小さくし、消費電力が少なく、かつ、低コストである、モノリシック基板上のバラン回路10および二重バラン回路30に関する誘導素子および容量素子の配列が提供される。バラン回路10は、リング・ミクサとの使用を意図したものであり、二重バラン回路30は、星形ミクサまたはDDBMとの使用を意図したものである。しかしながら、これは、何ら制限されることのない実施例であり、以下で考察する本発明のバラン構成は、他のシステ 50

ム（他のミクサ、増幅器、アンテナ等を含む）に対する用途を有している。さらに、本発明は、 180° の位相ずれ以外の他の位相ずれの信号を提供するように、構成することもできる。また、このレイアウト設計を、他のタイプの回路（例えば、集積回路基板上の集積回路など）に使用することもできる。

【0015】

図3は、上で考察したバラン回路10と同じ電気素子を備えたリング・バラン60の回路レイアウトの平面図を示したものである。電気素子は、素子を画定するための導電領域および誘電領域を提供する適切な任意の金属化プロセスおよび蒸着プロセスによって、モノリシック基板62（例えば、MMICなど）上にパターン化されている。基板62は、適切な任意の材料とすることができ、例えば、InP、GaAs、サファイア等である。以下で考察される、トレース中の矩形領域および金属化領域は、電気結合を提供するための垂直拡張領域または重畳金属領域を表している。インダクタを、モノリシック基板上に金属化トレースまたは巻線としてパターン化するため、及び、コンデンサを、対向するプレートと有し、かつ、その間に誘電体が形成された金属化パッチとしてパターン化するための、多くの技法が知られている。本発明は、基板62上のインダクタおよびコンデンサの配置を対象としたものである。この点に関して、バラン60の様々な電気素子を、図1に示す電気素子の簡易表現を参照して考察する。

10

【0016】

バラン60は、対称に配置されたインダクタを備えており、それらのインダクタは、インダクタ L_1 を表す第1のインダクタ64と、インダクタ L_2 を表す第2のインダクタ66と、インダクタ L_3 を表す第3のインダクタ68と、インダクタ L_4 を表す第4のインダクタ70と、を備える。以下で考察するように、様々なコンデンサ $C_1 \sim C_6$ と、そのコンデンサ $C_1 \sim C_6$ とインダクタ $L_1 \sim L_4$ との間の相互接続とは、中央回路領域72内に提供されており、その中央回路領域72は、インダクタ64および66の対とインダクタ68および70の対との間に画定されている。この方法でインダクタ64～70を基板62上に対称に配置し、かつ、他の回路素子をその間の中央位置に閉じ込めることにより、バラン60に必要な空間を制限する際に、大きな利点を提供される。

20

【0017】

インダクタ64は、内側端76および外側端78を有する巻線74を画定している金属化トレースを備えている。インダクタ66は、内側端92および外側端94を有する巻線90を画定している金属化トレースを備えている。インダクタ68は、内側端98および外側端100を有する巻線96を画定している金属化トレースを備えている。インダクタ70は、内側端106および外側端108を有する巻線104を画定している金属化トレースを備えている。インダクタ64～70は、矩形の態様で示されているが、本発明の範囲に合致する他の設計は、例えば、六角形、円形、楕円形等を始めとする他の形状を含む。

30

【0018】

内側端76、92、98および106の各々は、回路領域72内の回路素子と電気結合している。必要な電気絶縁を伴うこの電気結合を提供するために、エアブリッジが、巻線74、90、96および104の一部分の真下に形成されている。このエアブリッジは、巻線の隆起部分によって形成され、その結果、巻線が、トレースと電気接続することなく、かつ、最小の電気結合を有する。本明細書において考察するように、相互接続ビアは、2つのトレースを電気接続させるための金属化領域であるか、あるいは2つのトレースがオーバーラップした領域である。

40

【0019】

巻線74の端部76は、相互接続ビア122によって、金属トレース120と電気結合している。トレース120は、巻線74から電気絶縁されており、巻線74によって形成されたエアブリッジ124を貫通して延びており、相互接続ビア128によって、ノード14を画定している金属化領域130と結合している。巻線90の端部92は、相互接続ビア138によって、金属トレース136と電気結合している。トレース136は、巻線90から電気絶縁されており、巻線90によって形成されたエアブリッジ140を貫通して

50

延びており、相互接続ビア 142 によって、ノード 18 を画定している金属化領域 144 と結合している。巻線 96 の端部 98 は、相互接続ビア 152 によって、金属トレース 150 と電気結合している。トレース 150 は、巻線 96 から電気絶縁されており、巻線 96 によって形成されたエアブリッジ 154 を貫通して延びており、相互接続ビア 156 によって、同様にノード 18 を表す金属化領域 158 と結合している。巻線 104 の端部 106 は、相互接続ビア 172 によって、金属トレース 170 と電気結合している。トレース 170 は、巻線 104 から電気絶縁されており、巻線 104 によって形成されたエアブリッジ 174 を貫通して延びており、相互接続ビア 176 によって金属化領域 182 と結合している。

【0020】

コンデンサ C_1 を表すコンデンサ 190 の頂部プレートは、金属化領域 130 と電気結合し、コンデンサ 190 の底部プレートは、接地ビア 180 と結合している。接地ビア 180 は、基板 62 を貫通して延びており、基板 62 の反対側の表面上の金属化接地平面（図示せず）と電気結合している。接地ビア 180 は、モノリシック基板 62 上の頂部表面の接地パッチとして作用する金属化領域 178 と電気結合している。金属化領域 178 は、金属化領域 182 と結合し、それにより、巻線 104 の端部 106 が接地と結合している。

【0021】

コンデンサ C_6 を表すコンデンサ 192 の頂部プレートは、金属化領域 130 と電気結合し、それにより、インダクタ 64 とコンデンサ 192 が電気結合している。コンデンサ 192 の底部プレートは、ノード 22 を表す金属化領域 194 と電気結合している。コンデンサ C_5 を表すコンデンサ 198 の頂部プレートは、金属化領域 194 と電気結合し、かつ、巻線 104 の端部 108 と電気結合している。コンデンサ 198 の底部プレートは、巻線 96 の端部 100 と電気結合し、かつ、ノード 20 を表す金属化領域 200 と電気結合している。コンデンサ C_4 を表すコンデンサ 202 の頂部プレートは、金属化領域 200 と電気結合し、コンデンサ 202 の底部プレートは、金属化領域 206 と電気結合している。コンデンサ C_2 を表すコンデンサ 226 の底部プレートも、金属化領域 206 と電気結合している。コンデンサ 226 の頂部プレートは、巻線 74 の端部 78 および巻線 90 の端部 94 と電気結合している。この接続ポイントは、ノード 16 を表している。

【0022】

モノリシック基板 62 の頂部表面の金属化領域 210 は、接地平面と電気結合した接地ビア 208 と電気結合している。また、金属化領域 206 も、接地ビア 208 と電気結合している。コンデンサ C_3 を表すコンデンサ 214 の底部プレートは、金属化領域 210 と電気結合している。コンデンサ 214 の頂部プレートは、金属化領域 144 および 158 と電気結合し、インダクタ 66 および 68 をコンデンサ 214 に結合している。また、コンデンサ 214 の頂部プレートは、抵抗 R_1 を表す金属化領域 216 と結合している。この金属化領域 216 は、接地ビア 220 と電気結合した金属化領域 218 と結合している。接地ビア 220 は、モノリシック基板 62 を貫通して延び、接地平面と電気結合している。

【0023】

ノード 14 に印加される RF 入力信号は、金属化領域 230 に印加される。金属化領域 230 は、コンデンサ 190 の頂部プレートと電気結合している。180°位相出力トレース 232 は、コンデンサ 226 の頂部プレートと電気結合し、図に示すようにインダクタ 64 と 66 との間を延びている。コンデンサ 24 を表す直流阻止コンデンサ 234 は、出力トレース 232 と結合している。ゼロ位相出力トレース 236 は、コンデンサ 198 の頂部プレートと電気結合し、図に示すようにインダクタ 68 と 70 との間を延びている。直流阻止コンデンサ 238 は、出力トレース 236 と結合している。

【0024】

図 4 は、図 2 に示す二重バラン回路 30 と同じ素子を備えた二重バラン 248 の回路レイアウトの平面図を示したものである。二重バラン 248 の素子は、モノリシック基板 25

10

20

30

40

50

0上に形成されている。二重バラン248は、インダクタ L_1 を表す第1のインダクタ252と、インダクタ L_2 を表す第2のインダクタ254と、インダクタ L_3 を表す第3のインダクタ256と、インダクタ L_4 を表す第4のインダクタ258とを備えている。以下で考察するように、様々なコンデンサ $C_1 \sim C_4$ と、そのコンデンサ $C_1 \sim C_4$ とインダクタ $L_1 \sim L_4$ との間の相互接続とが、インダクタ252および254の対とインダクタ256および258の対との間に画定された中央回路領域260内に提供されている。

【0025】

インダクタ252は、内側端264および外側端266を有する巻線262を画定している金属化トレースを備えている。内側端264は、相互接続ビア270によって、金属トレース268と電気結合している。金属トレース268は、巻線262によって形成されたエアブリッジ274を貫通して延びており、相互接続ビア276と電気結合している。相互接続ビア276は、ノード36を表す金属化領域278と電気結合している。 10

【0026】

インダクタ254は、内側端284および外側端286を有する巻線282を画定している金属化トレースを備えている。内側端284は、相互接続ビア290によって、金属トレース288と電気結合している。金属トレース288は、巻線282によって形成されたエアブリッジ292を貫通して延びており、相互接続ビア294と電気結合している。相互接続ビア294は、ノード40を表す金属化領域296と電気結合している。

【0027】

インダクタ256は、内側端302および外側端304を有する巻線300を画定している金属化トレースを備えている。内側端302は、相互接続ビア308によって、金属トレース306と電気結合している。金属トレース306は、巻線300によって形成されたエアブリッジ310を貫通して延びており、相互接続ビア312と電気結合している。相互接続ビア312は、ノード44を表す金属化領域314と電気結合している。 20

【0028】

インダクタ258は、内側端322および外側端324を有する巻線320を画定している金属化トレースを備えている。内側端322は、相互接続ビア328によって、金属トレース326と電気結合している。金属トレース326は、巻線320によって形成されたエアブリッジ330を貫通して延びており、相互接続ビア332と電気結合している。相互接続ビア332は、ノード48を表す金属化領域334と電気結合している。 30

【0029】

コンデンサ C_1 を表すコンデンサ340の頂部プレートは、金属化領域278と電気結合し、それにより、コンデンサ340とインダクタ252が電気結合している。同様に、コンデンサ342の頂部プレートは、金属化領域314と電気結合し、それにより、コンデンサ342とインダクタ256が電気結合している。金属化領域344は、金属化領域278および314と結合し、入力RF信号を受信するための入力ポートを表している。したがって、入力RF信号は、二重バラン回路30の入力信号と同じ方法で、コンデンサ340および342とインダクタ252および256とに印加される。

【0030】

コンデンサ340の底部プレートは、ゼロ位相出力線路350と電気結合した、ノード42を表す金属化領域348と電気結合している。また、巻線282の外側端286も、出力線路350と結合している。同様に、コンデンサ342の底部プレートは、ゼロ位相出力線路354と電気結合した、ノード50を表す金属化領域352と電気結合している。巻線320の外側端324も、出力線路354と結合している。 40

【0031】

コンデンサ C_2 を表すコンデンサ360の底部プレートは、金属化領域296と電気結合している。金属化領域296は、接地ビア364と電気結合した金属化領域362と電気結合している。接地ビア364は、基板250を貫通して延び、基板250の反対側の表面の接地平面（図示せず）と電気結合している。したがって、インダクタ254およびコンデンサ360は、接地と電気結合している。コンデンサ360の頂部プレートは、金属 50

化領域 370 と電気結合している。巻線 262 の端部 266 および金属化領域 370 は、180°位相出力トレース 372 と電気結合し、それにより、インダクタ 254 およびコンデンサ 360 を結合している。誘電体領域 374 は、出力トレース 350 および 372 を電気絶縁している。

【0032】

コンデンサ C_4 を表すコンデンサ 380 の底部プレートは、金属化領域 334 と電気結合している。金属化領域 334 は、接地ビア 384 と電気結合した金属化領域 382 と電気結合している。接地ビア 384 は接地平面と電気結合し、それにより、インダクタ 258 およびコンデンサ 380 を接地に結合している。コンデンサ 380 の頂部プレートは、金属化領域 386 と電気結合している。巻線 300 の端部 304 および金属化領域 386 は、180°位相出力線路 390 と電気結合し、それにより、インダクタ 256 およびコンデンサ 380 を結合している。誘電体領域 392 は、出力トレース 354 および 390 を絶縁している。

【0033】

二重バラン 248 の対称設計により、出力トレース 350、354、372 および 390 を、インダクタ 254 と 258 との間の回路領域 260 を通して互いに平衡に延ばすことができる。この対称設計は、コンパクト設計のバランの性能に、重要な利点を提供している。加えて、回路素子とコンデンサを結合している様々な金属化領域のサイズおよび長さを最小化することにより、コンデンサ上の寄生インダクタンスが最小化されている。

【0034】

以上の考察は、単に本発明の例示的实施形態を開示し、説明したものに過ぎない。以上の考察、添付の図面、および特許請求の範囲の各請求項から、特許請求の範囲の各請求項に定義されている本発明の精神および範囲を逸脱することなく、様々な変更、改変および変形形態を加えることができることは、当分野の技術者には容易に認識されよう。

【図面の簡単な説明】

【図 1】リング・ミクサ用の既知のリング・バランの略図である。

【図 2】星形ミクサまたはダブル・ダブリ平衡ミクサ用の既知の二重バランの略図である。

【図 3】本発明の一実施形態による、図 1 に示すタイプのリング・バランの素子用のモノリシック基板上のレイアウトを示す平面図である。

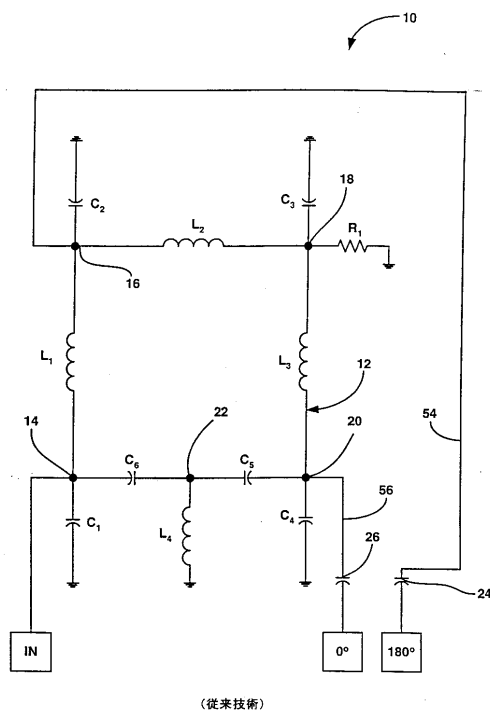
【図 4】本発明の他の実施形態による、図 2 に示すタイプの二重バランの素子用のモノリシック基板上のレイアウトを示す平面図である。

【符号の説明】

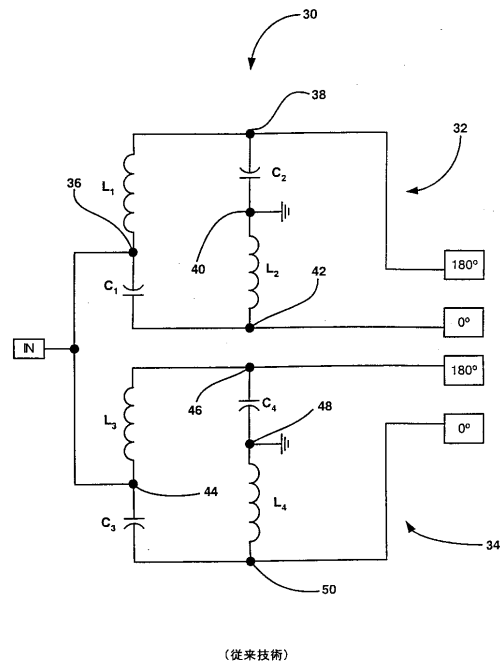
10 集中定数素子リング・バラン回路
 12 電気リング
 14、16、18、20、22、36、38、40、42、44、46、48、50 ノード
 24、26、234、238 直流阻止コンデンサ
 30 集中定数素子二重バラン回路
 32、34 バラン
 54、56、232、236、350、354、372、390 出力線路（出力トレース）
 60 リング・バラン
 62、250 モノリシック基板
 64、66、68、70、252、254、256、258、 $L_1 \sim L_4$ インダクタ
 72、260 中央回路領域
 74、90、96、104、262、282、300、320 巻線
 76、92、98、106、264、284、302、322 巻線の内側端
 78、94、100、108、266、286、304、324 巻線の外側端
 120、136、150、170、268、288、306、326 金属トレース

1 2 2、1 2 8、1 3 8、1 4 2、1 5 2、1 5 6、1 7 2、1 7 6、2 7 0、2 7 6、
 2 9 0、2 9 4、3 0 8、3 1 2、3 2 8、3 3 2 相互接続ビア
 1 2 4、1 4 0、1 5 4、1 7 4、2 7 4、2 9 2、3 1 0、3 3 0 エアブリッジ
 1 3 0、1 4 4、1 5 8、1 7 8、1 8 2、1 9 4、2 0 0、2 0 6、2 1 0、2 1 6、
 2 1 8、2 3 0、2 7 8、2 9 6、3 1 4、3 3 4、3 4 4、3 4 8、3 5 2、3 6 2、
 3 7 0、3 8 2、3 8 6 金属化領域
 1 8 0、2 0 8、2 2 0、3 6 4、3 8 4 接地ビア
 1 9 0、1 9 2、1 9 8、2 0 2、2 1 4、2 2 6、3 4 0、3 4 2、3 6 0、3 8 0、
 $C_1 \sim C_6$ コンデンサ
 2 4 8 二重パラン
 3 7 4、3 9 2 誘電体領域
 R_1 抵抗

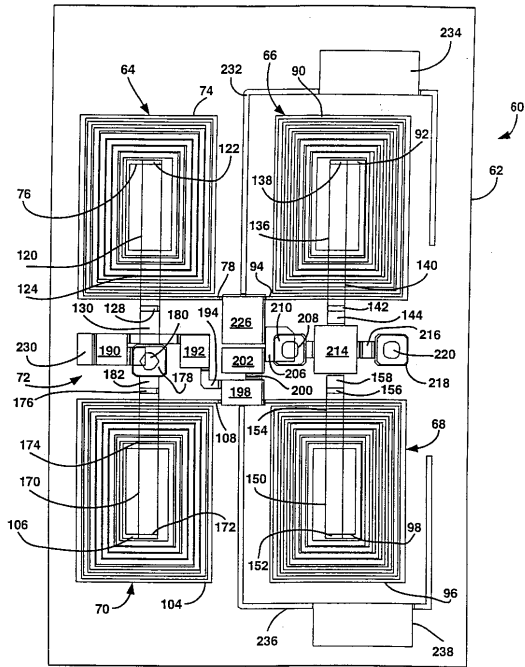
【図 1】



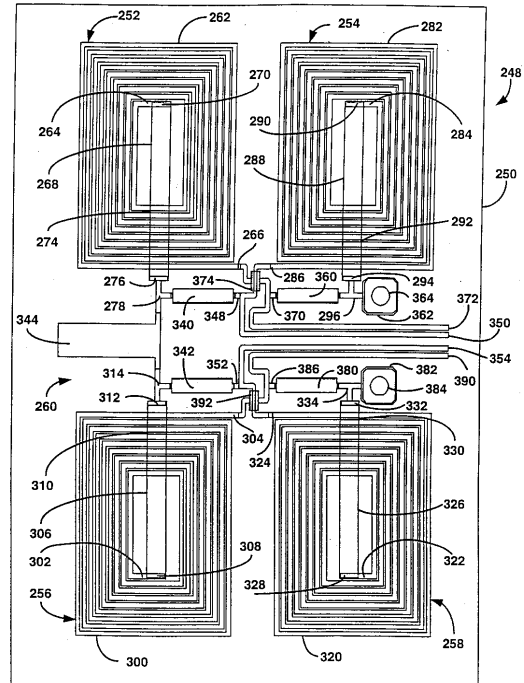
【図 2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100080137

弁理士 千葉 昭男

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 ウィリアム・アール・ゴイェット

アメリカ合衆国カリフォルニア州 9 2 0 7 8 , サン・マルコス, ウィンドリッジ・サークル 8 7
5

(72)発明者 カール・ディー・ピーターシュミット

アメリカ合衆国カリフォルニア州 9 2 0 0 9 , カールズバッド, ケッチ・ウェイ 6 7 1 9

(72)発明者 トラング・エイチ・ラム

アメリカ合衆国カリフォルニア州 9 2 1 2 9 , サンディエゴ, オールド・ウエスト・アベニュー
1 3 1 4 7

【 外国語明細書 】

1 Title of Invention

A lumped element hybrid

2 Claims

What is Claimed is:

1. A lumped element hybrid formed on a substrate, said hybrid comprising:

four inductors symmetrically disposed in a rectangular area on the substrate, each inductor including an electrical winding having a first end and a second end, wherein a first inductor and a second inductor are positioned adjacent to each other at one side of the rectangular area and a third inductor and a fourth inductor are positioned adjacent to each other at an opposite side of the rectangular area so that a circuit area is defined between the pair of the first and second inductors and the pair of the third and fourth inductors in a central portion of the rectangular area; and

a plurality of capacitors disposed on the substrate in the circuit area, wherein the inductors and the capacitors are electrically coupled together to define the lumped element hybrid, and wherein the first end and the second end of the electrical winding of all of the inductors are electrically coupled to a circuit element in the circuit area.

2. The hybrid according to claim 1 wherein the first end of each winding is an inner end of the winding and the second end of each winding is an outer end of the winding.

3. The hybrid according to claim 2 wherein the inner end of each winding is electrically coupled to a circuit element in the circuit area by an air bridge formed by parallel portions of the winding of the inductor.

4. The hybrid according to claim 2 wherein the outer end of each winding is directly coupled to a plate of a capacitor.

5. The hybrid according to claim 1 further comprising a first output trace extending between the first and second inductors, and a second output trace extending between the third and fourth inductors, wherein an output signal on the first output trace is 180° out of phase with an output signal on the second output trace.

6. The hybrid according to claim 5 further comprising a first DC blocking capacitor and a second DC blocking capacitor, said first DC blocking capacitor being coupled to the first output trace and said second DC blocking capacitor being coupled to the second output trace.

7. The hybrid according to claim 6 wherein the first and second DC blocking capacitors are formed on the substrate outside of the rectangular area.

8. The hybrid according to claim 5 wherein the first output trace is directly coupled to a capacitor in the circuit area, and the second output trace is directly coupled to another capacitor in the circuit area.

9. The hybrid according to claim 1 wherein the plurality of capacitors is six capacitors.

10. The hybrid according to claim 1 wherein the hybrid is a lumped element ring balun for a ring mixer.

3 Detailed Description of Invention

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] This invention relates generally to a lumped element balun for a ring mixer and, more particularly, to a circuit layout for a lumped element ring balun, where the balun circuit elements are configured on a monolithic substrate in a manner that conserves space and minimizes parasitic inductances.

2. Discussion of the Related Art

[0002] Modern communications systems employ transmitter and receiver designs that attempt to maximize the utilization of the assigned frequency bandwidth associated with the various communications channels because signal bandwidth is a costly investment for the system provider. Maximizing the utilization of the assigned bandwidth translates to providing transmitters and receivers that have extremely high performance. However, the transmitters and receivers must also be low cost. The radio frequency (RF) components in a communications system typically are the highest cost items because they are usually custom designed elements and are not mass produced.

[0003] One RF component that falls into this category is a frequency mixer. A frequency mixer mixes two RF or intermediated frequency (IF) signals to create a sum and difference frequency for frequency down-conversion or frequency up-conversion purposes. For example, the signal received in the receiver is mixed with a local oscillator (LO) signal to generate an IF signal suitable for subsequent signal processing. Typically, mixers are critical for setting the performance of the RF signal chain. Thus, mixers with lower intermodulation products and high dynamic range that can be implemented as a cell in an RF integrated circuit (IC) are needed.

[0004] One known mixer employed in RF communications systems of the type being discussed herein is referred to in the art as a ring mixer. A ring mixer employs four diodes connected in a ring configuration that mix the RF signal and the LO signal to generate the IF signal. The ring mixer employs a hybrid or balun that splits the RF signal and the LO signal into signals that are 180° out of phase with each other. A ring mixer balun is disclosed in Sturdivant, Rick, "Balun Designs for Wireless, . . . Mixers, Amplifiers and Antennas," Applied Microwave, Summer 1993, pps. 34-44. The split RF signals and the LO signals are applied to the mixer between the diodes at opposite corners of the ring. The diodes are switched on and off in response to the positive and negative portions of the RF signals to provide modulation. The IF signal is generated between the diodes at the other opposite corners of the ring.

[0005] Figure 1 is a schematic diagram of a known lumped element ring balun circuit 10. The ring balun circuit 10 includes an electrical ring 12 having

four sides defining corner nodes 14, 16, 18 and 20. The ring balun circuit 10 includes an electrical configuration of capacitors C_1 - C_6 , inductors L_1 - L_4 and a resistor R_1 . Each side of the ring 12 includes a capacitor and an inductor that combine to provide a high pass filter that forms a lumped element transmission line that causes a delay of a signal propagating therethrough. As is known in the art, current leads voltage on a capacitor, and voltage leads current on an inductor. Therefore, a series capacitor and shunt inductor provide a phase lead of the signal, and a series inductor and a shunt capacitor provide a phase lag of the signal.

[0006] An RF input signal is applied to the node 14, and the filters provide an RF signal at the node 20 that is 90° out of phase with the signal at the node 14, an RF signal at the node 18 that is 180° out of phase with the signal at the node 14, and an RF signal at the node 16 that is 270° out of phase with the signal at the node 14. Output lines 54 and 56 are coupled to the nodes 20 and 16, respectively, to provide output signals that are 180° out of phase with each other. DC blocking capacitors 24 and 26 are provided in the output lines 54 and 56 to prevent DC signals from the mixer from entering the ring balun circuit 10.

[0007] The ring balun circuit 10 is applicable for a ring mixer, but is limited in use for other types of mixers, such as star mixers and double doubly balanced mixers, because of the complexities in providing a dual balun in the ring design. Therefore, other balun designs are employed in the art for other types of mixers. Figure 2 is a schematic diagram of a lumped element dual-balun circuit 30 including a first balun 32 and a second balun 34 that has particular application for

use in combination with a star mixer or a monolithic microwave integrated circuit (MMIC) double doubly balanced mixer (DDBM). The dual-balun circuit 30 receives an RF input signal, and the first balun 32 outputs two signals that are 180° out of phase with each other and the second balun 34 outputs two RF signals that are 180° out of phase with each other. A dual-balun structure of this type is disclosed in Chiou, Hwann-Keo, et al., "Miniature MMIC Star Double Balanced Mixer Using Lumped Dual Balun," Electronics Letters, Vol. 33, No. 6, March 13, 1997, pps. 503-505, and Chiou, Hwann-Keo, et al., "A Miniature MMIC Double Doubly Balanced Mixer Using Lumped Dual Balun for High Dynamic Receiver Application," IEEE, Microwave and Guided Wave Letters, Vol. 7, No. 8, August 1997, pps. 227-229.

[0008] The dual-balun circuit 30 employs inductor and capacitor filter networks in the same manner as the balun circuit 10 discussed above to provide the RF signals that are 180° out of phase with each other. The balun 32 includes a filter made up of inductor L_1 and capacitor C_1 and a filter made up of inductor L_2 and capacitor C_2 . Likewise, the balun 34 includes a filter made up of inductor L_3 and capacitor C_3 and a filter made up of inductor L_4 and capacitor C_4 . In the balun 32, the inductor L_1 is coupled to the capacitor C_1 at node 36, the inductor L_1 is coupled to the capacitor C_2 at node 38, the capacitor C_2 is coupled to the inductor L_2 at node 40, and the inductor L_2 is coupled to the capacitor C_1 at node 42. In the balun 34, the inductor L_3 is coupled to the capacitor C_3 at node 44, the inductor L_3 is coupled to the capacitor C_4 at node 46, the capacitor C_4 is coupled to the inductor L_4 at node 48, and the inductor L_4 is coupled to the inductor C_3 at

node 50. The RF input signal is applied to the nodes 36 and 44. An RF output signal that is in phase with the RF input signal is provided at the nodes 42 and 50, and an RF output signal that is 180° out of phase with the RF input signal is provided at the nodes 38 and 46.

SUMMARY OF THE INVENTION

[0009] In accordance with the teachings of the present invention, a circuit layout for a lumped element ring balun is disclosed where the elements of the balun are patterned on a monolithic substrate in a compact design. The balun includes four inductors and a plurality of capacitors electrically coupled together to filter and delay an RF input signal to provide corresponding RF output signals that are out of phase with each other. The inductors are symmetrically disposed in a rectangular area on the substrate. A first pair of the inductors is positioned at one end of the rectangular area where the inductors are adjacent to each other. A second pair of the inductors is positioned at an opposite end of the rectangular area, where the inductors are adjacent to each other. All of the capacitors are formed on the substrate in a central circuit area between the first pair of inductors and the second pair of inductors.

[00010] The design employs metallized traces patterned on the substrate to provide electrical coupling between the inductors and the capacitors, where traces are provided at different levels in the substrate. Each inductor includes a winding having an inner end and an outer end that are electrically coupled to circuit elements in the circuit area. The inner end of each winding is coupled to a

trace that extends under the winding through an air bridge to be electrically isolated therefrom. The length of the electrical connections to the capacitors are minimized to reduce parasitic inductances. Ground vias extend through the substrate and are electrically coupled to a metallized ground plane at an opposite side of the substrate.

[00011] Additional objects, advantages and features of the present invention will become apparent from the following description and appended claims, taken in conjunction with the accompanying drawings.

DETAILED DESCRIPTION OF THE EMBODIMENTS

[00016] The following discussion of the invention directed to a specialized circuit layout for a balun on a monolithic substrate is merely exemplary in nature, and is in no way intended to limit the invention or its applications or uses.

[00017] The present invention proposes an arrangement of the inductive and capacitive elements of the balun circuit 10 and the dual-balun circuit 30 on a monolithic substrate that conserves space, reduces parasitic capacitances and inductances, uses less power and is low cost. The balun circuit 10 is intended to be used in connection with a ring mixer and the dual-balun circuit 30 is intended to be used in connection with a star mixer or a DDBM. However, this is by way of a non-limiting example in that the balun configuration of the invention discussed below will have application to other systems including other mixers, amplifiers, antennas, etc. Further, the present invention can be configured to provide other phase shifts in signals other than 180° phase shifts. Also, the layout design can be employed in other types of circuits, such as integrated circuits on an integrated circuit board.

[00018] Figure 3 is a top view of a circuit layout for a ring balun 60 that includes the same electrical elements as the balun circuit 10 discussed above. The electrical elements are patterned on a monolithic substrate 62, such as an MMIC, by any suitable metalization and deposition process that provides conductive and dielectric areas to define the elements. The substrate 62 can be any suitable material, such as InP, GaAs, sapphire, etc. Rectangular areas in the traces and metalized regions discussed below represent vertically extending

or overlapping metal areas to provide the electrical coupling. Many techniques are known for patterning inductors as metallized traces or windings on a monolithic substrate and for patterning capacitors as metallized patches having opposing plates and a dielectric formed therebetween. The invention goes to the orientation of the inductors and capacitors on the substrate 62. In this regard, the various electrical elements of the balun 60 will be discussed with reference to the schematic representation of those elements as shown in figure 1.

[00019] The balun 60 includes symmetrically disposed inductors including a first inductor 64, representing the inductor L_1 , a second inductor 66, representing the inductor L_2 , a third inductor 68, representing the inductor L_3 , and a fourth inductor 70, representing the inductor L_4 . As will be discussed below, the various capacitors C_1 - C_6 and the interconnection between the capacitors C_1 - C_6 and the inductors L_1 - L_4 are provided in a central circuit area 72 defined between the pair of the inductors 64 and 66 and the pair of the inductors 68 and 70. By symmetrically disposing the inductors 64-70 on the substrate 62 in this manner, and confining the other circuit elements to a central location therebetween, significant advantages are provided for limiting the space requirements of the balun 60.

[00020] The inductor 64 includes a metallized trace defining a winding 74 having an inner end 76 and an outer end 78. The inductor 66 includes a metallized trace defining a winding 90 having an inner end 92 and an outer end 94. The inductor 68 includes a metallized trace defining a winding 96 having an inner end 98 and an outer end 100. The inductor 70 includes a metallized trace

defining a winding 104 having an inner end 106 and an outer end 108. Although the inductors 64-70 are shown in a rectangular orientation, other designs consistent with the scope of the present invention can include other shapes, including hexagonal, circular, elliptical, etc.

[00021] Each of the inner ends 76, 92, 98 and 106 are electrically coupled to circuit elements in the circuit area 72. To provide this electrical coupling with the necessary electrical isolation, an air bridge is formed beneath a portion of the windings 74, 90, 96 and 104. The airbridges are formed by a raised portion of the winding so that the winding does not electrically connect with the trace and has minimal electrical coupling thereto. An interconnect via as discussed herein is a metallized region for electrically connecting two traces, or an overlap region of two traces.

[00022] The end 76 of the winding 74 is electrically coupled to a metal trace 120 by an interconnect via 122. The trace 120 extends through an air bridge 124 formed by the winding 74 to be electrically isolated therefrom, and is coupled to a metallized region 130 by an interconnect via 128, where the region 130 defines the node 14. The end 92 of the winding 90 is electrically coupled to a metal trace 136 by an interconnect via 138. The trace 136 extends through an air bridge 140 formed by the winding 90 to be electrically isolated therefrom, and is coupled to a metallized region 144 by an interconnect via 142, where the region 144 defines the node 18. The end 98 of the winding 96 is electrically coupled to a metal trace 150 by an interconnect via 152. The trace 150 extends through an air bridge 154 formed by the winding 96 to be electrically isolated therefrom, and is coupled to a

metallized region 158 by an interconnect via 156, where the region 158 also represents the node 18. The end 106 of the winding 104 is electrically coupled to a metal trace 170 by an interconnect via 172. The trace 170 extends through an air bridge 174 formed by the winding 104 to be electrically isolated therefrom, and is coupled to a metallized region 182 by a via 176.

[00023] A top plate of a capacitor 190, representing the capacitor C_1 , is electrically coupled to the metallized region 130, and a bottom plate of the capacitor 190 is coupled to a ground via 180. The via 180 extends through the substrate 62 and is electrically coupled to a metallized ground plane (not shown) on an opposite surface of the substrate 62. The via 180 is electrically coupled to a metallized region 178 that acts as a ground patch on the top surface of the monolithic substrate 62. The metallized region 178 is electrically coupled to the metallized region 182 so that the end 106 of the winding 104 is coupled to ground.

[00024] A top plate of a capacitor 192, representing the capacitor C_6 , is electrically coupled to the metallized region 130 so that the inductor 64 and the capacitor 192 are electrically coupled. A bottom plate of the capacitor 192 is electrically coupled to a metallized region 194 representing the node 22. A top plate of a capacitor 198, representing the capacitor C_5 , is electrically coupled to the metallized region 194 and is electrically coupled to the end 108 of the winding 104. A bottom plate of the capacitor 198 is electrically coupled to the end 100 of the winding 96 and is electrically coupled to a metallized region 200, representing the node 20. A top plate of a capacitor 202, representing the capacitor C_4 , is

electrically coupled to the metallized region 200, and a bottom plate of the capacitor 202 is electrically coupled to a metallized region 206. A bottom plate of a capacitor 226, representing the capacitor C_2 , is also electrically coupled to the metallized region 206. A top plate of the capacitor 226 is electrically coupled to the end 78 of the winding 74 and the end 94 of the winding 90. This connection point represents the node 16.

[00025] A metallized region 210 on a top surface of the monolithic substrate 62 is electrically coupled to a ground via 208 that is electrically coupled to the ground plane. The metallized region 206 is also electrically coupled to the via 208. A bottom plate of a capacitor 214, representing the capacitor C_3 , is electrically coupled to the metallized region 210. A top plate of the capacitor 214 is electrically coupled to the metallized regions 144 and 158 to couple the inductors 66 and 68 to the capacitor 214. The top plate of the capacitor 214 is also coupled to a metallized region 216, representing the resistor R_1 . The metallized region 216 is also coupled to a metallized region 218 that is electrically coupled to a ground via 220. The via 220 extends through the monolithic substrate 62 and is electrically coupled to the ground plane.

[00026] The RF input signal, applied to the node 14, is applied to a metallized region 230. The metallized region 230 is electrically coupled to the top plate of the capacitor 190. A 180° phase output trace 232 is electrically coupled to the top plate of the capacitor 226, and extends between the inductors 64 and 66, as shown. A DC blocking capacitor 234, representing the capacitor 24, is coupled to the output trace 232. A zero phase output trace 236 is

electrically coupled to the top plate of the capacitor 198, and extends between the inductors 68 and 70, as shown. A DC blocking capacitor 238 is coupled to the output trace 236.

[00027] Figure 4 is a top view of a circuit layout for a dual-balun 248 that includes the same elements as the dual-balun circuit 30 shown in figure 2. The elements of the dual-balun 248 are formed on a monolithic substrate 250. The dual-balun 248 includes a first inductor 252, representing the inductor L_1 , a second inductor 254, representing the inductor L_2 , a third inductor 256, representing the inductor L_3 , and a fourth inductor 258, representing the inductor L_4 . As will be discussed below, the various capacitors C_1 - C_4 and the interconnection between the capacitors C_1 - C_4 and the inductors L_1 - L_4 are provided in a central circuit area 260 defined between the pair of the inductors 252 and 254 and the pair of the inductors 256 and 258.

[00028] The inductor 252 includes a metallized trace defining a winding 262 having an inner end 264 and an outer end 266. The inner end 264 is electrically coupled to a metal trace 268 by an interconnect via 270. The trace 268 extends through an air bridge 274 formed by the winding 262 and is electrically coupled to an interconnect via 276. The via 276 is electrically coupled to a metallized region 278 that represents the node 36.

[00029] The inductor 254 includes a metallized trace defining a winding 282 having an inner end 284 and an outer end 286. The inner end 284 is electrically coupled to a metal trace 288 by an interconnect via 290. The trace 288 extends through an air bridge 292 formed by the winding 282 and is electrically coupled to

an interconnect via 294. The via 294 is electrically coupled to a metallized region 296 that represents the node 40.

[00030] The inductor 256 includes a metallized trace defining a winding 300 having an inner end 302 and an outer end 304. The inner end 302 is electrically coupled to a metal trace 306 by an interconnect via 308. The trace 306 extends through an air bridge 310 formed by the winding 300 and is electrically coupled to an interconnect via 312. The via 312 is electrically coupled to a metallized region 314 that represents the node 44.

[00031] The inductor 258 includes a metallized trace defining a winding 320 having an inner end 322 and an outer end 324. The inner end 322 is electrically coupled to a metal trace 326 by an interconnect via 328. The trace 326 extends through an air bridge 330 formed by the winding 320 and is electrically coupled to an interconnect via 332. The via 332 is electrically coupled to a metallized region 334 that represents the node 48.

[00032] A top plate of a capacitor 340, representing the capacitor C_1 , is electrically coupled to the metallized region 278 so that the capacitor 340 is electrically coupled to the inductor 252. Likewise, a top plate of a capacitor 342 is electrically coupled to the metallized region 314 so that the capacitor 342 is electrically coupled to the inductor 256. A metallized region 344 is coupled to the metallized regions 278 and 314, and represents an input port for receiving the input RF signal. Thus, the input RF signal is applied to the capacitors 340 and 342 and the inductors 252 and 256 in the same manner as the input signal for the dual-balun circuit 30.

[00033] A bottom plate of the capacitor 340 is electrically coupled to a metallized region 348, representing the node 42, that is electrically coupled to a zero phase output line 350. The outer end 286 of the winding 282 is also coupled to the output line 350. Likewise, a bottom plate of the capacitor 342 is electrically coupled to a metallized region 352, representing the node 50, that is electrically coupled to a zero phase output line 354. The outer end 324 of the winding 320 is also coupled to the output line 354.

[00034] A bottom plate of a capacitor 360, representing the capacitor C_2 , is electrically coupled to the metallized region 296. The metallized region 296 is electrically coupled to a metallized region 362 that is electrically coupled to a ground via 364. The ground via 364 extends through the substrate 250 and is electrically coupled to a ground plane (not shown) on an opposite surface of the substrate 250. Therefore, the inductor 254 and the capacitor 360 are electrically coupled to ground. A top plate of the capacitor 360 is electrically coupled to a metallized region 370. The end 266 of the winding 262 and the metallized region 370 are electrically coupled to a 180° phase output trace 372 so that the inductor 254 and the capacitor 360 are coupled thereto. A dielectric region 374 electrically isolates the output traces 350 and 372.

[00035] A bottom plate of a capacitor 380, representing the capacitor C_4 , is electrically coupled to the metallized region 334. The metallized region 334 is electrically coupled to a metallized region 382 that is electrically coupled to a ground via 384. The ground via 384 is electrically coupled to the ground plane so that the inductor 258 and the capacitor 380 are coupled to ground. A top plate

of the capacitor 380 is electrically coupled to a metallized region 386. The end 304 of the winding 300 and the metallized region 386 are electrically coupled to a 180° phase output line 390 so that the inductor 256 and the capacitor 380 are coupled thereto. A dielectric region 392 isolates the output traces 354 and 390.

[00036] The symmetrical design of the dual-balun 248 allows the output traces 350, 354, 372 and 390 to extend parallel to each other through the circuit area 260 between the inductors 254 and 258. This design provides significant advantages for balun performance in a compact design. Further, by minimizing the size and length of the various metallized regions that couple circuit elements to the capacitors, parasitic inductances on the capacitors are minimized.

[00037] The foregoing discussion discloses and describes merely exemplary embodiments of the present invention. One skilled in the art will readily recognize from such discussion and from the accompanying drawings and claims, that various changes, modifications and variations can be made therein without departing from the spirit and scope of the invention as defined in the following claims.

4 Brief Description of Drawings

[00012] Figure 1 is a schematic diagram of a known ring balun for a ring mixer;

[00013] Figure 2 is a schematic diagram of a known dual-balun for a star mixer or a double doubly balanced mixer;

[00014] Figure 3 is a top view of a layout on a monolithic substrate for the elements of a ring balun of the type shown in Figure 1, according to an embodiment of the present invention; and

[00015] Figure 4 is a top view of a layout on a monolithic substrate for the elements of a dual-balun of the type shown in Figure 2, according to another embodiment of the present invention.

1 Abstract

A lumped element ring balun (60) including elements patterned on a monolithic substrate (62) in a compact design. The balun (60) includes four inductors (64, 66, 68, 70) and a plurality of capacitors (190, 192, 198, 202, 214, 226) electrically coupled together to provide RF output signals that are 180° out of phase with each other. The inductors (64-70) are symmetrically disposed in a rectangular area on the substrate (62). A first pair of the inductors (64, 66) is positioned at one end of the rectangular area, and a second pair of the inductors (68, 70) is positioned at opposite end of the rectangular area. All of the capacitors are formed on the substrate (62) in a central circuit area (72) between the first pair of inductors (64, 66) and the second pair of inductors (68, 70). Inner ends (76, 92, 98, 106) are coupled to circuit elements in the circuit area (72) by a metallized trace (120, 136, 150, 170) extending through an air bridge (124, 140, 154, 174).

2 Representative Drawing

Fig.3

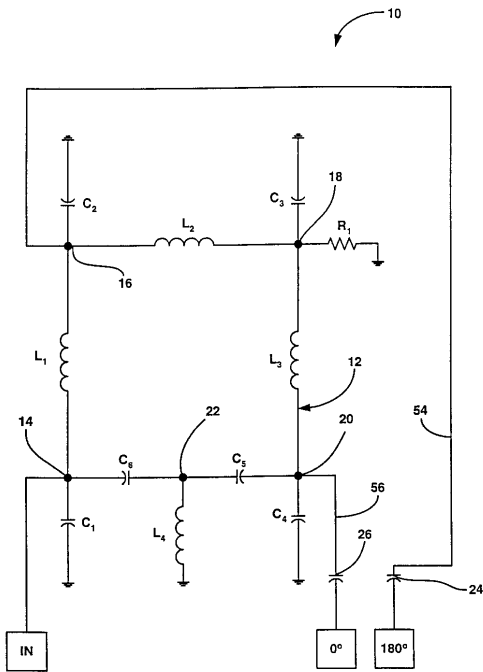


Figure 1
(Prior Art)

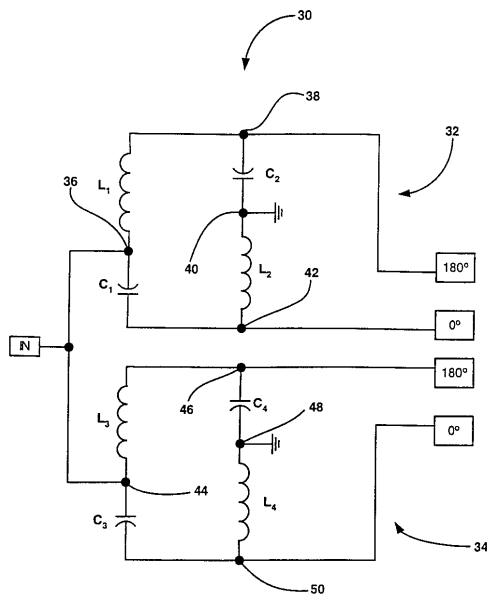


Figure 2
(Prior Art)

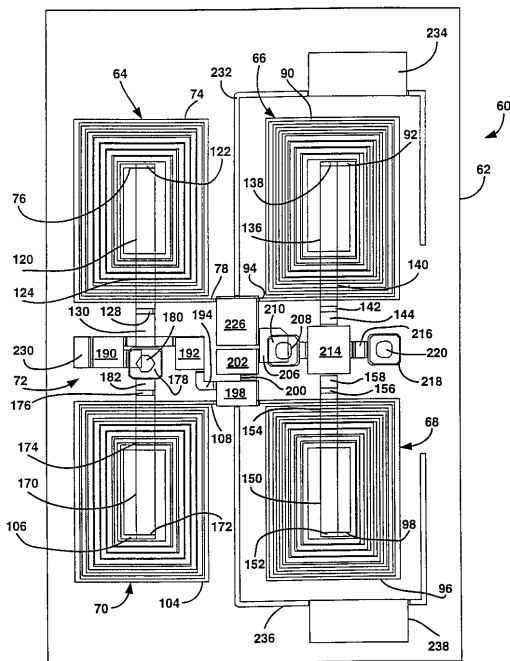


Figure 3

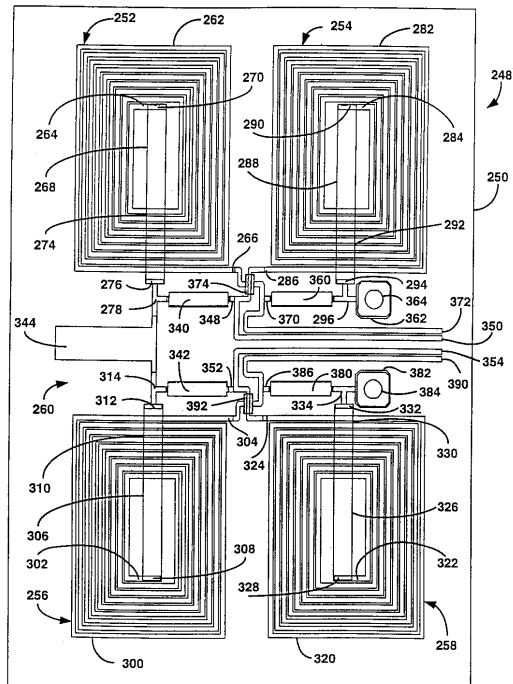


Figure 4