



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

248 826

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 22 05 85
(21) PV 3674-85

(51) Int. Cl.⁴
G 11 C 11/34

(40) Zveřejněno 13 02 86
(45) Vydáno 01 09 88

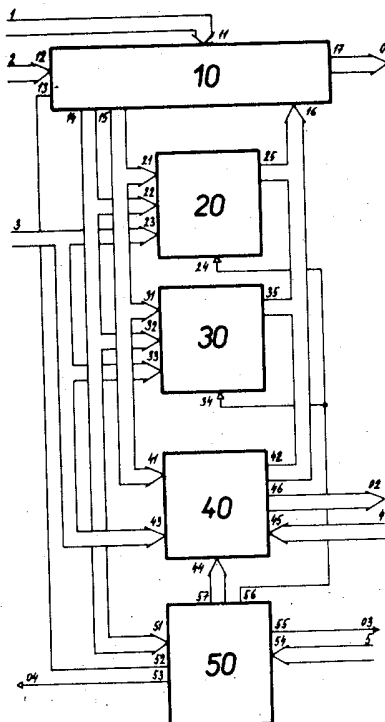
(75)
Autor vynálezu

ŠMÍD ZBYNĚK ing.,
BUREŠ JAROSLAV ing., BRNO

(54)

Zapojení operační paměti pro grafickou
zobrazovací jednotku

Cílem řešení je umožnit sdílení grafické oblasti paměti společně procesorem výpočetního střediska a zobrazovací jednotkou, přičemž by paměť grafické informace byla přístupná procesoru pomocí úplného souboru instrukcí pracujících s pamětí a během výpočtu mohla být informace, ale nemusela trvale zobrazována. Uvedeného cíle se dosáhne zapojením operační paměti procesoru sestávající z řídicích obvodů paměti, napěťových obvodů první báze a paměťových obvodů druhé báze, rozšířené o obvody grafické báze, obsahující paměťové obvody grafické báze a řídicí obvody grafické báze. Zapojení lze použít jako operační paměť pro grafickou zobrazovací jednotku, zejména malých výpočetních prostředků.



Vynález se týká zapojení operační paměti pro grafickou zobrazovací jednotku výpočetních prostředků.

Žádanou vlastností malých výpočetních prostředků je možnost grafického zobrazení výstupní informace na obrazovce zobrazovací jednotky. S růstem kvality tohoto zobrazení zároveň značně stoupají nároky na velikost paměti vyhrazené pro grafickou informaci. U dosud známých zapojení je pro grafickou informaci určena buď normální oblast operační paměti výpočetního prostředku nebo zvláštní paměť zobrazení. V prvním případě je nevýhodou, že během delšího výpočtu musí být zobrazení zatemněno nebo musí být výpočet periodicky přerušován. V druhém případě vadí, že paměť zobrazení není procesorem jednoduše využitelná pro jinou činnost. V obou případech je styk se zobrazovací jednotkou veden technickými i programovými prostředky vstupu a výstupu dat.

Uvedené nevýhody odstraňuje zapojení operační paměti pro grafickou zobrazovací jednotku podle vynálezu, jehož podstatou je, že stavový výstup řídicích obvodů paměti je připojen na stavový vstup řídicích obvodů grafické báze, skupina řídicích výstupů řídicích obvodů paměti je dále připojena na skupinu řídicích vstupů řídicích obvodů grafické báze, skupina adresových výstupů řídicích obvodů paměti je dále připojena na první skupinu adresových vstupů paměťových obvodů grafické báze, skupina výstupů čtených dat paměťových obvodů grafické báze je připojena na skupinu vstupů čtených dat řídicích obvodů paměti, skupina datových vstupů paměťových obvodů grafické báze je připojena na skupinu datových vstupů zapojení, skupina datových výstupů paměťových obvodů grafické báze tvoří současně druhou skupinu datových výstupů zapojení, druhá skupina adresových vstupů paměťových obvodů grafické báze tvoří současně druhou skupinu adresových vstupů zapojení, skupina řídicích výstupů řídicích obvodů grafické báze je připojena na skupinu řídicích vstupů paměťo-

vých obvodů grafické báze, blokovací výstup řídicích obvodů grafické báze je připojen na blokovací vstup paměťových obvodů druhé báze a na blokovací vstup paměťových obvodů první báze, první stavový výstup řídicích obvodů grafické báze tvoří současně první stavový výstup zapojení, druhý stavový výstup řídicích obvodů grafické báze tvoří současně druhý stavový výstup zapojení, skupina ovládacích vstupů řídicích obvodů grafické báze tvoří současně skupinu ovládacích vstupů zapojení.

Výhodou zapojení podle vynálezu je, že grafická oblast paměti je sdílena společně procesorem výpočetního prostředku a zobrazovací jednotkou. Přitom je paměť grafické informace přístupná procesoru pomocí úplného souboru instrukcí pracujících s pamětí, přičemž je možné, že během výpočtu informace může být, ale nemusí trvale zobrazována.

Příklad zapojení operační paměti pro grafickou zobrazovací jednotku podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese.

Skupina adresových vstupů 11 řídicích obvodů 10 paměti tvoří současně první skupinu adresových vstupů 1 zapojení pro připojení na neznázorněný procesor. Skupina řídicích a časových vstupů 12 řídicích obvodů 10 paměti tvoří současně skupinu řídicích a časových vstupů 2 zapojení pro připojení na procesor. Stavový výstup 13 řídicích obvodů 10 paměti je připojen na stavový vstup 52 řídicích obvodů 50 grafické báze. Skupina řídicích výstupů 14 řídicích obvodů 10 paměti je připojena na skupinu řídicích vstupů 22 paměťových obvodů 20 první báze, na skupinu řídicích vstupů 32 paměťových obvodů 30 druhé báze a na skupinu řídicích vstupů 51 řídicích obvodů 50 grafické báze. Skupina adresových výstupů 15 řídicích obvodů 10 paměti je připojena na skupinu adresových vstupů 21 paměťových obvodů 20 první báze, na skupinu adresových vstupů 31 paměťových obvodů 30 druhé báze a na první skupinu adresových vstupů 41 paměťových obvodů 40 grafické báze. Skupina datových výstupů 17 řídicích obvodů 10 paměti tvoří současně první skupinu datových výstupů 01 zapojení pro připojení na procesor. Skupina výstupů 25 čtených dat paměťových obvodů 20 první báze je spojena se skupinou výstupů 35 čtených dat paměťových obvodů 30 druhé báze a se skupinou výstupů 42 čtených dat paměťových obvodů 40 grafické báze a připojena na skupinu vstupů 16 čtených dat řídicích obvodů 10 paměti. Skupina datových vstupů 23 paměťových obvodů 20 první báze je

připojena na skupinu datových vstupů 33 paměťových obvodů 30 druhé báze, na skupinu datových vstupů 43 paměťových obvodů 40 grafické báze a tvoří současně skupinu datových vstupů 3 zapojení pro připojení na procesor. Skupina datových výstupů 46 paměťových obvodů 40 grafické báze tvoří současně druhou skupinu datových výstupů 02 zapojení pro připojení na neznázorněnou obrazovou jednotku. Druhá skupina adresových vstupů 45 paměťových obvodů 40 grafické báze tvoří současně druhou skupinu adresových vstupů 4 zapojení pro připojení na obrazovou jednotku. Skupina řídicích výstupů 57 řídicích obvodů 50 grafické báze je připojena na skupinu řídicích vstupů 44 paměťových obvodů 40 grafické báze. Blokovací výstup 56 řídicích obvodů 50 grafické báze je připojen na blokovací vstup 34 paměťových obvodů 30 druhé báze a na blokovací vstup 24 paměťových obvodů 20 první báze. První stavový výstup 53 řídicích obvodů 50 grafické báze tvoří současně první stavový výstup 04 zapojení pro připojení na procesor. Druhý stavový výstup 55 řídicích obvodů 50 grafické báze tvoří současně druhý stavový výstup 03 zapojení pro připojení na zobrazovací jednotku. Skupina ovládacích vstupů 54 řídicích obvodů 50 grafické báze tvoří současně skupinu ovládacích vstupů 5 zapojení pro připojení na zobrazovací jednotku.

Operační paměť procesoru, sestávající z řídicích obvodů 10 paměti, paměťových obvodů 20 první báze a paměťových obvodů 30 druhé báze, je rozšířena o obvody grafické báze, obsahující paměťové obvody 40 grafické báze a řídicí obvody 50 grafické báze. V případě, že zobrazení na zobrazovací jednotce je zhasnuto, jsou paměťové obvody 40 grafické báze trvale součástí operační paměti a každá jejich adresa je běžně přístupná procesoru, podobně jako v paměťových obvodech 20 první báze a v paměťových obvodech 30 druhé báze. Obnovování informace v dynamických paměťových obvodech 40 grafické báze je prováděno prostřednictvím signálů přicházejících z řídicích obvodů 10 paměti na skupinu řídicích vstupů 51 řídicích obvodů 50 grafické báze. Signál na prvním stavovém výstupu 04 zapojení informuje procesor o obsazení operační paměti vlastní činností, to je čtení, zápis, obnovení informace. V případě, že zobrazení je zatemněno, jsou paměťové obvody 40 grafické báze a řídicí obvody 50 grafické báze po dobu aktivního běhu paprsku po obrazovce k dispozici zobrazovací jednotce, která pomocí signálů na druhé skupině datových výstupů 02 zapojení, na druhém stavovém výstupu 03 zapojení, na druhé skupině adresových vstupů 4 zapojení a na skupině ovláda-

cích vstupů 5 zapojení periodicky čte informaci z paměťových obvodů 40 grafické báze a zobrazuje ji na obrazovce. Signálem na blokovacím výstupu 56 řídicích obvodů 50 grafické báze jsou paměťové obvody 20 první báze a paměťové obvody 30 druhé báze informovány o výběru informace z paměťových obvodů 40 grafické báze. Pokud probíhá zpětný běh řádku nebo snímku, je obrazovka zatemněna a je tedy možné zapůjčit na tuto dobu paměťové obvody 40 grafické báze a řídicí obvody 50 grafické báze pro zápis, respektive čtení zobrazované informace. Obnovování informace v dynamických paměťových obvodech 40 grafické báze je v tomto případě zajištěno periodickým čtením všech adres. Procesoru se tedy paměťové obvody 40 grafické báze a řídicí obvody 50 grafické báze vždy jeví jako nedílná součást operační paměti, přičemž při trvalém zobrazování informace je k dispozici delší doba přístupu do paměťových obvodů 40 grafické báze. Signál, přicházející z řídicích obvodů 10 paměti na stavový vstup 52 řídicích obvodů 50 grafické báze informuje procesor o zaneprázdnění paměťových obvodů 20 první báze a paměťových obvodů 30 druhé báze činností při zápisu, čtení, případně obnovení informace. V řídicích obvodech 50 grafické báze je tato informace doplněna o informaci o zaneprázdnění paměťových obvodů 40 grafické báze a procesor je informován signálem na prvním stavovém výstupu 53 řídicích obvodů 50 grafické báze.

Vynálezu lze použít jako operační paměti pro grafickou zobrazovací jednotku, zejména malých výpočetních prostředků.

Zapojení operační paměti pro grafickou zobrazovací jednotku s řídicími obvody paměti, jejichž skupina adresových vstupů tvoří současně první skupinu adresových vstupů zapojení a jejichž skupina řídicích a časových vstupů tvoří současně skupinu řídicích a časových vstupů zapojení, přičemž jejich skupina řídicích výstupů je připojena na skupinu řídicích vstupů paměťových obvodů první báze a na skupinu řídicích vstupů paměťových obvodů druhé báze, jejich skupina adresových výstupů je připojena na skupinu adresových vstupů paměťových obvodů první báze a na skupinu adresových vstupů paměťových obvodů druhé báze a jejich skupina datových výstupů tvoří současně první skupinu datových výstupů zapojení, skupina výstupů čtených dat paměťových obvodů první báze a skupina výstupů čtených dat paměťových obvodů druhé báze jsou připojeny na skupinu vstupů čtených dat řídicích obvodů paměti a skupina datových vstupů paměťových obvodů první báze je připojena na skupinu datových vstupů paměťových obvodů druhé báze a tvoří současně skupinu datových vstupů zapojení, vyznačené tím, že stavový výstup (13) řídicích obvodů (10) paměti je připojen na stavový vstup (52) řídicích obvodů (50) grafické báze, skupina řídicích výstupů (14) řídicích obvodů (10) paměti je dále připojena na skupinu řídicích vstupů (51) řídicích obvodů (50) grafické báze, skupina adresových výstupů (15) řídicích obvodů (10) paměti je dále připojena na první skupinu adresových vstupů (41) paměťových obvodů (40) grafické báze, skupina výstupů (42) čtených dat paměťových obvodů (40) grafické báze je připojena na skupinu vstupů (16) čtených dat řídicích obvodů (10) paměti, skupina datových vstupů (43) paměťových obvodů (40) grafické báze je připojena na skupinu datových vstupů (3) zapojení, skupina datových výstupů (46) paměťových obvodů (40) grafické báze tvoří současně druhou skupinu datových výstupů (02) zapojení, druhá skupina adresových vstupů (45) paměťových obvodů (40) grafické báze tvoří současně druhou skupinu adresových vstupů (4) zapojení, skupina řídicích výstupů (57) řídicích obvodů (50) grafické báze je připojena na skupinu řídicích vstupů (44) paměťových obvodů (40) grafické báze, blokovací výstup (56) řídicích obvodů (50) grafické báze je připojen na blokovací vstup (34) paměťových obvodů (30) druhé báze a na blokovací vstup (24) paměťových obvodů (20) první báze, první stavový výstup (53) řídicích obvodů (50) grafické báze tvoří součas-

ně první stavový výstup (04) zapojení, druhý stavový výstup (55) řídicích obvodů (50) grafické báze tvoří současně druhý stavový výstup (03) zapojení, skupina ovládacích vstupů (54) řídicích obvodů (50) grafické báze tvoří současně skupinu ovládacích vstupů (5) zapojení.

1 výkres

