(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/11

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0211183
(24) 등록일자 1999년04월30일

(21) 출원번호	10-1996-0015807	(65) 공개번호	특1996-0043237
(22) 출원일자	1996년05월13일	(43) 공개일자	1996년12월23일
(30) 우선권주장	95-130406 1995년05월29일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 쿠리야마 히로타다
일본국 도오쿄도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 덴끼 가부시끼가이샤나이
(74) 대리인 이화익

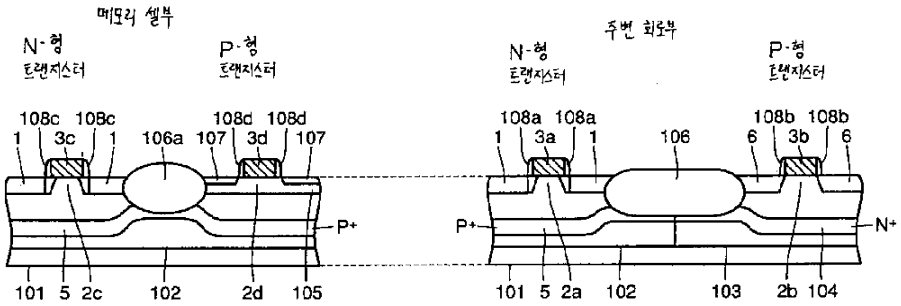
심사관 : 임동우

(54) 메모리 셀 영역과 주변회로 영역을 가지는 반도체기억장치 및 그의 제조방법

요약

메모리 셀 부의 웰 간의 분리에 LOCOS 분리를 사용하면서, 분리 폭을 감소시켜 메모리 셀의 집적도를 향상하는 반도체 기억장치를 얻게 된다. 반도체 기억장치의 메모리 셀 부의 웰 영역 105 및 소스/드레인 영역 107의 깊이를 얕게 하는 것으로, 소자 분리 절연막 106a의 폭을 감소시킨다.

대표도



명세서

[발명의 명칭]

메모리 셀 영역과 주변 회로 영역을 가지는 반도체 기억 장치 및 그의 제조 방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 반도체 기억장치를 표시한 단면도.

제2도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제1공정을 설명하기 위한 단면도.

제3도는 제1도에 표시한 제1실시예에 반도체 기억장치의 제조 프로세스의 제2공정을 설명하기 위한 단면도.

제4도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제3공정을 설명하기 위한 단면도.

제5도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제4공정을 설명하기 위한 단면도.

제6도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제5공정을 설명하기 위한 단면도.

제7도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제6공정을 설명하기 위한 단면도.

제8도는 제1도에 표시한 제1실시예의 반도체 기억장치의 제조 프로세스의 제7공정을 설명하기 위한 단면도.

제9도는 본 발명의 제2실시예에 의한 반도체 기억장치를 표시한 단면도.

제10도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제1공정을 설명하기 위한 단면도.

제11도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제2공정을 설명하기 위한 단면도.

제12도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제3공정을 설명하기 위한 단면도.

제13도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제4공정을 설명하기 위한 단면도.

제14도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제5공정을 설명하기 위한 단면도.

제15도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제6공정을 설명하기 위한 단면도.

제16도는 제9도에 표시한 제2실시예의 반도체 기억장치의 제조 프로세스의 제7공정을 설명하기 위한 단면도.

제17도는 본 발명의 제3실시예에 의한 반도체 기억장치의 제조 프로세스를 설명하기 위한 단면도.

제18도는 일반적으로 SRAM의 등가 회로도.

제19도는 종래의 반도체 기억장치를 표시한 단면도.

제20도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제1공정을 설명하기 위한 단면도.

제21도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제2공정을 설명하기 위한 단면도.

제22도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제3공정을 설명하기 위한 단면도.

제23도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제4공정을 설명하기 위한 단면도.

제24도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제5공정을 설명하기 위한 단면도.

제25도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제6공정을 설명하기 위한 단면도.

제26도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제7공정을 설명하기 위한 단면도.

제27도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제8공정을 설명하기 위한 단면도.

제28도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제9공정을 설명하기 위한 단면도.

제29도는 제19도에 표시한 종래의 반도체 기억장치의 제조 프로세스의 제10공정을 설명하기 위한 단면도.

제30도는 벌크 CMOS의 기생 사이리스터 구조를 설명하기 위한 단면도.

제31도는 종래의 트렌치 분리를 사용한 반도체 기억장치를 표시한 단면도.

제32도는 제19도에 표시한 종래의 반도체 기억장치의 문제점을 설명하기 위한 평면도.

제33도는 제19도에 표시한 종래의 반도체 기억장치의 문제점을 설명하기 위한 단면도.

[발명의 상세한 설명]

본 발명은 반도체 기억장치 및 그의 제조 방법에 관하여,

특히, SRAM(Static Random Access Memory)의 구조 및 그의 제조 방법에 관한 것이다.

종래, 반도체 기억장치의 하나로서, SRAM이 알려져 있다.

제18도는, SRAM의 하나의 메모리 셀의 등가 회로도이다.

제18도를 참조하여, 이 메모리 셀은 부하로서 P형 MOS(Metal Oxide Semiconductor) 트랜지스터를 사용하고 있고,

또한 6개의 트랜지스터로 구성되어 있다.

즉, 한쌍의 드라이버(구동용) 트랜지스터 Q1, Q2 (n형 MOS 트랜지스터)와 한쌍의 부하 트랜지스터 Q5, Q6 (P형 MOS 트랜지스터)가 상호 접속되어 플립플롭 회로를 구성하고 있다.

한쌍의 부하 트랜지스터 Q5, Q6의 소스 영역은 Vc 전원에 접속되어 있어, 드라이버 트랜지스터 Q1, Q2의 소스 영역은 GND 212, 213에 접속되어 있다.

또는, 한쌍의 액세스 트랜지스터 Q3, Q4 (n형 MOS 트랜지스터)는 각각 기억 노드 214, 215에 접속되어 있다.

그리고, 액세스 트랜지스터 Q3의 소스/드레인 영역의 한편에는 비트선 207이 접속되어 있어, 액세스 트랜지스터 Q4의 소스/드레인 영역의 한편에는 비트선 208이 접속되어 있다.

또, 액세스 트랜지스터 Q3, Q4의 게이트 전극은 워드선 209에 접속되어 있다.

또, SRAM에는 메모리 셀 부와 주변 회로부가 있어, 주변 회로부는 메모리 셀부에 정보를 기록하든지, 판독하든지 하는 역할을 가지고 있다.

이하, 종래의 SRAM의 메모리 셀부와 주변 회로부의 구조에 관하여 설명한다.

제19도는 종래의 SRAM의 메모리 셀부와 주변 회로부의 단면도이다.

제19도를 참조하여 주변 회로부와 메모리 셀부에는 각각 N형과 P형의 MOS 트랜지스터에서 되는 CMOS(Complementary Mos) 트랜지스터가 형성되어 있다.

구체적으로는 메모리 셀부에는 반도체 기판 101의 주표면에 P형 웰 영역 102와 N형 웰 103이 인접하여 형성되어 있다.

P형 웰 영역 102와 N형 웰 영역 103의 경계 영역에 위치하는 반도체 기판 101의 주표면 상에는 소자 분리 절연막 106이 형성되어 있다.

P형 웰 영역 102 중에는 매립 되도록, 기생 트랜지스터의 형성을 방지하여 래치업의 문제를 회피하기 위해 및 N형 MOS 트랜지스터 내내 분리하기 위한 P+아이설 레이션 영역 5이 형성되어 있어, N형 웰 영역 103에 매립되도록 동일하게 N+아이셜 레이션 영역 104이 형성되어 있다.

P형 웰 영역 102의 주표면의 소정 영역에, 채널 영역 2C를 끼우도록 소정의 간격을 구별하여 한쌍의 N형 소스/드레인 영역 1이 형성되어 있다.

채널 영역 2C 상에 게이트 절연막을 통하여 게이트 전극 3C이 형성되어 있다.

게이트 전극 3C의 양측면에 접촉하도록 사이드 월 절연막 108C이 형성되어 있다.

게이트 전극 3C과 한쌍의 N형 소스/드레인 영역 1에 의하여, N형 MOS 트랜지스터가 형성되어 있다.

N형 웰 103의 주표면의 소정 영역에 채널 영역 2d을 끼우도록 소정의 간격을 구별하여 한쌍의 P형의 소스/드레인 영역 6이 형성되어 있다.

채널 영역 2d 상에 게이트 절연막을 통하여 게이트 전극 3d이 형성되어 있다.

게이트 전극 3d의 양측면에 접촉하도록 사이드 월 절연막 108d이 형성되어 있다.

게이트 전극 3d과 한쌍의 P형의 소스/드레인 영역 6에 의하여, P형 MOS 트랜지스터가 형성되어 있다.

또, 주변 회로부에도 메모리 셀부와 동일하게 반도체 기판 101의 주표면에 P형 웰 영역 102, N형 웰 영역 103, 소자 분리 절연막 106, P+아이설 레이션 영역 5, N+아이셜레이션 영역 104, N형 소스/드레인 영역 1, 게이트 전극 3a, 사이드 월 절연막 108a, 및 P형의 소스/드레인 영역 6등이 형성되어 있다.

제20도 내지 제29도는, 제19도에 표시한 종래의 SRAM의 제조 프로세스를 설명하기 위한 단면도이다.

제20도 내지 제29도를 참조하여, 다음에 종래의 SRAM의 제조 프로세스에 관하여 설명한다.

제20도는 메모리 셀부 및 주변 회로부의 반도체 기판 101을 표시하고 있다.

제21도에 표시함과 같이, 반도체 기판 상에 SioN 막 101a을 퇴적하고, 그 위에 SiN막 101b을 퇴적한다.

제22도에 표시한 바와 같이 활성 영역으로 되도록 영역을 레지스트 101C로 덮은 후, 상술의 SiN막 101b, SioN막 101a 및 반도체 기판 101을 에칭한다.

제23도에 표시한 바와 같이 레지스트 101C를 제거하고, 그 후, LOCOS(Local Oxidation of Silicon)법을 사용하여 SiO_2에서되는 소자 분리 절연막 106을 형성한다.

제24도에 표시한 바와 같이 SiN막 101b 및 SioN막 101a을 제거한다.

이와 같이 하여 반도체 기판의 주표면 상의 소정의 영역에 통상보다 기판표면에 매립된 형상의 소자 분리 절연막 106을 형성한다.

그 후, 제25도에 표시한 바와 같이, 주변 회로부 및 메모리 셀부의 양편의 P형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 메모리 셀부와 주변 회로부의 양편 함께 P형 웰 102 및 P+아이셜레이션 영역5을 이은 주입에 의해 형성한다.

제26도에 표시하는 바와 같이 N형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 메모리 셀부와 주변 회로부의 P형 트랜지스터가 형성되는 영역에, N형 웰 103 및 N+아이셜레이션 영역 104을 이온 주입에 의하여 형성한다.

다음에, 제27도에 표시한 바와 같이 N형 폴리 실리콘에서 되는 게이트 전극 3a, 3b, 3d을 반도체 기판 상의 소정 영역에 형성한 후, 제28도에 표시하도록 메모리 셀부 및 주변 회로부의 어느 것의 P형 트랜지스터가 형성되는 영역도 레지스트 109로 덮는다.

그 후, 메모리 셀부 및 주변 회로부의 양편의 N형 트랜지스터가 형성되는 영역에, 게이트 전극 3a 및 3c를 마스크로서 저 농도로 불순물을 이온 주입하는 것에 의해 저농도 불순물 영역을 형성한다.

레지스트 109를 제거한 후, 게이트 전극 3a, 3b, 3c, 3d의 양측면에 접촉하는 사이드 월 절연막 108a, 108b, 108c, 108d을 형성한다.

그의 사이드 월 절연막 108a, 108b, 108c 및 108d을 마스크로서 재차 이온 주입하는 것에 의해 고농도 불순물 영역을 형성하고, 이것에 의해, LDD(Lightly Doped Drain) 구조의 소스/드레인 영역 10이 형성된다.

이 후 레지스트 109를 제거한다.

제29도에 표시한 바와 같이, N형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 주변 회로부의 P형 트랜지스터가 형성되는 영역에만, P형의 불순물을 이온 주입하는 것에 의해, 소스/드레인 영역 6을 형성한다.

이 후, 레지스트 109를 제거한다.

이와 같이 하여, 제19도에 표시한 종래의 SRAM의 반도체 기억장치가 완성된다.

이와 같이 종래의 SRAM에서 메모리 셀의 집적도를 향상시키기 위하여는 각각의 메모리 셀의 평면 점유 면적을 축소화 할 필요가 있다.

이 때문에 종래 P형 트랜지스터에 TFT(Thin Flim Transistor)를 사용, 기판에 4 소자, 그 위에 2 소자를 형성하는 것으로 셀 사이즈를 작게 한 구조가 제안되어 있다.

그러나, 이와 같은 구조에는 TFT가 저전압에는 전류 성능을 얻는 것이 어렵기 때문에, 근년의 3V 이하의 저전압 동작을 TFT 부하를 사용하여 안정 동작시키는 것이 곤란으로 되어 있다.

이 문제를 해결하기 위해 이하에 표시하는 문헌에는 더 성능의 좋은 기판 P형 트랜지스터를 형성하고 있다.

즉, ICICE TRANS ELECTRON. VOL. E77-C. MO.8 AUGUST 1994 High Density Full-CMOS SRAM Cell Technology with a deep Sub-Micron Spacing between n MOS and P MOSFET에 있어서는 이하의 2개의 문제를 해결하고 있다.

우선 첫째는 상기한 문헌에는 종래 사용된 LOCOS 분리에 의한 웰 간의 분리에는 분리 폭을 좁게 하는 것이 할 수 없다는 문제점이 있다.

트렌치 분리를 사용하는 것에 의하여 웰 간의 분리 폭을 좁게 하고, 그것에 의해 셀 사이즈를 축소하고 있다.

즉, 종래의 LOCOS 분리를 사용한 CMOS 구조에서는 P형 웰과 N형 웰의 분리 폭을 좁게 하면, 기생 사이리스터 동작에 의한 래치 업의 발생한다는 문제점이 있다.

여기에서 일반적으로 래치 업이란, 벌크 CMOS 구조에의 기생의 사이 리스터 소자가 도통 상태로 되어, CMOS 회로의 전원 단자간 등에 대전류가 흘러 회로동작이 저해되든지, IC 자체가 파괴되는 현상을 말한다.

제30도는 N웰 구조의 벌크 CMOS IC의 기생 사이 리스터 구조를 표시한다.

이와 같은 구조로 예컨대 n+의 드레인 302에 Vss보다도 낮은 전압이 인가되어, n+영역 302에서 P형 기판 300에 전자가 주입되었다고 한다.

그의 일부는 n웰 303(횡형 npn 트랜지스터 TnPn의 컬렉터)에 모이게 되어, n웰 303중을 통하여 n+영역 304에 달한다.

이 전류는 제30도에서 웰 303의 저항 305을 흐르는 것이 된다.

이 전류가 충분 크고, 저항 305에 의한 전압 강하에 의해 PMOS의 소스측의 pn 접합이 순 바이어스 되면 종형의 PnP 트랜지스터 306가 도통 상태로 되어, P형 기판 300중을 흘에 의한 컬렉터 전류가 흐른다.

이 전류가 저항 309에 의한 전압 강하에 의해 nMOS 트랜지스터의 소스 측의 pn 접합이 순 바이어스 되는 정도로 크면 이번은 횡형 npn 트랜지스터가 도통 상태고 되어, 그의 컬렉터 전류가 PnP 트랜지스터 306을 보다 깊은 도통 상태로 한다.

이와 같이 하여 정 귀환이 가하게 된 상태로는 처음에 트리거로 된 n+의 드레인에서의 전류는 무관계로 Vcc와 Vss간에 대전류가 흐르는 대로의 상태로 된다.

이 상태에서 빠져나가는 데는 기생 사이리스터에 흘러 들은 전류(홀딩 전류) 자체를 끊지 않으면 안된다.

래치 업은 CMOS IC가 미세화 되는데 따라, 기생 사이리스터의 특성이 향상한다는 경향이 있어 CMOS IC의 고집적화를 위하려는 중대한 문제로 되어 있다.

상술의 P웰 102과 N웰 103의 사이의 분리 폭을 좁게 하는 것은 양 웰 간 102, 103 간의 저항치를 내려 래치 업을 발생시키는 전류를 흐르기 쉽게 한다.

이 때문에 LOCOS 분리를 사용하는 경우는 그의 분리 폭을 어느 정도 이상으로 유지할 필요가 있었다.

이점, 트렌치 분리를 사용하면, 양 웰 간의 분리의 깊이가 깊기 때문에, 분리에 의한 저항이 크고 래치 업을 발생시키는 전류가 흐르기 어렵기 때문에 분리 폭을 좁게 하여도 래치 업의 발생의 문제가 적다.

제31도는 트렌치 분리를 사용한 일반적인 구조의 단면도를 표시한다.

트렌치에 의한 분리 150는 P웰 102과 N웰 103을 그의 웰의 두께 전체에 걸쳐서 완전히 분리하고 있다.

따라서, 상술과 같이 양 웰 간에서 전류는 극히 흐르기 어렵게 되어, 래치 업의 문제의 발생이 적게 된다.

그렇지만 이 트렌치 분리를 사용한 메모리 셀에는 이하에 기술한 3개의 문제가 있다.

우선 하나는, 트렌치 분리에는 트렌지 내부만 산화막을 남기기 위한 높은 평탄화 기술인 CMP(Chemical Mechanical Polishing) 기술을 사용할 필요가 있다.

이 때문에, 트렌치 분리에는 종래의 에칭 공정과 산화 공정만으로 구성되는 LOCOS 분리에 비하여 제조 프로세스가 복잡하게 된다는 문제점이 있다.

또, 둘째는 트랜지 분리에는 트렌지 측벽부에서 기생 MOS 트랜지스터가 발생하기 쉽기 때문에 서브 스레숄드 리크의 증대를 일으킨다는 불편이 생긴다.

이것을 방지하기 위해 이하 기술하는 분리부의 P+의 불순물을 주입할 필요가 있어, 제조 공정이 복잡화한다는 문제점이 있다.

P+의 불순물 주입은 제32도 및 제33도에 표시되어 있다.

제32도는 N형 MOS 트랜지스터의 평면도이고, 제33도는 제32도의 200-200선에 따른 단면도를 표시한다.

제32도와 제33도를 참조하여 트랜지스터는 N형 활성 영역 1, 트렌치 분리 2 및 게이트 전극 3 등에서 형성되어 있다.

N형 활성 영역 1 중, 제32도에서 좌측을 드레인 영역, 우측을 소스 영역으로 하면 제32도의 a1, a2 부에서 도면 중의 화살표의 방향으로 리크 전류가 흐른다.

또, 제33도에는 게이트 전류 3, 게이트 산화막 4, 분리부의 P+아이셜 레이션 영역 5이 각각 표시되어 있다.

제33도를 참조하여 제33도의 a1 및 a2 부에 있어서는 P형의 불순물의 농도가 낮기 때문에, 게이트 전압이 한계치 전압 보다 낮아도 전류가 흘러 그 결과 P+리크 전류가 발생한다.

이 리크 전류의 발생을 방지하기 때문에, 도면 중 a1 및 a2 부에 새로이 P+의 불순물을 주입하는 것이 필요하다.

셋째는, 트렌치 분리에는 LOCOS 분리를 사용한 경우에 비하여 접합 리크 전류를 발생하기 쉽다.

이것을 저감하기 위하여 트렌치 분리부의 바로 근처에 산화나 트렌치의 테이퍼 각의 설정 등이 필요하여 그 결과 제조 공정이 복잡화한다는 문제가 있다.

이와 같이 메모리 셀의 평면 점유 면적을 감소시키기 위하여 LOCOS 분리의 대신에 트렌치 분리를 사용하면 상기한 여러 가지의 문제점이 발생하고 있다.

[발명의 개요]

발명의 하나의 목적은 반도체 기억장치에서 트렌치 분리를 사용하지 않고 LOCOS 분리를 사용하면서, 메모리 셀의 평면 점유 면적을 감소시키는 것에 의하여 메모리 셀의 집적도를 향상시키는 것이다.

본 발명의 다른 목적은 반도체 기억장치의 제조 방법에서, 메모리 셀의 집적도를 향상한다.

LOCOS 분리를 가지는 반도체 기억장치를 용이하게 형성하는 것이다.

본 발명의 제1 국면에 의한 반도체 기억장치는 메모리 셀 영역과 주변 회로 영역을 포함하는 반도체 기억장치에 있어서, 제1의 웰 영역과 제1의 소스/드레인 영역과 제1의 게이트 전극과 제1의 소자 분리 절연막과, 제2의 웰 영역과, 제2의 소스/드레인 영역과, 제2의 게이트 전극과, 제2의 소자 분리 절연막을 구비하고 있다.

제1의 웰 영역은 반도체 기판의 주표면에서 제1의 깊이를 가지고, 제1도전형을 가진다.

제1의 소스/드레인 영역은, 제1의 웰 영역의 주표면의 소정 영역에 제1이 웰 영역의 주표면에서 제2의 깊이로, 제1의 채널 영역을 끼우도록 소정의 간격을 구별하여 형성되어 제2도전형을 가진다.

제1의 게이트 전극은 제1의 채널 영역 상에 제1의 게이트 절연막을 통하여 형성되어 있다.

제1의 소자 분리 절연막은 메모리 셀 영역의 주표면의 제1의 소스/드레인 영역에 인접하는 영역에 형성되어 있다.

제2의 웰 영역은 반도체 기판의 주표면 상의 주변 회로 영역에, 형성된 반도체 기판의 주표면에서 제3의 깊이를 가지고 제1도전형을 가진다.

제2의 소스/드레인 영역은, 제2의 웰 영역의 주표면의 소정 영역에, 제2의 웰 영역의 주표면에서 제4의 깊이로 제2의 채널 영역을 끼우도록 소정의 간격을 구별하여 형성되어 있어, 제2도전형을 가진다.

제2의 게이트 전극은 제2의 채널 영역 상에 제2의 게이트 절연막을 통하여 형성되어 있다.

제2의 소자 분리 절연막은 주변 회로 영역의 주표면의 제2의 소스/드레인 영역에 인접하는 영역에 형성되어 있다.

이 반도체 기억장치에는 메모리 셀 영역의 제1의 웰 영역의 제1의 깊이가, 주변 회로 영역의 제2의 웰 영역의 제3의 깊이보다도 얕은, 또한 메모리 셀 영역의 제1의 소스/드레인 영역의 제2의 깊이가 주변 회로 영역의 제2의 소스/드레인 영역의 제4의 깊이 보다도 얕게 되도록 형성되어 있다.

이것에 의해 종래 기술로 기술한 래치 업의 발생 원인으로 되는 저항의 저항치가 n+영역과 n형 웰 영역이 접근하는 것으로 작게 된다.

이 때문에, 래치 업 발생의 문제가 적게 되어, 메모리 셀 영역의 제1의 소자 분리 절연막이 주변 회로 영역의 제2의 소자 분리 절연막 보다도 작게 형성된다.

본 발명의 다른 국면에 의한 반도체 기억장치의 제조 방법에는 메모리 셀 영역의 주표면 상의 소정 영역에 제1의 소자 분리 절연막을 형성한다.

주변 회로 영역의 주표면 상의 소정 영역에 제2의 소자 분리 절연막을 형성한다.

제1의 소자 분리 절연막에 의하여 분리된 메모리 셀 영역의 주표면 상의 한편의 제1의 영역에 제1의 도전형의 불순물을 이온 주입하고, 메모리 셀 영역의 주표면에서 제1의 깊이를 가지는 제1의 웰 영역을 형성한다.

제2의 소자 분리 절연막에 의하여 분리된 주변 회로 영역의 주표면의 한편의 제2의 영역에 제1의 도전형의 불순물을 이온 주입하고, 주변 회로 영역의 주표면에서 제1의 깊이 보다도 깊은 제2의 깊이를 가지는 제2의 웰 영역을 형성한다.

제1의 영역의 소정의 장소에 제1의 게이트 전극을 형성한다.

제2의 영역의 소정의 장소에 제2의 게이트 전극을 형성한다.

제1의 게이트 전극을 마스크로서 제1의 웰 영역의 주표면에 제2도전형의 불순물을 이온 주입하는 것에 의해 제3의 깊이를 가지는 제1의 소스/드레인 영역을 형성한다.

제2의 게이트 전극을 마스크로서 제2의 웰 영역의 주표면에 제1도전형의 불순물을 이온 주입하는 것에 의하여 제3의 깊이보다도 깊은 제4의 깊이를 가지는 제2의 소스/드레인 영역을 형성한다.

이것에 의해, 상술의 종래 기술로 기술한 래치 업의 발생 원인으로 되는 저항의 저항치가 n+영역과 n형 웰 영역이 접근하는 것으로 작게 되어, 래치 업의 문제가 적게 된다.

이 때문에, 메모리 셀 영역의 제1의 소자 분리 절연막이 주변 회로 영역의 제2의 소자 분리 절연막보다도 작게 래치 업의 발생의 문제의 적은 반도체 기억장치가 용이하게 제조된다.

[실시예 1]

이하, 본 발명의 실시예를 도면에 의거하여 설명한다.

제1도를 참조하여 본 발명의 제1실시예에 의한 반도체 기억장치에 관하여 설명한다.

주변 회로부와 메모리 셀 부에는 각각 N형과 P형 MOS 트랜지스터에서 되는 CMOS(Complementary Mos) 트랜지스터가 형성되어 있다.

역시, 제1도는 기판 101으로서 N형을 사용하고 있지만, P형을 사용할 수도 있다.

또, LOCOS 분리 106는 트렌치 분리와 같은 분리분에 산화막을 매립하는 방식에 의하는 것이 아니라 기판을 산화하는 것에 의한 분리 방법이면 좋고, 특히, LOCOS 분리에 한정되는 것은 아니다.

제1도를 참조하여, 주변 회로부에는 반도체 기판 101의 주표면에 P형 웰 영역 102과 N형 웰 영역 103이 인접하여 형성되어 있다.

P형 웰 영역 102과 N형 웰 영역 103의 경계 영역에 위치하는 반도체 기판 101의 주표면 상에는 소자 분리 절연막 106이 형성되어 있다.

P형 웰 영역 102 중에 매립 되도록 래치 업의 발생을 방지하기 위해 N형 MOS 트랜지스터 내내를 분리하기 위하여 P+아이설레이션 영역5이 형성되어 있어, N형 웰 영역 103에 매립 되도록 N+아이설레이션 영역 104이 형성되어 있다.

P형 웰 영역 102의 주표면의 소정의 영역에 채널 영역 2a을 끼우도록 소정의 간격을 구별하여 한쌍의 N형 소스/드레인 영역 1이 형성되어 있다.

채널 영역 2a 상에 게이트 절연막을 통하여 게이트 전극 3a이 형성되어 있다.

게이트 전극 3a의 양측 면에 접촉하도록 사이드 월 절연막 108a이 형성되어 있다.

게이트 전극 3a과 한쌍의 N형 소스/드레인 영역1에 의하여 N형 MOS 트랜지스터가 형성되어 있다.

N형 웰 103의 주표면의 소정 영역에 채널 영역 2b을 끼우도록, 소정의 간격을 구별하여 한쌍의 P형의 소스/드레인 영역 6이 형성되어 있다.

채널 영역 2b상에 게이트 절연막을 통하여 게이트 전극 3b이 형성되어 있다.

게이트 전극 3b의 양측면에 접촉하도록 사이트 월 절연막 108b이 형성되어 있다.

게이트 전극 3b과 한쌍의 P형의 소스/드레인 영역 6에 의하여 P형 MOS 트랜지스터가 형성되어 있다.

한편, 제1도에서 표시되는 메모리 셀 부에는 반도체 기판 101의 주표면 전체에 P형 웰 영역 102이 형성되어 있다.

P형 웰 영역 102의 주표면이 소정 영역에, 채널 영역 2C을 끼우도록, 소정의 간격을 구별하여 한쌍의 N형 소스/드레인 영역 1이 형성되어 있다.

P형 웰 영역 102의 주표면의 소정 영역에 N형 웰 영역 105이 형성되어 있다.

N형 소스/드레인 영역 1과 N형 웰 영역 105의 경계 영역에 위치하는 반도체 기판 101의 주표면 상에는 소자 분리 절연막 106a이 형성되어 있다.

P형 웰 영역 102 중에 매립 되도록, 기생 트랜지스터의 형성을 방지하여 래치 업의 발생을 방지하기 위해 및 N형 MOS 트랜지스터 내내를 분리하기 위하여 P+아이설 레이션 영역 5이 형성되어 있다.

채널 영역 2C상에 게이트 절연막을 통하여 게이트 전극 3C이 형성되어 있다.

게이트 전극 3C의 양측면에 접촉하도록 사이드 월 절연막 108C이 형성되어 있다.

게이트 전극 3C과 한쌍의 N형 소스/드레인 영역 1에 의하여 N형 MOS 트랜지스터가 형성되어 있다.

N형 웰 105의 주표면의 소정의 영역에, 채널 영역 2d을 끼우도록, 소정의 간격을 구별하여 한쌍의 P형의 소스/드레인 영역 107이 형성되어 있다.

채널 영역 2d 상에 게이트 절연막을 통하여 게이트 전극 3d이 형성되어 있다.

게이트 전극 3d의 양측면에 접촉하도록 사이드 월 절연막 108d이 형성되어 있다.

게이트 전극 3d과 한쌍의 P형의 소스/드레인 영역 107에 의하여 P형 MOS 트랜지스터가 형성되어 있다.

제1실시예에는, 제19도에 표시하는 종래 기술과 비교하여 메모리 셀부의 P형 트랜지스터를 구성하는 N형 웰 105과 소스/드레인을 형성하는 P형 활성층 107이 얕다.

역시, 메모리 셀부의 N형 트랜지스터를 구성하는 P형 웰 102과 소스/드레인을 형성하는 N형 활성층 1을 얕게 구성하여도 좋다.

종래, 동일 도전형의 활성 영역간의 분리폭으로서 비교하여, N형 웰 내에 존재하는 P형 활성 영역과 P형 웰 내에 존재하는 N형 활성 영역의 분리 폭은 컸었다.

구체적으로는 0.3㎛의 설계 룰로 전자의 분리 폭은 0.3㎛인 것에 대해, 후자의 분리폭은 1㎛이고, 이 때문에 메모리 사이즈를 크게 하는 원인으로 되어 있다.

제1실시예는 메모리 셀부의 N형 웰 105과 P형 활성층 107을 얕게 한바, 래치 업의 발생이 감소하고, LOCOS 분리도 분리 폭을 0.3㎛로 하는 것이 가능하였다.

이것은, 상술의 종래 기술로 기술한 래치 업의 발생 원인으로 되는 제30도에서 저항 305의 저항치가 n+영역과 n형 웰 영역이 접촉하는 것으로 작게 된 것에 의한다.

즉, 저항 305에서 발생하는 전위 차가 작게 되는 것에 의해, PnP 트랜지스터 306가 온 하기 어렵게 된다.

이 때문에, 래치 업의 발생의 문제가 감소하였다.

한편, P형 활성층 107을 얕게 하기 때문에, 활성 영역의 저항이 높게 되어, 그 결과 메모리 셀부의 P형 트랜지스터의 성능이 저하하였다.

구체적으로는 제19도에 표시하는 종래의 것은, 게이트 전압 Vg = 드레인 전압 Vd = 3V, 채널 장 L = 0.3㎛, 채널 촉 W = 10㎛의 조건에는 드레인 전류 Id = 1~3㎂로 있는 것에 대하여, 제1실시예의 경우는 동일 조건하에서 Id = 0.001㎂~0.2㎂ 정도로 되었다.

그렇지만, 이 성능이 저하한 P형 트랜지스터를 사용하여도 3V이하로 충분 동작하는 것이 분명하게 되었다.

TFT를 부하 트랜지스터로 사용하는 SRAM 메모리 셀에는 드라이버 트랜지스터(제18도에서 Q1, Q2)의 서브 스레숄드 리크 전류가 부하 트랜지스터(제18도의 Q5, Q6)의 전류보다 많다.

이 때문에, 기억 노드의 하이 측의 전위가 내려간다.

이 결과, TFT를 부하 트랜지스터에 사용하는 SRAM 메모리 셀에는 저전압의 판독 동작은 곤란하였다.

그런데, 제1실시예의 기판 P형 트랜지스터의 전류는 셀에 사용하는 디멘션 L = 0.3㎛, W = 0.5㎛로 Id = 0.05㎂~10㎂로 되어, 드라이버 트랜지스터의 서브 스레숄드 리크 전류 0.001㎂ 보다도 많게 할 수 있다.

그 결과, 기억 노드의 하이 측의 전위가 내려가는 것을 방어하는 것이 가능하게 되었다.

또, 주변 회로의 P형 트랜지스터는 종래의 것과 동일 구조로 하고 있음으로 고속인 회로 동작이 가능하다.

역시, 본 구조는 SRAM 메모리 셀부의 예로 표시하고 있지만, 메모리 셀 어레이의 피치로 정하도록 소면적의 부분에 P형 트랜지스터를 형성하지 않으면 안되는 데 사용하여도 좋다.

또, DRAM 이나 불휘발성 메모리 등의 다른 메모리의 메모리 셀부에도 사용할 수 있다.

이들의 것은, 메모리 셀부의 P형 MOS 트랜지스터는 주변 영역의 것에 비하여 성능이 낮아도 (Id가 적어도) 문제없기 때문이고, 이 때문에, 통상의 P형 MOS 트랜지스터로 행하고 있는 채널 주입을 생략할 수 있다.

제2도 내지 제8도를 참조하여, 다음에 제1실시예의 반도체 기억장치의 제조 프로세스에 관하여 설명한다.

종래 기술의 부분에서 기술함과 같이 제20도 내지 제24도와 동일한 공정으로 소자 분리 절연막 106a, 106을 형성한다.

메모리 셀 부의 소자 분리 절연막 106a은 주변 회로 부의 P형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 메모리 셀 부와 주변 회로부의 양쪽 모두 P형 웰 102 및 P+아이설레이션 영역 5을 P형의 불순물을 이온 주입하는 것에 의하여 형성한다.

제3도에 표시함과 같이, 메모리 셀 부의 전면 및 주변 회로부의 N형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 주변 회로부의 P형 트랜지스터가 형성되는 영역에만, N형 웰 103 및 N+아이설레이션 영역 104을 이온 주입에 의해 형성한다.

제4도에 표시하는 바와 같이, 메모리 셀 부의 N형 트랜지스터가 형성되는 영역과 주변 회로부의 전면을 레지스트로 덮고, 메모리 셀 부의 P형 트랜지스터가 형성되는 영역에, N형 웰 105을 이온 주입법에 의해

형성한다.

역시, 웰 형성 후 분리를 형성하는 경우도, 메모리 셀의 P형 트랜지스터의 N형 웰 및 P+소스/드레인을 얕게 하는 방법이라면 동일하다.

다음에, 제5도에 표시함과 같이, N형 폴리 실리콘에서 되는 전극 3a, 3b, 3c, 3d을 반도체 기판 상의 소정 영역에 형성한 후, 메모리 셀부 및 주변 회로부의 어느 것의 P형 트랜지스터가 형성되는 영역도 레지스트 109로 덮는다.

그 후, 메모리 셀부 및 주변 회로부의 양편의 N형의 트랜지스터가 형성되는 영역에, 게이트 전극 3c, 3a을 마스크로서 저농도로 N형의 불순물을 주입하는 것에 의해 저농도 불순물 영역을 형성한다.

레지스트 109를 제거한 후, 제6도에 표시함과 같이, 게이트 전극 3a, 3b, 3c, 3d의 양측 면에 접촉하는 사이드 월 108a, 108b, 108c, 108d을 형성한다. 그 사이드 월 절연막 108c, 108a을 마스크로서 재차 이온 주입하는 것에 의해 고농도 불순물 영역을 형성하고, 이것에 의해, LDD(Lightly Doped Drain) 구조의 소스/드레인 영역 1이 형성된다.

이 후 레지스트 109를 제거한다.

제7도에 표시함과 같이, 주변 회로부의 N형 트랜지스터가 형성되는 영역 및 메모리 셀부의 전면을 레지스트 109로 덮고, 주변 회로부의 P형 트랜지스터가 형성되는 영역에만, P형 불순물을 이온 주입하는 것에 의해 소스/드레인 영역 6을 형성한다.

이 후, 레지스트 109를 제거한다.

제8도에 표시함과 같이, 메모리 셀부의 N형 트랜지스터가 형성되는 영역과 주변 회로부의 전면을 레지스트 109로 쓰고, 메모리 셀부의 P형 트랜지스터가 형성되는 영역에 이온 주입법에 의해 소스/드레인 영역 107을 형성한다.

이와 같이 메모리 셀부의 P형 MOS 트랜지스터의 소스/드레인 주입을 최후에 행하는 것이 바람직하다.

이것은 해당 공정을 먼저 행하면, 그 후의 열처리 공정에 의해 주입된 불순물이 확산하고, 얕은 접합이 형성되기 어렵게 되기 때문이다.

이와 같이 하여, 제1도에 표시한 제1실시예의 SRAM의 반도체 기억장치가 완성된다.

역시, 상기의 공정에서 예컨대, 주변 회로의 N형 웰의 형성을 위한 인의 주입은 300~1500 KeV 및 P형의 소스/드레인의 형성을 위한 BF2의 주입은 15~25KeV로 행하였다.

또, 메모리 셀부의 N형 웰의 형성을 위한 인의 주입은 30~100KeV 및 P형 소스/드레인의 형성을 위한 BF2의 주입은 5~10KeV로 행하는 것에 의해 좋은 특성을 얻게 된다.

이상과 같은 제1실시예에 의하면, 메모리 셀부의 N형 트랜지스터의 영역과 P형 트랜지스터의 영역을 작은 폭의 LOCOS 분리에 의해 충분히 분리할 수 있어 이하 기술하는 효과를 얻게 된다.

우선, 제1도, 제조 공정이 복잡화하는 트렌치 분리를 사용하는 경우에 비하여 L OCOS 분리를 사용함으로 제조 공정을 간략활 할 수 있어, 반도체 기억장치를 용이하게 제조할 수 있다.

다음에, LOCOS 분리를 사용하고 있음으로, 기생 MOS 동작의 방지가 필요없다.

다음에, LOCOS 분리를 사용하고 있음으로, 정크션 리크의 문제가 적다.

다음에, 기판 상에 P형 트랜지스터를 형성하여도, 폭이 작은 LOCOS 분리에 의하여 웰 간 분리를 좁게 할 수 있음으로, 메모리 셀의 크기를 작게 할 수 있다.

최후에, 3V 이하에 의한 저전압에서의 동작이 가능하다.

[실시예 3]

제9도를 참조하여 이 제2실시예의 구조는 기본적으로는 제1도에 표시한 제1실시예의 구조와 동일함으로, 상위 하는 부분만 설명한다.

제2실시예의 제1실시예의 상위는 메모리 셀부의 P형 트랜지스터가 형성되는 영역에 N형 트랜지스터가 형성되는 영역에 형성된 P형 웰 102이 연장하여 존재하지 않은 것이다.

이 때문에, 제2실시예에는 N형 웰과 P형 웰이 직접으로 접하는 부분이 감소 혹은 없어져서 래치 업의 원인으로 되는 기생 PnP 바이폴러 트랜지스터(제30도 참조)가 형성되기 어렵게 된다.

따라서, 제1실시예의 효과에 추가하여, 본 효과가 얻게 됨으로, 더 래치 업 발생을 효과적으로 방지할 수 있다.

또한, 제2실시예에는 제1실시예에서 얻어진 효과에 추가하여, 트랜지스터의 안정 동작에 필요한 N형 웰이 전위 고정을 용이하게 행할 수 있다.

즉, N형 웰 105이 P형 웰 102과 전기적으로 독립하고 있기 때문에, N형 기판으로 N형 웰의 전위가 고정할 수 있다.

이것에 대하여, 제1실시예에는 P형 웰 102중에 N형 웰 105이 존재하기 때문에, 각각의 N형 웰 마다에 전위를 고정하지 않으면 안된다.

제10도 내지 제16도를 참조하여, 다음에 제2실시예의 반도체 기억장치의 제조 프로세스에 관하여 설명한다.

우선, 제10도에 표시함과 같이, 반도체 기판 101의 주표면 상의 소정의 위치에 LOCOS 법을 사용하여 소자

분리 절연막 106, 106a을 형성한다.

이 때, 메모리 셀부의 소자 분리 절연막 106a은 주변 회로부의 소자 분리 절연막 106보다도 작게 형성된다.

그 후, 주변 회로부 및 메모리 셀부의 양편의 P형 트랜지스터가 형성되는 영역을 레지스트 109로 덮고, 메모리 셀부와 주변 회로부의 양쪽 모두에 P형 웰 102 및 P+아이설레이션 영역 5을 이온 주입함에 의하여 형성한다.

제11도에 표시함과 같이, 메모리 셀부의 전면 및 주변 회로부의 N형 트랜지스터가 형성되는 영역을 레지스트로 덮고 주변 회로부의 P형 트랜지스터가 형성되는 영역에만 N형 웰 103 및 N+아이설레이션 104을 이온 주입에 의해 형성한다.

제12도에 표시함과 같이 메모리 셀부의 N형 트랜지스터가 형성되는 영역과 주변 회로부의 전면을 레지스트로 덮고, 메모리 셀부의 P형의 트랜지스터가 형성되는 영역에만, 이온 주입법에 의하여 N형 웰 105을 형성한다.

다음에, 제13도에 표시함과 같이, N형 폴리 실리콘에서 되는 게이트 전극 3a, 3b, 3c, 3d을 반도체 기판상의 소정 영역에 형성한 후, 메모리 셀부 및 주변 회로부의 어느 것의 P형 트랜지스터가 형성되는 영역도 레지스트 109로 덮는다.

그 후, 메모리 셀부 및 주변 회로부의 양편의 N형의 트랜지스터가 형성되는 영역에, 게이트 전극 3c, 3a을 마스크로서 저농도로 N형의 불순물을 주입하는 것에 의해 저농도 불순물 영역을 형성한다.

레지스트 109를 제거한 후, 제14도에 표시함과 같이, 게이트 전극 3a, 3c, 3d의 양측면에 접촉하는 사이드 월 108a, 108b, 108c, 108d을 형성한다.

그의 사이드 월 절연막 108c, 108a을 마스크로서 재차 이온 주입하는 것에 의해 고농도 불순물 영역을 형성하고, 이것에 의해, LDD(Lightly Doped Drain) 구조의 소스/드레인 영역 10l 형성된다.

이 후 레지스트 109를 제거한다.

제15도에 표시하도록 주변 회로부의 N형 트랜지스터가 형성되는 영역 및 메모리 셀부의 전면을 레지스트 109로 덮고, 주변 회로부의 P형 트랜지스터가 형성되는 영역에만, P형의 불순물을 이온 주입하는 것에 의해 소스/드레인 영역 6을 형성한다.

이 후, 레지스트 109를 제거한다.

제16도에 표시하는 바와 같이 메모리 셀 부의 N형 트랜지스터가 형성되는 영역과 주변 회로부의 전면을 레지스트 109로 쓰고, 메모리 셀 부의 P형 트랜지스터가 형성되는 영역에, 이온 주입방법에 의해 소스/드레인 영역 107을 형성한다.

이와 같이 하여, 제9도에 표시한 제2실시예의 SRAM의 반도체 기억장치가 완성된다.

[실시예 3]

제17도를 참조하여, 이 제3실시예는 상술의 제1실시예 및 제2실시예의 메모리 셀부의 P형 트랜지스터의 소스/드레인을 형성하기 위한 불순물의 도입에 관한 것이다.

그의 소스/드레인 영역의 형성 공정 이외는, 제1실시예 및 실시예와 동일함으로 설명은 생략한다.

제17도에 표시된 공정은 제1실시예의 제8도에 표시된 공정 및 제2실시예의 제16도에 표시된 공정에 상당한다.

게이트 전극 3a는 층간 산화막 113에 의하여 덮어져 있다.

반도체 기판의 소정의 영역에 밀착하도록 제2의 폴리 실리콘층 9이 형성되어 있다.

역시, 제2의 폴리 실리콘층 9은 2층에서 되는 폴리 사이드층으로 있어도 좋다.

제2의 폴리 실리콘층 9을 형성한 후, 제2의 폴리 실리콘 9상에서 소스/드레인을 형성하도록 P형 불순물을 주입한다.

주입된 P형 불순물은 제2의 폴리 실리콘층 9중에 존재한다.

그 후, 열처리하는 것에 의해, 그의 P형 불순물을 반도체 기판 102의 표면에 확산시킨다.

이것에 의해 P형 트랜지스터의 소스/드레인 영역 107을 형성한다.

이 방법에 의해, 보다 얕은 소스/드레인 영역을 형성할 수 있는 것과 함께 메모리 셀의 소스/드레인 영역에 걸리는 열처리가 감소시킬 수 있다.

즉, 본 방법에 의해 얕은 P형 소스/드레인을 안정하고 용이하게 형성할 수 있다.

이상과 같이 본 발명의 제1의 국면에 의한 반도체 기억장치에 의하면, 메모리 셀부의 제2도전형의 소스/드레인 영역의 깊이를 주변 회로부의 제2도전형의 소스/드레인 영역의 깊이 보다도 얕게 또한 메모리 셀부의 제1도전형의 웰의 깊이 보다도 얕게 한 것에 의하여 메모리 셀부의 소자 분리 절연막을 작게 형성할 수 있어, 그 결과 셀 사이즈를 작게 할 수 있다.

(57) 청구의 범위

청구항 1

메모리 셀 영역과 주변회로 영역을 포함하는 반도체 기억장치에 있어서, 반도체 기판(101)의 주표면 상의 상기 메모리 셀 영역에 형성된 상기 반도체 기판의 주표면에서의 제1의 깊이를 가지는 제1도전형의 제1의 웰 영역(105)과, 상기 제1의 웰 영역의 주표면의 소정 영역에 상기 제1의 웰 영역의 주표면에서 제2의 깊이로, 제1의 채널 영역(2d)을 끼우도록 소정의 간격을 구별하여 형성된 한쌍의 제2도전형의 제1의 소스/드레인 영역(107)과, 상기 제1의 채널 영역 상에 제1의 게이트 절연막을 통하여 형성된 제1의 게이트 전극(3d)과, 상기 메모리 셀 영역의 주표면의 상기 제1의 소스/드레인 영역에 인접하는 영역에 형성된 제1의 소자 분리 절연막(106a)과, 상기 반도체 기판의 주표면상의 상기 주변회로 영역에 형성된 상기 반도체 기판의 주표면에서 제3의 깊이를 가지는 제1도전형의 제2의 웰 영역(103)과, 상기 제2의 웰 영역의 주표면의 소정 영역에 상기 제2의 웰 영역의 주표면에서 제4의 길이로, 제2의 채널 영역(2d)을 끼우도록 소정의 간격을 구별하여 형성된 한쌍의 제2도전형의 제2의 소스/드레인 영역(6)과, 상기 제2의 채널 게이트 영역 상에 제2의 게이트 절연막을 통하여 형성된 제2의 게이트 전극(3b)과, 상기 주변회로 영역의 주표면상의, 상기 제2의 소스/드레인 영역에 인접하는 영역에 형성된 제2의 소자 분리 절연막(106)을 구비하고, 상기 제1의 웰(105)의 제1의 깊이가 상기 제2의 웰 영역(103)의 제3의 깊이 보다도 얕게 또한 상기 제1의 소스/드레인 영역(107)의 제2의 깊이가 상기 제2의 소스/드레인 영역(6)의 제4의 깊이 보다도 얕은 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 메모리 셀 영역의 주표면에는 상기 제1의 소스/드레인 영역(107)에서 상기 제1의 소자 분리 절연막(106a)을 구별한 위치에 한쌍의 제1도전형의 제3의 소스/드레인 영역(1)이 제5의 깊이로 형성되어 있는 것과 함께, 상기 제3의 소스/드레인 영역(1)을 덮도록 제2도전형의 제3의 웰 영역(102)이 제6의 깊이로 형성되어 있는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 제1의 웰 영역(105)의 제1의 깊이는 상기 제1의 소자 분리 절연막(106a)의 하면 보다도 얕은 반도체 기억장치.

청구항 4

제2항에 있어서, 상기 제1의 웰 영역(105)은 상기 제3의 웰 영역(102)내에 형성되어 있는 반도체 기억장치.

청구항 5

제2항에 있어서, 상기 제1의 웰 영역(105)은 상기 제3의 웰 영역(102)과 접촉하는 부분을 가지지 않은 반도체 기억장치.

청구항 6

제2항에 있어서, 상기 주변회로 영역의 주표면에는 상기 제2의 소스/드레인 영역(6)에서 상기 제2의 소자 분리 절연막(106)을 구별한 위치로, 한쌍의 제1도전형의 제4의 소스/드레인 영역(1)이 제7의 깊이로 형성되어 있어, 또한 제4의 소스/드레인 영역을 덮도록 제2도전형의 제4도 웰 영역(102)이 제8의 깊이로 형성되어 있어, 제1의 소자 분리 절연막(106a)의 반도체 기판의 주표면에 따른 방향의 폭은 제2의 소자 분리 절연막(106)의 반도체 기판의 주표면에 따른 방향의 폭 보다도 좁은 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 제3의 웰 영역(102)의 제6의 깊이는 상기 제4의 웰 영역(102)의 제8의 깊이 보다도 얕게, 또한 상기 제4의 소스/드레인 영역(1)의 제5의 깊이는, 상기 제4의 소스/드레인 영역(1)의 제7의 깊이 보다도 얕은 반도체 기억장치.

청구항 8

제1항에 있어서, 상기 제1 및 제2의 웰(105, 103)은 n형이고, 상기 제1 및 제2의 소스/드레인 영역(107, 6)은 P형인 반도체 기억장치.

청구항 9

제1항에 있어서, 상기 메모리 셀 영역의 상기 제1의 소스/드레인 영역(107)과 상기 제1의 게이트 전극(3d)에 의하여 구성되는 제1도전형의 제1의 트랜지스터를 스태틱 랜덤 액세스 메모리의 메모리 셀의 부하 트랜지스터로서 사용하는 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 제1도전형의 제1의 트랜지스터의 전류치가 0.05㎂ 이상 10㎂ 이하인 반도체 기억장치.

청구항 11

메모리 셀 영역과 주변 영역을 포함하는 반도체 기억장치의 제조 방법에 있어서, 상기 메모리 셀 영역의 주표면 상의 소정 영역에 제1의 소자 분리 절연막(106a)을 형성하는 공정과, 상기 주변회로 영역의 주표면 상의 소정 영역에 제2의 분리 절연막(106)을 형성하는 공정과, 상기 제1의 소자 분리 절연막에 의하여 분리된 상기 메모리 셀 영역의 주표면 상의 한편의 제1의 영역에 제1의 도전형의 불순물을 이온 주입하여 상기 메모리 셀 영역의 주표면에서 제1의 깊이를 가지는 제1의 웰 영역(105)을 형성하는 공정과, 상기 제2의 소자 분리 절연막(106)에 의해 분리된 상기 주변회로 영역의 주표면에서, 상기 제1의 깊이 보다도 깊은 제2의 깊이를 가지는 제2의 웰 영역(103)을 형성하는 공정과, 상기 제1의 영역의 소정의 장소에 제1의 게이트 전극(3d)을 형성하는 공정과, 상기 제2의 영역의 소정의 장소에 제2의 게이트 전극(3b)을 형성하

는 공정과, 상기 제1의 게이트 전극(3d)을 마스크로서 상기 제1의 웰 영역(105)의 주표면에 제2도전형의 불순물을 이온 주입하는 것에 의해 제3의 깊이를 가지는 제1의 소스/드레인 영역(107)을 형성하는 공정과, 상기 제2의 게이트 전극(3b)을 마스크로서 상기 제2의 웰 영역(103)의 주표면에 제1도전형의 불순물을 이온 주입하는 것에 의해 상기 제3의 깊이보다도 깊은 제4의 깊이를 가지는 제2의 소스/드레인 영역(6)을 형성하는 공정을 구비한 반도체 기억장치의 제조 방법.

청구항 12

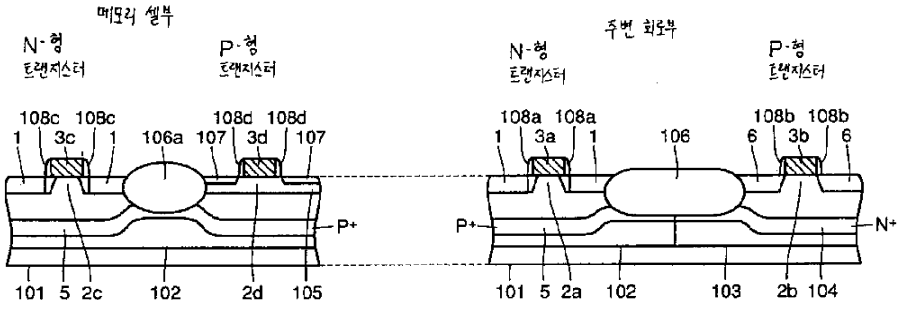
제11항에 있어서, 상기 제1의 영역에 제2의 도전형의 불순물을 이온 주입하는 공정이 상기 제1의 영역의 반도체 기판(101)의 표면에 밀착하여 형성된 막(9)에 제2도전형의 불순물을 이온 주입한 후에, 열처리하는 것으로 상기 불순물을 확산시키는 것에 의해 행하는 반도체 기억장치의 제조 방법.

청구항 13

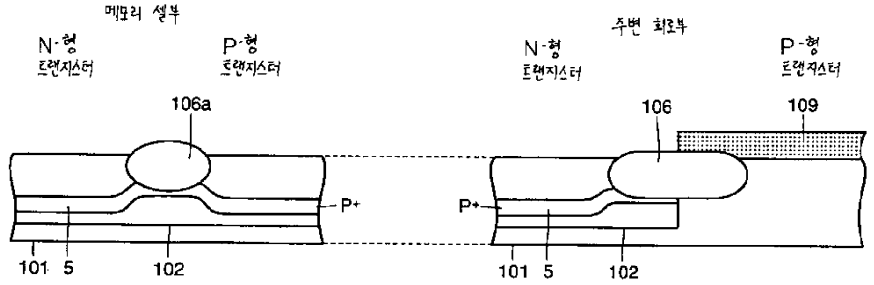
제11항에 있어서, 상기 메모리 셀 영역의 주표면에 상기 제1의 소스/드레인 영역에서 상기 제1의 소자 분리 절연막(106a)을 구별한 위치에 한쌍의 제1도전형의 제3의 소스/드레인 영역(1)을 형성하는 공정과, 상기 주변회로 영역의 주표면에 상기 제2의 소스/드레인 영역에서 상기 제2의 소자 분리 절연막(106)을 구별한 위치에 한쌍의 제1도전형의 제4의 소스/드레인 영역(4)을 형성하는 공정을 더 구비하고, 상기 제1의 소스/드레인 영역은 상기 제2, 제3 및 제4의 소스/드레인 영역의 형성 후에 형성하는 반도체 기억장치의 제조 방법.

도면

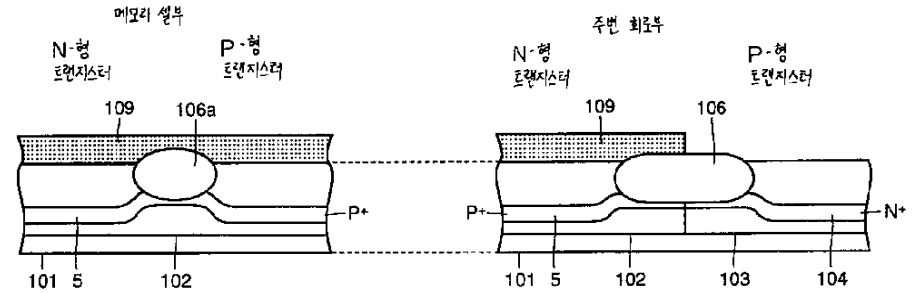
도면1



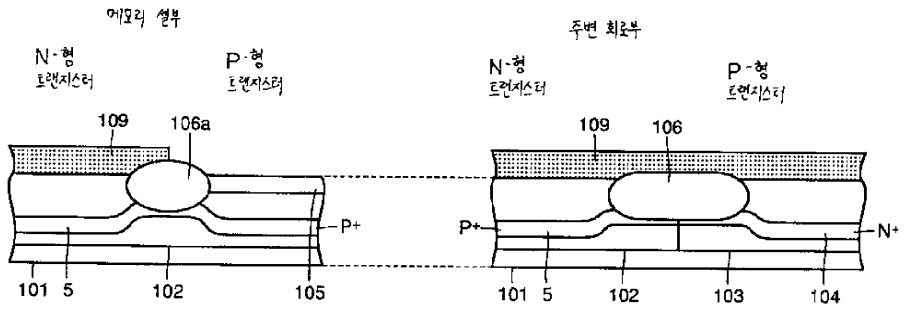
도면2



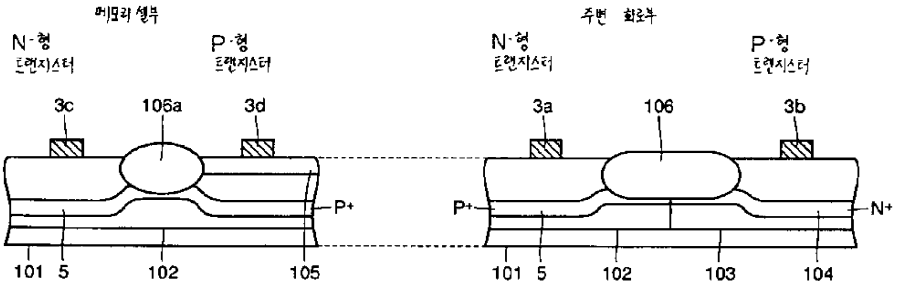
도면3



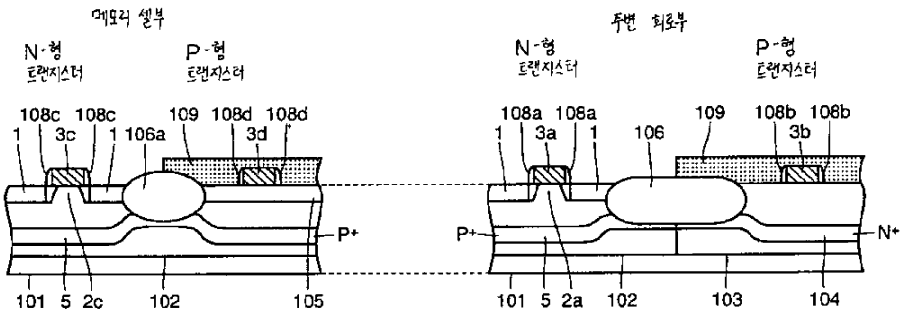
도면4



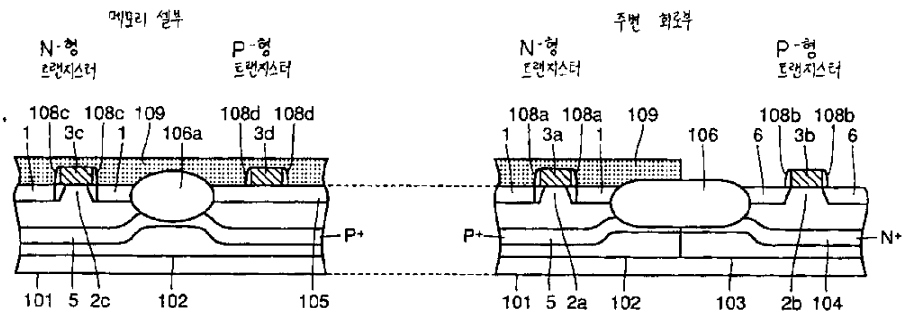
도면5



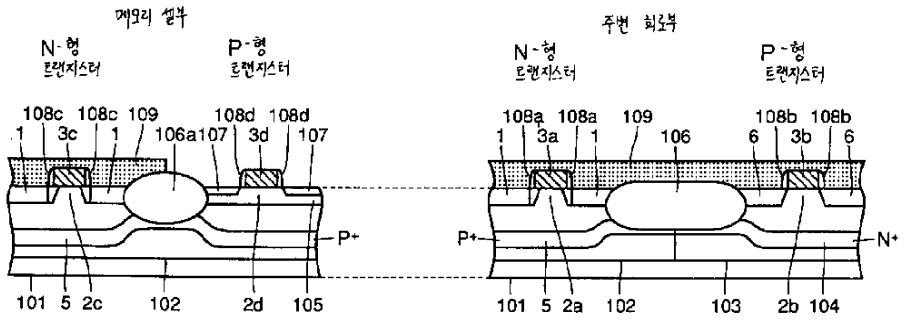
도면6



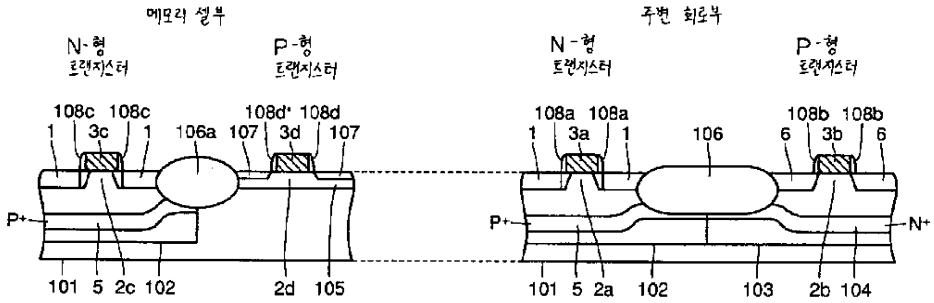
도면7



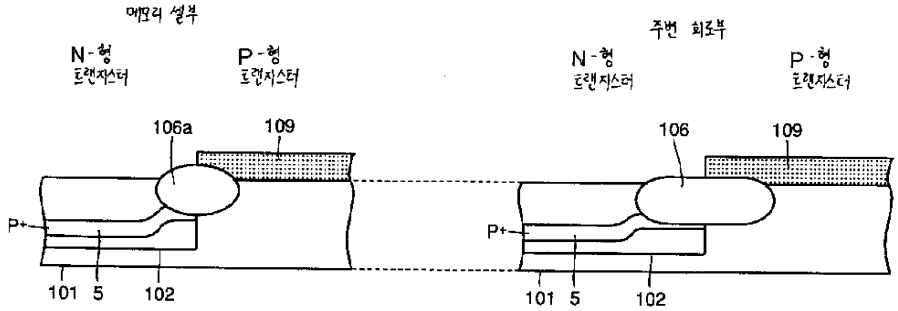
도면8



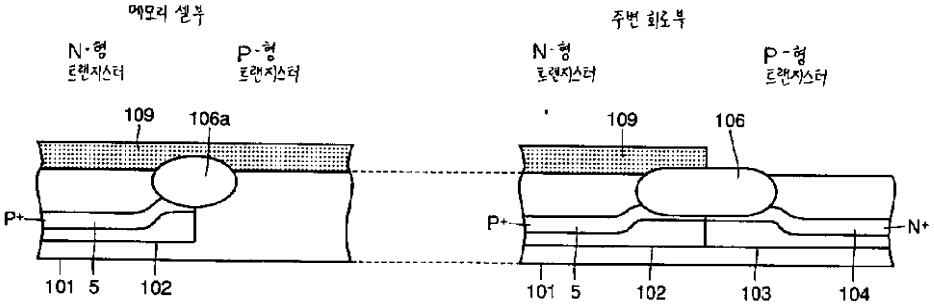
도면9



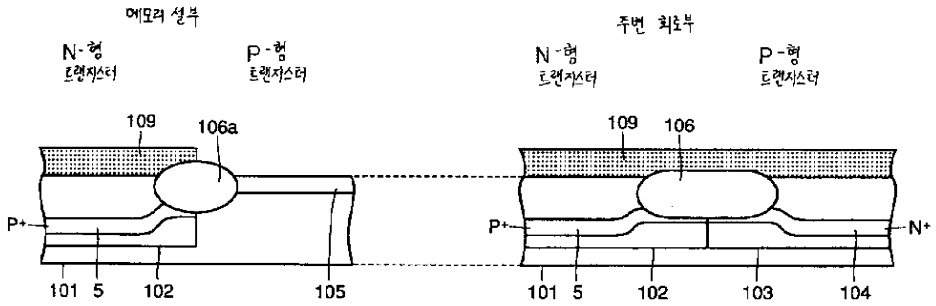
도면10



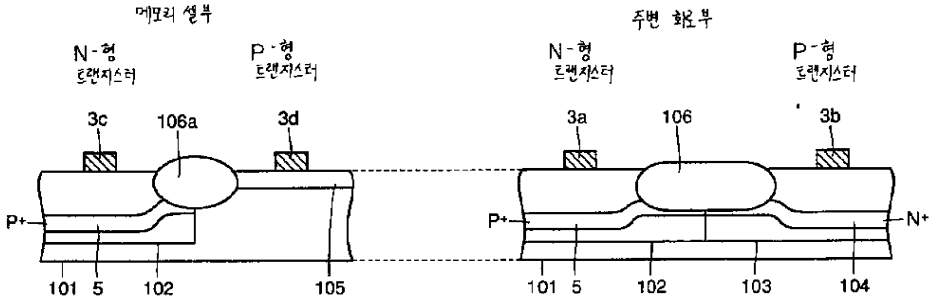
도면11



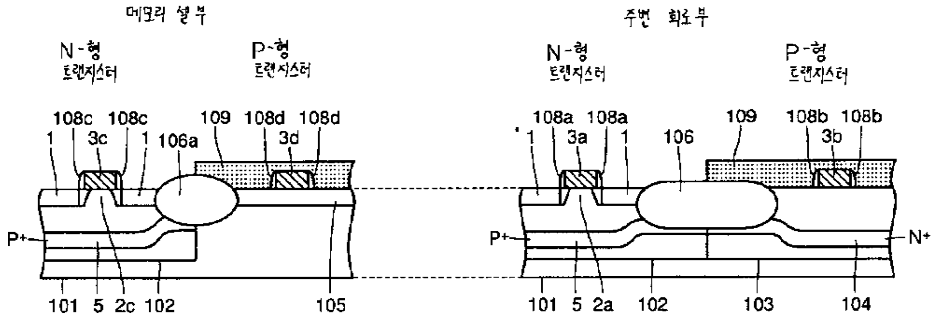
도면12



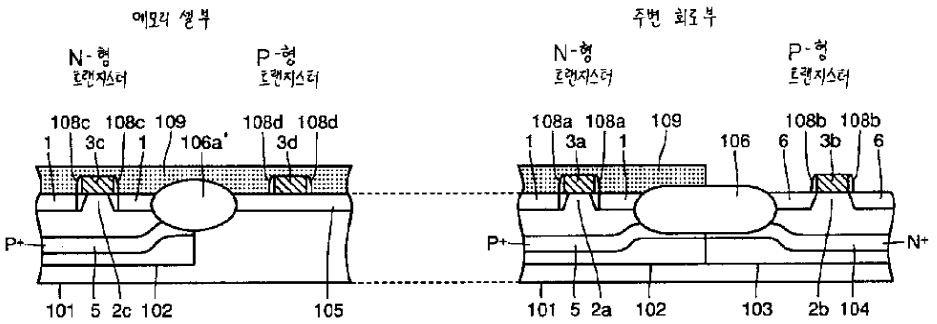
도면13



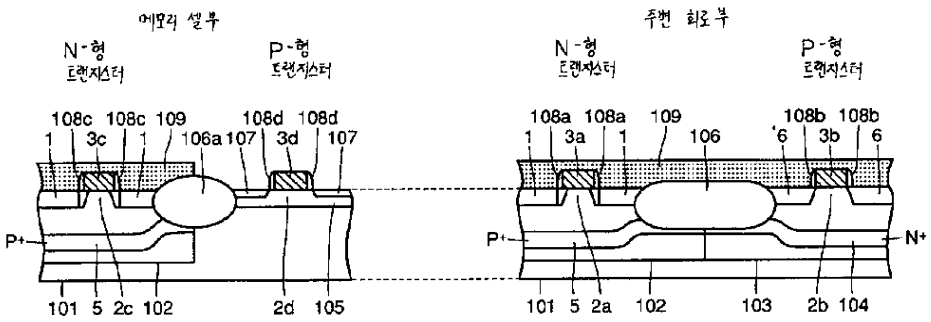
도면14



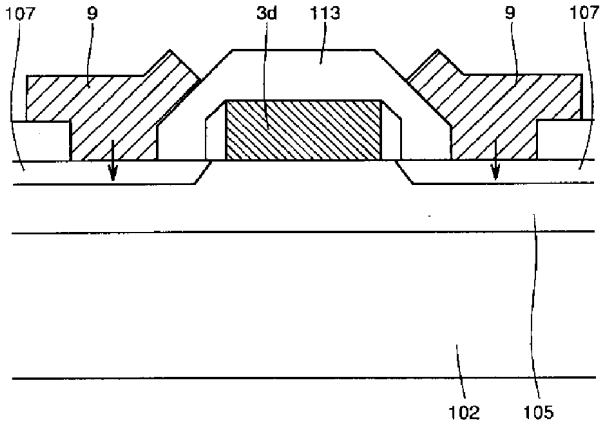
도면15



도면16

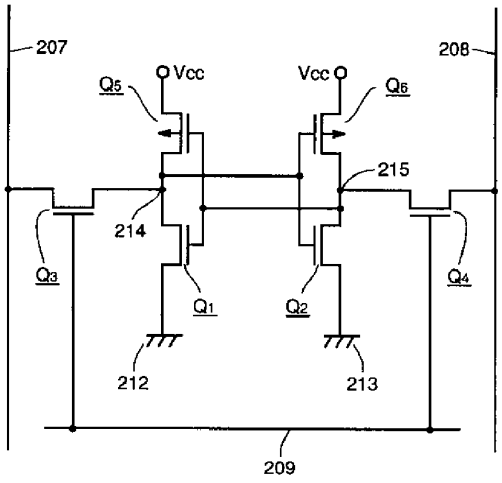


도면17



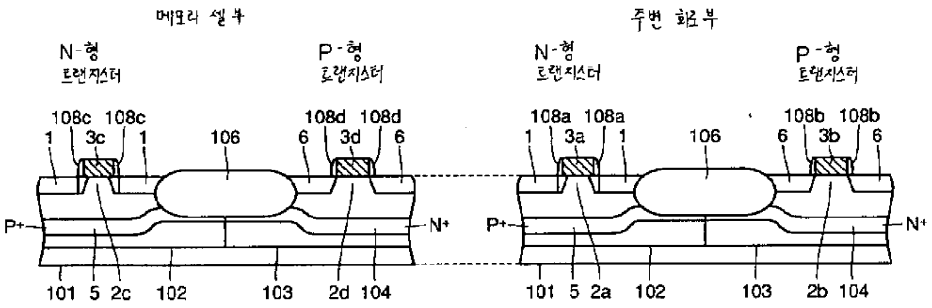
도면18

(종래 기술)



도면19

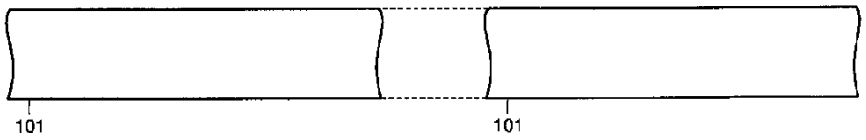
(종래 기술)



도면20

(종래 기술)

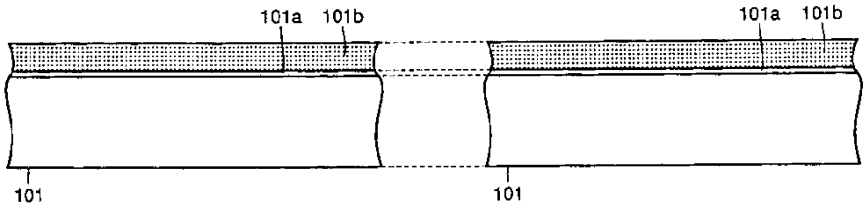
메모리 셀부 주변 회로부



도면21

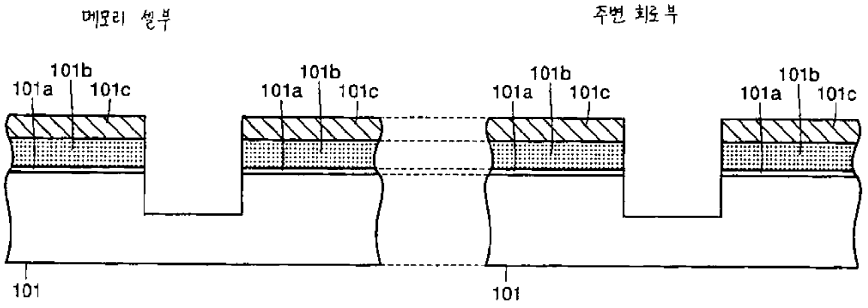
(종래 기술)

메모리 셀부 주변 회로부



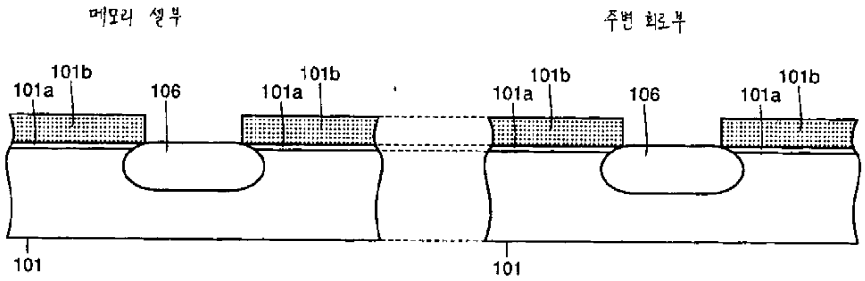
도면22

(종래 기술)



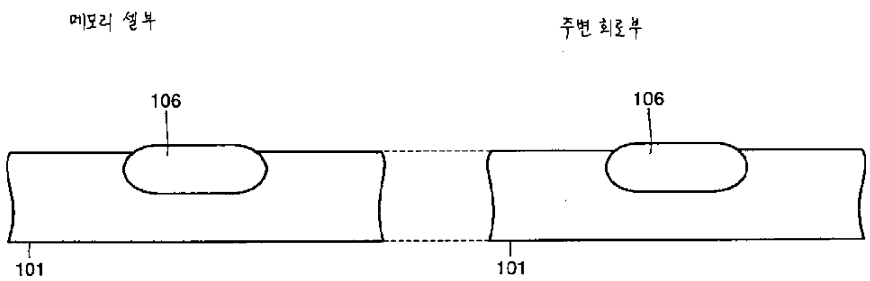
도면23

(종래 기술)



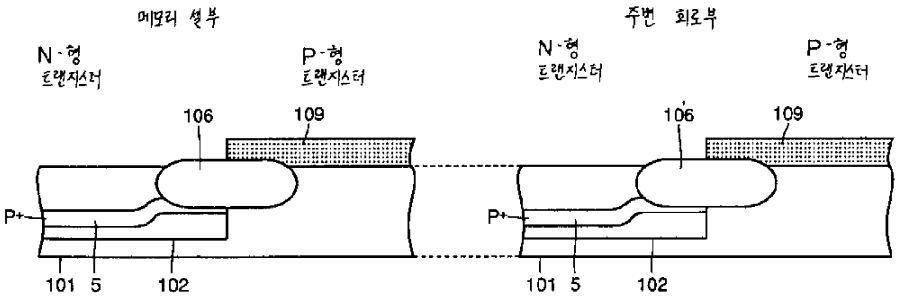
도면24

(종래 기술)



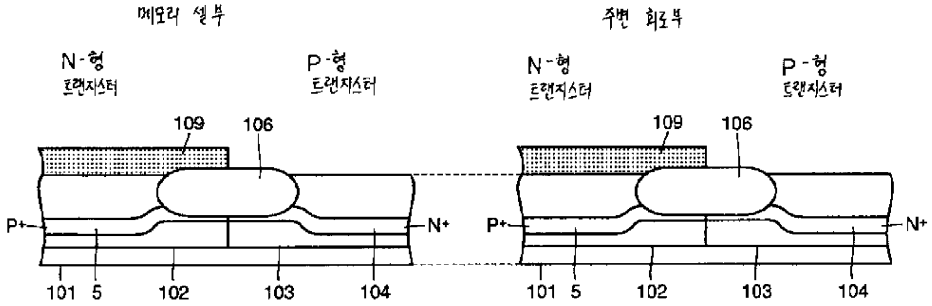
도면25

(종래 기술)



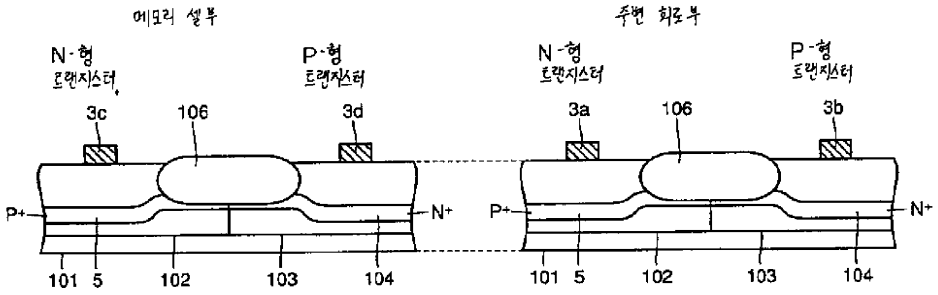
도면26

(종래 기술)



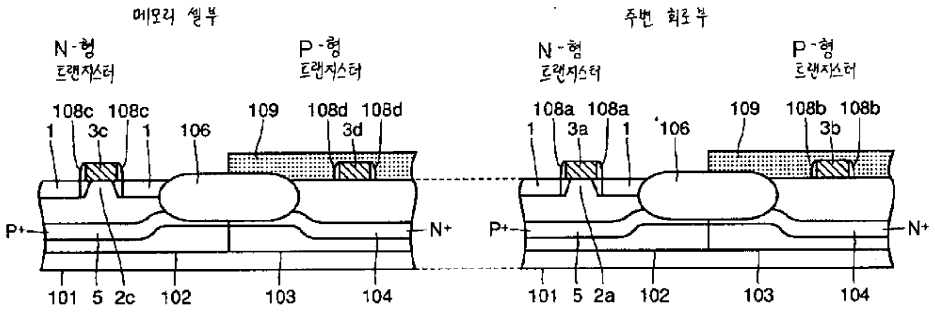
도면27

(종래 기술)



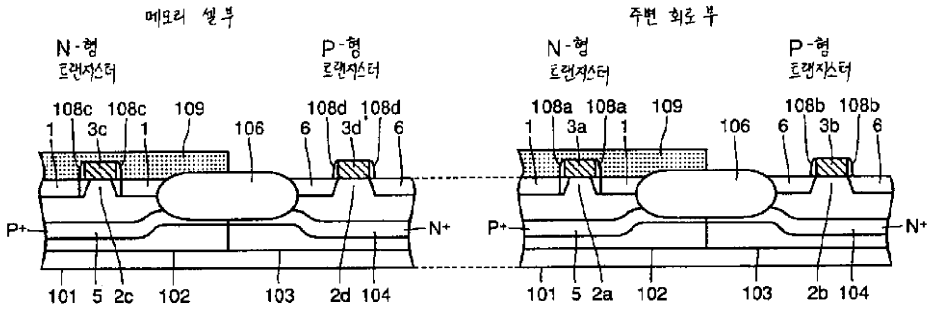
도면28

(종래 기술)



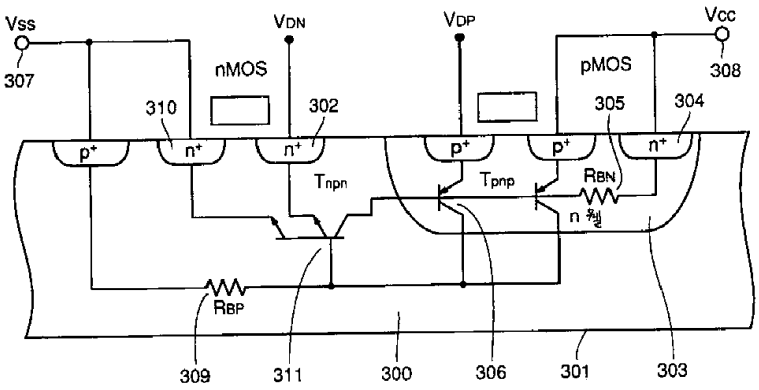
도면29

(종래 기술)



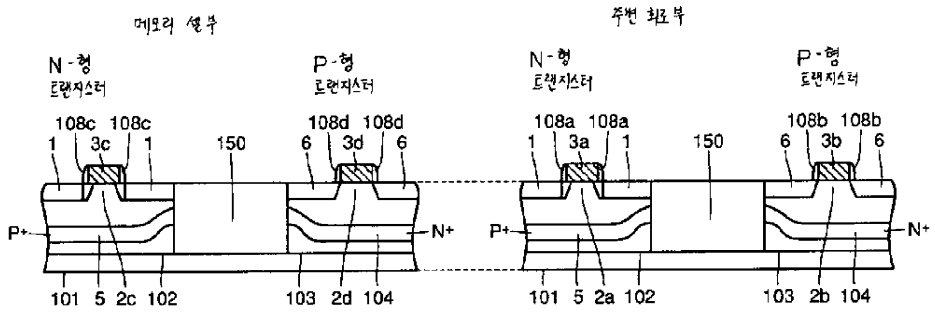
도면30

(종래 기술)



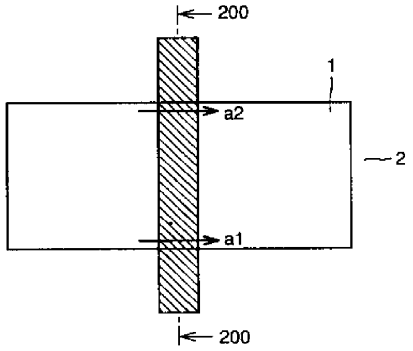
도면31

(종래 기술)



도면32

(종래 기술)



도면33

(종래 기술)

