

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4675249号
(P4675249)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年2月4日(2011.2.4)

(51) Int.Cl. F I
G06F 17/50 (2006.01)
 G06F 17/50 662G
 G06F 17/50 666L
 G06F 17/50 666S

請求項の数 30 (全 24 頁)

(21) 出願番号	特願2006-29729 (P2006-29729)	(73) 特許権者	000005821
(22) 出願日	平成18年2月7日(2006.2.7)		パナソニック株式会社
(65) 公開番号	特開2007-213134 (P2007-213134A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年8月23日(2007.8.23)	(74) 代理人	100077931
審査請求日	平成21年2月3日(2009.2.3)		弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 位置依存変動量計算方法並びに回路解析方法

(57) 【特許請求の範囲】

【請求項1】

設計対象の半導体集積回路を構成する各要素の特性パラメータ又は形状パラメータをコンピュータを用いて見積もるに際し、

前記半導体集積回路の各要素のウェハ又はチップ上でのレイアウト位置情報を前記コンピュータに入力するステップと、

複数の特性ばらつきのもそれぞれに対応した複数の計算式によって、計算対象の要素のそれぞれについて、複数の位置トポロジをコンピュータにより計算する位置トポロジ計算ステップと、

前記複数の位置トポロジのそれぞれに基づいて、前記要素の複数の位置依存変動量をコンピュータにより計算する位置トポロジ依存変動量計算ステップとを備え、

前記要素の特性パラメータ又は形状パラメータを見積もることを特徴とする位置依存変動量計算方法。

【請求項2】

前記請求項1記載の位置依存変動量計算方法において、

前記各要素は、配線、素子、又は部分回路である

ことを特徴とする位置依存変動量計算方法。

【請求項3】

前記請求項1記載の位置依存変動量計算方法において、

前記各要素の配置位置は、所定の座標系の座標によって表される

ことを特徴とする位置依存変動量計算方法。

【請求項 4】

前記請求項 3 記載の位置依存変動量計算方法において、
前記所定の座標系の原点及び座標軸の方向は、乱数に基づいて決定される
ことを特徴とする位置依存変動量計算方法。

【請求項 5】

前記請求項 1 記載の位置依存変動量計算方法において、
前記位置依存変動量の計算位置は、所定の座標系の座標によって表される
ことを特徴とする位置依存変動量計算方法。

【請求項 6】

前記請求項 1 記載の位置依存変動量計算方法であって、
前記位置トポロジ計算ステップでは、計算式を予め設定して位置トポロジを計算する
ことを特徴とする位置依存変動量計算方法。

10

【請求項 7】

前記請求項 1 記載の位置依存変動量計算方法であって、
前記位置トポロジ計算ステップでは、設計対象とする半導体集積回路の回路特性のワーストケースとなる位置トポロジ計算式を用いて位置トポロジを計算する
ことを特徴とする位置依存変動量計算方法。

【請求項 8】

前記請求項 1 記載の位置依存変動量計算方法であって、
前記位置トポロジ計算ステップでは、位置トポロジを計算する計算式の係数を乱数として扱って位置トポロジを計算する
ことを特徴とする位置依存変動量計算方法。

20

【請求項 9】

前記請求項 1 記載の位置依存変動量計算方法であって、
前記位置トポロジ計算ステップでは、半導体集積回路の製造プロセスの情報に基づいて設定した位置トポロジ計算式を用いて位置トポロジを計算する
ことを特徴とする位置依存変動量計算方法。

【請求項 10】

請求項 9 記載の位置依存変動量計算方法において、
前記位置トポロジ計算式は、製造プロセスにおけるイオン注入方向、及び露光方向、及び研磨方向、及び洗浄方向、及び堆積方向の何れか 1 つの方向によって決定される
ことを特徴とする位置依存変動量計算方法。

30

【請求項 11】

前記請求項 1 記載の位置依存変動量計算方法において、
前記位置依存変動量は、前記各要素の配置位置に依存して変動する位置トポロジに基づいて計算され、
前記位置トポロジは、半導体集積回路の部分レイアウトごとに周期性を持つ
ことを特徴とする位置依存変動量計算方法。

【請求項 12】

前記請求項 1 1 記載の位置依存変動量計算方法において、
前記部分レイアウトの周期性は、直交座標系の座標軸方向に繰り返される
ことを特徴とする位置依存変動量計算方法。

40

【請求項 13】

前記請求項 1 1 記載の位置依存変動量計算方法において、
前記部分レイアウトの周期性は、極座標系の回転方向に繰り返される
ことを特徴とする位置依存変動量計算方法。

【請求項 14】

前記請求項 1 1 記載の位置依存変動量計算方法において、
前記部分レイアウトの形状や周期性の周期条件は、製造プロセスの情報に基づいて決定

50

される

ことを特徴とする位置依存変動量計算方法。

【請求項 15】

前記請求項 14 記載の位置依存変動量計算方法において、

前記部分レイアウトの形状や周期性の周期条件は、製造プロセスにおけるイオン注入領域、及び露光領域、及び研磨領域、及び洗浄領域、及び堆積領域の何れか 1 つの領域によって決定される

ことを特徴とする位置依存変動量計算方法。

【請求項 16】

前記請求項 14 記載の位置依存変動量計算方法において

前記製造プロセスの情報は、製造プロセスにおける所定の工程の回転角度である

ことを特徴とする位置依存変動量計算方法。

10

【請求項 17】

前記請求項 16 記載の位置依存変動量計算方法において、

前記所定の工程の回転角度は、製造プロセスにおけるイオン注入工程、及び露光工程、及び研磨工程、及び洗浄工程、及び堆積工程の何れか 1 つの工程での回転角度である

ことを特徴とする位置依存変動量計算方法。

【請求項 18】

前記請求項 1 記載の位置依存変動量計算方法において、

前記位置依存変動量は、プロセスばらつきによる前記各要素の特性パラメータや形状パラメータの変動量である

ことを特徴とする位置依存変動量計算方法。

20

【請求項 19】

前記請求項 1 記載の位置依存変動量計算方法において、

前記位置依存変動量は、プロセスばらつきの分布関数の平均値である

ことを特徴とする位置依存変動量計算方法。

【請求項 20】

前記請求項 1 記載の位置依存変動量計算方法において、

前記各要素は、配線、素子、又は部分回路であり、

前記位置依存変動量は、前記素子又は配線の形状パラメータ、並びに、素子の閾値電圧及び酸化膜厚及び抵抗値及び容量値の特性パラメータの何れか 1 つのパラメータの変動量である

ことを特徴とする位置依存変動量計算方法。

30

【請求項 21】

前記請求項 1 記載の位置依存変動量計算方法において、

前記位置依存変動量は、前記各要素の配置位置に依存して変動する位置トポロジに基づいて計算される

ことを特徴とする位置依存変動量計算方法。

【請求項 22】

前記請求項 21 記載の位置依存変動量計算方法において、

前記位置依存変動量は、予め設定した所定の位置依存変動量計算式によって計算されることを特徴とする位置依存変動量計算方法。

40

【請求項 23】

設計対象の半導体集積回路の回路特性を解析する回路解析方法であって、

前記半導体集積回路の各要素のウェハ又はチップ上でのレイアウト位置情報を前記コンピュータに入力するステップと、

複数の特性ばらつきのそれぞれに対応した複数の計算式によって、計算対象の要素のそれぞれについて、複数の位置トポロジをコンピュータにより計算する位置トポロジ計算ステップと、

前記複数の位置トポロジのそれぞれに基づいて、前記要素の複数の位置依存変動量をコ

50

ンピュータにより計算する位置トポロジ依存変動量計算ステップとを備え、

位置トポロジ依存変動量計算ステップにより計算された位置依存変動量を用いて前記半
導体集積回路のシミュレーションを行う

ことを特徴とする回路解析方法。

【請求項 2 4】

前記請求項 2 3 記載の回路解析方法において、
前記位置依存変動量は、予め所定の値が算出されている
ことを特徴とする回路解析方法。

【請求項 2 5】

前記請求項 2 3 記載の回路解析方法において、
前記位置依存変動量は、設計対象の半導体集積回路の回路特性のワーストケースとなる
位置依存変動量である
ことを特徴とする回路解析方法。

10

【請求項 2 6】

前記請求項 2 3 記載の回路解析方法において、
前記位置依存変動量は、所定の分布関数で表される
ことを特徴とする回路解析方法。

【請求項 2 7】

前記請求項 2 3 記載の回路解析方法において、
乱数を用いて前記半導体集積回路のシミュレーションを行う
ことを特徴とする回路解析方法。

20

【請求項 2 8】

前記請求項 2 3 記載の回路解析方法において、
前記各要素の配置位置に依存して変動する位置依存変動量と、前記各要素の配置位置に
依存しない分布情報とを用いて前記半導体集積回路のシミュレーションを行う
ことを特徴とする回路解析方法。

【請求項 2 9】

前記請求項 1 記載の位置依存変動量計算方法を用いて、設計対象の半導体集積回路の特
性を解析する回路解析方法であって、
前記位置依存変動量計算方法で計算した前記半導体集積回路の各要素の位置依存変動量
を用いて、前記半導体集積回路のシミュレーションを行う
ことを特徴とする回路解析方法。

30

【請求項 3 0】

前記請求項 2 9 記載の回路解析方法において、
乱数を用いて前記半導体集積回路のシミュレーションを行う
ことを特徴とする回路解析方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体集積回路の回路設計に関し、特に、製造プロセスの情報等に基づいて
回路特性をシミュレーションする技術に関するものである。

40

【背景技術】

【0 0 0 2】

近年では、半導体集積回路の回路設計において、製造プロセスの微細化によって、プロ
セスばらつきが回路特性に与える影響が増大している。

【0 0 0 3】

従来、回路特性をシミュレーションする技術として、半導体集積回路を構成するラン
ジスタの形状パラメータ等をモンテカルロシミュレーションによって意図的にばらつかせ
ることにより、半導体集積回路の回路特性を見積もる技術が知られている。

【0 0 0 4】

50

また、例えば特許文献1において、半導体集積回路のタイミング解析の際に、半導体集積回路を構成する論理セルの遅延ばらつきと、論理セル間の遅延ばらつきとの相関関係を考慮しつつ、半導体集積回路の遅延ばらつきを高速に見積もることにより、回路特性をシミュレーションする技術がある。

【特許文献1】特開2002-279012号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、本発明者がプロセスばらつきの回路特性への影響を検討したところ、半導体集積回路に含まれる素子や配線などの形状や特性は、それら素子などの位置に依存して変動するものの、前記従来技術や前記特許文献1記載の技術を用いた回路特性のシミュレーションでは、そのような半導体集積回路の素子などの配置位置に応じて回路特性を見積もっていなかった。

10

【0006】

また、モンテカルロシミュレーションにおいて、複数のパラメータを意図的にばらつかせる場合には膨大な計算処理時間が必要であった。

【0007】

本発明は、前記の課題に着目してなされたものであり、その目的は、半導体集積回路のレイアウト位置情報を用いて素子などの位置に依存した変動量を算出して、この変動量を用いた回路特性のシミュレーションを可能にすると共に、計算処理時間を従来よりも増大することなく、効率的にシミュレーションを行うことにある。

20

【課題を解決するための手段】

【0008】

前記の目的を達成するために、本発明では、複数の要素によって構成される半導体集積回路において、前記半導体集積回路のレイアウト位置情報を参照して、半導体集積回路内の要素の配置位置に依存して変動する特性パラメータ又は形状パラメータを見積もることによって回路特性のシミュレーションを行う方法を採用する。

【0009】

具体的に、請求項1記載の位置依存変動量計算方法は、設計対象の半導体集積回路を構成する各要素の特性パラメータ又は形状パラメータをコンピュータを用いて見積もるに際し、前記半導体集積回路の各要素のウェハ又はチップ上でのレイアウト位置情報を前記コンピュータに入力するステップと、複数の特性ばらつきのそれぞれに対応した複数の計算式によって、計算対象の要素のそれぞれについて、複数の位置トポロジをコンピュータにより計算する位置トポロジ計算ステップと、前記複数の位置トポロジのそれぞれに基づいて、前記要素の複数の位置依存変動量をコンピュータにより計算する位置トポロジ依存変動量計算ステップとを備え、前記要素の特性パラメータ又は形状パラメータを見積もることを特徴とする。

30

【0010】

請求項2記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記各要素は、配線、素子、又は部分回路であることを特徴とする。

40

【0011】

請求項3記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記各要素の配置位置は、所定の座標系の座標によって表されることを特徴とする。

【0012】

請求項4記載の発明は、前記請求項3記載の位置依存変動量計算方法において、前記所定の座標系の原点及び座標軸の方向は、乱数に基づいて決定されることを特徴とする。

【0013】

請求項5記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記位置依存変動量の計算位置は、所定の座標系の座標によって表されることを特徴とする。

【0014】

50

請求項6記載の発明は、前記請求項1記載の位置依存変動量計算方法であって、前記位置トポロジ計算ステップでは、計算式を予め設定して位置トポロジを計算することを特徴とする。

【0015】

請求項7記載の発明は、前記請求項1記載の位置依存変動量計算方法であって、前記位置トポロジ計算ステップでは、設計対象とする半導体集積回路の回路特性のワーストケースとなる位置トポロジ計算式を用いて位置トポロジを計算することを特徴とする。

【0016】

請求項8記載の発明は、前記請求項1記載の位置依存変動量計算方法であって、前記位置トポロジ計算ステップでは、位置トポロジを計算する計算式の係数を乱数として扱って位置トポロジを計算することを特徴とする。

10

【0017】

請求項9記載の発明は、前記請求項1記載の位置依存変動量計算方法であって、前記位置トポロジ計算ステップでは、半導体集積回路の製造プロセスの情報に基づいて設定した位置トポロジ計算式を用いて位置トポロジを計算することを特徴とする。

【0018】

請求項10記載の発明は、請求項9記載の位置依存変動量計算方法において、前記位置トポロジ計算式は、製造プロセスにおけるイオン注入方向、及び露光方向、及び研磨方向、及び洗浄方向、及び堆積方向の何れか1つの方向によって決定されることを特徴とする。

20

【0019】

請求項11記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記位置依存変動量は、前記各要素の配置位置に依存して変動する位置トポロジに基づいて計算され、前記位置トポロジは、半導体集積回路の部分レイアウトごとに周期性を持つことを特徴とする。

【0020】

請求項12記載の発明は、前記請求項11記載の位置依存変動量計算方法において、前記部分レイアウトの周期性は、直交座標系の座標軸方向に繰り返されることを特徴とする。

【0021】

請求項13記載の発明は、前記請求項11記載の位置依存変動量計算方法において、前記部分レイアウトの周期性は、極座標系の回転方向に繰り返されることを特徴とする。

30

【0022】

請求項14記載の発明は、前記請求項11記載の位置依存変動量計算方法において、前記部分レイアウトの形状や周期性の周期条件は、製造プロセスの情報に基づいて決定されることを特徴とする。

【0023】

請求項15記載の発明は、前記請求項14記載の位置依存変動量計算方法において、前記部分レイアウトの形状や周期性の周期条件は、製造プロセスにおけるイオン注入領域、及び露光領域、及び研磨領域、及び洗浄領域、及び堆積領域の何れか1つの領域によって決定されることを特徴とする。

40

【0024】

請求項16記載の発明は、前記請求項14記載の位置依存変動量計算方法において前記製造プロセスの情報は、製造プロセスにおける所定の工程の回転角度であることを特徴とする。

【0025】

請求項17記載の発明は、前記請求項16記載の位置依存変動量計算方法において、前記所定の工程の回転角度は、製造プロセスにおけるイオン注入工程、及び露光工程、及び研磨工程、及び洗浄工程、及び堆積工程の何れか1つの工程での回転角度であることを特徴とする。

50

【0026】

請求項1_8記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記位置依存変動量は、プロセスばらつきによる前記各要素の特性パラメータや形状パラメータの変動量であることを特徴とする。

【0027】

請求項1_9記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記位置依存変動量は、プロセスばらつきの分布関数の平均値であることを特徴とする。

【0028】

請求項2_0記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記各要素は、配線、素子、又は部分回路であり、前記位置依存変動量は、前記素子又は配線の形状パラメータ、並びに、素子の閾値電圧及び酸化膜厚及び抵抗値及び容量値の特性パラメータの何れか1つのパラメータの変動量であることを特徴とする。

10

【0029】

請求項2_1記載の発明は、前記請求項1記載の位置依存変動量計算方法において、前記位置依存変動量は、前記各要素の配置位置に依存して変動する位置トポロジに基づいて計算されることを特徴とする。

【0030】

請求項2_2記載の発明は、前記請求項2_1記載の位置依存変動量計算方法において、前記位置依存変動量は、予め設定した所定の位置依存変動量計算式によって計算されることを特徴とする。

20

【0031】

請求項2_3記載の回路解析方法は、設計対象の半導体集積回路の回路特性を解析する回路解析方法であって、前記半導体集積回路の各要素のウェハ又はチップ上でのレイアウト位置情報を前記コンピュータに入力するステップと、複数の特性ばらつきのそれぞれに対応した複数の計算式によって、計算対象の要素のそれぞれについて、複数の位置トポロジをコンピュータにより計算する位置トポロジ計算ステップと、前記複数の位置トポロジのそれぞれに基づいて、前記要素の複数の位置依存変動量をコンピュータにより計算する位置トポロジ依存変動量計算ステップとを備え、位置トポロジ依存変動量計算ステップにより計算された位置依存変動量を用いて前記半導体集積回路のシミュレーションを行うことを特徴とする。

30

【0032】

請求項2_4記載の発明は、前記請求項2_3記載の回路解析方法において、前記位置依存変動量は、予め所定の値が算出されていることを特徴とする。

【0033】

請求項2_5記載の発明は、前記請求項2_3記載の回路解析方法において、前記位置依存変動量は、設計対象の半導体集積回路の回路特性のワーストケースとなる位置依存変動量であることを特徴とする。

【0034】

請求項2_6記載の発明は、前記請求項2_3記載の回路解析方法において、前記位置依存変動量は、所定の分布関数で表されることを特徴とする。

40

【0035】

請求項2_7記載の発明は、前記請求項2_3記載の回路解析方法において、乱数を用いて前記半導体集積回路のシミュレーションを行うことを特徴とする。

【0036】

請求項2_8記載の発明は、前記請求項2_3記載の回路解析方法において、前記各要素の配置位置に依存して変動する位置依存変動量と、前記各要素の配置位置に依存しない分布情報とを用いて前記半導体集積回路のシミュレーションを行うことを特徴とする。

【0037】

請求項2_9記載の発明は、前記請求項1記載の位置依存変動量計算方法を用いて、設計対象の半導体集積回路の特性を解析する回路解析方法であって、前記位置依存変動量計算

50

方法で計算した前記半導体集積回路の各要素の位置依存変動量を用いて、前記半導体集積回路のシミュレーションを行うことを特徴とする。

【0038】

請求項30記載の発明は、前記請求項29記載の回路解析方法において、乱数を用いて前記半導体集積回路のシミュレーションを行うことを特徴とする。

【0039】

以上により、請求項1～30記載の位置依存変動量計算方法、並びに回路解析方法によれば、レイアウト位置情報に基づいて半導体集積回路内の各要素の配置位置に依存して変動する特性パラメータや形状パラメータを確実に見積もることができると共に、ランダムなばらつきを持たせることなく回路特性をシミュレーションすることが可能となる。

10

【発明の効果】

【0040】

以上説明したように、請求項1～30記載の位置依存変動量計算方法並びに回路解析方法によれば、半導体集積回路のレイアウト位置情報に基づいた回路特性のシミュレーションを行うことが可能となる。

【0041】

また、意図的にランダムなばらつきを持たせることが不要であるので、計算処理時間を従来よりも抑制しながら効率的に回路シミュレーションを行うことが可能となる。

【発明を実施するための最良の形態】

【0042】

20

以下、本発明の実施形態の位置依存変動量計算方法並びに回路解析方法を図面に基づいて説明する。

【0043】

<位置依存変動量計算方法>

(第1の実施形態)

図1は、本発明の実施形態の半導体集積回路内の各要素のレイアウト位置情報を示した図である。

【0044】

同図において、101は半導体集積回路のレイアウトであり、前記半導体集積回路を構成する各要素のウェハ又はチップ上でのレイアウト位置情報を示しており、前記要素として3つのトランジスタ10、11、12が配置されている。前記各トランジスタ10～12の配置位置を直角座標系の位置座標で表すと、前記トランジスタ10の位置座標(x10、y10)は(0、0)、前記トランジスタ11の位置座標(x11、y11)は(0、4)、前記トランジスタ12の位置座標(x12、y12)は(4、4)である。また、前記3つのトランジスタ10～12は配置位置以外は全く同条件であり、それら形状も同一である。

30

【0045】

尚、座標系の原点及び座標軸の方向は乱数によって決定される。図1においては、原点が前記トランジスタ10の配置位置と同じ位置に設定され、x軸は図中横方向、y軸は同縦方向に設定されている。

40

【0046】

また、半導体集積回路を構成する各要素は、トランジスタといった素子のみでなく、配線や部分回路であっても良い。

【0047】

図2は、本発明の実施形態の位置依存変動量計算処理フローを示した図である。

【0048】

同図において、図1のようなレイアウト位置情報203を入力として、位置トポロジ計算ステップS211において、半導体集積回路を構成する各々の要素の位置トポロジを計算し、前記各々の要素の位置トポロジから成る位置トポロジ情報212を算出する。その後、前記位置トポロジ情報212を入力として、位置トポロジ依存変動量計算ステップS

50

213において、前記各々の要素の位置依存変動量を計算し、前記各々の要素の位置依存変動量から成る位置依存変動量情報204を算出する。

【0049】

前記位置トポロジ計算ステップS211及び前記位置トポロジ依存変動量計算ステップS213は位置依存変動量計算ステップS201であり、前記レイアウト位置情報203を入力として前記位置依存変動量情報204を算出する。前記位置依存変動量計算ステップS201において、コンピュータを用いて、各要素の位置座標(x、y)から、その配置位置に依存して変動する特性パラメータや形状パラメータの変動係数である位置トポロジZ、及びプロセスばらつきによる特性パラメータや形状パラメータの変動量である位置依存変動量Vを計算する。前記位置トポロジZを計算する位置トポロジ計算式や前記位置依存変動量Vを計算する位置依存変動量計算式は、以下の数式1及び数式2によってモデル化される(a、b、c、 α 、 β は定数)。前記位置トポロジ計算式や位置依存変動量計算式は予め所定の計算式に設定される。

10

【0050】

【数1】

$$Z=f1(x,y)=ax+by+c$$

【0051】

【数2】

$$V(Z)=\alpha+\beta Z$$

20

【0052】

上記の数式1や数式2は一次関数であるが、二次関数等の任意の関数で定義しても良い。

【0053】

また、前記トランジスタ10～12の配置位置を直角座標系の位置座標で表したが、「 $x=r\cdot\cos\theta$ 」、「 $y=r\cdot\sin\theta$ 」として、極座標系の回転座標(r、 θ)で表すこともできる。前記トランジスタ10～12を回転座標(r、 θ)で表すと、図1に示すように、前記トランジスタ10の回転座標(r10、 θ 10)は(0、0)、前記トランジスタ11の回転座標(r11、 θ 11)は(4、 $\pi/2$)、前記トランジスタ12の回転座標(r12、 θ 12)は(5.6、 $\pi/4$)となる。

30

【0054】

ここで、各要素の回転座標(r、 θ)から位置トポロジZを計算する位置トポロジ計算式は、以下の数式3でモデル化される(d、eは定数)。

【0055】

【数3】

$$Z=f2(r,\theta)=dr\cos(\theta-e)$$

【0056】

以下の表1及び表2に、位置依存変動量Vの計算対象となる形状パラメータ及び特性パラメータの例を示す。

40

【0057】

【表 1】

要素	形状パラメータ
トランジスタ	酸化膜厚、ゲート長、ゲート幅、等
抵抗素子	抵抗幅、抵抗長、抵抗層膜厚、等
容量素子	幅、長さ、容量層膜厚、等
配線	配線幅、配線膜厚、配線分離幅、等

10

【 0 0 5 8 】

【表 2】

要素	特性パラメータ
トランジスタ	閾値電圧、gm、ドレイン電流、等
抵抗素子	抵抗値、寄生容量、寄生抵抗、等
容量素子	容量値、寄生容量、寄生抵抗、等
配線	配線抵抗、配線容量、等
部分回路	遅延、消費電力、電流量、等

20

【 0 0 5 9 】

30

本発明の第 1 の実施形態の位置依存変動量計算方法を以下に説明する。

【 0 0 6 0 】

本実施形態では、トランジスタのゲート幅 W の設計寸法と仕上がり寸法との寸法差（以下、ゲート幅寸法差と言う） W を計算する。ここでは、前記ゲート幅寸法差 W が位置依存変動量である。

【 0 0 6 1 】

まず、位置トポロジ計算ステップ S 2 1 1 において、トランジスタの位置トポロジ Z が以下の数式 4 で定義される場合、図 1 のトランジスタ 1 1 の位置トポロジ Z_{11} 及びトランジスタ 1 2 の位置トポロジ Z_{12} は以下の数式 5 及び数式 6 のように計算される。

【 0 0 6 2 】

40

【数 4】

$$Z = r \cos(\theta - \pi/4)$$

【 0 0 6 3 】

【数 5】

$$Z_{11} = r \cos(\theta - \pi/4) = 4.0 \cos(\pi/2 - \pi/4) = 2.8$$

【 0 0 6 4 】

【数6】

$$Z_{12} = r \cos(\theta - \pi/4) = 5.6 \cos(\pi/4 - \pi/4) = 5.6$$

【0065】

その後、位置トポロジ依存変動量計算ステップS213において、位置依存変動量である前記ゲート幅寸法差 W が位置トポロジ Z を用いて以下の数式7で定義される場合、図1のトランジスタ11のゲート幅寸法差 W_{11} 及びトランジスタ12のゲート幅寸法差 W_{12} は以下の数式8及び数式9のように計算される。

【0066】

【数7】

$$\Delta W = 0.3 + 0.01 Z$$

【0067】

【数8】

$$\Delta W_{11} = 0.3 + 0.01 Z_{11} = 0.3 + 0.01 \cdot 2.8 = 0.328$$

【0068】

【数9】

$$\Delta W_{12} = 0.3 + 0.01 Z_{12} = 0.3 + 0.01 \cdot 5.6 = 0.356$$

【0069】

以上の説明では、上記数式7の位置依存変動量計算式を用いたが、プロセスばらつきによって特性パラメータや形状パラメータがランダムにばらつく場合には、ばらつきの中心値や平均値を位置依存変動量として用いることも可能である。また、半導体集積回路の要素の配置位置によってばらつきの中心が変動する場合には、その中心の位置依存性を計算することができる。さらに、要素の配置位置に依存して、特性パラメータや形状パラメータのばらつき量が変動する場合には、そのばらつき量を位置トポロジで表すことも可能である。ここで、ばらつき量は分散や標準偏差で表すことが可能である。

【0070】

また、半導体集積回路内の要素のばらつきに、位置に依存する成分及び位置に依存しない成分（ランダムにばらつく成分）の両方がある場合には、位置に依存する成分のみを位置依存変動量で表すことが可能である。

【0071】

さらに、上記数式4の位置トポロジ計算式において、乱数を加味して位置トポロジ Z を計算しても良い。

【0072】

ここで、半導体集積回路を構成する要素配置の位置は、位置座標 (x, y) 用いた方が任意の位置トポロジ計算式での表現が可能であるが、位置トポロジ計算式が特定の回転方向を持つ場合には回転座標 (r, θ) を用いた方が容易に表現可能である。

【0073】

(第2の実施形態)

本発明の第2の実施形態の位置依存変動量計算方法を以下に説明する。

【0074】

本実施形態では、トランジスタのゲート幅 W のゲート幅寸法差 W が、平均 μ_w 、標準偏差 w の分布特性を持つ場合について説明する。ここでは、前記ゲート幅寸法差 W のプロセスばらつきの平均 μ_w 及び標準偏差 w が位置依存変動量である。

【0075】

トランジスタのゲート寸法差 W のプロセスばらつきの平均 μ_w 及び標準偏差 w が、位置トポロジ Z_m 及び位置トポロジ Z_s を用いて、以下の数式10及び数式11によって

10

20

30

40

50

算出され、前記位置トポロジ計算 Z_m 、 Z_s が以下の数式 1 2 及び数式 1 3 で定義されている。

【 0 0 7 6 】
【 数 1 0 】

$$\mu w = 0.3 + 0.01 Z_m$$

【 0 0 7 7 】
【 数 1 1 】

$$\sigma w = 0.01 + 0.01 Z_s$$

10

【 0 0 7 8 】
【 数 1 2 】

$$Z_m = r \cos(\theta - \pi/4)$$

【 0 0 7 9 】
【 数 1 3 】

$$Z_s = r \cos(\theta - \pi/2)$$

【 0 0 8 0 】

図 2 の位置トポロジ計算ステップ S 2 1 1 において、図 1 に示したレイアウト位置情報 2 0 3 のトランジスタ 1 1 の回転座標より、前記トランジスタ 1 1 の位置トポロジ情報 2 1 2 である前記平均 μw の位置トポロジ Z_m 及び、前記標準偏差 w の位置トポロジ Z_s が以下の数式 1 4 及び数式 1 5 によって計算される。

20

【 0 0 8 1 】
【 数 1 4 】

$$Z_m = r \cos(\theta - \pi/4) = 4.0 \cos(\pi/2 - \pi/4) = 2.8$$

【 0 0 8 2 】
【 数 1 5 】

$$Z_s = r \cos(\theta - \pi/2) = 4.0 \cos(\pi/2 - \pi/2) = 4.0$$

30

【 0 0 8 3 】

その後、位置トポロジ依存変動量計算ステップ S 2 1 3 において、前記位置トポロジ Z_m 及び位置トポロジ Z_s を用いて、トランジスタ 1 1 の位置依存変動量情報 2 0 4、すなわち前記ゲート幅寸法差 W のプロセスばらつきの平均 μw 及び標準偏差 w が以下の数式 1 6 及び数式 1 7 によって計算される。

【 0 0 8 4 】
【 数 1 6 】

$$\mu w = 0.3 + 0.01 Z_m = 0.3 + 0.01 \cdot 2.8 = 0.328$$

40

【 0 0 8 5 】
【 数 1 7 】

$$\sigma w = 0.01 + 0.01 Z_s = 0.01 + 0.01 \cdot 4.0 = 0.05$$

【 0 0 8 6 】

本実施形態では、上記の数式 1 6 及び数式 1 7 に示すように、トランジスタ 1 1 のゲート幅寸法差 W は、平均が「0.328」、標準偏差が「0.05」のばらつきの分布特性を持つ分布関数で表される。したがって、半導体集積回路の要素の配置位置に依存して変動する形状パラメータや特性パラメータのプロセスばらつきの中心値やばらつき量を見積もることが可能である。

50

【 0 0 8 7 】

(第 3 の 実 施 形 態)

本発明の第3の実施形態の位置依存変動量計算方法を以下に説明する。

【 0 0 8 8 】

ここでは、上記の数式3において「 $d = 1$ 」となって、半導体集積回路の2つのトランジスタ間の距離に応じた位置依存変動量の最大値はわかっているが、位置依存変動の方向を表す「 e 」の値が不明である場合において、図1の2つのトランジスタ11、12のゲート幅寸法差 W_{11} 、 W_{12} の変動量差の最大値 $\max(W_{11} - W_{12})$ を計算する方法、すなわち、半導体集積回路の回路特性のワーストケースでの位置トポロジ計算及び位置依存変動量計算について説明する。

10

【 0 0 8 9 】

トランジスタのゲート幅寸法差 W が単位距離当たり「 0.01 」の変動量を有するとき、位置トポロジ Z を以下の数式18、位置依存変動量情報204であるトランジスタのゲート幅寸法差 W を以下の数式19で定義する。

【 0 0 9 0 】

【 数 1 8 】

$$Z = r \cos(\theta - e)$$

【 0 0 9 1 】

【 数 1 9 】

$$\Delta W = 0.3 + 0.01 Z = 0.3 + 0.01 r \cos(\theta - e)$$

20

【 0 0 9 2 】

上記の数式18及び数式19によって、トランジスタ11のゲート幅寸法差 W_{11} 及びトランジスタ12のゲート幅寸法差 W_{12} は以下の数式20及び数式21で計算できる。

【 0 0 9 3 】

【 数 2 0 】

$$\begin{aligned} \Delta W_{11} &= 0.3 + 0.01 r_{11} \cos(\theta_{11} - e) \\ &= 0.3 + 0.04 \cos(\pi/2 - e) \end{aligned}$$

30

【 0 0 9 4 】

【 数 2 1 】

$$\begin{aligned} \Delta W_{12} &= 0.3 + 0.01 r_{12} \cos(\theta_{12} - e) \\ &= 0.3 + 0.056 \cos(\pi/4 - e) \end{aligned}$$

【 0 0 9 5 】

上記の数式20及び数式21より、前記2つのトランジスタ11、12のゲート幅寸法差 W_{11} 、 W_{12} の変動量差 $W_{11} - W_{12}$ は三角関数の加法定理を用いることで以下の数式22で表すことができる。

40

【 0 0 9 6 】

【 数 2 2 】

$$\begin{aligned} \Delta W_{11} - \Delta W_{12} &= 0.04 \cos(\pi/2 - e) - 0.056 \cos(\pi/4 - e) \\ &= -0.04 \cos(e) \end{aligned}$$

【 0 0 9 7 】

上記の数式22において、前記変動量差 $W_{11} - W_{12}$ の最大値 $\max(W_{11} - W_{12})$

50

- W_{12}) は、以下の数式 23 に示すように「 $e = 0$ 」又は「 $e =$ 」とすることで算出できる。

【0098】

【数23】

$$\max(\Delta W_{11} - \Delta W_{12}) = |-0.04 \cos(e)| = 0.04$$

【0099】

本実施形態を図2の位置依存変動量計算処理フローに対応づけると、まず、位置トポロジ計算ステップS211において、レイアウト位置情報203より、回路特性のワーストケースとなる位置トポロジ計算式、すなわち、「 $e = 0$ 」又は「 $e =$ 」とした数式18を用いて、トランジスタ11及びトランジスタ12の位置トポロジ Z_{11} 、 Z_{12} から成る位置トポロジ情報212を算出する。

10

【0100】

次に、位置トポロジ依存変動量計算ステップS213において、前記位置トポロジ情報212を入力として、上記数式20及び数式21を計算し、回路特性のワーストケースとなる位置依存変動量情報204を算出する。その後、上記数式23を用いて、前記2つのトランジスタ11、12のゲート幅寸法差の変動量差の最大値 $\max(W_{11} - W_{12})$ を求める。

【0101】

20

上記のように、本実施形態によれば、位置依存変動量の単位距離あたりの最大変動量が既知である場合、変動の傾斜方向を指定することにより、半導体集積回路内の2つの要素の変動量差の最大値を計算することが可能となる。

【0102】

(第4の実施形態)

本発明の第4の実施形態の位置依存変動量計算方法を以下に示す。

【0103】

図3及び図4は、本発明の第4の実施形態における半導体集積回路内の位置トポロジを示したレイアウト図であり、図中の濃色方向に配置されるに従って位置トポロジの値は大きくなる。

30

【0104】

ここでは、半導体集積回路内の位置トポロジが周期性を持つ場合の位置依存変動量の計算について説明する。

【0105】

- 位置座標 -

位置座標系において、図3に示すように直交座標系の x 軸方向に x_0 、 y 軸方向に y_0 の部分レイアウトの単位で位置トポロジが周期性を持つ場合には、上記の数式1の位置トポロジ計算式は以下の数式24で表すことができる。ここで、 s を t で割った余りを「 $s \bmod t$ 」で表すものとする。

【0106】

40

【数24】

$$Z = a(x \bmod x_0) + b(y \bmod y_0) + c$$

【0107】

図2の位置トポロジ計算ステップS211において、上記の数式24を用いて各要素の位置トポロジを算出する。以後の位置依存変動量の計算方法については、上記の実施形態と同様であるので、その説明は省略する。

【0108】

- 回転座標 -

50

回転座標系において、図4に示すように極座標系の回転角度 θ_0 の部分レイアウトの単位で位置トポロジが周期性を持つ場合には、上記の数式3の位置トポロジ計算式は、以下の数式25で表すことができる。

【0109】

【数25】

$$Z = d r \cos((\theta \bmod \theta_0) - e)$$

【0110】

図2の位置トポロジ計算ステップS211において、上記の数式25を用いて各要素の位置トポロジを算出する。以後の位置依存変動量の計算方法については、上記の実施形態と同様であるので、その説明は省略する。

10

【0111】

ここで、図3や図4に示した位置トポロジの周期性を表す値 x_0 、 y_0 、 θ_0 は、半導体集積回路の設計者が任意に指定しても良く、また、乱数等を用いて計算機で自動的に生成しても良い。

【0112】

さらに、イオン注入、露光、研磨、洗浄、堆積等の半導体集積回路の製造プロセス工程において、それらの工程が行われる際の領域や回転角度などのプロセス情報に基づいて、部分レイアウトの形状や周期性の周期条件などを決定することも可能である。前記プロセス情報としては、「ウェハ又はチップの部分ごとに繰り返し任意の製造工程を行うという情報」、「回転注入等、同じ工程を複数方向から行うという情報」などが挙げられる。

20

【0113】

加えて、製造した半導体集積回路に対して様々な計測を行った実測値を用いて周期条件等を決定することも可能である。

【0114】

従って、本実施形態では、半導体集積回路の製造プロセス工程の情報や実測情報に基づいて、半導体集積回路内の素子や配線の位置依存変動量の周期性を定義することで、効率よく位置依存変動量を見積もることが可能である。

【0115】

(第5の実施形態)

本発明の第5の実施形態の位置依存変動量計算方法を以下に説明する。

【0116】

本実施形態では、位置依存変動量情報204の算出において製造プロセス情報を反映させる。

【0117】

具体的には、イオン注入、露光、研磨、洗浄、堆積等の工程での製造プロセス情報や、特性変動の因果関係は不明であっても半導体集積回路を実測した際に得られた製造プロセス情報を用いることが可能である。前記製造プロセス情報として、「注入工程時の注入方向等の製造プロセスの処理が行われる方向」、「注入工程等の処理が行われる中心点から距離に依存して変動する特性パラメータや形状パラメータ」、「チップ周辺等において変動する特性パラメータや形状パラメータの分布」、「実測による任意の分布関数」が挙げられる。

40

【0118】

従って、本実施形態によれば、製造プロセス工程の情報や実測情報に基づいて、半導体集積回路を構成する素子や配線の配置位置に依存して変動する位置依存変動量を見積もることが可能である。

【0119】

<回路解析方法>

(第6の実施形態)

50

本発明の第 6 の実施形態の回路解析方法を以下に説明する。

【 0 1 2 0 】

図 5 は、本発明の第 6 の実施形態の回路解析処理フローを示した図である。

【 0 1 2 1 】

同図において、位置依存変動量計算ステップ S 5 0 1 では、レイアウト位置情報 5 0 3 を入力として、設計対象の半導体集積回路を構成する各要素の配置位置に依存して変動する特性パラメータや形状パラメータの変動量である位置依存変動量情報 5 0 4 を算出する。前記位置依存変動量情報 5 0 4 は、前記半導体集積回路の回路解析に必要な形状パラメータや特性パラメータの位置依存変動量から成る。

【 0 1 2 2 】

ここで、上記の位置依存変動量計算方法によって、位置依存変動量情報 5 0 4 として、トランジスタ 1 1、1 2 の各々のゲート幅寸法差 $W 1 1$ 、 $W 1 2$ の値が「 $W 1 1 = 0.328$ 」、「 $W 1 2 = 0.356$ 」、閾値電圧の減少量 $V t 1 1$ 、 $V t 1 2$ の値が「 $V t 1 1 = 0.10$ 」、「 $V t 1 2 = 0.12$ 」と算出されたとする。

【 0 1 2 3 】

シミュレーションステップ S 5 0 2 では、回路情報 5 0 5 に対してシミュレーションを行うが、このときに前記回路情報 5 0 5 のトランジスタ 1 1、1 2 のゲート幅 $W 1 1$ 、 $W 1 2$ 及び、閾値電圧 $V t$ に対して、上記位置依存変動量 $W 1 1$ 、 $W 1 2$ 、 $V t 1 1$ 、 $V t 1 2$ の値だけ補正してシミュレーションを行い、シミュレーション結果 5 0 6 を得る。

【 0 1 2 4 】

具体的には、前記回路情報 5 0 5 において、トランジスタ 1 1、1 2 のゲート幅 W が「 $W = 3.0$ 」であり、閾値電圧 $V t$ が「 $V t = 0.70$ 」であった場合、シミュレーションステップ S 5 0 2 において、前記ゲート幅 $W 1 1$ 、 $W 1 2$ 及び前記閾値電圧 $V t 1 1$ 、 $V t 1 2$ は以下の数式 2 6 ~ 数式 2 9 で算出した値が用いられる。

【 0 1 2 5 】

【数 2 6】

$$W11 = W - \Delta W11 = 3.0 - 0.328 = 2.672$$

【 0 1 2 6 】

【数 2 7】

$$W12 = W - \Delta W12 = 3.0 - 0.356 = 2.644$$

【 0 1 2 7 】

【数 2 8】

$$Vt11 = Vt - \Delta Vt11 = 0.70 - 0.10 = 0.60$$

【 0 1 2 8 】

【数 2 9】

$$Vt12 = Vt - \Delta Vt12 = 0.70 - 0.12 = 0.58$$

【 0 1 2 9 】

上記の数式 2 6 ~ 数式 2 9 で算出した値は、位置依存変動量を考慮した形状パラメータや特性パラメータであり、これらの値を用いてシミュレーションを行うことによって、半導体集積回路を構成する各要素の配置位置に依存して変動する変動量を反映した回路解析が可能となる。

【 0 1 3 0 】

尚、本実施形態において、位置依存変動量が予測可能である場合には、所定の予測値を用いてシミュレーションを行っても良い。また、上記の位置依存変動量計算方法以外の計算方法によって位置依存変動量を計算し、その値を用いてシミュレーションを行っても良

10

20

30

40

50

いのは勿論である。

【 0 1 3 1 】

(第 7 の実施形態)

本発明の第 7 の実施形態の回路解析方法を以下に説明する。

【 0 1 3 2 】

本実施形態では、半導体集積回路を構成する要素のプロセスばらつきに、前記要素の配置位置に依存する成分と配置位置に依存しない成分とがある場合の回路解析方法について説明する。

【 0 1 3 3 】

ここで、トランジスタのゲート幅 W のゲート幅寸法差 W のプロセスばらつきの中心値がトランジスタの配置位置に依存してする成分であり、前記中心値が上記の数式 4 及び数式 7 によって計算され、前記トランジスタのゲート幅 W のプロセスばらつきの標準偏差が配置位置に依存しない成分であり、その値が「 0 . 1 」と算出されたとする。

10

【 0 1 3 4 】

図 6 は、本発明の第 7 の実施形態の回路解析処理フローを示した図である。

【 0 1 3 5 】

同図において、位置依存変動量計算ステップ S 6 0 1 では、レイアウト位置情報 6 0 3 を入力として、上記の数式 2 6 及び数式 2 7 のように計算を行い、位置依存変動量 6 0 4 を算出する。本実施形態において、前記位置依存変動量 6 0 4 はトランジスタ 1 1、1 2 のゲート幅のプロセスばらつきの中心値 $W 1 1$ 、 $W 1 2$ である。

20

【 0 1 3 6 】

その後、シミュレーションステップ S 6 0 2 において、回路情報 6 0 5 に対してシミュレーションを行うが、このときに乱数発生ステップ S 6 0 7 において、前記トランジスタ 1 1 のゲート幅に対する、平均「 2 . 6 7 2 」、標準偏差「 0 . 1 」の分布特性を持つ乱数群、及び前記トランジスタ 1 2 のゲート幅に対する、平均「 2 . 6 4 4 」、標準偏差「 0 . 1 」の分布特性を持つ乱数群から成る乱数情報 6 0 8 発生させ、前記乱数情報 6 0 8 を用いてモンテカルロシミュレーションを行なう。

【 0 1 3 7 】

本実施形態の回路解析方法では、設計対象の半導体集積回路を構成する要素の配置位置に依存する成分と、配置位置に依存しないランダム成分とを考慮したモンテカルロシミュレーションを行うことが可能となる。

30

【 0 1 3 8 】

(第 8 の実施形態)

本発明の第 8 の実施形態の回路解析方法を以下に説明する。

【 0 1 3 9 】

本実施形態では、半導体集積回路を構成する要素のプロセスばらつきの中心値の位置依存性のワーストケースが予測できる場合に、前記要素のプロセスばらつきに、配置位置に依存する成分と配置位置に依存しない成分とがあるときの回路解析方法について説明する。

【 0 1 4 0 】

ここで、図 1 の 2 つのトランジスタ 1 1、1 2 のゲート幅 W のゲート幅寸法差 $W 1 1$ 、 $W 1 2$ の各々のばらつき量は一定であるが、ばらつきの中心値 $W 1 1$ 、 $W 1 2$ がトランジスタの位置に依存して変動するものとする。前記 2 つのトランジスタ 1 1、1 2 のゲート幅 W のばらつきの中心値 $W 1 1$ 、 $W 1 2$ の差の最大値は、前記 2 つのトランジスタ間の距離を x とすると以下の数式 3 0 で表される。また、ばらつきの標準偏差は共に「 0 . 1 」とする。

40

【 0 1 4 1 】

【数 3 0】

$$W11-W12 = 0.01 x$$

50

【 0 1 4 2 】

このとき、各トランジスタ 1 1、1 2 のゲート幅寸法差 W_{11} 、 W_{12} の位置トポロジ計算式を上記の数式 1 8 及び数式 1 9 を用いて表すことにより、プロセスばらつきの位置依存性を表現することができる。上記の数式 2 3 より、「 $e = 0$ 」又は「 $e =$ 」のときにゲート幅寸法差の差 $W_{11} - W_{12}$ の値が最大となるので、ここでは、「 $e = 0$ 」として、トランジスタ 1 1、1 2 のばらつきの中心値 W_{11} 、 W_{12} が最も離れた場合をワーストケースとして回路解析を行う。

【 0 1 4 3 】

図 6 において、位置依存変動量計算ステップ S 6 0 1 では、レイアウト位置情報 6 0 3 を入力として、以下の数式 3 1 ~ 数式 3 7 のように計算を行い、位置依存変動量情報 6 0 4 を算出する。ここで、前記位置依存変動量情報 6 0 4 は、トランジスタ 1 1、1 2 のゲート幅寸法差 W_{11} 、 W_{12} 及びゲート幅のばらつきの中心値 W_{11} 、 W_{12} である。

10

【 0 1 4 4 】

【数 3 1】

$$Z = r \cos(\theta)$$

【 0 1 4 5 】

【数 3 2】

$$Z_{11} = 4 \cos(\pi/2) = 0.0$$

20

【 0 1 4 6 】

【数 3 3】

$$Z_{12} = 5.6 \cos(\pi/4) = 4.0$$

【 0 1 4 7 】

【数 3 4】

$$\triangle W_{11} = 0.3 + 0.01 Z_{11} = 0.3 + 0.01 \cdot (0.0) = 0.3$$

【 0 1 4 8 】

【数 3 5】

$$\triangle W_{12} = 0.3 + 0.01 Z_{12} = 0.3 + 0.01 \cdot (4.0) = 0.34$$

30

【 0 1 4 9 】

【数 3 6】

$$W_{11} = W - \triangle W_{11} = 3.0 - 0.3 = 2.70$$

【 0 1 5 0 】

【数 3 7】

$$W_{12} = W - \triangle W_{12} = 3.0 - 0.34 = 2.66$$

40

【 0 1 5 1 】

その後、シミュレーションステップ S 6 0 2 において、回路情報 6 0 5 に対してシミュレーションを行なうが、このときに乱数発生ステップ S 6 0 7 において、前記トランジスタ 1 1 のゲート幅に対する、平均「2.70」、標準偏差「0.1」の分布を持つ乱数群、及び前記トランジスタ 1 2 のゲート幅に対する、平均「2.66」、標準偏差「0.1」の乱数群から成る乱数情報 6 0 8 を発生させ、前記乱数情報 6 0 8 を用いてモンテカルロシミュレーションを行う。

【 0 1 5 2 】

本実施形態の回路解析方法では、複数の要素の位置に依存して変動する特性と、位置に

50

依存しないランダム成分を考慮したモンテカルロシミュレーションを行うことが可能となる。

【0153】

(第9の実施形態)

本発明の第9の実施形態の回路解析方法を以下に説明する。

【0154】

本実施形態では、上記の第8の実施形態において、上記数式18及び数式19での回路特性のワーストケース、すなわち「 $e = 0$ 」の場合に限らず、「 $0 < e < 2$ 」の範囲内で値を変化させて回路解析を行う。

【0155】

図7は、本発明の第9の実施形態の回路解析処理フローを示した図である。

【0156】

同図において、位置依存変動量計算ステップS701では、レイアウト位置情報703を入力として、上記の数式20及び数式21並びに数式38及び数式39に基づいて、位置依存変動量情報704の計算を行う。ここで、前記位置依存変動量情報704は、トランジスタ11、12のゲート幅寸法差 $W11$ 、 $W12$ 及びゲート幅のばらつきの中心値 $W11$ 、 $W12$ である。前記ゲート幅寸法差 $W11$ 、 $W12$ の計算において、 e の値は「 $0 < e < 2$ 」の範囲内の値を取るが、この値は乱数発生ステップS707において生成した乱数情報708によって与えられる。

【0157】

【数38】

$$W11 = W - \Delta W11 = 2.7 - 0.04 \cos(\pi/2 - e)$$

【0158】

【数39】

$$W12 = W - \Delta W12 = 2.7 - 0.056 \cos(\pi/4 - e)$$

【0159】

その後、シミュレーションステップS702において、回路情報705に基づいてシミュレーションを行うが、このときに乱数発生ステップS707において、前記トランジスタ11のゲート幅に対する、平均「2.74」、標準偏差「0.1」の分布を持つ乱数群、及び前記トランジスタ12のゲート幅に対する、平均「2.70」、標準偏差「0.1」の乱数群から成る乱数情報608を発生させ、前記乱数情報608を用いてモンテカルロシミュレーションを行う。

【0160】

ここで例えば数式38及び数式39において、 e の値を $e = \{0, \pi/2, \pi, 3\pi/2\}$ と変化させた場合、前記ゲート幅寸法差 $W11$ 、 $W12$ は、 $W11 = \{0, -0.04, 0, 0.04\}$ 、 $W12 = \{0.04, 0.04, -0.04, -0.04\}$ となるので、 $W11 = \{2.7, 2.74, 2.7, 2.66\}$ 、 $W12 = \{2.66, 2.66, 2.74, 2.74\}$ と計算される。

【0161】

本実施形態の回路解析方法では、複数の要素の位置に依存して変動する特性と、位置に依存しないランダム成分を考慮したモンテカルロシミュレーションを行うことが可能となる。

【産業上の利用可能性】

【0162】

以上説明したように、本発明は、半導体集積回路のレイアウト位置情報を参照して、回路特性のシミュレーションを行うことができるので、微細化プロセスの半導体集積回路の特性検証等に有用である。

【図面の簡単な説明】

10

20

30

40

50

【 0 1 6 3 】

【図 1】本発明の実施形態の半導体集積回路のレイアウトを示すレイアウト図である。

【図 2】本発明の位置依存変動量計算方法の計算処理フローを示すフロー図である。

【図 3】本発明の第 4 の実施形態における半導体集積回路内の位置トポロジを示したレイアウト図である。

【図 4】同実施形態の他のレイアウト図である。

【図 5】本発明の第 6 の実施形態の回路解析方法の解析処理フローを示す図である。

【図 6】本発明の第 7 及び第 8 の実施形態の回路解析方法の解析処理フローを示す図である。

【図 7】本発明の第 9 の実施形態の回路解析方法の解析処理フローを示す図である。

10

【符号の説明】

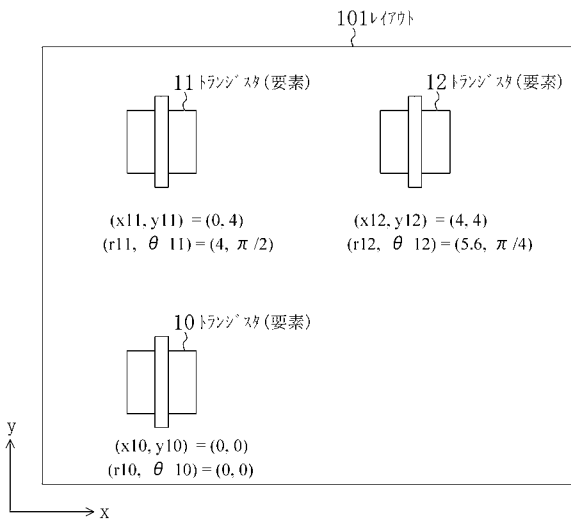
【 0 1 6 4 】

- 1 0、1 1、1 2
- 2 0 3、5 0 3、6 0 3、7 0 3
- 2 0 4、5 0 4、6 0 4、7 0 4
- 2 1 2
- S 2 0 1、S 5 0 1、S 6 0 1、S 7 0 1
- S 2 1 1
- S 2 1 3
- 5 0 5、6 0 5、7 0 5
- 5 0 6、6 0 6、7 0 6
- 6 0 8、7 0 8
- S 5 0 2、S 6 0 2、S 7 0 2
- S 6 0 7、S 7 0 7

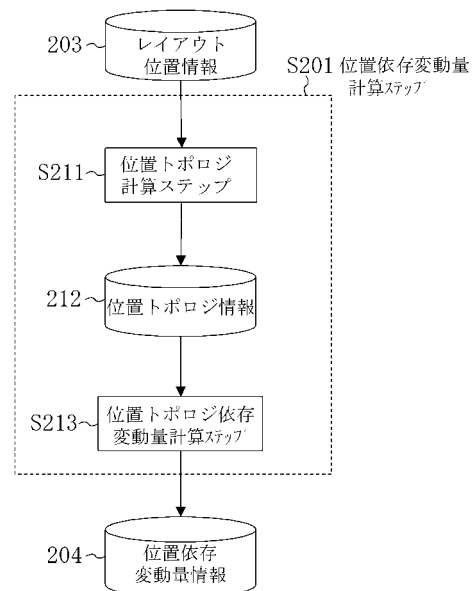
- トランジスタ（要素）
- レイアウト位置情報
- 位置依存変動量情報
- 位置トポロジ情報
- 位置依存変動量計算ステップ
- 位置トポロジ計算ステップ
- 位置トポロジ依存変動量計算ステップ
- 回路情報
- シミュレーション結果
- 乱数情報
- シミュレーションステップ
- 乱数発生ステップ

20

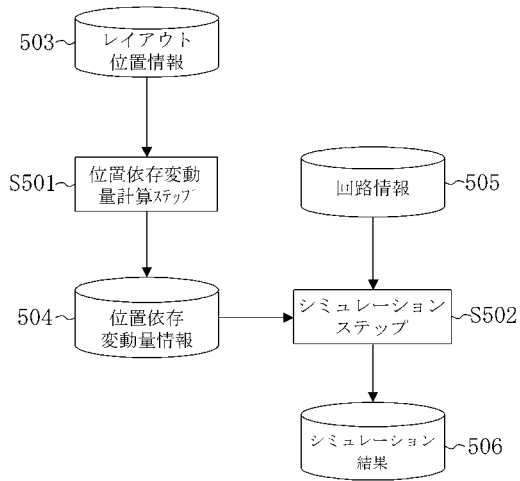
【図 1】



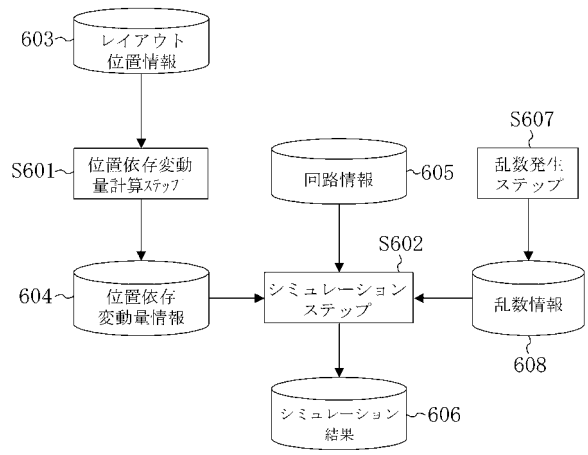
【図 2】



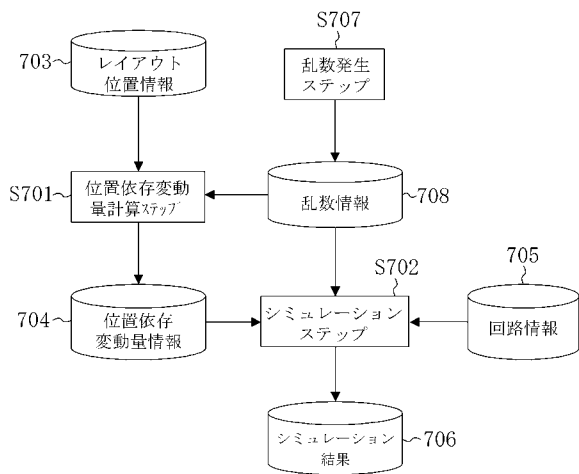
【図5】



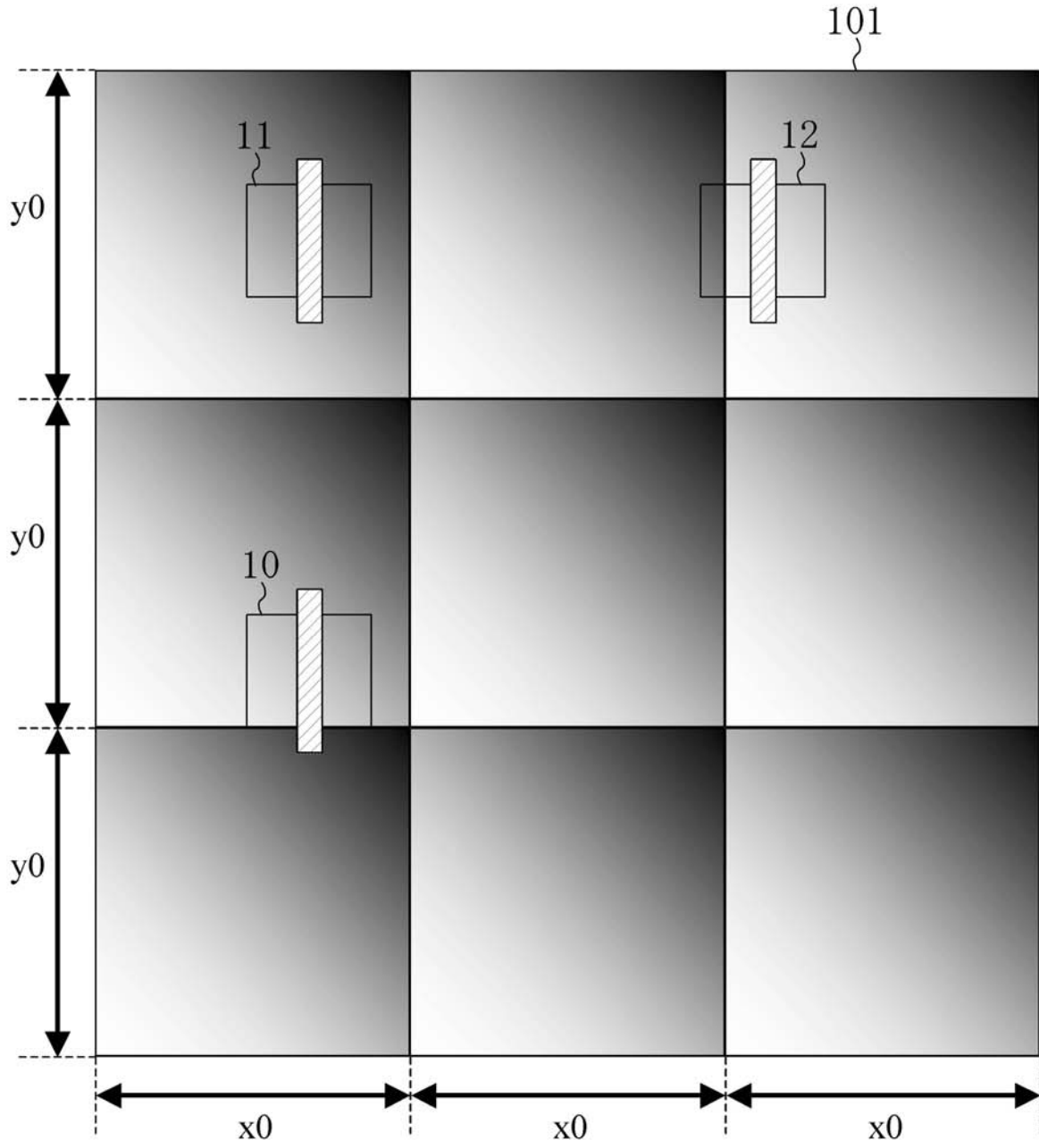
【図6】



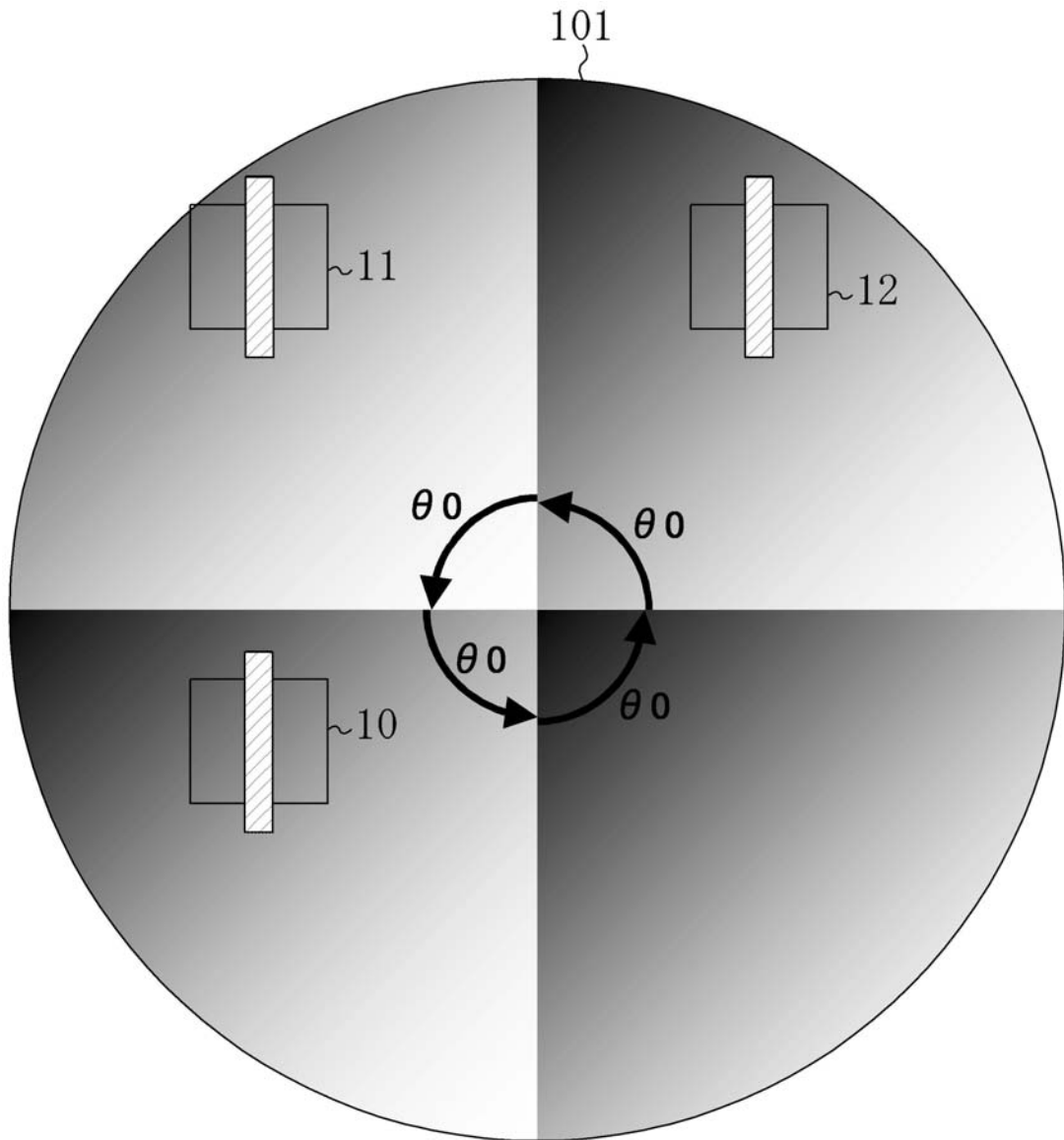
【図7】



【 図 3 】



【 図 4 】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 田中 正和
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 平野 崇

- (56)参考文献 特開2003-196341(JP,A)
特開2001-350810(JP,A)
K. Okada, et al, Layout Dependent Matching Analysis of CMOS Circuits, IEICE transactions on fundamentals of electronics, communications and computer sciences, 社団法人電子情報通信学会, 1995年 2月25日, E82-A(2), p. 348-355

- (58)調査した分野(Int.Cl., DB名)
G06F 17/50
Cinii
JSTPlus(JDreamII)
IEEE Xplore