

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年4月6日(2006.4.6)

【公開番号】特開2002-134632(P2002-134632A)

【公開日】平成14年5月10日(2002.5.10)

【出願番号】特願2000-320572(P2000-320572)

【国際特許分類】

H 01 L	27/11	(2006.01)
H 01 L	21/8244	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	21/3065	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/336	(2006.01)

【F I】

H 01 L	27/10	3 8 1
H 01 L	21/28	A
H 01 L	21/28	3 0 1 S
H 01 L	21/302	1 0 2
H 01 L	29/78	3 0 1 P

【手続補正書】

【提出日】平成18年1月23日(2006.1.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜上に多結晶シリコン膜を形成する工程、

(c) 前記多結晶シリコン膜の両側の半導体基板に不純物を注入することにより、第1半導体領域を形成する工程、

(d) 前記多結晶シリコン膜の側壁に第2絶縁膜を形成する工程、

(e) 前記第2絶縁膜の両側の半導体基板に不純物を注入することにより、前記第1半導体領域よりも不純物濃度の高い第2半導体領域を形成する工程、

(f) スパッタエッチングによって、前記第2半導体領域の表面から2.5nm以下の領域をエッチングする工程、

(g) 前記第2半導体領域上に金属膜を形成する工程、

(h) 前記金属膜に熱処理を施し、金属シリサイド層を形成する工程、

(i) 未反応の前記金属膜を除去する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】前記金属シリサイド層は、前記多結晶シリコン膜上および前記第2半導体領域上に形成されることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】前記金属シリサイド層は、前記第1半導体領域から離れて形成されていることを特徴とする請求項2記載の半導体集積回路装置の製造方法。

【請求項4】前記金属シリサイド層と、前記第1半導体領域と前記半導体基板の接合面との間のリーク電流を防止することを特徴とする請求項3記載の半導体集積回路装置

の製造方法。

【請求項 5】 前記第2半導体領域と前記半導体基板の接合面は、前記第1半導体領域と前記半導体基板の接合面よりも深い位置に形成することを特徴とする請求項1～4のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 6】 前記(e)工程と前記(f)工程の間に、
(j)フッ酸を含む洗浄液を用いて、前記第2半導体領域上を洗浄する工程、
を有することを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 7】 前記スパッタエッチングはアルゴンスパッタエッチングであることを特徴とする請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 8】 前記金属膜はCo膜であることを特徴とする請求項1～7のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 9】 前記金属シリサイド層はCoSi₂層であることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 10】 前記金属シリサイド層の膜厚は20nm以上で40nm以下であることを特徴とする請求項1～9のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 11】 前記金属シリサイド層のシート抵抗は5 / 以上で12 / 以下であることを特徴とする請求項1～10のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 12】 前記第1絶縁膜、第2絶縁膜、多結晶シリコン膜、第1半導体領域および第2半導体領域によってMISFETが構成され、

前記MISFETは、SRAMメモリセルを構成することを特徴とする請求項1～11のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 13】 前記(f)および(g)工程は、同一装置内において行われることを特徴とする請求項1～12のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項 14】 半導体基板主表面に形成されたMISFETを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、前記MISFETのゲート絶縁膜を形成する工程、

(b) 前記ゲート絶縁膜上に前記MISFETのゲート電極を形成する工程、

(c) 前記ゲート電極の両側の半導体基板に不純物を注入することによって、前記MISFETのソースまたはドレイン領域の一部を構成する第1半導体領域を形成する工程、

(d) 前記ゲート電極の側壁にサイドウォールスペーサを形成する工程、

(e) 前記サイドウォールスペーサの両側の半導体基板に不純物を注入することによって、前記MISFETのソースまたはドレイン領域の一部を構成し、かつ、前記第1半導体領域よりも不純物濃度の高い第2半導体領域を形成する工程、

(f) 前記第2半導体領域の表面から2.5nm以下の深さの窪みを形成する工程、

(g) 前記窪みを含む前記第2半導体領域上に金属膜を形成する工程、

(h) 前記金属膜に熱処理を施し、金属シリサイド層を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 前記金属シリサイド層は、前記ゲート電極上および前記窪みを含む前記第2半導体領域上に形成されることを特徴とする請求項14記載の半導体集積回路装置の製造方法。

【請求項 16】 前記金属シリサイド層は、前記第1半導体領域から離れて形成されていることを特徴とする請求項15記載の半導体集積回路装置の製造方法。

【請求項 17】 前記金属シリサイド層と、前記第1半導体領域と前記半導体基板の接合面との間のリーク電流を防止することを特徴とする請求項15記載の半導体集積回路装置の製造方法。

【請求項 18】 前記第2半導体領域と前記半導体基板の接合面は、前記第1半導体領域と前記半導体基板の接合面よりも深い位置に形成することを特徴とする請求項14～17のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項19】 前記(e)工程と前記(f)工程の間に、
(j)フッ酸を含む洗浄液を用いて、前記第2半導体領域上を洗浄する工程、
を有することを特徴とする請求項14～18のいずれか1項に記載の半導体集積回路装置
の製造方法。

【請求項20】 前記(f)工程で、前記窪みはスパッタエッチングによって行われ
ることを特徴とする請求項14～19のいずれか1項に記載の半導体集積回路装置の製造
方法。

【請求項21】 前記(f)工程で、前記スパッタエッチングはアルゴンスパッタエッ
チングであることを特徴とする請求項20記載の半導体集積回路装置の製造方法。

【請求項22】 前記金属膜はCo膜であることを特徴とする請求項14～21のい
ずれか1項に記載の半導体集積回路装置の製造方法。

【請求項23】 前記金属シリサイド層はCoSi₂膜であることを特徴とする請求
項14～22のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項24】 前記金属シリサイド層の膜厚は20nm以上で40nm以下である
ことを特徴とする請求項14～23のいずれか1項に記載の半導体集積回路装置の製造
方法。

【請求項25】 前記金属シリサイド層のシート抵抗は5 / 以上で12 / 以
下であることを特徴とする請求項14～24のいずれか1項に記載の半導体集積回路装置
の製造方法。

【請求項26】 前記MISFETは、SRAMメモリセルを構成することを特徴と
する請求項14～25のいずれか1項に記載の半導体集積回路装置の製造方法。

【請求項27】 前記(f)および(g)工程は、同一装置内において行われること
を特徴とする請求項14～26のいずれか1項に記載の半導体集積回路装置の製造方法。