

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 4 月 6 日 (2006.4.6)

【公開番号】特開 2002-134632(P2002-134632A)

【公開日】平成 14 年 5 月 10 日 (2002.5.10)

【出願番号】特願 2000-320572(P2000-320572)

【国際特許分類】

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 21/3065 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

H 0 1 L 21/28 A

H 0 1 L 21/28 3 0 1 S

H 0 1 L 21/302 1 0 2

H 0 1 L 29/78 3 0 1 P

【手続補正書】

【提出日】平成 18 年 1 月 23 日 (2006.1.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、第 1 絶縁膜を形成する工程、

(b) 前記第 1 絶縁膜上に多結晶シリコン膜を形成する工程、

(c) 前記多結晶シリコン膜の両側の半導体基板に不純物を注入することにより、第 1 半導体領域を形成する工程、

(d) 前記多結晶シリコン膜の側壁に第 2 絶縁膜を形成する工程、

(e) 前記第 2 絶縁膜の両側の半導体基板に不純物を注入することにより、前記第 1 半導体領域よりも不純物濃度の高い第 2 半導体領域を形成する工程、

(f) スパッタエッチングによって、前記第 2 半導体領域の表面から 2 . 5 n m 以下の領域をエッチングする工程、

(g) 前記第 2 半導体領域上に金属膜を形成する工程、

(h) 前記金属膜に熱処理を施し、金属シリサイド層を形成する工程、

(i) 未反応の前記金属膜を除去する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記金属シリサイド層は、前記多結晶シリコン膜上および前記第 2 半導体領域上に形成されることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 前記金属シリサイド層は、前記第 1 半導体領域から離れて形成されていることを特徴とする請求項 2 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記金属シリサイド層と、前記第 1 半導体領域と前記半導体基板の接合面との間のリーク電流を防止することを特徴とする請求項 3 記載の半導体集積回路装置。

の製造方法。

【請求項 5】 前記第 2 半導体領域と前記半導体基板の接合面は、前記第 1 半導体領域と前記半導体基板の接合面よりも深い位置に形成することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 6】 前記 (e) 工程と前記 (f) 工程の間に、
(j) フッ酸を含む洗浄液を用いて、前記第 2 半導体領域上を洗浄する工程、
を有することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 7】 前記スパッタエッチングはアルゴンスパッタエッチングであることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 8】 前記金属膜は C o 膜であることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 9】 前記金属シリサイド層は C o S i ₂ 層であることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 10】 前記金属シリサイド層の膜厚は 20 n m 以上で 40 n m 以下であることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 11】 前記金属シリサイド層のシート抵抗は 5 / 以上で 12 / 以下であることを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 12】 前記第 1 絶縁膜、第 2 絶縁膜、多結晶シリコン膜、第 1 半導体領域および第 2 半導体領域によって M I S F E T が構成され、

前記 M I S F E T は、S R A M メモリセルを構成することを特徴とする請求項 1 ~ 11 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 13】 前記 (f) および (g) 工程は、同一装置内において行われることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 14】 半導体基板主表面に形成された M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、前記 M I S F E T のゲート絶縁膜を形成する工程、

(b) 前記ゲート絶縁膜上に前記 M I S F E T のゲート電極を形成する工程、

(c) 前記ゲート電極の両側の半導体基板に不純物を注入することによって、前記 M I S F E T のソースまたはドレイン領域の一部を構成する第 1 半導体領域を形成する工程、

(d) 前記ゲート電極の側壁にサイドウォールスペーサを形成する工程、

(e) 前記サイドウォールスペーサの両側の半導体基板に不純物を注入することによって、前記 M I S F E T のソースまたはドレイン領域の一部を構成し、かつ、前記第 1 半導体領域よりも不純物濃度の高い第 2 半導体領域を形成する工程、

(f) 前記第 2 半導体領域の表面から 2 . 5 n m 以下の深さの窪みを形成する工程、

(g) 前記窪みを含む前記第 2 半導体領域上に金属膜を形成する工程、

(h) 前記金属膜に熱処理を施し、金属シリサイド層を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 前記金属シリサイド層は、前記ゲート電極上および前記窪みを含む前記第 2 半導体領域上に形成されることを特徴とする請求項 14 記載の半導体集積回路装置の製造方法。

【請求項 16】 前記金属シリサイド層は、前記第 1 半導体領域から離れて形成されていることを特徴とする請求項 15 記載の半導体集積回路装置の製造方法。

【請求項 17】 前記金属シリサイド層と、前記第 1 半導体領域と前記半導体基板の接合面との間のリーク電流を防止することを特徴とする請求項 15 記載の半導体集積回路装置の製造方法。

【請求項 18】 前記第 2 半導体領域と前記半導体基板の接合面は、前記第 1 半導体領域と前記半導体基板の接合面よりも深い位置に形成することを特徴とする請求項 14 ~ 17 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 19】 前記 (e) 工程と前記 (f) 工程の間に、
(j) フッ酸を含む洗浄液を用いて、前記第 2 半導体領域上を洗浄する工程、
を有することを特徴とする請求項 14 ~ 18 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 20】 前記 (f) 工程で、前記窪みはスパッタエッチングによって行われることを特徴とする請求項 14 ~ 19 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 21】 前記 (f) 工程で、前記スパッタエッチングはアルゴンスパッタエッチングであることを特徴とする請求項 20 記載の半導体集積回路装置の製造方法。

【請求項 22】 前記金属膜は Co 膜であることを特徴とする請求項 14 ~ 21 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 23】 前記金属シリサイド層は CoSi_2 膜であることを特徴とする請求項 14 ~ 22 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 24】 前記金属シリサイド層の膜厚は 20 nm 以上で 40 nm 以下であることを特徴とする請求項 14 ~ 23 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 25】 前記金属シリサイド層のシート抵抗は 5 Ω/\square 以上で 12 Ω/\square 以下であることを特徴とする請求項 14 ~ 24 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 26】 前記 MISFET は、SRAM メモリセルを構成することを特徴とする請求項 14 ~ 25 のいずれか 1 項に記載の半導体集積回路装置の製造方法。

【請求項 27】 前記 (f) および (g) 工程は、同一装置内において行われることを特徴とする請求項 14 ~ 26 のいずれか 1 項に記載の半導体集積回路装置の製造方法。