

(19) Országkód:

HU



**MAGYAR
KÖZTÁRSASÁG**

**ORSZÁGOS
TALÁLMÁNYI
HIVATAL**

SZABADALMI LEÍRÁS

(11) Lajstromszám:

208 772 B

(21) A bejelentés száma: 4068/90
(22) A bejelentés napja: 1990. 07. 03.
(30) Elsőbbségi adatok:
P 39 22 486 1989. 07. 08. DE

(51) Int. Cl.⁵

H 04 L 5/22
H 03 M 13/00
H 04 J 3/06

(40) A közzététel napja: 1991. 12. 30.
(45) A megadás meghirdetésének dátuma a Szabadalmi
Közlönyben: 1993. 12. 28. SZKV 93/12

(72) Feltaláló:

Weis, Bernd X., Kornthal (DE)

(73) Szabadalmas:

ALCATEL SEL Ag., Stuttgart (DE)

(74) Képvisező:

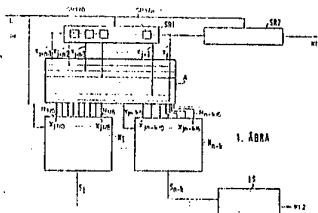
ADVOPATENT Szabadalmi Iroda, Budapest

(54) Kapcsolási elrendezés és eljárás időosztásos multiplex kommunikációs rendszer létrehozásához

(57) KIVONAT

A találmány kapcsolási elrendezés időosztásos multiplex kommunikációs rendszer létrehozásához, amely a kibocsátott bitsorozatba szabályos időközönként egy lineáris blokk-kódban kódolt n-bites szó beiktatására alkalmas adóoldallal és a beérkező bitsorozatból az n-bites szó kiválasztására alkalmas vevőoldallal rendelkezik. Jellegzetessége, hogy a vevőoldal memóriával (SR1) van ellátva. A memória egység (SR1) kimenetei csatoló mezőhöz (A) vannak csatlakoztatva. A csatoló mezőhöz (A) szindróma komponensek ($S_1 \dots S_{n-k}$) előállítására alkalmas összegező áramkörök ($N_{j/1} \dots N_{n-k/1}$) bemenetei ($N_{j/1} \dots N_{n-k/1}$) vannak kapcsolva. Az összegező áramkörök ($N_{j/1} \dots N_{n-k/1}$) kimenetei logikai áramkör (LS) bemeneteire vannak kötve, továbbá a memória egységhez (SR1) késleltető egység (SR2) van csatlakoztatva. A vevőoldal kimenetét (K/1) a késleltető egység (SR2) kimenete, az n-bites szó jelenlétét jelző kimenetét (K/2) pedig a logikai áramkör (LS) kimenete képezi.

A találmányhoz tartozik az eljárás is időosztásos multiplex kommunikációs rendszer létrehozására, amelynél az adóoldalon kibocsátott bitsorozatba szabályos időközönként lineáris blokk-kódban kódolt n-bites szót iktatunk be, a vevőoldalon pedig megvizsgálva az egymást követő bitsoportokat az n-bites szót a beérkező bitsorozatban azonosítjuk. Jellegzetessége, hogy a beérkező bitsorozat egymást követő bitjeivel (X_j) kezdődő n-bites bitsoportjait ($X_j \dots X_{j+n-1}$) folyamatosan ellenőrizzük, az adott n-bites bitsoportot ($X_j \dots X_{j+n-1}$) csatoló mezőhöz (A) vezetjük. A csatoló mező (A) segítségével a szindróma komponensek ($S_1 \dots S_{n-k}$) előállításához szükséges biteket ($X_{j/1} \dots X_{j/n-k/1}$) választunk ki, majd ezen bitekből ($X_{j/1} \dots X_{j/n-k/1}$) összegező áramkörök ($N_{j/1} \dots N_{n-k/1}$) útján a szindróma komponenseket ($S_1 \dots S_{n-k}$) előállítjuk, valamennyi szindróma komponens ($S_1 \dots S_{n-k}$) zérus értéke esetén pedig logikai áramkör (LS) segítségével a keresett n-bites szó előfordulását jelző jelet generálunk.



A leírás terjedelme: 8 oldal (ezen belül 2 lap ábra)

HU 208 772 B

A találmány tárgya kapcsolási elrendezés időosztásos multiplex kommunikációs rendszer létrehozásához, amely a kibocsátott bitsorozatba szabályos időközönként egy lineáris blokk-kódban kódolt n-bites szó beiktatására alkalmas adóoldallal és a beérkező bitsorozatból az n-bites szó kiválasztására alkalmas vevő oldallal rendelkezik.

Tárgya továbbá a találmánynak a kapcsolási elrendezés működtetésére szolgáló eljárás is, amelyenél az adó oldalon kibocsátott bitsorozatba szabályos időközönként lineáris blokk-kódban kódolt n-bites szót iktatunk be, a vevő oldalon pedig megvizsgálva az egymást követő bitsoportokat az n-bites szót a beérkező bitsorozatban azonosítjuk.

Időosztásos multiplex kommunikációs rendszer létrehozására több megoldás ismeretes. Így pl. a 3,735,377 lajstromszámú DE szabadalmi leírás olyan rendszerre mutat példát, amelyenél az információból egy ún. kódszót választanak ki, amely egy logikai csatorna-számot tartalmaz. A kódszót a rendszer az információ követően továbbítja.

Az információt lineáris blokk-kódban kódolják, az így létrehozott kódszó bitszáma az információ bitszáma(k) és bizonyos hozzáadott bitek számának az összege. Az információt és a hozzáadott biteket tartalmazó kódszó összes bitjeinek számát a következőkben n-nel jelöljük.

A hivatkozott szabadalmi leírásból ismeretes rendszerben ezeket a kódszavakat az adóoldalon iktatják be szabályos időközönként a jelsorozatba, mégpedig minden egyes ún. csomag kezdeténél. A vevőoldalon a hivatkozott rendszer egy ellenőrző berendezést tartalmaz, amely kiválasztja a beérkező jelsorozatból az n-bites kódszavakat.

Ezt oly módon hajtja végre, hogy kiválaszt k bitet a beérkező jelsorozatból és ellenőrzi, hogy ez a k tagú bitsoport és a soron következő n-k számú bitek (amely az információhoz hozzáadott bitek számával egyezik meg) együttesen egy, a blokk-kódban kódolt szót képviselnek-e.

Ha az ellenőrző berendezés úgy találja, hogy az ellenőrzött bitsoport nem felel meg a blokk-kódnak, nem keresi tovább a kódszót az adott csomagban, hanem a következő csomagban kezdi újra a műveletet, ahol is egy olyan bitsorozatot választ ki, amely – a csomag kezdetéhez viszonyítva – egy bittel később kezdődik, mint a korábban ellenőrzött csomagban kiválasztott bitsorozat.

A fentiekben ismertetett megoldás hátránya, hogy jelentős idő telhet el addig, míg a rendszer megtalálja a keresett n-bites szót valamelyik csomagban. Ez más oldalról nézve azzal a hátránnyal jár, hogy a vevő- és az adó oldal szinkronizálása hosszú időt vesz igénybe, amely jelentős információvesztést okoz.

Egy általánosan használt hibakereső módszer a szindrómaszámítás, amelynek a matematikai alapjai részletesen megtalálható W. W. Peterson „Error-Correcting Codes” című könyvének 30–36. oldalain (kiadó: Massachusetts Institute of Technology and John Wiley and Sons, Inc., New York, London 1961).

A szindróma-számítás használható annak ellenőrzésére, hogy egy adott adatszó tartalmaz-e kódhibát. Ezen alkalmazásra mutat példát a 3,707,143 lajstromszámú NSZK szabadalmi leírás, amely a parciális szindrómák tárolására memória egységeket használ.

Hátránya, hogy figyelembe véve a memóriák eléréséhez szükséges időket és a memóriákat követő KIZÁRÓ-VAGY kapukat, a jelen alkalmazás szempontjából elfogadhatatlanul hosszú idők adódnának.

A találmány célja olyan időosztásos multiplex kommunikációs rendszer létrehozása, amelyben a vevőoldali szinkronizáló berendezés az ismert megoldásokénál gyorsabban találja meg az n-bites szavakat, miáltal gyorsabb szinkronizálást tesz lehetővé.

A találmányi gondolat alapja az a felismerés, hogy a célkitűzésnek megfelelő rendszert hozhatunk létre, ha a beérkező bitsorozat egymást követő bitjeivel kezdődő n-bites bitsoportjait folyamatosan ellenőrizzük, az adott n-bites bitsoportot csatoló mezőhöz vezetjük, a csatoló mező segítségével szindróma komponensek előállításához szükséges biteket választunk ki, majd ezen bitekből összegező áramkörök útján a szindróma komponenseket előállítjuk, valamennyi szindróma komponens zérus értéke esetén pedig logikai áramkör segítségével a keresett n-bites szó előfordulását jelző jelet generálunk.

A kitűzött célnak megfelelően a találmány szerinti kapcsolási elrendezés időosztásos multiplex kommunikációs rendszer létrehozásához, – amely a kibocsátott bitsorozatba szabályos időközönként egy lineáris blokk-kódban kódolt n-bites szó beiktatására alkalmas adóoldallal és a beérkező bitsorozatból az n-bites szó kiválasztására alkalmas vevőoldallal rendelkezik, – oly módon van kialakítva, hogy a vevőoldal memória egységgel van ellátva, a memória egység kimenetei csatoló mezőhöz vannak csatlakoztatva, a csatoló mezőhöz szindróma komponensek előállítására alkalmas összegző áramkörök bemenetei vannak kapcsolva, az összegző áramkörök kimenetei logikai áramkör bemeneteire vannak kötve, továbbá a memória egységhez késleltető egység kimenete, az n-bites szó jelenlétét jelző kimenetét pedig a logikai áramkör kimenete képezi.

A találmány további ismérve lehet, hogy az összegző áramkörök összegző fokozatokkal vannak ellátva, amelyek összegző cellákból és tároló cellákból vannak összeállítva.

Egy lehetséges kiviteli alaknál az összegző cella bemeneteit KIZÁRÓ-VAGY kapu bemenetei alkotják, a KIZÁRÓ-VAGY kapu kimenetéhez D-tároló van kapcsolva, az összegző cella kimenetét pedig a D-tároló kimenete képezi.

További kiviteli alaknál a tároló cellát D-tároló alkotja.

Egy másik kiviteli alaknál a memória egységet n-i bites léptetőregiszter képezi.

Bármely kiviteli alaknál a késleltető egység késleltetési üteme az összegző fokozatok számával egyezik meg.

A találmány szerinti eljárás időosztásos multiplex

kommunikációs rendszer létrehozására, – amelynél az adóoldalon kibocsátott bitsorozatba szabályos időközönként lineáris blokk-kódban kódolt n-bites szót iktatunk be, a vevőoldalon pedig megvizsgálva az egymást követő bitsoportokat az n-bites szót a beérkező bitsorozatban azonosítjuk, – azon alapul, hogy a beérkező bitsorozat egymást követő biteivel kezdődő n-bites bitsoportjait folyamatosan ellenőrizzük, az adott n-bites bitsoportot csatoló mezőhöz vezetjük, a csatoló mező segítségével szindróma komponensek előállításához szükséges biteket választunk ki, majd ezen bitekből összegző áramkörök útján a szindróma komponenseket előállítjuk, valamennyi szindróma komponens zérus értéke esetén pedig logikai áramkör segítségével a keresett n-bites szó előfordulását jelző jelet generálunk.

A találmány további ismérve lehet, hogy a jelfeldolgozás órajelének frekvenciáját a beérkező bitsorozat bitfrekvenciájával egyezőre választjuk meg.

Egy lehetséges foganatosítási módnál az n-bites bitsoport biteit memória egység memória celláiban gyűjtjük össze, majd a csatoló mezőhöz egyszerre továbbítjuk.

Bármely foganatosítási mód esetén az n-bites bitsoportokat késleltető egység útján a szindróma komponensek előállításához szükséges órajel ütemmel késleltetjük.

A találmány szerinti kapcsolási elrendezés és eljárás több előnyös tulajdonsággal rendelkezik. Ezek közül a leglényegesebb, hogy az ismert megoldásokénál gyorsabban képes a blokkódban kódolt n-bites szavak megtalálására.

Kedvező az is, hogy az ellenőrző áramkör egyetlen része sem igényel a beérkező jelsorozat bitfrekvenciájánál nagyobb műveleti órajel-frekvenciát. Ezáltal az ellenőrző berendezés CMOS-technológiával készült áramkörökből épülhet fel, ami nagy, 150 Mbit/s bitfrekvenciánál is olcsó megoldást tesz lehetővé. Nagyobb órajel-frekvenciához már csak a jóval drágább, pl. ECL-technológiával készült áramkörök lennének alkalmazhatók.

A találmányt kiviteli példa kapcsán, rajzok alapján mutatjuk be részletesebben. A mellékelt rajzokon az

1. ábra a találmány szerinti kapcsolási elrendezés egy lehetséges kiviteli alakjának blokkvázlata, a
2. ábra az 1. ábra szerinti kiviteli alak összegző áramkörének egy lehetséges kiviteli alakja, a
3. ábra a 2. ábra szerinti összegző áramkör összegző cellájának egy lehetséges kiviteli alakja, a
4. ábra a 2. ábra szerinti összegző áramkör tároló cellájának egy lehetséges kiviteli alakja.

Az 1. ábrán a találmány szerinti kapcsolási elrendezés egy lehetséges kiviteli alakjának blokkvázlatát tüntettük fel. A kapcsolási elrendezés fő alkotó elemei az SR1 memória egység, az SR2 késleltető egység, az A csatoló mező, továbbá az $N_{1...N_{n-k}}$ összegző áramkörök és az LS logikai áramkör.

A találmány szerinti rendszer vevőoldalának beme-

netét az SR1 memória egység bemenete képezi. Az SR1 memória egység $n-1$ db SR1/0...SR1/ $n-2$ db memória cellát tartalmaz. Az SR1 memória egységet célszerűen $n-1$ bites léptetőregiszter alkothatja.

5 Az SR1 memória egység kimenetei az A csatoló mezőhöz csatlakoznak, utolsó kimenete pedig az SR2 késleltető egység bemenetéhez van kötve. A vevőoldal kimenetét az SR2 késleltető egység kimenete alkotja.

10 Az A csatoló mezőhöz az $S_1...S_{n-k}$ szindróma komponensek előállítására alkalmas $N_{1...N_{n-k}}$ összegző áramkörök $N_{1/1}...N_{n-k/1}$ bemenetei vannak kapcsolva.

Az $N_{1...N_{n-k}}$ összegző áramkörök $N_{1/1}...N_{n-k/1}$ bemenetei vannak kapcsolva.

15 Az $N_{1...N_{n-k}}$ összegző áramkörök kimenetei az LS logikai áramkör bemeneteihez csatlakoznak. Az LS logikai áramkör kimenete alkotja a vevőoldal n-bites szó jelenlétét jelző kimenetét.

20 A 2. ábrán az $N_{1...N_{n-k}}$ összegző áramkörök egy lehetséges kiviteli alakját szemléltettük. Az $N_{1...N_{n-k}}$ összegző áramkörök M számú (jelen példánkban $M=4$) $ST_1...ST_4$ összegző fokozatokkal rendelkeznek. Az $ST_1...ST_4$ összegző fokozatok az E1 összegző cellákból és az E2 tároló cellákból vannak összeállítva.

25 A 3. ábrán az E1 összegző cella, a 4. ábrán pedig az E2 tároló cella egy lehetséges kiviteli alakja látható. Az E1 összegző cella x,y bemeneteit az A1 KIZÁRÓVAGY kapu bemenetei alkotják. Az A1 KIZÁRÓVAGY kapu kimenetéhez a D1 D-tároló csatlakozik. Az E1 összegző cella z kimenetét a D1 D-tároló kimenete képezi.

30 Az E2 tároló cellát a D2 D-tároló alkotja. A kapcsolási elrendezés C órajel vezetéke az SR1 memória egységhez, az SR2 késleltető egységhez, továbbá az $N_{1...N_{n-k}}$ összegző áramkörök E1 összegző celláihoz és E2 tároló celláihoz van kapcsolva.

35 A találmány szerinti kapcsolási elrendezés a találmány szerinti eljárást az alábbiak szerint valósítja meg: A szindróm i-edik komponensét egy n tagú blokkból és a paritás ellenőrző mátrix transzponáltjából az i-edik sor (h_i) és a beérkező blokk (X) skalár szorzataként kell számítani, azaz

$$S_i = h_i X = h_{i1} X_1 + h_{i2} X_2 + h_{i3} X_3 + \dots + h_{in} X_n$$

45 Az S vektor ezen komponenseit a találmány szerint az ellenőrző berendezés sorban minden egyes, bitenként egymást követő, n-tagú bitsoportra meghatározza, azaz a csoportot először a beérkező bitsorozat első bite és az azt követő $n-1$ bit, majd egy bit-ütemidővel később a beérkező bitsorozat második bite és az azt követő $n-1$ bit alkotja, és így tovább.

50 Az 1. ábrán bemutatott kapcsolási elrendezésben a beérkező bitsorozat az SR1 memória egység soros bemenetére érkezik. Mivel az SR1 memória egység n bites kódszó esetén $n-1$ számú SR1/0...SR1/ $n-1$ memória cellát tartalmaz, $n-2$ számú párhuzamos kimenettel rendelkezik. Ezáltal az első és az utolsó bitet is figyelembe véve a beérkező bitsorozat n számú, egymást követő bite áll rendelkezésre párhuzamos formába a további feldolgozásra.

60 Ha az SR1 memória egység kimenetén adott idő-

pontban megjelenő bitet X -szel jelöljük, az X -szel kezdődő, n tagú bitsorozat soronkövetkező bitjei egyidejűleg az SR1 memória egység párhuzamos kimenetein (X_{j+1} -től X_{j+n-2} -ig terjedő bitek) illetve az SR1 memória egység bemenetén (X_{j+n-1} bit) jelennek meg.

Mivel az SR1 memória egységet olyan órajel vezérli, amelynek frekvenciája megegyezik a beérkező jelsorozat bitfrekvenciájával, az X_{j+1} bittel kezdődő, n tagú bitsorozat egy bit-ütemidővel később áll majd rendelkezésre a további feldolgozáshoz.

A beérkező bitsorozat egy-egy bitjének megfelelő ütemidőkben a további feldolgozásra rendelkezésre álló n tagú bitsorozatokat a berendezés az A csatlómezőre vezeti, amelynek kiválasztott vezetői a párhuzamosan működő $N_1 \dots N_{n-k}$ összegző áramkörök $N_{1/1} \dots N_{n-k/1}$ bemeneteire kapcsolódnak. Minden, a fent leírt módon számítandó szindróma komponens számára egy-egy áramkör, azaz összesen $n-k$ számú $N \dots N_{n-k}$ összegző áramkör áll rendelkezésre, tekintve, hogy a szindrómának $n-k$ számú komponense van.

A vizsgálandó n tagú bitsorozat bitjei közül csak azok a bitek kerülnek a megfelelő N_i összegző áramkörre, amelyekre nézve a hozzájuk tartozó h_{i1} tényező nem zérus. Ez azt jelenti, hogy ha az S_i -re fent felírt egyenletben pl. a h_{i2} és h_{i3} érték zérus, úgy az S_i szindróma-komponenst számító N_i összegző áramkörbe az n tagú bitsorozatnak csak az első, negyedik és az azt követő bitjei kerülnek be, míg a második és a harmadik bit, függetlenül azok bináris értékétől, figyelmen kívül marad.

Ily módon a paritás ellenőrző mátrix alapján az $n-k$ számú $N_1 \dots N_{n-k}$ összegző áramkört tartalmazó rendszer minden egyes áramkörére egy-egy kiválasztott bitsorozat kerül. Az $N_1 \dots N_{n-k}$ összegző áramkörök az egyes szindróma-komponenseket az S_i -re az előzőekben megadott egyenlet alapján több fokozat beiktatásával számítják ki, majd pedig, mint azt a 2. ábra segítségével bemutatjuk, az egyes szindróma komponenseket egyidejűleg továbbítják az $S_1 \dots S_{n-k}$ kimeneteiken.

Mivel a paritás ellenőrző mátrixban a h_{i1} tagok értéke csak 0 vagy 1 lehet, és a fenti egyenletben az összegzések modulo-2 összeadások, az elvégzendő számítás a bemenő bitekkel végrehajtott többszörös KIZÁRÓ-VAGY műveletekből áll, amely viszont páratlan számú egyes esetén 1-et, páros számú egyes esetén pedig 0-át ad szindróma-komponensként.

A bemenő bitekkel több fokozatban végrehajtott KIZÁRÓ-VAGY műveleteket az $N_1 \dots N_{n-k}$ összegző áramkörök a beérkező bitsorozat bit ütemidejének megfelelő ütemben végzik. Bizonyos ütemszám után az $N_1 \dots N_{n-k}$ összegző áramkörök kimenetein megjelennek a vizsgált n tagú bitsortort jellemző szindróma-komponensek.

Ennek bitjei az LS logikai áramkör bemenetére kerülnek, amely akkor szolgáltató kimenő jelet, ha a szindróma (azaz annak minden komponense) zérus. Ezen kimenő jel jelzi az n -bit-es kódszó előfordulását.

Az SR1 memória egység kimenetéről a bitsorozat az SR2 késleltető egység soros bemenetére kerül, amely szintén a jelsorozat bitfrekvenciájának megfelelő

lő ütemmel működik, és amely mindaddig késlelteti a bitsorozatot, amíg az $N_1 \dots N_{n-k}$ összegző áramkörök kiszámítják egy X_j bittel kezdődő n tagú bitsortortra a szindrómát.

5 Így az SR2 késleltető egység kimenetén egy bitsorozat első bitje akkor jelenik meg, amikor az LS logikai áramkör kimenete jelzi, hogy ez a bitsorozat kódszó-e avagy sem. Az LS késleltető egység nem okoz észrevehető késleltetést. Ha azonban a késleltetése mégis túl nagyra mutatkozna, ez kompenzálható az SR2 késleltető egység megfelelő meghosszabbításával.

10 A következőkben a 2. ábra segítségével ismertetjük az 1. ábrán szereplő valamely $N_1 \dots N_{n-k}$ összegző áramkör egy megvalósítási lehetőségét. A 2. ábrán látható az X_j bittel kezdődő bitsortortból az $S_i(j)$ komponens számító N_i összegző áramkör.

Példánkban feltételezzük, hogy az X_j bittel kezdődő, n tagú bitsorozat bitjei közül kilencet kell felhasználni a szindróma $S_i(j)$ komponensének kiszámításához. A számításhoz használt, az N_i összegző áramkör párhuzamos bemenetein jelentkező biteket $X_{j/4} \dots X_{j/8}$ jelöli.

Az N_i összegző áramkör ST_1 fokozata a modulo-2 összeadással összegzendő bemenő biteket tetszőleges párokba rendezi úgy, hogy minden egyes bit csak egy bitpárban szerepeljen. Példánkban így négy bitpár és egy maradék bit jön létre, mivel a bitek száma páratlan.

25 Az első órajel-ütemben egy-egy E1 összegző cella minden egyes bitpárra elvégzi a modulo-2 összeadást és az eredményeket tárolja a következő órajel ütemig. A maradék bitet az E2 tároló cella tárolja a következő órajel ütemig.

Az E1 összegző cellában az A1 KIZÁRÓ-VAGY kapu végzi az x és y bemeneteire érkező bitek modulo-2 összeadását, míg ezen összeadás eredményét a D1 D-tároló őrzi meg.

Miután megtörtént az N_i összegző áramkörre érkező bitek párokba rendezése, valamint az eredményeket és a maradék bemenő biteket az N_i összegző áramkör ST_1 első fokozata az első órajel ütemben megőrizte, az ST_1 első fokozat átmenetileg tárolt eredményei és az átmenetileg tárolt maradék bit ugyanilyen módon feldolgozásra kerül a következő ütemjelre az ST_2 második fokozatban.

45 A bemenő biteket az E1 összegző cellák párosítják, a maradék bitet pedig az E2 tároló cella őrzi meg. A következő ütemjelre az ST_2 második fokozat eredményei kerülnek feldolgozásra a fentiekkel azonos módon az ST_3 harmadik fokozatban, míg a negyedik ütemjelre az ST_3 harmadik fokozat eredményeiből az utolsó, ST_4 negyedik fokozat E1 összegző cellája állítja elő a végeredményt jelentő bitet, azaz a szindróma $S_i(j)$ komponensét.

50 A bemenő bitek száma az egyes $N_1 \dots N_{n-k}$ összegző áramköröknél más és más lehet, ennek megfelelően az egyes áramkörökben szükséges M_i összegző fokozatok száma is eltérő. Hogy az X_j bittel kezdődő, n tagú bitsorozat teljes $S_i(j)$ szindrómája egy adott időpontban álljon elő az $N_1 \dots N_{n-k}$ összegző áramkörök kimenetein, azokban az áramkörökbe, amelyekben a szükséges M_i

fokozatok száma kisebb, mint a rendszerben előforduló legnagyobb M_i érték, E2 tároló cellákból pótlólagos fokozatokat kell beiktatni, hogy az $S_i(j)$ szindróma minden $S_i(j)$ komponense ugyanakkor jelenjék meg a megfelelő kimeneteken.

Ez az időpont M bit-ütemmel későbbi, mint amikor az X_j bit megjelenik az SR1 memória egység kimenetén, ahol is M az N_i összegző áramkörökben szükséges legnagyobb fokozatszám. Ebből következik, hogy az SR2 késleltető egységnek M bit-ütemű késleltetésűnek kell lennie. Ily módon az SR2 késleltető egység mindaddig késlelteti a bitsorozatot, amíg megállapítást nyer, hogy egy bizonyos bitsoport kódszó-e avagy sem.

A vizsgálandó n tagú bitsoportok előállítására az SR1 memória egységben léptetőregiszter helyett bármilyen más memória áramkörök is használhatók. Lehet olyan memória egység is, amely a beérkező bitsorozatot nem soros formában tárolja, csak az a lényeges, hogy az egymás után beérkező biteket egyidejűleg, n -tagú csoportként tudja rendelkezésre bocsátani.

Az áramkör optimalizálásához az N_i összegző áramkörök összekapcsolhatók, lehetővé téve a közbülső eredmények átvitelét az egyik áramkörből a másikba, miáltal csökkenthető a szükséges áramköri elemek száma.

SZABADALMI IGÉNYPONTOK

1. Kapcsolási elrendezés multiplex kommunikációs rendszer létrehozásához, amely a kibocsátott bitsorozatba szabályos időközönként egy lineáris blokk-kódban kódolt n -bités szó beiktatására alkalmas adóoldallal és a beérkező bitsorozatból az n -bités szó kiválasztására alkalmas vevőoldallal rendelkezik, *azzal jellemezve*, hogy a vevőoldal memória egységgel (SR1) van ellátva, a memória egység (SR1) kimenetei csatoló mezőhöz (A) vannak csatlakoztatva, a csatoló mezőhöz (A) szindróma komponensek ($S_1 \dots S_{n-k}$) előállítására alkalmas összegző áramkörök ($N_1 \dots N_{n-k}$) bemenetei ($N_{1/1} \dots N_{n-k/1}$) vannak kapcsolva, az összegző áramkörök ($N_1 \dots N_{n-k}$) kimenetei logikai áramkör (LS) bemeneteire vannak kötve, továbbá a memória egységhez (SR1) késleltető egység (SR2) van csatlakoztatva, a vevőoldal kimenetét (K/1) a késleltető egység (SR2) kimenete, az n -bités szó jelenlétét jelző kimenetét (K/2) pedig a logikai áramkör (LS) kimenete képezi.

2. Az 1. igénypont szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy a memória egység (SR1) $n-1$ darab memória cellát (SR1/0...SR1/ $n-2$) tartalmaz.

3. Az 1. vagy 2. igénypont szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy az összegző áramkörök ($N_1 \dots N_{n-k}$) összegző fokozatokkal (ST₁...ST₄) vannak ellátva.

4. Az 1-3. igénypontok bármelyike szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy az összegző fokozatok (ST₁...ST₄) összegző cellákból (E1) és tároló cellákból (E2) vannak összeállítva.

5. Az 1-4. igénypontok bármelyike szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy az összegző cella (E1) bemeneteit (x, y) KIZÁRÓ-VAGY kapu (A1) bemenetei alkotják, a KIZÁRÓ-VAGY kapu (A1) kimenetéhez D-tároló (D1) van kapcsolva, az összegző cella (E1) kimenetét (z) pedig a D-tároló (D1) kimenete képezi.

6. Az 1-5. igénypontok bármelyike szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy a tároló cellát (E2) D-tároló (D2) alkotja.

7. Az 1-6. igénypontok bármelyike szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy a memória egységet (SR1) $n-1$ bites léptetőregiszter képezi.

8. Az 1-7. igénypontok bármelyike szerinti kapcsolási elrendezés, *azzal jellemezve*, hogy a késleltető egység (SR2) késleltetési üteme az összegző fokozatok (ST₁...ST₄) számával (M_i) egyezik meg.

9. Eljárás időosztásos multiplex kommunikációs rendszer létrehozására, amelynél az adóoldalon kibocsátott bitsorozatba szabályos időközönként lineáris blokk-kódban n -bités szót iktatunk be, a vevőoldalon pedig megvizsgálva az egymást követő bitsoportokat az n -bités szót a beérkező bitsorozatban azonosítjuk, *azzal jellemezve*, hogy a beérkező bitsorozat egymást követő biteivel (X_j) kezdődő n -bités bitsoportjait ($X_j \dots X_{j+n-1}$) folyamatosan ellenőrizzük, az adott n -bités bitsoportot ($X_j \dots X_{j+n-1}$) csatoló mezőhöz (A) vezetjük, a csatoló mező (A) segítségével szindróma komponensek ($S_1 \dots S_{n-k}$) előállításához szükséges biteket ($X_{j/1} \dots X_{j+n-k/1}$) választunk ki, majd ezen bitekből ($X_{j/1} \dots X_{j+n-k/1}$) összegző áramkörök ($N_1 \dots N_{n-k}$) útján a szindróma komponenseket ($S_1 \dots S_{n-k}$) előállítjuk, valamennyi szindróma komponens ($S_1 \dots S_{n-k}$) zérus értéke esetén pedig logikai áramkör (LS) segítségével a keregett n -bités szó előfordulását jelző jelet generálunk.

10. A 9. igénypont szerinti eljárás, *azzal jellemezve*, hogy a jelfeldolgozás órajelének (C) frekvenciáját a beérkező bitsorozat bitfrekvenciájával egyezőre választjuk meg.

11. A 9. vagy 10. igénypont szerinti eljárás, *azzal jellemezve*, hogy az n -bités bitsoport ($X_j \dots X_{j+n-1}$) biteit memória egység (SR1) memória celláiban (SR1/0...SR1/ $n-1$) gyűjtjük össze, majd a csatoló mezőhöz (A) egyszerre továbbítjuk.

12. A 9-11. igénypontok bármelyike szerinti eljárás, *azzal jellemezve*, hogy az n -bités bitsoportokat ($X_j \dots X_{j+n-1}$) késleltető egység (SR2) útján a szindróma komponensek ($S_1 \dots S_{n-k}$) előállításához szükséges órajel (C) ütemmel késleltetjük.

