

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2002-367385(P2002-367385A)

【公開日】平成14年12月20日(2002.12.20)

【出願番号】特願2001-172855(P2001-172855)

【国際特許分類第7版】

G 11 C 16/06

【F I】

G 11 C 17/00 6 3 4 B

【手続補正書】

【提出日】平成16年9月30日(2004.9.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電流引き込みの有無又は大小によりデータを記憶するメモリセルが配列されたメモリセルアレイと、

このメモリセルアレイの読み出しデータが転送される複数のセンス線と、

データ検出のための参照電位が与えられて、前記複数のセンス線でのデータ検出に共通に用いられる参照センス線と、

前記複数のセンス線と前記参照センス線との間の電位差を検出して読み出しデータを検出する複数のセンスアンプと、

を備えたことを特徴とする半導体メモリ装置。

【請求項2】

電流引き込みの有無又は大小によりデータを記憶するメモリセルが配列されたメモリセルアレイと、

このメモリセルアレイの読み出しデータが転送される複数のセンス線と、

データ検出のための参照電位が与えられて、前記複数のセンス線でのデータ検出に共通に用いられる参照センス線と、

前記複数のセンス線と前記参照センス線との間の電位差を検出して読み出しデータを判定する複数のセンスアンプと、

前記複数のセンス線と前記参照センス線との間を選択的に短絡するための複数のイコライズ回路と、

を備えたことを特徴とする半導体メモリ装置。

【請求項3】

前記各イコライズ回路は、一端がそれぞれ前記センス線と参照センス線に接続され、他端が共通接続された第1及び第2のMISFETを有し、前記センス線側の第1のMISFETのゲート面積が前記参照センス線側の第2のMISFETのそれより大きく設定されている

ことを特徴とする請求項2記載の半導体メモリ装置。

【請求項4】

電流引き込みの有無又は大小によりデータを記憶するメモリセルが配列されたメモリセルアレイと、

このメモリセルアレイの読み出しデータが転送されるセンス線と、

データ検出のための参照電位が与えられる参照センス線と、
前記センス線と前記参照センス線との間の電位差を検出して読み出しデータを判定する
センスアンプと、

前記センス線と参照センス線との間に設けられた、前記センス線と参照センス線との間
を選択的に短絡するためのイコライズ用 M I S F E T と、

このイコライズ用 M I S F E T と前記センス線及び参照センス線との間に介在させた抵
抗と、

を備えたことを特徴とする半導体メモリ装置。

【請求項 5】

電流引き込みの有無又は大小によりデータを記憶するメモリセルが配列されたメモリセ
ルアレイと、

このメモリセルアレイの読み出しデータが転送されるセンス線と、

データ検出のための参照電位が与えられる参照センス線と、

前記センス線と前記参照センス線との間の電位差を検出して読み出しデータを判定する
センスアンプと、

前記センス線と参照センス線との間に設けられた、前記センス線と参照センス線との間
を選択的に短絡するための C M O S トランスマニアゲートからなるイコライズ回路と、

基準タイミング信号に基づいて、前記 C M O S トランスマニアゲートの n チャネル側ゲー
ト及び p チャネル側ゲートを駆動するための相補関係にある第 1 及び第 2 のイコライズ信号
を同じ論理ゲート段数で発生させるタイミングコントロール回路と、

を備えたことを特徴とする半導体メモリ装置。

【請求項 6】

前記メモリセルは、電荷蓄積層と制御ゲートが積層された M I S F E T 構造を持つ、電気
的書き換え可能な不揮発性メモリセルである

ことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体メモリ装置。