(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/06

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0192630
(24) 등록일자 1999년01월29일

(21) 출원번호 10-1994-0036504
(22) 출원일자 1994년12월21일
(65) 공개번호 특1995-0020745
(43) 공개일자 1995년07월24일

(30) 우선권주장 93-321589 1993년12월21일 일본(JP)
94-198840 1994년08월23일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72

(72) 발명자 사쿠이 고지
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
나카무라 히로시
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
다나카 도모하루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
모모도미 마사키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내
마즈오카 후지오
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
하세가와 다케히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내

(74) 대리인 김윤배, 이세진

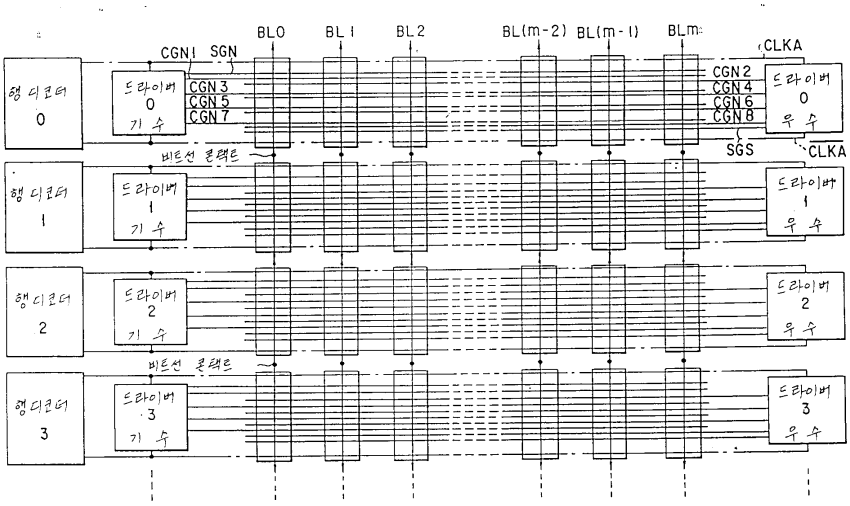
심사관 : 김용주

(54) 반도체 메모리장치

요약

전기적으로 재기록이 가능한 다수의 셀을 갖춘 낸드셀 유니트가 직렬로 접속된 메모리셀 어레이로 이루어진 낸드셀형 EEPROM과, 낸드셀은 매트릭스 어레이로 반도체기판에 형성되며, 다수의 제어게이트선(CG)은 동일한 행의 낸드셀군을 가로질러 제공되고, 각각의 비트선(BL)은 동일한 열의 낸드셀군을 가로질러 제공되며, 드라이버회로는 제어게이트선(CG)을 구동시키기 위해 2개에 대해 1개의 낸드셀 유니트의 비율로 메모리셀 어레이의 양측에 제공되며, 우수행의 낸드셀 유니트를 가로질러 제공되는 다수의 제어게이트선(CG)이 좌측 드라이버회로에 접속되고, 기수행의 낸드셀 유니트를 가로질러 제공되는 다수의 제어게이트선(CG)은 우측 드라이버에 접속된다.

대표도



명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래의 4M, 16M, 32M비트 낸드셀형 EEPROM의 코어부의 레이아웃을 나타낸 도면.

제2도는 제1도의 낸드셀형 EEPROM의 제1디코더회로와, 드라이버회로 및 낸드셀 행(row)의 회로를 나타낸 도면.

제3도는 디코더회로가 메모리셀 어레이의 우측 및 좌측에 제공되는 디코더회로의 예를 나타낸 도면.

제4도는 본 발명의 제1실시예의 낸드셀형 EEPROM의 코어부의 레이아웃을 나타낸 도면.

제5도는 제4도의 낸드셀형 EEPROM의 j번째 디코더회로와 그 드라이버회로 및 낸드열 메모리셀 어레이를 나타낸 도면.

제6도는 제4도의 낸드셀형 EEPROM의 (j+i)번째 디코더회로와 그 드라이버회로 및 낸드열 메로리셀 어레이를 나타낸 도면.

제7a도는 본 발명의 변형을 나타낸 도면.

제7b도는 본 발명의 변형을 나타낸 도면.

제8도는 DINOR셀형 EEPROM을 나타낸 도면.

제9도는 DINOR셀형 EEPROM을 나타낸 도면.

제10도는 본 발명의 제2실시예의 반도체 메모리장치의 기본적인 구조를 나타낸 도면.

제11도는 본 발명의 제3실시예의 반도체 메모리장치의 기본적인 구조를 나타낸 도면.

제12a도는 불량구제회로의 예를 나타낸 도면.

제12b도는 예비워드선 드라이버회로의 예를 나타낸 도면.

제13도는 행디코더회로의 예와 워드선 드라이버회로의 예를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 낸드셀 12 : 드라이버회로

13 : 행디코더회로 21 : 예비어레이

22 : 드라이버 23 : 행디코더

24 : 불량구제회로 25 : 센스증폭기

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 메모리셀 유니트를 형성하기 위해 다수의 메모리셀이 접속되는 반도체 메모리장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래 반도체 메모리장치의 하나로서 전기적으로 재기록이 가능한 EEPROM이 알려져 있다. EEPROM들 중에서 유니트의 일단이 비트선에 접속되고, 높은 집적화가 얻어질 수 있는 유니트를 형성하기 위해 다수의 메모리셀이 직렬로 접속되는 NAND셀이라 불리는 EEPROM에 주목해 왔다.

NAND셀형의 EEPROM의 하나의 메모리셀은 부유게이트(전하충전층)와 제어게이트가 절연막을 통해 반도체기판에 적층되는 FETMOS 구조로 구성되어 있고, NAND셀은 다수의 근접한 메모리셀이 공통으로 소스와 드레인을 사용하는 형태로 직렬로 접속된 다수의 메모리셀로 형성되어 있다. 그러한 NAND셀은 매트릭스 어레이로 배열되어 메모리셀 어레이가 형성된다.

메모리셀 어레이의 어레이 방향에 배열되는 NAND셀의 각각의 일단인 드레인은 선택게이트 트랜지스터를 통해 비트선에 공통으로 접속되며, 타단인 소스는 다른 선택트랜지스터를 통해 공통 소스선에 접속된다. 메모리 트랜지스터의 제어게이트와 선택게이트 트랜지스터의 게이트전극은 메모리셀 어레이의 열방향에 서로 공통으로 접속되고, 각각의 게이트는 제어게이트선(워드선)과 선택게이트선으로서 역할을 한다.

낸드형 EEPROM의 동작에 대해 다음에 상세히 설명한다.

데이터기록은 비트선에서 멀리 있는 메모리로부터 순서대로 수행된다. n채널의 경우에 고전압(예컨대 10V)이 선택된 메모리셀의 제어게이트에 인가되고, 중간전압(예컨대 10V)이 비트선의 측면에 있는 비선택 메모리셀의 제어게이트와 선택게이트 트랜지스터의 게이트에 인가된다. 0V(예컨대 1) 또는 중간전압(예컨대 0)은 데이터에 따라 비트선에 인가된다. 이때 비트선의 전압은 선택게이트 트랜지스터와 비선택 메모리셀을 통해 선택 메모리셀의 채널로 전달된다.

기록된(데이터는 1)데이터가 있을 때 고전계는 선택 메모리셀의 게이트와 채널간에 인가되고, 전극은 기판으로부터 부유게이트로 터널 삽입된다. 그에 대해 선택 메모리셀의 임계치는 정 방향으로 이동된다. 기록된 데이터(데이터는 0)가 없을 때 임계치는 변환된다.

데이터 소거를 위해 고전압은 p형 기판[웰(well)구조의 경우에 n형 기판과 그에 형성된 p형 웰]에 인가되고, 모든 메모리셀의 제어게이트와 선택 게이트 트랜지스터의 게이트는 0V로 셋트된다. 모든 메모리셀에 대해 부유게이트의 전자는 기판으로 방출되고 임계치는 부방향으로 변화된다.

데이터 독출을 위해 선택 메모리셀 이외의 선택 게이트 트랜지스터와 비선택 메모리셀은 온되고, 0V는 선택메모리셀의 게이트에 인가된다. 이때 비트선에 대한 전류의 흐름이 판독되고, 그에 따라 0과 1이 식별된다.

종래의 NAND셀형 EEPROM에 있어서 데이터 독출 또는 기록에서 선택게이트의 상승시간의 딜레이 문제와, 선택게이트의 하강시간의 딜레이 문제, 및 제어게이트의 딜레이시간의 부정합(mismatch)의 문제가 있다.

예컨대, 32M비트의 NAND셀형 EEPROM의 경우에 만약 하나의 제어게이트선의 폭이 0.5μm라면 길이가 7500μm, 시트저항(ρ)이 1μm×1μm당 70Ω, 저항이 1050KΩ으로 거의 1MΩ이다. 또한, 용량은 4.5PF이고, 그 CR 시간상수는 CR=4.5PF×1MΩ=4.5μs이다.

SPICE시뮬레이션에서 제어게이트선의 빌드업시간은 전원공급전압(Vcc)의 최고 90%까지 7.0μs로 귀착된다.

제1도는 종래의 4M비트, 16M비트, 32M비트 NAND셀형 EEPROM의 핵심부의 레이아웃을 나타내고 있다. BL0 내지 BLm은 비트선이며, CGN1 내지 CGN8은 제어게이트선, SGN은 드레인측 선택게이트선이고, SGS는 소스측 선택게이트선이다.

도면에 나타낸 바와 같이 제어게이트선(기수번호;CGN1,CGN3,CGN5,CGN7)과 드레인측 선택게이트선(SGN)은 도면의 좌측에 배열된 드라이버 기수회로(Driver odd circuits)에 의해 제어된다.
제어게이트선(우수번호;CGN2,CGN4,CGN6,CGN8)과 소스측 선택게이트선(SGS)은 도면의 우측에 배열된 드라이버 우수회로(driver even circuit)에 의해 제어된다.

동일 행의 NAND셀 그룹에 대한 드라이버회로가 우수회로(even circuit)와 기수회로(odd circuit)로 구분되는 이유는 하나의 제어게이트선에 대한 드라이브소자가 제어게이트선의 피치(pitch)에 제공될 수 없기 때문이다.

제2도는 제1도의 NAND형 EEPROM의 코어부(core section)의 제1디코더회로와, 드라이버회로, 낸드셀열의 특수한 구조를 나타내고 있다.

예컨대 독출 동작시에 제어게이트선(CGN3)이 선택되는 경우에 CGN3에 접속되는 메모리셀의 데이터(Cellj30~Cellj3m)는 비트선(BL0BLm)에서 독출되고, 제어게이트선(CGN3)은 접지전압(Vss;0V)으로 차지되며, 다른 제어게이트선(CGN1,CGN2,CGN4~CGN8)과 선택게이트선(SGN,SGS)은 전원공급전압(Vcc;5V)으로 차지된다.

이 경우에 제어게이트선과 선택게이트선의 드라이버회로는 우측 및 좌측으로 구분되도록 배열되고, 제어게이트선과 선택게이트선의 CR상수는 높아지게 되는 바, 즉 4.5ms이다. 이 때문에 충전/방전의 타이밍이 기수 및 우수의 제어게이트선과 드레인측 및 소스측의 선택게이트선간에서 서로 부합되지 않는 문제가 있다.

예컨대 보다 특별히 BL0에 접속되는 Cellj10~Cellj80은 다음과 같이 설명될 수 있다.

제어게이트선(기수번호; GGN1, CGN5, CGN7 및 드레인측 선택게이트선(SGN))은 Cellj10~Cellj80에 가장 가까운 드라이버 기수회로에 의해 5V로 차지된다. 이때 제어게이트선(우수번호; CGN2,CGN4,CGN6,CGN8) 및 소스측 선택게이트선(SGS)은 Cellj10에서 Cellj80까지 가장 먼 드라이버 우수회로에 의해 5V로 차지된다.

동일한 NAND셀에 있어서 상기 설명한 바와 같이 만약 제어게이트선의 구동회로와 선택게이트선이 우측 및 좌측으로 구분되도록 배열되면, 충전/방전의 타이밍은 동일한 NAND셀의 기수와 우수 제어게이트선이 서로 부합하지 않는다는 문제가 있다. 예컨대, 32M비트 NAND셀형 EEPROM의 경우에 제어게이트선의 라인피치는

1.05㎛(라인폭 0.55㎛/space 0.50㎛)이고, 하나의 제어게이트선에 대한 드라이버회로는 이 피치에 공급될 수 없다. 이 때문에 드라이버회로는 우측 및 좌측으로 구분될 필요가 있다.

특히, 종래의 NAND셀형 EEPROM에 따라 디코더회로의 출력신호(CLKAj, /CLKAj)는 좌측의 드라이버 기수회로뿐만 아니라 우측의 드라이버 우수회로로 입력된다. 이 때문에 출력신호(CLKAj,/CLKAj)는 메모리셀 어레이 상에서 수행되어야 하며, 저항 용량이 긴 배선길이에 의해 증가된다는 문제가 발생한다. 이 때문에 좌측의 드라이버 기수회로와 우측의 드라이버 우수회로에 대한 디코더회로의 출력신호(CLKAj,/CLKAj)를 입력하기 위한 시간에 시간차가 발생하여, 고속의 독출 동작이 시간차에 의해 억제되게 된다.

더욱이, 출력신호(CLKAj,/CLKAj)의 배선이 메모리셀 어레이의 우측 및 좌측을 가로질러 형성되기 때문에 배선층이 제어게이트선과 선택게이트선 및 비트선과 다르게 형성될 필요가 있다. 특히, 부유게이트가 제1층의 폴리실리콘을 사용하는 경우, 제어게이트선과 선택게이트선은 제2층의 폴리실리콘을 사용하고, 출력신호(CLKAj,/CLKAj)의 배선은 만약 비트선이 제3층의 폴리실리콘을 사용한다면 Al로 형성된다. 반대로 만약 출력신호(CLKAj,/CLKAj)의 배선이 제3층의 폴리실리콘을 사용한다면 비트선은 Al로 형성된다. 이와 같이 종래의 NAND셀형 EEPROM에 있어서 출력신호(CLKAj,/CLKAj)의 배선이 메모리셀 어레이의 우측 및 좌측을 가로질러 형성되기 때문에 3개의 폴리실리콘 층과 하나의 Al층이 요구된다.

다음에, 제3도에 나타낸 바와 같이 디코더회로로서 만약 행디코더(r)가 메모리셀 어레이의 우측에 공급되고, 행디코더(1)가 각각 좌측에 공급된다면 출력신호(CLKAj,/CLKAj)의 배선은 메모리셀 어레이의 우측 및 좌측을 가로질러 형성될 필요가 있다. 그러나 이 경우, 디코더회로의 수가 2배로 되어 칩영역이 증가하고 제조비용의 증가가 초래된다.

특히, 예컨대 기록동작시에 제어게이트선(CGN8)이 선택되는 경우에 데이터는 메모리셀(Cellj80~Cellj8m)에 기록되고, 이 메모리셀은 CGN8에 접속되며, 제어게이트선(CGN8)은 고전압(Vpp;20V)으로 차지되고, 다른 제어게이트선(CGN1~CGN7)과 드레인측 선택게이트선(SGN)은 중간전압(Vm;10V)으로 차지된다. 기록동작일 경우에도 제1도와 제2도에 나타낸 종래의 NAND셀형 EEPROM의 레이아웃에 따르면 동일한 NAND셀의 기수 및 우수 제어게이트선과 좌측 드라이버 기수회로 및 우측 드라이버 우수회로로부터의 드레인측 및 소스측의 선택게이트선에서 시간차가 발생된다는 문제가 있다.

종래의 반도체 메모리장치에 따르면 예비메모리셀 어레이는 불량비트를 구제(save)하기 위해 제공된다. 불량셀의 어드레스와 입력어드레스가 서로 순응될 때, 예비 메모리셀 어레이의 워드선이 선택되어, 불량셀이 예비셀로 대체된다.

이러한 불량비트를 구제하기 위해 제3도에 나타낸 바와 같이 워드선 드라이버와 행디코더가 메모리셀 어레이의 양측에 제공되는 구조에 의하면 워드선간의 쇼트회로와 같은 불량이 2개의 인접하는 워드선간에서 발생되는 경우에 양측의 행디코더는 구제되어야 한다. 즉, 불량 구제는 하나의 불량이 2개의 행디코더에 의해 구제되는 것과 같은 낮은 효율로 수행되어야 한다.

상기한 바와 같이 종래의 NAND셀형 EEPROM에 의하면, 동일한 NAND셀의 드라이버는 제어게이트선의 피치의 제한 때문에 메모리셀 어레이의 우측과 좌측에서 드라이버 우수회로 및 드라이버 기수회로로 구분된다. 이 때문에 여기에는 다음과 같은 문제가 있었다.

특히, 동일한 NAND셀의 기수 및 우수 제어게이트선과 드레인 및 소스측의 선택게이트 간에서 시간 차가 발생되고, 독출 및 기록 동작이 불안정해지며 신뢰성이 경감된다.

더욱이, 종래의 NAND형 EEPROM에 의하면 디코더회로의 출력신호가 좌측 드라이버 기수회로와 우측 드라이버 우수회로 양쪽으로 입력되기 때문에 출력신호는 메모리셀 어레이 상에서 수행되어야 한다. 이 때문에 다음과 같은 문제가 있다.

특히, 디코더회로의 출력신호는 한 배선층이 필요하기 때문에 제조비용이 증가한다.

더욱이, 만약 디코더회로가 메모리셀 어레이의 양측에서 제공된다면 행디코더의 수는 두 배가 된다. 이 때문에 칩의 면적이 증가한다.

더욱이, 워드선 드라이버와 행디코더가 워드선마다 각 측에서 구동되는 메모리셀 어레이의 양측에서 제공되는 구조에서는 불량비트의 구제효율이 낮다는 문제가 있었다.

더욱이, 종래에는 동일 셀유니트에 제공되는 우수 워드선의 드라이버 회로와 기수 워드선의 드라이버회로가 우측 및 좌측으로 구분되기 때문에 양측의 드라이버 회로는 조작 시에 선택되어야 했다. 이 때문에, 메모리셀의 소거/기록 데이터에 필수적인 고전압(칩에 승압된(boosted)전압)이 우측 및 좌측 드라이버회로에 인가되어야 하기 때문에, 전압 부스터회로의 부하용량이 크다는 문제가 발생하고, 전압부스터회로의 면적이 증가하며, 데이터 소거/기록 시간이 증가한다.

상기한 문제는 NAND셀 EEPROM에 한정되지는 않는다. 병렬로 연결된 다수의 메모리셀로 구성된 메모리셀 어레이를 갖춘 DINOR셀형 EEPROM과 AND셀형 EEPROM과 같은 반도체 메모리장치에서 발생하고 있다. 더욱이, 이러한 문제는 불휘발성 메모리셀을 사용하는 반도체 메모리장치에서 발생하는 상기 문제에 한정되는 것은 아니다. 동일한 문제가 다이나믹형의 셀을 사용하는 반도체 메모리장치에서 발생한다고 말할 수 있다. 더욱이, 동일한 문제가 메모리셀이 어레이 형태로 배열되어 있는 반도체 메모리장치에서 발생한다고 말할 수 있다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 행디코더의 수를 증가시키지 않고, 행디코더 회로의 출력신호가 메모리셀 어레이 상을 가로질러 우측 및 좌측 드라이버회로로 입력될 필요가 없으며, 배선층을 위한 하나의 층을 줄일 수 있고, 제조비용이 경감될 수 있도록 된 반도체 메모리장치를 제공함에 그 목적이 있다.

또한, 본 발명은 NAND셀과 DINOR셀 또는 AND셀과 같은 동일한 셀에서 제어선과 선택게이트선을 위한 충전/방전 시간이 균일하게 셋트될 수 있고, 안정적인 동작이 독출 및 기록 시에 수행될 수 있으며, 신뢰성이

개선될 수 있도록 된 반도체 메모리장치를 제공함에 다른 목적이 있다.

또한, 본 발명은 워드선간의 쇼트회로(short-circuit)가 2개의 인접하는 워드선간에서 발생되는 경우를 구제하기 위한 처리가 단순화될 수 있으며, 불량비트의 구제효율이 개선될 수 있도록 된 반도체 메모리장치를 제공함에 또 다른 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명에 따른 반도체 메모리장치에 의하면, 접속된 다수의 메모리셀을 갖추면서 매트릭스형상으로 배열된 다수의 메모리셀 유니트로 이루어진 메모리셀 어레이와, 상기 메모리셀을 선택하기 위한 워드선, 상기 메모리셀에 대해 데이터를 기록/독출하기 위한 비트선, 상기 워드선을 선택하기 위한 행선택수단, 상기 비트선을 선택하기 위한 열선택수단 및, 상기 메모리셀 어레이의 양측에 제공되고, 다수의 워드선을 구동시키기 위한 워드선 드라이버를 구비하여 구성되고, 상기 워드선이 상기 메모리셀 유니트에 접속되도록 각각 연속적으로 인접되게 제공되는 다수의 워드선을 갖춘 블록으로 분할되고, 동일 블록의 상기 워드선이 대응하는 동일 드라이버에 접속된다.

또한, 본 발명에 따른 반도체 메모리장치에 의하면, 접속된 다수의 전기적으로 재기록이 가능한 메모리셀을 갖춘 메모리셀 유니트가 형성되고, 이 메모리셀 유니트가 매트릭스 어레이로 반도체 기판 상에 형성되는 메모리셀 어레이와, 동일한 행의 각각의 메모리셀 유니트를 가로질러 제공되는 다수의 제어게이트선, 동일 열의 상기 메모리셀 유니트를 가로질러 제공되는 각각의 비트선 및, 워드선을 구동시키기 위해 2개에 대해 1개의 메모리셀 유니트의 피치로 메모리셀 어레이의 양측에 제공되는 워드선 드라이버를 구비하여 구성되고, 우수로 번호 붙여진 행의 상기 메모리셀 유니트를 가로질러 제공되는 다수의 워드선이 상기 메모리셀 어레이의 일단측에 제공된 드라이버에 접속되고, 기수로 번호 붙여진 행의 상기 메모리셀 유니트를 가로질러 제공된 다수의 워드선이 상기 메모리셀 어레이의 타단측에 제공된 드라이버에 접속된다.

다음의 요점은 바람직한 특정 형태로서 고려될 수 있다.

(1) 행디코더는 메모리셀 어레이의 양측에서 워드선에 대응하도록 제공되며,

(2) 워드선의 각 블록은 하나의 블록 또는 2개의 블록마다 메모리셀 어레이의 양측의 워드선 드라이버에 양자 택일적으로 접속되며,

(3) 메모리셀은 부유게이트(전하축적층)와 제어게이트가 적층되는 불휘발성 메모리셀이며,

(4) 메모리셀 유니트는 직렬로 접속된 다수의 메모리셀을 갖춘 낸드셀이며,

(5) 상기 낸드셀은 드레인측의 선택게이트선을 통해 비트선에 접속되고, 소스측이 선택게이트선을 통해 셀 소스(cell source)에 접속되며, 드레인과 소스측의 각각의 선택게이트선은 드라이버 회로에 의해 제어되며,

(6) 메모리셀 유니트는 병렬로 접속된 다수의 메모리셀을 갖춘 NAND셀 또는 DINOR셀이며,

(7) 동일 셀 유니트의 워드선은 셀 어레이의 우측과 좌측에 배치된 드라이버 회로의 하나에 접속된다.

또한, 본 발명에 따른 반도체 메모리장치에 의하면, 접속된 다수의 메모리셀을 갖추면서 매트릭스형상으로 배열된 다수의 메모리셀 유니트로 이루어진 메모리셀 어레이와, 상기 메모리셀을 선택하기 위한 워드선, 상기 메모리셀 어레이의 양쪽에 제공된 다수의 메인 행디코더와 메인 워드선 드라이버, 상기 메모리셀 어레이의 불량셀을 구제하기 위한 예비 메모리셀 어레이, 이 예비 메모리셀 어레이의 양쪽에 배열된 다수의 예비워드선 드라이버 및, 입력된 어드레스가 불량셀의 어드레스와 부합되는 경우 상기 예비워드선 드라이버를 선택하도록 불량셀의 어드레스를 저장하기 위한 불량구제회로를 구비하여 구성되고, 상기 메인 디코더에 의해 선택됨과 더불어 상기 메인 워드선 드라이버에 의해 구동되는 워드선이 다수의 연속적인 워드선을 갖춘 블록으로 분할되고, 동일한 블록의 워드선이 동일한 메인 행디코더에 의해 선택된다.

다음의 요점은 바람직한 특정 형태로서 고려될 수 있다.

(1) 불량비트를 구제하기 위한 수단은 행디코더의 다수의 유니트 또는 행디코더의 유니트에 의해 불량셀을 구제하고 있으며,

(2) 각각의 행디코더는 메모리셀 유니트의 다수의 유니트 또는 메모리셀 유니트의 유니트를 선택하며,

(3) 불량비트를 구제하기 위한 수단은 메모리셀 어레이의 각 측에서 다른 불량 어드레스를 구제하며,

(4) 각각의 워드선의 블록은 한 또는 2개의 블록마다 메모리셀 어레이 양측의 워드선 드라이버에 양자 택일적으로 접속된다.

본 발명의 메모리장치에 의하면, 드라이버회로(워드선 드라이버)는 메모리셀 어레이의 양측에 제공된다. 그러나, 동일 행의 메모리셀 유니트 각각에 있어서 제어게이트선(워드선)은 기수 또는 우수 제어게이트선에 상관없이 드라이버회로(동일 드라이버회로)의 한쪽에 접속된다. 따라서, 동일 메모리셀 유니트에 있어서 기수 및 우수 제어게이트선의 충전/방전간의 시간차가 발생됨에 따른 손실이 전혀 없어, 안정적인 동작이 독출 및 기록시에 수행될 수 있고, 신뢰성이 개선될 수 있다.

더욱이, 행디코더의 수는 증가하지 않고, 행디코더회로의 출력신호가 메모리셀 어레이상을 가로질러 우측 및 좌측 드라이버회로로 입력되어, 디코더회로의 배선전항과 캐패시턴스로 인한 딜레이가 경감될 수 있으며, 따라서 고속의 독출 및 기록이 수행될 수 있다. 더욱이, 디코더회로의 출력노드의 배선 캐패시티가 크게 경감될 수 있기 때문에, 디코더회로를 형성하는 트랜지스터의 크기가 경감될 수 있어 칩 면적과 전력의 소비를 줄일 수 있다. 더욱이, 디코더회로의 출력신호에 필수적인 배선층의 수가 경감될 수 있어, 제조 공정이 간단해지고 수율이 개선됨에 따라 동일 행디코더가 증가한다. 따라서, 비트선의 구제 효율이 개선될 수 있으며, 제조비용이 경감될 수 있다.

[제1실시예]

이하, 예시도면을 참조하여 본 발명에 따른 제1실시예를 상세히 설명한다.

제4도는 본 발명의 제1실시예의 낸드셀형 EEPROM의 코어부의 레이아웃을 나타내고 있다. BL0 내지 BLm은 비트선이고, CG1 내지 CGN8은 제어게이트선이며, SGN, SGS는 각각 드레인측 및 소스측 선택게이트선이다.

도면에 나타낸 바와 같이 낸드셀(11)은 메모리셀 어레이를 구성하기 위해 매트릭스(예컨대 행디코더에서는 m, 열디코더에서는 n)로 형성한다. 다수의 제어게이트(CG; 워드선)와 선택게이트선은 각각 동일 행의 낸드셀 그룹을 가로질러 제공되고, 비트선(BL)은 각각 동일 열의 낸드셀 그룹을 가로질러 제공된다. 낸드셀(11)에서 부유게이트와 제어게이트는 절연막을 통해 반도체 기판에 적층되고, 따라서 FETMOS구조를 지닌 불휘발성 메모리셀이 형성되며 다수의 메모리셀이 직렬로 접속됨에 주목해야 한다.

하나의 드라이버회로(12)는 2개에 대해 1개의 낸드셀그룹의 비율이 메모리셀 어레이의 양측에 제공된다. 행디코더회로(12)는 각각의 드라이버회로(12)에 접속된다. 특히, 우수드라이버회로(12)는 메모리셀 어레이의 좌측에 공급되고, 기수 드라이버회로(12)는 메모리셀 어레이의 우측에 제공된다. 다음에, 행디코더회로(13)는 어레이에 대해 반대측인 각각의 드라이버회로(12)에 제공된다.

각각의 드라이버회로(12)는 제어게이트선을 위한 드라이브소자와 동일 낸드셀 그룹에 대한 선택게이트선을 위한 드라이브요소를 구비하여 구성되고 있다. 다음에 우수로 번호붙여진 낸드셀 그룹의 제어게이트선과 선택게이트선은 도면의 좌측의 우수드라이버회로에 접속되고, 기수로 번호 붙여진 낸드셀 그룹의 제어게이트와 선택게이트선은 도면의 우측이 기수회로에 연결된다.

제5도와 제6도는 제4도의 낸드셀형 EEPROM의 j번째 행디코더회로와 (j+1)번째 행디코더회로를 나타내고 있으며, 드라이버회로와 2개의 낸드셀 그룹에 대응하고 있다. RAi, RBi, RCi는 행 프리디코더(precodee)의 출력이며, EARSECB와 ERASEC는 소거(erasing)를 위한 제어신호이며, VppRW는 내부 충전 펌프회로에 의해 발생되는 고전압이다.

제4도, 제5도, 제6도에 나타낸 바와 같이 대응하는 행디코더회로(13)와 드라이버회로(12)는 낸드셀 그룹마다 메모리셀 어레이의 우측 및 좌측에 선택적으로 제공된다. 다음에 동일한 낸드셀 그룹에 있어서 동일 낸드셀 그룹을 가로지르는 제어게이트와 선택게이트는 동일 드라이버회로(2)에 연결된다. 이 때문에 동일 낸드셀에 있어서 독출 동작과 기록 동작시에 동일한 낸드셀을 가로지르는 제어게이트선과 선택게이트선의 충전/방전시간 사이의 차이(difference)에 의해 발생되는 전위차는 전혀 없다. 이에 의해 독출 및 기록이 안정되게 동작된다.

더욱이, 드라이버회로(12)가 2개에 대해 1개의 낸드셀 그룹의 비율로 제공되기 때문에 하나의 제어게이트선에 대한 드라이버소자는 제어게이트선의 2개의 피치(pitch)를 위한 영역에 제공될 수 있다. 또한, 제어게이트선의 피치가 제1도의 종래의 경우에 나타낸 것보다 더욱 좁은 경우조차 동작은 적절히 수행될 수 있다. 더욱이 동일한 낸드셀 그룹에 대한 드라이버회로(12)가 분리되지 않기 때문에 출력신호가 우측과 좌측으로 구분될 필요가 없다. 다음에, 배선길이에 의한 저한 캐패시턴스가 경감될 수 있다.

그러므로 상기 실시예에 의하면 드라이버회로가 메모리셀 어레이의 양쪽에 제공되는 점에도 불구하고 동일한 낸드셀의 제어게이트선과 선택게이트선의 충전/방전을 균일하게 셋트할 수 있으며, 안정적인 동작이 독출 동작과 기록동작시에 수행될 수 있으며 신뢰성이 개선될 수 있다.

또한 행디코더회로의 수는 증가하지 않고, 행디코더회로의 출력은 우측 및 좌측 드라이버회로로 입력되는 메모리셀 어레이를 가로지를 필요가 없으며, 제조공정이 단순화 될 수 있고, 수율이 개선될 수 있으며, 따라서 제조비용이 크게 경감될 수 있다.

상기 실시예에 의하면 동일 셀 유니트의 워드선은 어레이의 우측과 좌측으로 구분된 드라이버회로의 하나로부터 선택된다. 그러므로, 드라이버회로의 우측과 좌측 드라이버 중의 하나만이 동작시간 중에 선택될 수 있기 때문에 전압부스터회로의 부하용량은 반으로 된다. 그러므로, 전압부스터회로의 면적은 경감될 수 있고, 데이터 소거/기록시간은 단축될 수 있다.

전압부스터회로의 캐패시터가 작아진다는 점에 대해 부가하여 고속의 동작은 어드레스 디코더회로가 워드선 드라이버회로 외에 우측과 좌측에 제공되기 때문에 데이터 소거/기록의 경감에 의해 개선될 수 있고, 어드레스신호가 메모리셀 어레이를 가로지르지 않아 배선에 기인한 타임 딜레이가 경감된다.

상기 실시예는 낸드셀형 EEPROM이 사용되는 경우를 설명했으며, 열방향으로 기수 및 우수 낸드셀 그룹에 대응하는 행디코더회로와 드라이버회로는 메모리셀 어레이의 우측 및 좌측으로 양자 택일적으로 구분되도록 배열된다. 그러나, 본 발명은 대응하는 행디코더회로와 드라이버회로가 예컨대 2개의 행인 다수의 낸드셀 그룹의 다수의 행마다 메모리셀 어레이의 우측 및 좌측으로 구분되도록 제공된다.

제7a도는 메모리셀 어레이의 우측 및 좌측에서 하프 피치(half pitch)에 의해 이동되는 드라이버회로의 경우를 나타내고 있다. 제7b도는 드리이버회로가 낸드셀 그룹의 2개의 행마다 메모리셀 어레이의 우측 및 좌측으로 구분되도록 제공되는 경우를 나타내고 있다. 이러한 구조에 있어서 제1실시예와 동일한 효과가 얻어질 수 있다. 만약 드라이버 회로에서 낸드셀로의 배선면적이 충분히 이용 가능하다면 드라이버회로는 낸드셀 그룹의 3개 또는 그 이상의 행마다 메모리셀 어레이의 우측 및 좌측으로 구분되도록 제공될 수 있다.

본 발명은 낸드셀형 EEPROM뿐만 아니라 노멀 NOR구조, AND구조, DINOR구조를 갖춘 EEPROM과 같은 다른 불휘발성 메모리에도 역시 적용될 수 있다. 더욱이, 본 발명은 낸드구조 또는 불휘발성 메모리 이외의 캐스캐이드(casa|cade) 구조를 지닌 DRAM에 유용하다. 더욱이, 본 발명은 본 발명의 요점을 벗어나지 않는 범위 내에서 다양하게 변형할 수 있다.

제8도는 DINOR셀형 EEPROM의 등가회로를 나타낸 것이고, 제9도는 AND셀형 EEPROM의 등가회로를 나타내고 있다. 도면에서 Ws(W0, W1 내지 W31)는 제어게이트이며, ST, ST1, ST2는 선택게이트이고, Ds(D0, D1 내지 Dn)는 메인 비트선이며, S는 공통소스선이며, LB는 로컬비트선이며, LS는 로컬 소스선이고, AND는 AND셀 블록이다.

DINOR형과 AND형 양쪽에서 제어게이트(워드선)의 배선피치는 작다. 이 때문에 행디코더회로와 워드선 드라이버회로를 설계하는 일이 곤란하다. 그러므로 메모리셀 어레이의 양측에서 행디코더회로와 드라이버회로를 제공하는데 상당히 유용하다.

[제2실시예]

제10도는 불량비트 구조 기능을 지닌 본 발명의 제2실시예의 반도체 메모리장치의 기본적인 구조를 나타낸 것이다.

행디코더(23; RDC0…)는 DRAM 메모리셀이 어레이 형태로 배열되는 메모리셀 어레이(21)의 양측에 제공된다. 워드선 그룹의 선택은 워드선 드라이버(22; WRD0…)를 통해 4개의 워드선(WL)마다 수행된다. 하나의 행디코더(23)에 의해 선택되는 워드선(4개의 워드선)의 그룹은 메모리셀(21)에 인접한 형태로 배치된다. 예비 메모리셀 어레이(21')는 메모리셀 어레이(21)처럼 동일한 비트선(BL)에 접속된다. 구제 어드레스가 외부 유니트로부터 입력된 어드레스(도시되지 않았음)와 비교되고, 양쪽이 순응되는 경우에 예비 어레이(21)는 워드선 드라이버(22'; SWDRA, SWDRB)를 통해 불량구제회로(24; SRDCA, SRDCB)에 의해 선택된다.

불량구제회로(24)는 예비메모리셀 어레이(21')의 양측에 배열되고, 각 측에서 독립적으로 불량을 구제할 수 있다. 이 경우에 S는 센스증폭기(25; S/A)의 우측과 좌측을 판별하기 위한 신호이다. 상기와 같은 배열에 의해 예컨대 WLF0와 WFL1이 단락(short-circuited)되는 경우에, 행디코더(23)의 RDC1은 구제될 수 있고 어드레스는 불량구제회로(24)의 SRDCB에 저장될 수도 있다.

이때 반대측의 불량구제회로(SRDCA)가 사용되지 않기 때문에 불량구제회로(SRDCA)는 다른 위치의 불량을 구제하기 위해 사용될 수 있다. 즉, 제3도에 나타낸 바와 같이 빗과 같은 방식(comb-like manner)으로 워드선을 구동하는 레이아웃에서 우측 및 좌측에 제공되는 2개의 행디코더회로는 대체되어야 하고 양측의 불량구제회로(SRDCA, SRDCB)가 사용되어야 한다.

상기한 바와 같이 본 발명에 의하면 워드선 드라이버(22)와 행디코더(23)는 메모리셀 어레이(21)의 양측에 제공되며, 4개의 연속적으로 번호 붙여진 워드선을 지닌 각각의 블록으로 구분되는 워드선은 양측의 드라이버(22)에 교대로 접속된다. 이 때문에 동일한 블록의 워드선은 동일한 행디코더(23)에 의해 선택된다. 메모리셀 어레이의 인접한 워드선이 동일한 행디코더에 의해 선택되는 비율은 증가한다. 그러므로 워드선간의 단락회로(short-circuited)에 기인한 불량이 발생하는 경우조차 상기 불량의 비율은 증가되는 하나의 행디코더(23)에 의해 구제될 수 있다. 이것에 의해 비트선의 구제효율이 개선될 수 있으며, 제조비용이 경감될 수 있다.

블록으로 구분되는 워드선의 수가 4개로 제한되지 않고 사양(specification)에 따라 적절히 변화될 수 있음에 주목해야 한다. 더욱이, 상기 실시예에 의하면 다수의 라인을 구동시키는 워드선 드라이버가 필수로 형성된다. 그러나, 워드선 드라이버는 워드선마다 분리될 수도 있다. 한마디로 말하면 본 발명은 행디코더가 워드선 드라이버를 통해 연속적으로 번호 붙여진 다수의 워드선을 선택할 수 있고, 동일한 블록의 워드선이 동일한 행디코더에 의해 선택될 수 있도록 조립될 수도 있다. 더욱이, 메모리셀은 DRAM에 한정되는 것은 아니며, PROM과 EEPROM과 같은 다른 불휘발성 메모리셀이 이용될 수도 있다.

[제3실시예]

제11도는 불량비트 구제기능을 갖춘 본 발명의 제3실시예의 반도체 메모리장치의 기본구조를 나타낸 도면이다. 본 실시예에 의하면 메모리셀이 직렬로 접속되는 메모리셀 유니트(낸드셀)를 지닌 어레이가 사용된다.

제3실시예의 구조는 어레이 구조가 제2실시예와 다른 것을 제외하면 제2실시예의 그것과 기본적으로 동일하다. 제11도의 참조부호(31 내지 35)는 각각 제10도의 참조부호(21 내지 25)에 대응하고 있다. 하나의 행디코더회로(33)에 의해 선택된 워드선의 수는 하나의 메모리셀 유니트에서의 워드선의 수에 적합화되고 있다. 이것에 의해 행디코더(33)의 하나의 어드레스가 저장되고 따라서 메모리셀 유니트의 유니트가 대체될 수 있다.

일반적으로 메모리 구조에서 데이터가 비트선 콘택트로부터 멀리 위치한 메모리셀로부터 독출될 때 데이터는 가까운 메모리셀을 통해 독출되어야 한다. 만약 가까운 메모리셀에서 불량이 발생한다면, 비트선 콘택트로부터 멀리 위치한 메모리셀의 데이터는 독출될 수 없다. 그러므로 메모리셀 유니트의 하나의 비트라도 결함이 있다면 전체 메모리셀 유니트가 교환되어야 한다. 이러한 문제를 해결하기 위해 만약 행디코더의 유니트가 상기 실시예에 언급한 바와 같이 메모리셀 유니트에 대응한다면 유니트의 구제는 하나의 어드레스를 저장함으로서 실현될 수 있다.

이때 만약 하나의 불량구제회로(예컨대 SDRCA)가 하나의 메모리셀 유니트의 불량을 위해 사용된다면 다른 불량구제회로(예컨대 SDRCB)는 사용될 수 없을 것이다. 즉, 제3도에 나타낸 바와 같이 빗과 같은 방식(comb-like manner)의 워드선을 구동시키는 레이아웃에서 2개의 행디코더가 대체되어야 하고, 양측의 불량구제회로(SRDCA, SRDCB)가 사용되어야 한다. 그러므로, 본 발명에 의하면 불량구제 효율이 배가 된다.

제12a도는 불량구제회로(SRDCC)의 특정 구조를 나타내고 있고, 제12b도는 예비 워드선 드라이버회로의 특정 구조를 나타내고 있다. 또한 제13도는 행디코더(RDC0…)와 워드선 드라이버회로(WDR0…)의 특정 구조를 나타내고 있다.

비록 낸드셀형 EEPROM 또는 플래쉬 EEPROM 및 SRAM과 같은 불휘발성 메모리에 의해 간단히 실현될 수 있는 그러한 개념이 실시예로서 나타나 있지는 않더라도 이것은 본 발명의 범위이다.

더욱이 본 발명에 의하면 불량구제는 행디코더의 유니트에 의해 수행된다. 그러나 이것은 행디코더의 많은 수의 유니트에 의해 수행될 수 있다. 더욱이 상기 실시예는 행디코더의 유니트가 낸드형 셀인 경우에 메모리셀 유니트의 유니트와 순응되는 경우를 설명하고 있다. 그러나, 행디코더의 유니트는 많은 수의 메모리셀 유니트와 순응될 수도 있다. 제12도와 제13도에 나타낸 본 발명의 회로 대신에 만약 제12도와 제13도의 회로와 같은 동일한 기능이 수행된다면 다른 회로 형태가 사용될 수도 있다. 그러한 경우에 본 발

명은 유용하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 드라이버회로는 메모리셀 어레이의 양측에 제공되고, 동일한 행의 메모리셀 유니트를 가로질러 제공되는 다수의 제어게이트는 동일한 드라이버회로에 접속된다. 이 때문에 동일한 셀에서 제어되는 선택게이트선을 위한 충전/방전 시간이 균일하게 셋트될 수 있고, 충전/방전 시간간의 전위 레벨의 차이는 독출 및 기록이 시작될 때 발생되지 않으며, 이것에 의해 안정적인 동작이 수행될 수 있으며 높은 신뢰성을 지닌 반도체 장치가 실현될 수 있다.

더욱이, 워드선간에 단락회로와 같은 불량이 발생되는 경우조차 그러한 불량은 메모리셀 어레이의 인접한 워드선이 동일한 행에 의해 선택되는 비율이 높기 때문에 하나의 행디코더에 의해 구제될 수 있다. 그러므로 2개의 워드선간의 단락회로가 발생될 때 구제가 쓸모 없게 되는 것을 방지하고 불량비트의 구제효율을 개선할 수 있는 반도체 메모리장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1

접속된 다수의 메모리셀을 갖추면서 매트릭스형상으로 배열된 다수의 메모리셀 유니트로 이루어진 메모리셀 어레이와, 상기 메모리셀을 선택하기 위한 워드선, 상기 메모리셀에 대해 데이터를 기록/독출하기 위한 비트선, 상기 워드선을 선택하기 위한 행선택수단, 상기 비트선을 선택하기 위한 열선택수단 및, 상기 메모리셀 어레이의 양측에 제공되고, 다수의 워드선을 구동시키기 위한 워드선 드라이버를 구비하여 구성되고, 상기 워드선이 상기 메모리셀 유니트에 접속되도록 각각 연속적으로 인접되게 제공되는 다수의 워드선을 갖춘 블록으로 분할되고, 동일 블록의 상기 워드선이 대응하는 동일 드라이버에 접속되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 메모리셀 유니트는 상기 다수의 메모리셀이 직렬로 접속되거나 또는 상기 다수의 메모리셀이 병렬로 접속됨으로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 각각의 워드블록이 하나의 블록 또는 2개의 블록마다 상기 메모리셀 어레이의 양측에 제공된 워드선 드라이버에 교대로 접속되는 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제1항에 있어서, 상기 행선택수단이 상기 워드선 드라이버에 대응하는 상기 메모리셀 어레이의 양측에 제공되는 것을 특징으로 하는 반도체 메모리장치.

청구항 5

제4항에 있어서, 상기 행선택수단으로부터 상기 워드선 드라이버로 보내진 출력신호를 공급하기 위한 신호선을 더 구비하여 구성되고, 상기 신호선이 상기 메모리셀 어레이를 가로지르지 않도록 된 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제1항에 있어서, 메모리셀 어레이의 우측 및 좌측에 제공된 드라이버회로 중에서 하나만이 데이터 소거/기록 동안 동작하도록 선택되는 것을 특징으로 하는 반도체 메모리장치.

청구항 7

접속된 다수의 전기적으로 재기록이 가능한 메모리셀을 갖춘 메모리셀 유니트가 형성되고, 이 메모리셀 유니트가 매트릭스 어레이로 반도체 기판 상에 형성되는 메모리셀 어레이와, 동일한 행의 각각의 메모리셀 유니트를 가로질러 제공되는 다수의 제어게이트선, 동일 열의 상기 메모리셀 유니트를 가로질러 제공되는 각각의 비트선 및, 워드선을 구동시키기 위해 2개에 대해 1개의 메모리셀 유니트의 피치로 메모리셀 어레이의 양측에 제공되는 워드선 드라이버를 구비하여 구성되고, 우수로 번호 붙여진 행의 상기 메모리셀 유니트를 가로질러 제공되는 다수의 워드선이 상기 메모리셀 어레이의 일단측에 제공된 드라이버에 접속되고, 기수로 번호 붙여진 행의 상기 메모리셀 유니트를 가로질러 제공된 다수의 워드선이 상기 메모리셀 어레이의 타단측에 제공된 드라이버에 접속되는 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제7항에 있어서, 행선택수단이 상기 워드선 드라이버에 대응하는 상기 메모리셀 어레이의 양측에 제공되는 것을 특징으로 하는 반도체 메모리장치.

청구항 9

제7항에 있어서, 상기 행선택수단으로부터 상기 워드선 드라이버로 보내진 출력신호를 공급하기 위한 신호선을 더 구비하여 구성되고, 상기 신호선이 메모리셀 어레이를 가로지르지 않도록 된 것을 특징으로 하는 반도체 메모리장치.

청구항 10

제7항에 있어서, 상기 메모리셀 유니트는 상기 다수의 메모리셀이 직렬로 접속되거나 또는 상기 다수의

메모리셀이 병렬로 접속됨으로서 형성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제7항에 있어서, 메모리셀 어레이 중의 우측과 좌측에 제공된 드라이버회로 중 하나만이 데이터 소거/기록 동안 동작되도록 선택되는 것을 특징으로 하는 반도체 메모리장치.

청구항 12

각각 게이트 전극과, 소스와 드레인 및 전기적 전하축적층을 갖춘 MOSFET의 다수의 메모리셀을 갖추고 매트릭스형상으로 행방향과 열방향으로 제공되는 메모리셀 유니트로 이루어진 메모리셀 어레이와, 상기 메모리셀의 게이트전극에 접속된 다수의 워드선, 상기 유니트의 일단에 위치한 상기 소스 또는 드레인 중의 하나에 접속된 다수의 비트선, 행방향으로 제공되는 상기 메모리셀 유니트에 공통으로 제공되고, 상기 다수의 워드선에 연결되는 행선택수단, 열방향으로 제공되는 상기 메모리셀 유니트에 공통으로 제공되고, 상기 다수의 비트선에 연결되는 열선택수단 및, 상기 메모리셀 어레이와 상기 행선택수단 사이와, 열방향으로 평행하게 제공되는 상기 2개의 메모리 유니트의 측면의 영역에 제공되고, 2개의 메모리셀 유니트중 하나에만 접속된 상기 다수의 워드선을 구동시키도록 접속된 워드선 드라이버를 구비하여 구성된 것을 특징으로 하는 반도체 메모리장치.

청구항 13

제12항에 있어서, 상기 메모리셀 유니트는 상기 다수의 메모리셀이 직렬로 접속되거나 또는 상기 다수의 메모리셀이 병렬로 접속됨으로서 형성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 14

제12항에 있어서, 상기 워드선이 각각 상기 메모리 유니트에 접속되도록 연속적으로 번호 붙여진 다수의 워드선을 갖춘 워드블록으로 분할되고, 상기 각각의 워드블록이 하나의 블록 또는 2개의 블록마다 상기 메모리셀 어레이의 양측에 제공되는 메인 워드선 드라이버에 교대로 접속되는 것을 특징으로 하는 반도체 메모리장치.

청구항 15

제12항에 있어서, 상기 행선택수단이 워드선 드라이버에 대응하도록 상기 메모리셀 어레이의 양측에 제공되는 것을 특징으로 하는 반도체 메모리장치.

청구항 16

제15항에 있어서, 상기 행선택수단으로부터 상기 워드선 드라이버로 보내진 출력신호를 공급하기 위한 신호선을 더 구비하여 구성되고, 상기 신호선이 상기 메모리셀 어레이를 가로지르지 않도록 된 것을 특징으로 하는 반도체 메모리장치.

청구항 17

제12항에 있어서, 메모리셀 어레이 중의 우측 및 좌측에 제공되는 드라이버회로중의 하나만이 데이터 소거/기록 동안 동작되도록 선택하는 것을 특징으로 하는 반도체 메모리장치.

청구항 18

접속된 다수의 메모리셀을 갖추면서 매트릭스형상으로 배열된 다수의 메모리셀 유니트로 이루어진 메모리셀 어레이와, 상기 메모리셀을 선택하기 위한 워드선, 상기 메모리셀 어레이의 양쪽에 제공된 다수의 메인 행디코더와 메인 워드선 드라이버, 상기 메모리셀 어레이의 불량셀을 구제하기 위한 예비 메모리셀 어레이, 이 예비 메모리셀 어레이의 양쪽에 배열된 예비 워드선 드라이버 및, 입력된 어드레스가 불량셀의 어드레스와 부합되는 경우 상기 예비 워드선 드라이버를 선택하도록 불량셀의 어드레스를 저장하기 위한 불량구제회로를 구비하여 구성되고, 상기 메인 디코더에 의해 선택됨과 더불어 상기 메인 워드선 드라이버에 의해 구동되는 워드선이 다수의 연속적인 워드선을 갖춘 블록으로 분할되고, 동일한 블록의 워드선이 동일한 메인 행디코더에 의해 선택되는 것을 특징으로 하는 반도체 메모리장치.

청구항 19

제18항에 있어서, 상기 각각의 워드블록이 하나의 블록 또는 2개의 블록마다 상기 메모리셀 어레이의 양쪽에 제공되는 메인 워드선 드라이버에 교대로 접속되는 것을 특징으로 하는 반도체 메모리장치.

청구항 20

제18항에 있어서, 상기 불량구제회로가 메인 행디코더 또는 다수의 메인 행디코더마다 불량셀을 구제하는 것을 특징으로 하는 반도체 메모리장치.

청구항 21

제18항에 있어서, 상기 메인 행디코더가 메모리셀의 블록 또는 다수의 블록을 선택하는 것을 특징으로 하는 반도체 메모리장치.

청구항 22

제18항에 있어서, 상기 불량구제회로가 단독으로 각각의 메모리셀 어레이상의 메인 워드선 드라이버에 대응하는 불량셀의 어드레스를 저장하는 것을 특징으로 하는 반도체 메모리장치.

청구항 23

제1항에 있어서, 상기 워드선 드라이버가 상기 메모리셀 유니트의 2개에 대해 1개의 비율로 배치된 것을 특징으로 하는 반도체 메모리장치.

청구항 24

제23항에 있어서, 상기 행선택수단이 상기 워드선 드라이버에 대응하는 상기 메모리셀 어레이의 양측에 제공되는 것을 특징으로 하는 반도체 메모리장치.

청구항 25

제23항에 있어서, 상기 행선택수단으로부터 상기 워드선 드라이버로 보내진 출력신호를 공급하기 위한 신호선을 더 구비하여 구성되고, 상기 신호선이 상기 메모리셀 어레이를 가로지르지 않도록 된 것을 특징으로 하는 반도체 메모리장치.

청구항 26

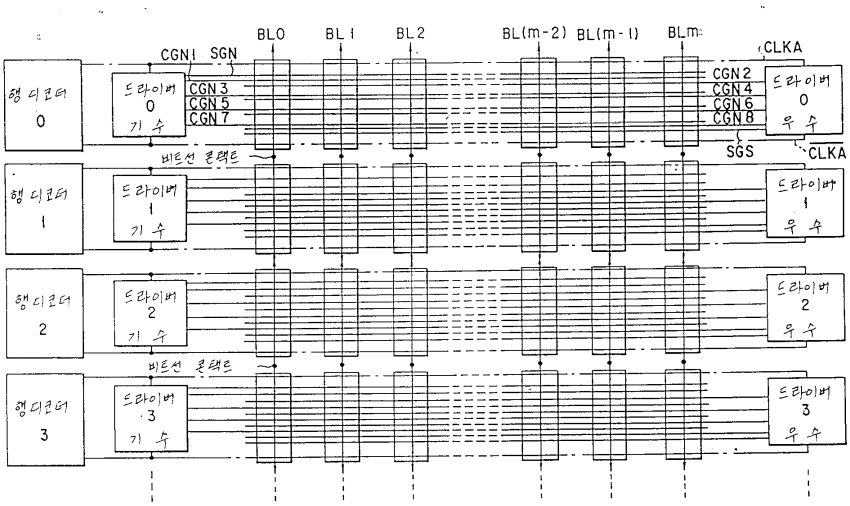
제23항에 있어서, 상기 메모리셀 유니트는 상기 다수의 메모리셀이 직렬로 접속되거나 또는 상기 다수의 메모리셀이 병렬로 접속됨으로서 형성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 27

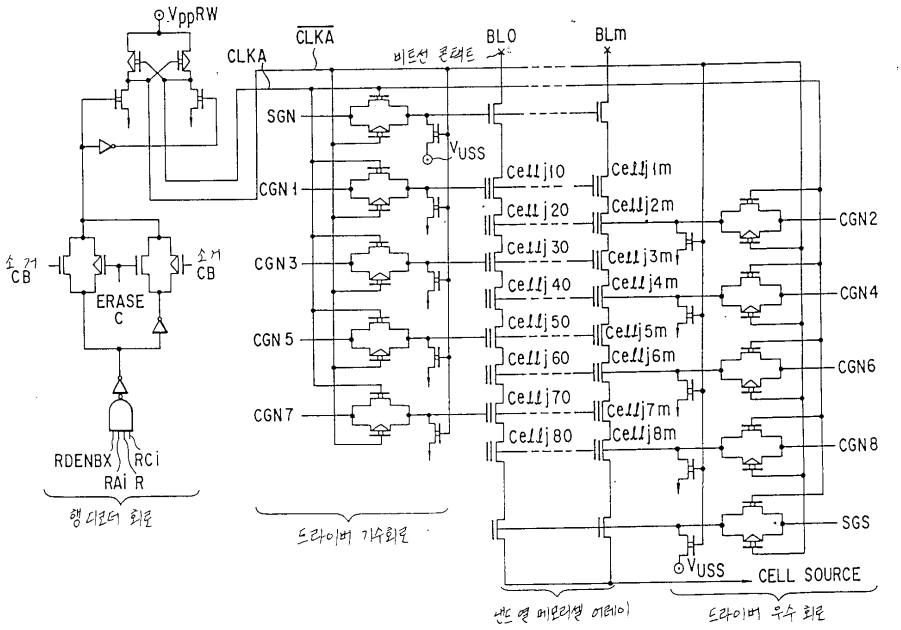
제23항에 있어서, 메모리셀 어레이의 우측 및 좌측에 제공된 드라이버 회로 중에서 하나만이 데이터 소거/기록 동안 동작하도록 선택되는 것을 특징으로 하는 반도체 메모리장치.

도면

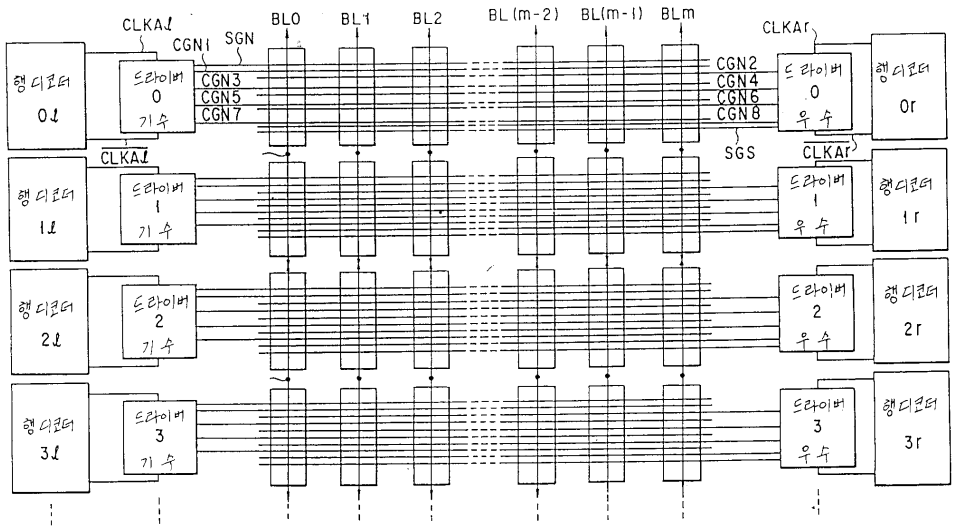
도면1



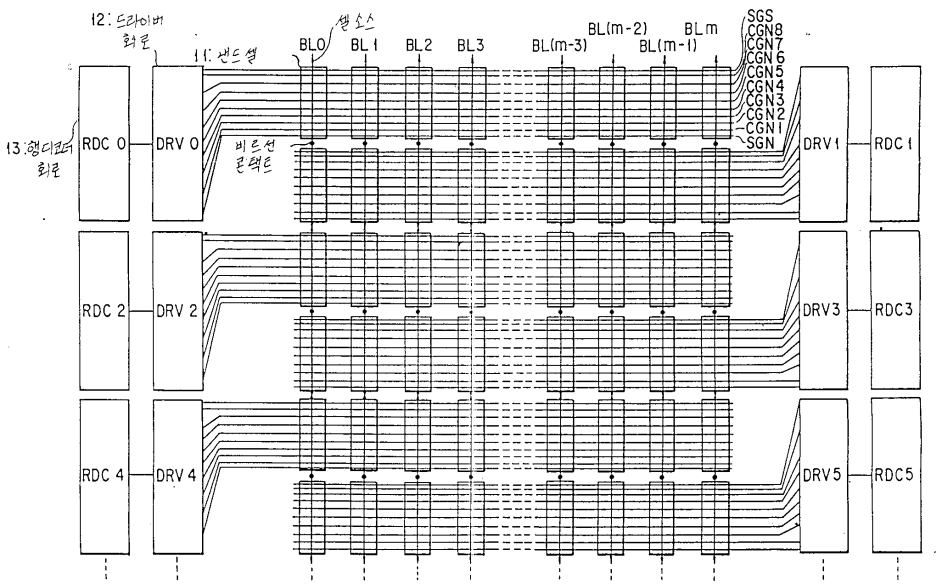
도면2


VppRW
CLKA
BL0
BLm
비트선 콘택트
SGN
VUSS
CGN1
CGN3
CGN5
CGN7
CGN2
CGN4
CGN6
CGN8
SGS
CELL SOURCE
ERASE
RDENBX
RAiR
RCi
행 디코더 회로
드라이버 기속회로
반도체 메모리셀 어레이
드라이버 우수 회로

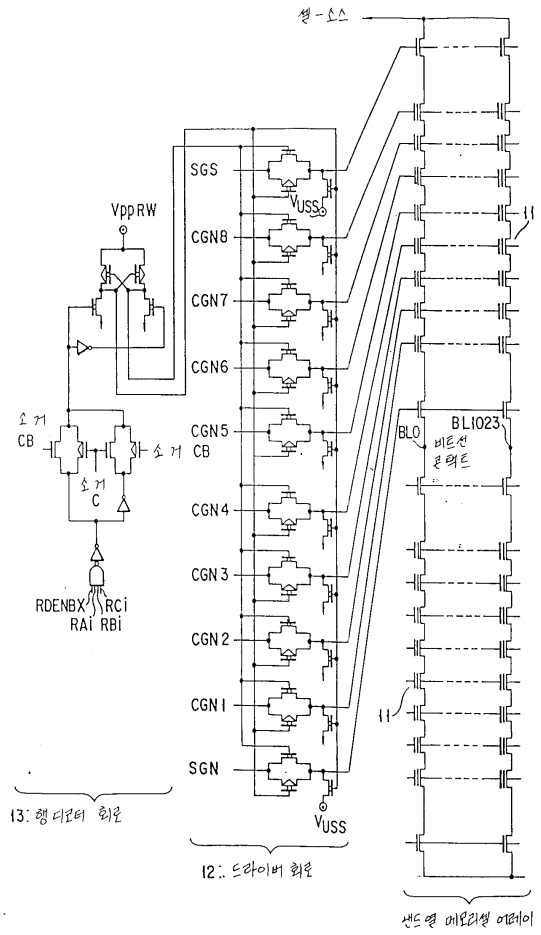
도면3


CLKAℓ
CGNi
SGN
BL0
BL1
BL2
BL(m-2)
BL(m-1)
BLm
CLKAr
CGN3
CGN5
CGN7
CGN2
CGN4
CGN6
CGN8
SGS
행 디코더
드라이버
기수
우수

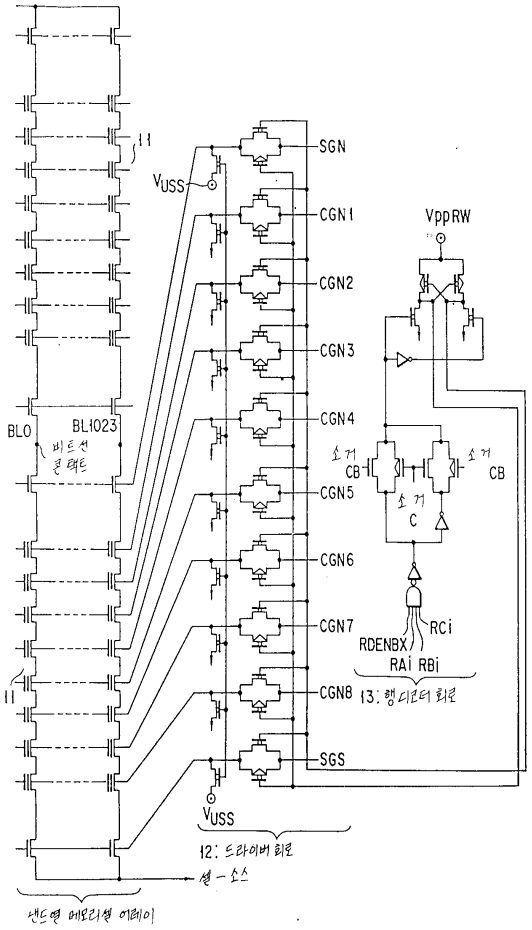
도면4


12: 드라이버 회로
11: 센드 셀
셀 소스
BL0
BL1
BL2
BL3
BL(m-3)
BL(m-2)
BL(m-1)
BLm
SGS
CGN8
CGN7
CGN6
CGN5
CGN4
CGN3
CGN2
CGN1
SGN
13: 행디코더 회로
RDC 0
DRV 0
비트선 콘택트
DRV 1
RDC 1
RDC 2
DRV 2
DRV3
RDC3
RDC 4
DRV 4
DRV5
RDC5

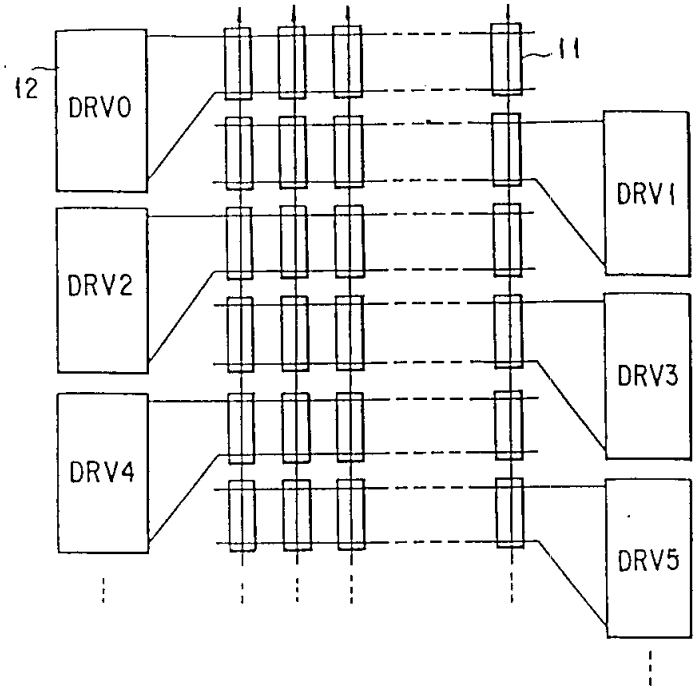
도면5


셀-소스
SGS
VppRW
VUSS
CGN8
CGN7
CGN6
CGN5
CGN4
CGN3
CGN2
CGN1
SGN
11
BL0
BL1023
비트선 콘택트
소거 CB
소거 C
RDENBX
RCi
RAi RBi
13: 행 디코더 회로
12: 드라이버 회로
센드열 메모리셀 어레이

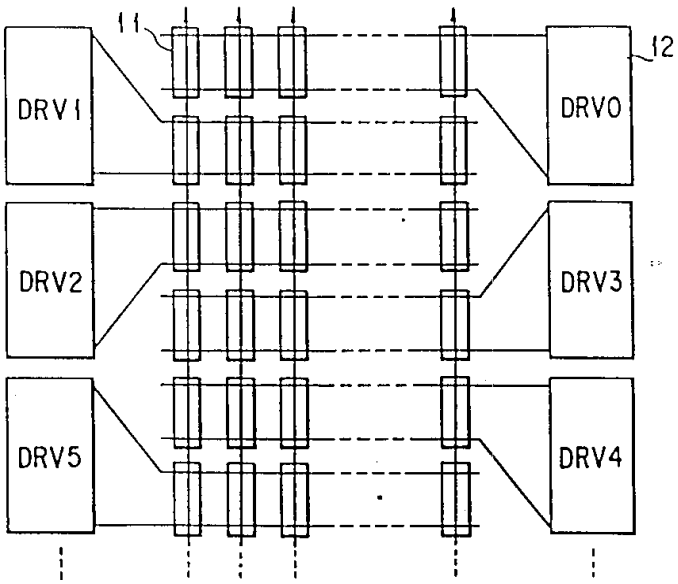
도면6


11
VUSS
SGN
CGN1
CGN2
CGN3
CGN4
CGN5
CGN6
CGN7
CGN8
SGS
VppRW
BL0
BL1023
비트선 콘택트
소거 CB
소거 C
RDENBX
RCi
RAi RBi
13: 행디코더 회로
VUSS
12: 드라이버 회로
셀 - 소스
낸드형 메모리셀 어레이

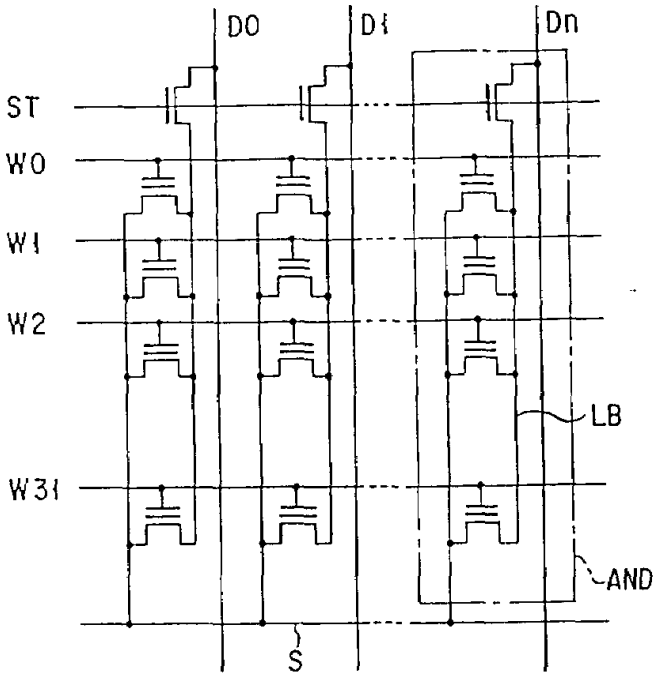
도면7a


12
DRV0
DRV1
DRV2
DRV3
DRV4
DRV5
11

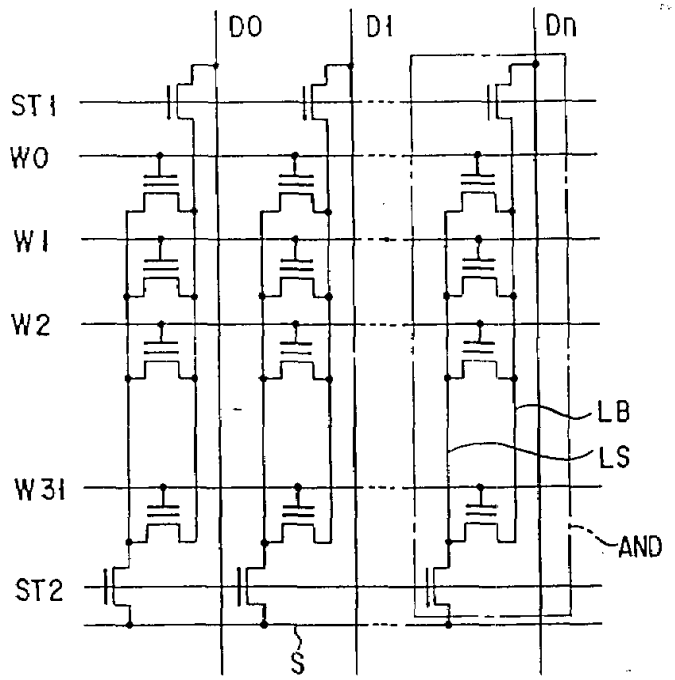
도면7b


11
12
DRV1
DRV0
DRV2
DRV3
DRV5
DRV4

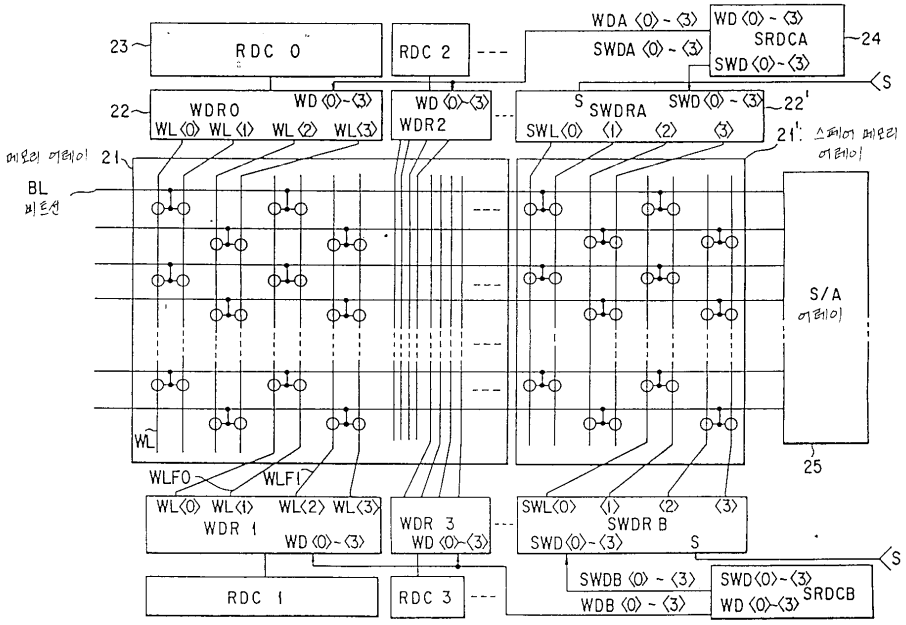
도면8


D0
D1
Dn
ST
W0
W1
W2
W31
LB
AND
S

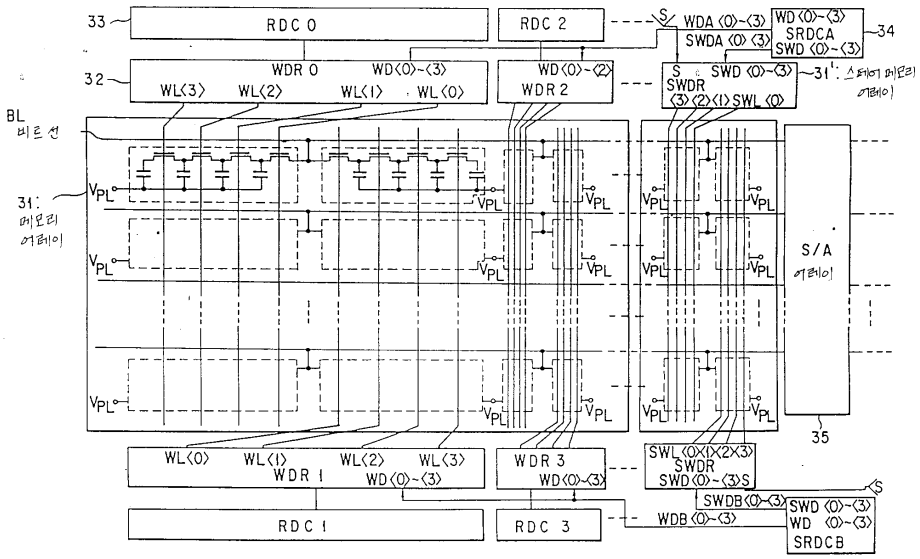
도면9


D0
D1
Dn
ST1
W0
W1
W2
W31
ST2
S
LB
LS
AND

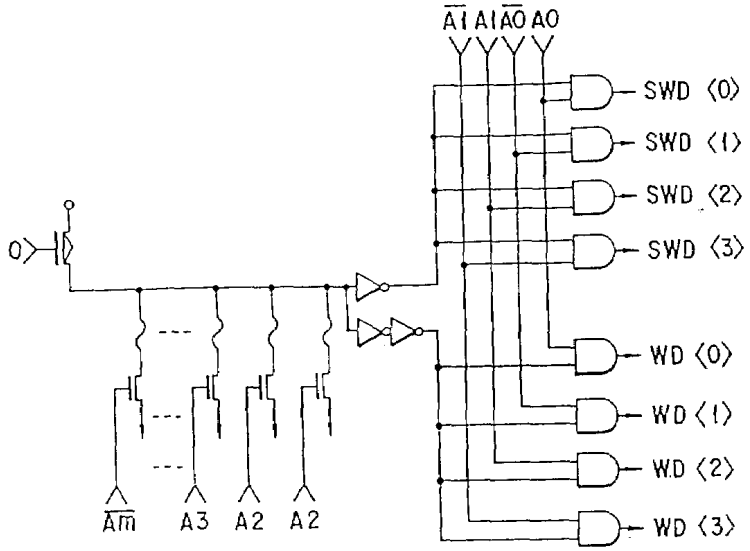
도면10


23
RDC 0
RDC 2
WDA ⟨0⟩ ~ ⟨3⟩
SWDA ⟨0⟩ ~ ⟨3⟩
WD ⟨0⟩ ~ ⟨3⟩
SRDCA
SWD ⟨0⟩ ~ ⟨3⟩
24
S
22
WDR0
WL⟨0⟩ WL⟨1⟩ WL⟨2⟩ WL⟨3⟩
WD ⟨0⟩~⟨3⟩
WDR2
SWDRA
SWL⟨0⟩ ⟨1⟩ ⟨2⟩ ⟨3⟩
22'
21'
스페어 메모리 어레이
메모리 어레이
21
BL
비트선
S/A 어레이
25
WL
WLF0
WLF1
WDR 1
WDR 3
SWDR B
SWDB ⟨0⟩ ~ ⟨3⟩
WDB ⟨0⟩ ~ ⟨3⟩
SRDCB
RDC 1
RDC 3

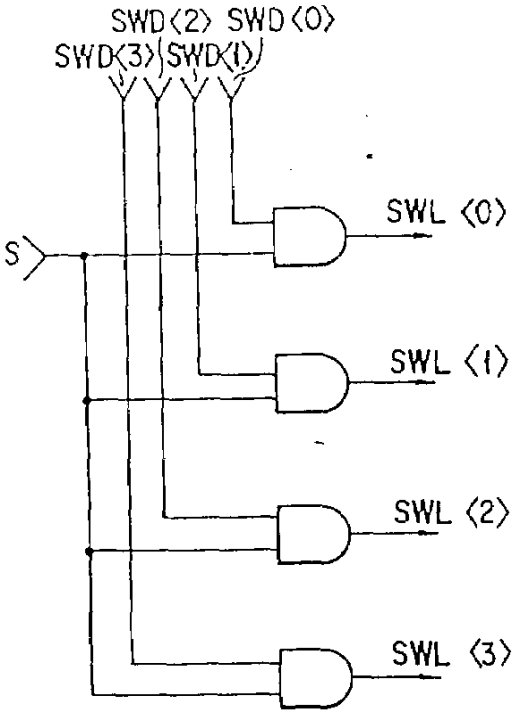
도면11


33
RDC 0
RDC 2
WDA ⟨0⟩~⟨3⟩
SWDA ⟨0⟩ ⟨3⟩
WD ⟨0⟩~⟨3⟩
SRDCA
SWD ⟨0⟩~⟨3⟩
34
32
WDR 0
WD⟨0⟩~⟨3⟩
WL⟨3⟩
WL⟨2⟩
WL⟨1⟩
WL⟨0⟩
WD⟨0⟩~⟨2⟩
WDR 2
SWDR
⟨3⟩⟨2⟩⟨1⟩SWL ⟨0⟩
SWD ⟨0⟩~⟨3⟩
31'
BL
비트선
31:
메모리
어레이
VPL
S/A
어레이
35
WL⟨0⟩
WL⟨1⟩
WDR 1
WL⟨2⟩
WL⟨3⟩
WD⟨0⟩~⟨3⟩
WDR 3
WD⟨0⟩~⟨3⟩
SWL⟨0⟩⟨1⟩⟨2⟩⟨3⟩
SWDR
SWD⟨0⟩~⟨3⟩
SWDB⟨0⟩~⟨3⟩
WDB⟨0⟩~⟨3⟩
SWD ⟨0⟩~⟨3⟩
WD ⟨0⟩~⟨3⟩
SRDCB
RDC 1
RDC 3

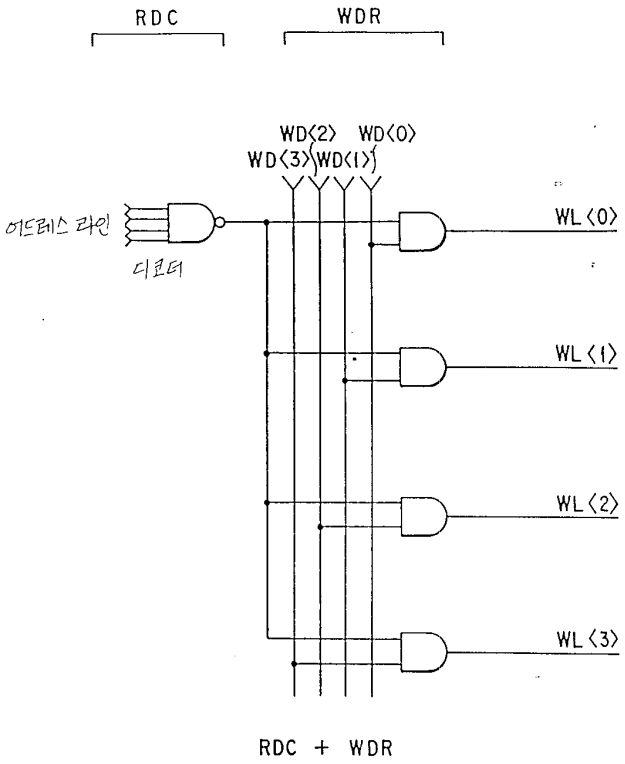
도면12a


A1 A1 A0 A0
SWD ⟨0⟩
SWD ⟨1⟩
SWD ⟨2⟩
SWD ⟨3⟩
WD ⟨0⟩
WD ⟨1⟩
WD ⟨2⟩
WD ⟨3⟩
0⟩
Am
A3
A2
A2

도면12b


SWD〈2〉 SWD〈0〉
SWD〈3〉 SWD〈1〉
S
SWL 〈0〉
SWL 〈1〉
SWL 〈2〉
SWL 〈3〉

도면13


RDC
WDR
WD〈2〉 WD〈0〉
WD〈3〉 WD〈1〉
어드레스 라인
디코더
WL〈0〉
WL〈1〉
WL〈2〉
WL〈3〉
RDC + WDR