

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/07/31

10/210,378

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

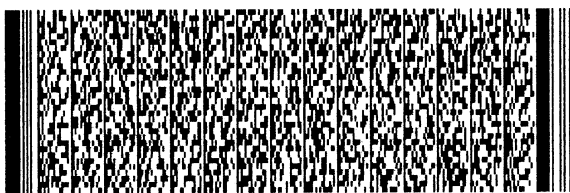
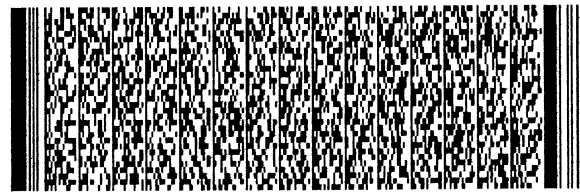
本發明係關於一種非揮發性記憶體。詳言之，本發明係關於一種於快閃記憶體裝置抹除期間控制施加之閘極電壓之方法。

[先前技術]

許多電子裝置，譬如電腦、個人數位助理、行動電話、數位相機和類似系統和裝置，皆包括有處理器和記憶體。使用記憶體來儲存將由裝置和(或)由該處理器操作之資料所執行的電腦程式，以達成裝置的功能性。許多裝置和系統要求此資訊能永久保持於儲存器/非揮發性媒體中，而使得當去除電源時，不會喪失該資料和電腦程式。

目前已發展出不需要周邊電源即可維持儲存於其中之資料的半導體記憶體裝置。這些裝置稱之為"非揮發性"半導體記憶體裝置。在對於非揮發性半導體記憶體裝置之共同設計中，用稱之為區段(sector)之記憶體單位來抹除資料，而不以位元組層級來抹除。各區段劃分成稱之為頁(page)之分段(segment)。資之存取係就「頁」進行讀取和程式化，而抹除則以整個區段為之。

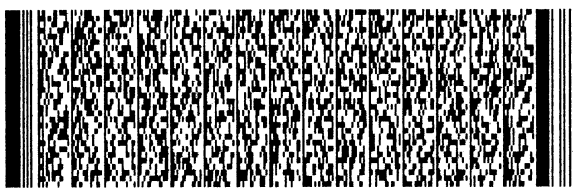
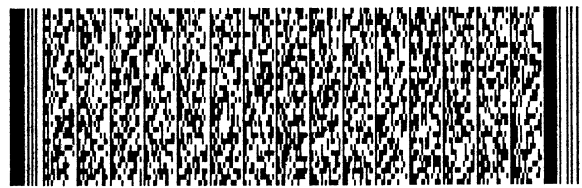
快閃記憶體(或快閃RAM)是一種非揮發性記憶體裝置之例子。快閃記憶體裝置使用具有浮置閘極結構之記憶胞電晶體(memory cell transistor)。於快閃記憶體裝置中之典型記憶胞包括存取電晶體和譬如浮置閘極之儲存裝置。分別於基板和浮置閘極之間之絕緣薄膜上累積或耗盡電荷而程式化或抹除快閃記憶體裝置中的資料。藉由施加



五、發明說明 (2)

充分的電壓差至電晶體造成超量的電子累積於浮置閘極，而產生記憶胞之程式化。累積於浮置閘極之額外電子提高閘極之電荷以及電晶體之臨限電壓。將電晶體之臨限電壓充份升高至高於讀取循環期間所施加的電壓，而使得電晶體於讀取循環期間不會導通。因此，已程式化之記憶胞將不會載有電流，而表現成邏輯值 "0"。藉由將電壓差施加到區段之各記憶胞中電晶體，造成於各電晶體中浮置閘極上有超量的電荷，以清除該薄膜，造成區段資料抹除。由此降低電晶體之臨限電壓至低於施加到電晶體以讀取資料的電壓位能。於抹除狀態，電流流過電晶體。當施加讀取電壓電位後，電流流過記憶胞之電晶體，表現儲存在記憶胞中之邏輯值 "1"。

先前技藝第 1 圖顯示非揮發性記憶體裝置之範例簡化圖示，該非揮發性記憶體裝置包括複數個由區塊 SA0、SA1、SA2、．．．SA63 和 SS0、SS1、SS2、．．．SS7 所指示之記憶體區段。記憶體區段 SA0、SA1、SA2、．．．SA63 和 SS0、SS1、SS2、．．．SS7 配置成複數個列和行，各列包含四個記憶體區段。各記憶體區段之各列連續地標號從 Z4(0) 至 Z4(17)，而各記憶體區段之各行連續地標號從 Z3(0) 至 Z3(3)。標記為 SA0、SA1、SA2、．．．SA63 之各區段可用來儲存資料或碼，而標記為 SS0、SS1、SS2、．．．SS7 之各區段保留用來儲存碼。各區段包括配置成複數個行和列之記憶胞陣列。複數條字元線耦接到記憶胞之個別之列，而複數條位元線耦接到個別之行。舉例



五、發明說明 (3)

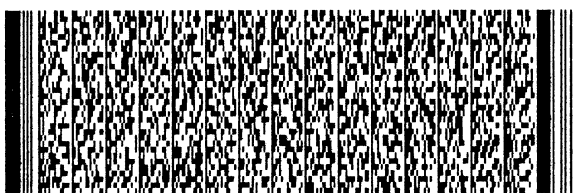
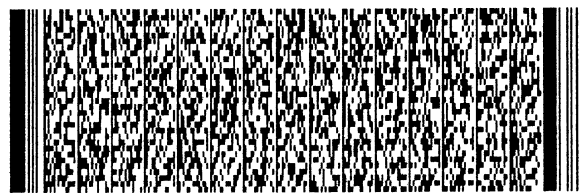
來說，若標記為 SA0、SA1、SA2、．．．SA63之各區段具有 64千個位元組之記憶體，則各區段可包括含有 512條字元線和 1024條位元線之陣列。

有一種型式之低電壓快閃記憶體裝置其需用來程式化和抹除的電壓必須用充電泵來產生，該充電泵具有有限的電流能力。舉例來說，裝置可由外部供電 1.8伏或 3伏特來操作，及使用內部 10伏特大小的電壓。對於依賴充電泵來供應抹除及程式化電壓的裝置，其能夠同時程式化或抹除記憶胞之數目，係受到限制。

先前技藝第 2A圖顯示當記憶胞進行程式化時，施加於記憶胞之典型的電壓。記憶胞 200之汲極 D施加大約 5伏特大小的電壓，閘極 G施加大約 9伏特大小的電壓，而記憶胞 44之源極 S接地。

先前技藝第 2B圖顯示當記憶胞使用負閘極抹除而進行抹除時，施加於記憶胞 200之源極和閘極之典型的電壓。記憶胞 200之源極 S施加大約 5伏特大小的電壓，而閘極 G施加大約 -9伏特大小的電壓。另一種抹除方法使用閘極接地和正偏壓源極。在使用閘極接地之關係說明文中，漸增之閘極抹除電壓表示閘極和源極之間的電壓之增咖。

除了第 2B圖之組態外，亦可使用譬如通道抹除之其他抹除技術。可於美國專利第 6,188,609號 "對於快閃記憶體應用之斜坡或步級閘極通道抹除 (Ramped or stepped gate channel erase for flash memory application)" 中閱讀關於通道抹除之討論；該文章的整個內容結合本說



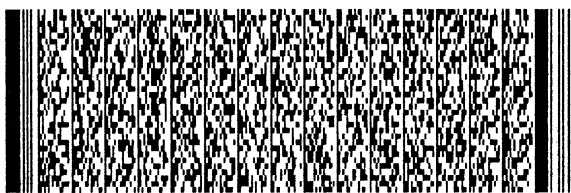
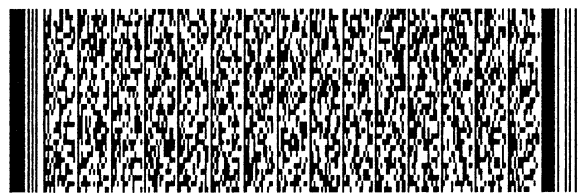
五、發明說明 (4)

明書作為參考。

先前技藝第 2C圖顯示當記憶胞進行弱程式化時，施加於記憶胞 200之汲級、源極和閘極之典型的電壓。記憶胞 200之汲極 D施加大約 5伏特大小的電壓，而閘極 G和源極 S接地。弱程式化 (Weak programming)，亦稱之為抹除後自動程式化干擾 (Automatic Program Disturb after Erase; APDE)，係為一種自動限制更正，可應用於過抹除記憶胞。

例如，為了程式化 16位元之字元，16條位元線之記憶胞的 16行被分成 4組，每一組包含了 4行。當記憶胞用習知的嵌入式程式化模式而程式化時，習知的內部充電泵提供充電泵電流經過個別的位元線，而一次程式化一組行之記憶胞。舉例而言，一個具有 0至 15位元編號之一般 16位元字元可以分成 4組之位元編號，0至 3、4至 7、8至 11、和 12至 15。當任何一組之 4個位元將程式化為 4個 0時，此種安排方式可確保充份的充電泵電流經由個別之位元線供應到各記憶胞之汲極。當記憶胞為習知的嵌入式晶片抹除模式時，習知的內部充電泵具有相似的限制，其能夠一次供應源極電壓至僅一組之各記憶胞的源極。

因為習知的內部電流泵具有有限的供應電流，並一般能夠一次程式化或抹除僅一組之於位元線上的各記憶胞，其由該內部電流泵產生複數個脈波而於沿著各字元線程式化或抹除各字元期間供應至不同組之位元線。而且，從內部電流泵供給的電源於程式化或抹除各字元期間必須切換

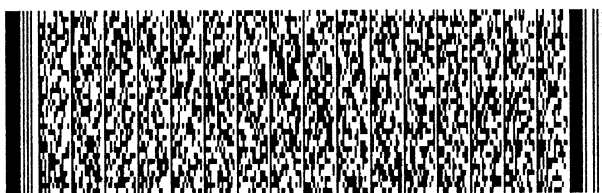
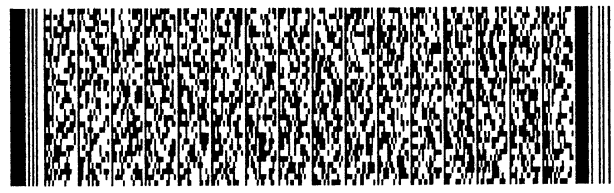


五、發明說明 (5)

至不同組之位元線。因此，於習知的嵌入式程式化 (embedded program) 和抹除模式，記憶胞之整個區段之程式化和抹除可能會耗費時間。

於另一種型式之快閃記憶體裝置，藉由允許選用額外之較高電壓輸入以替代由充電泵所產生的內部電壓，而克服充電泵的內部限制。此種型式之裝置由於有較高的電流能力而可以進行較快速之程式化和抹除。選用之高電壓輸入具有同時傳送抹除脈波至多個區段之能力。抹除脈波本質上為應用一週期時間的電壓。然而，雖然抹除脈波可應用之區段數已增加了，但是對於施用脈波之基本處理，仍與使用於抹除單一區段者大部份維持相同方式。

於典型之單一區段抹除處理中，為了能在整個抹除 / 確認處理過程中維持著正確的控制，可依順序增加抹除電壓。於抹除和確認一區段後，重設該抹除電壓至起始值。於多區段抹除中，抹除脈波施加至複數個區段，而個別地確認各區段。於各個區段都已確認了以後，可能有一個或多個其餘的區段需要額外的脈波。於確認單一個區段以後，雖然重設抹除電壓並不會造成不良的影響，但是任何需要用於其餘的區段的後續脈波，將用此重設的電壓起始，此重設電壓通常將小於前面所施加的電壓。於重設以後，將需要許多的脈波來完成用於其餘的區段之實際上增加的施用電壓。所需要的額外脈波造成較長之整體抹除時間。因此，需要有一種可提供重設而於多區段抹除期間不須增加施加的脈波數之抹除電壓控制方法。



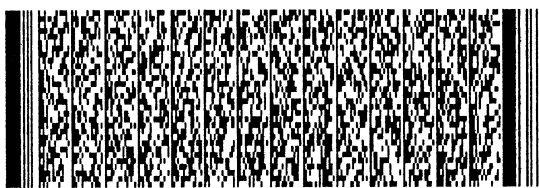
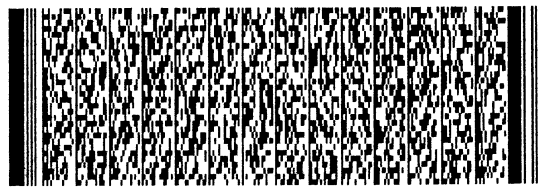
五、發明說明 (6)

[發明內容]

本發明提供一種於快閃記憶體同時進行多區段抹除期間，控制施加之抹除電壓之方法。當可變之記憶體區段分組子集合受到一系列的抹除/確認循環操作時，本方法提供了較佳之抹除性能。於抹除處理期間，施加於指定的區段或各區段之各抹除脈波，係相等於或大於前面施用的脈波。

本發明揭示一種抹除快閃記憶體之方法。於具有多區段之快閃記憶體裝置中，選擇區段之子集合 (Subset)，並將抹除脈波同時施加到子集合中之所有的區段。於使用了具有起始電壓值之抹除脈波後，可確認子集合之至少一個區段。若於確認之區段中至少有一個未抹除之記憶胞，則調整抹除電壓並將另一抹除脈波施加到區段之子集合。抹除電壓之調整可為將抹除脈波施加到區段之子集合之次數的函數。在子集合中重複著此循環動作，直到選擇之區段確認已抹除了為止。於確認一區段後，使用抹除/確認循環操作至一個或多個子集合中之其餘的區段，直到其餘之每一個區段已確認為抹除了為止。於已抹除了子集合中之所有的區段以後，重設抹除電壓至其起始值，並選擇區段之另一個子集合進行如上述般之抹除/確認。可重複著處理直到裝置中之所有的記憶體區段皆已抹除了為止。

於本發明之一個實施例中，於具有 4 之倍數個記憶體區段之快閃記憶體裝置中，選用 4 個記憶體區段。將具有起始抹除電壓值之一抹除脈波，施加到此 4 個記憶體區



五、發明說明 (7)

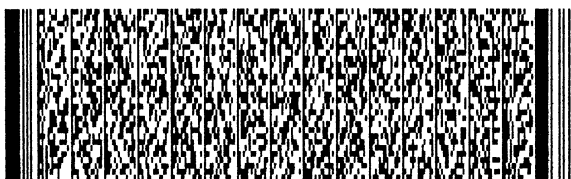
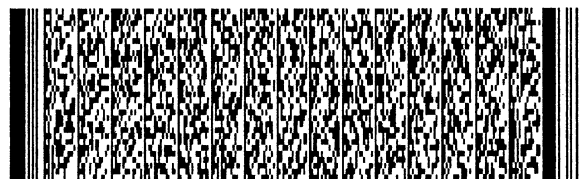
段，並確認該第一區段。重複著施加脈波和確認動作，直到確認該第一區段已抹除了為止。於重複該抹除/確認循環期間，應用斜波函數於抹除脈波電壓值。於確認該第一區段已抹除了以後，施用抹除/確認循環於第二和第四區段，而執行確認第二區段。於確認該第二區段已抹除了以後，施用抹除/確認循環於第三區段。於確認該第三區段已抹除了以後，施用抹除/確認循環於第四區段。於確認該第四區段已抹除了以後，將該抹除脈波電壓重設至其起始值。

於另一個實施例中，可使用具有嵌入邏輯之快閃記憶體裝置，嵌入邏輯選擇多個區段並決定所施加的閘極抹除電壓。嵌入邏輯亦可提供程式化、弱程式化(APDE)和確認功能。

[實施方式]

茲詳細參照本發明之較佳實施例，說明於快閃記憶體裝置之多區段抹除期間抹除電壓控制之系統和方法。雖然本發明配合較佳實施例而作了說明，但應瞭解這些實施例並不限制本發明為所揭示之實施例形式。反之，本發明將涵蓋所有落於所附申請專利範圍內所界定之本發明之精神和範圍內之變更、修飾和等效替換。

再者，於下列本發明之詳細說明中，為了提供對本發明之完全瞭解，而提出了許多特定的詳細說明。然而，熟悉此項技藝者應瞭解到，並不一定要按照這些特定的詳細說明來施行本發明。於其他的例子中，未作詳細說明之已



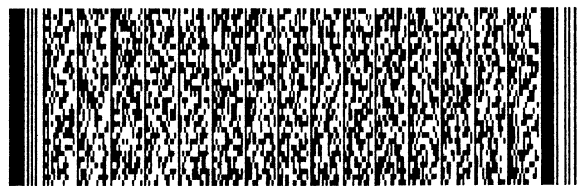
五、發明說明 (8)

知的各種方法、處理、組件、和電路，亦不礙於表現本發明之各態樣。

第 3圖顯示依照本申請專利之發明的實施例，加速電路之方塊圖。

第 3圖係顯示依照本發明之記憶胞用於快速程式化和快速晶片抹除之加速電路 305之方塊圖。加速電路 305之詳細討論可於 2001年 3月 27日核准之美國專利第 6,208,558號中找到；其所揭示的全部內容將結合本說明書作為參考。加速電路 305通常包括加速輸入 330，該加速輸入 330能夠提供加速電壓 V_{ace} 於快速程式化模式一次供應用來程式化所有組之位元線之記憶胞的電流。而且，加速電路 305包括耦接到加速輸入 330之觸發電路 310，能夠禁止內部電壓供應泵 405(如第 4和 5圖中所示)之操作，並反應出現於加速輸入 330之加速電壓 V_{ace} ，使能進行一次供應加速電壓 V_{ace} 至所有組之位元線。該加速電壓 V_{ace} 可由加速接腳(第 6圖中之 630)供應，該加速接腳用作為加速輸入 330，並能夠從用於非揮發性記憶體之積體電路晶片之外部供應電源而接收加速電壓 V_{ace} 。

於第 3圖所示實施例中，觸發電路 310包括耦接到加速輸入 330以接收加速電壓 V_{ace} 之高壓偵測器 315，該加速電壓 V_{ace} 於本實施例中之範圍為大約 7伏特至大約 10伏特。高壓偵測器 315根據於該加速輸入 330所偵測之加速電壓 V_{ace} 而產生加速電壓指示器訊號 ACCH，並將該加速電壓指示器訊號 ACCH饋送至邏輯電路 320。

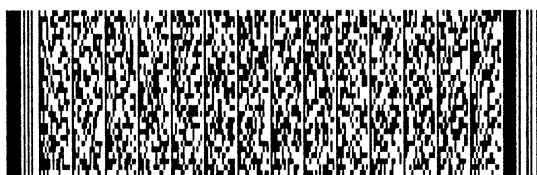
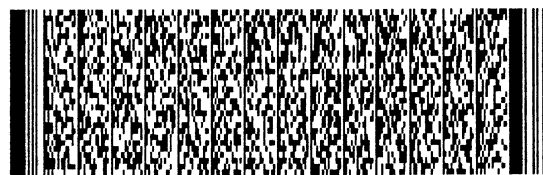


五、發明說明 (9)

具有輸入耦接以接收從高壓偵測器 315 來之加速電壓指示器訊號 ACCH 之邏輯電路 320，亦具有至少一個指令寫入輸入 325，用來設定該非揮發性記憶體陣列於快速操作模式。於一個將非揮發性記憶體陣列設定於快速操作模式之實施例中，指令寫入 325 包括能夠接收程式化指令之程式化指令寫入輸入。於另一個將非揮發性記憶體陣列設定於快速晶片抹除模式之實施例中，指令寫入輸入 325 更包括能夠接收抹除指令之抹除指令寫入輸入。

邏輯電路 320 具有輸出，該輸出能夠反應於由高壓偵測器 315 所產生表現之加速電壓指示器訊號 ACCH，和於程式化指令寫入輸入 325 表現之程式化指令，而產生快速程式化指令 FPGM 340 以設定非揮發性記憶體陣列於快速程式化模式。於另一實施例中，邏輯電路 320 具有第二輸出能夠產生快速晶片抹除指令 FCER 335 以設定該非揮發性記憶體陣列於快速抹除模式。邏輯電路 320 反應於由高壓偵測器 315 來之加速電壓指示器訊號 ACCH 之出現，和於抹除指令寫入輸入 325 出現之抹除指令，而產生快速晶片抹除指令 FCER 335。

第 4 圖係顯示依照本發明於快速晶片抹除模式，在施行快速抹除操作期間記憶體陣列 460 之實施例的電路圖。於此實施例中，調節器 415 耦接到加速輸入 330，以減少加速電壓 V_{ACC} 。於一個實施例中該加速電壓 V_{ACC} 之範圍為大約 7 伏特至大約 10 伏特，該調節器 415 亦耦接到源極電壓 V_S ，此源極電壓 V_S 一般為大約 5 伏特大小，以抹除具有位元 "1" 之



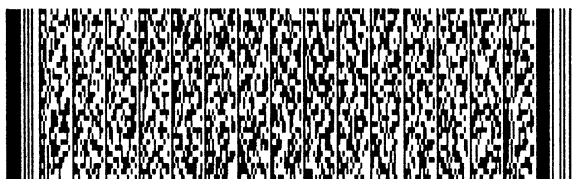
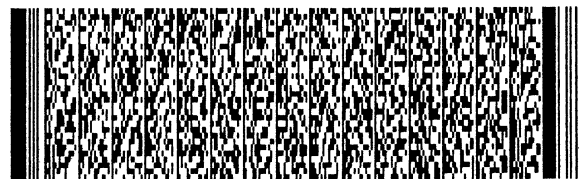
五、發明說明 (10)

記憶體。

如第4圖中所示，調節電壓 V_s 透過源極抹除電路 425 供應至記憶體之源極，該記憶體包括於記憶體陣列 460 中之記憶體 435a、435b、440a 和 440b；該源極抹除電路 425 於一實施例中可以是熟悉此項技藝者所已知的習知之源極抹除電路，以分配調節之電壓 V_s 至記憶體 435a、435b、440a 和 440b、... 之源極。茲參照第4圖，電壓 V 分別透過源極線 430a 和 430b 供應至記憶體 435a、440a 和 435b、440b。於快速晶片抹除模式記憶體於執行快速抹除操作之步驟期間，一般大約為 -9 伏特大小之閘極電壓供應至由記憶體之閘極所連接之字元線。於執行快速抹除操作之步驟期間記憶體 435a、440a 和 435b、440b 之汲極係浮置。

因為於快速晶片抹除模式於執行快速抹除操作期間源極電壓 V_s 係與汲極電壓 V_d 相等，該汲極電壓 V_d 於快速預先程式化和快速弱程式化 (APDE) 操作期間一般為 5 伏特大小，用於一般之雙閘極 NPR 記憶體。用相同的調節器 415 執行以減少加速電壓 V_{ACG} 至一大約 5 伏特之調節電壓，用作為快速程式化和快速 APDE 操作之汲極電壓，和用作為快速抹除操作之源極電壓。該加速電壓 V_{ACG} 於一實施例中是在大約 7 伏特至大約 10 伏特的範圍。再者，使用相同的調節器 415 來產生於快速程式化模式大約 5 伏特大小之汲極電壓 V_d 。

第5圖係顯示記憶體區段之電路圖，該記憶體區段包括記憶體陣列 460、亦稱之為 X 解碼器 420 之列解碼器、亦稱之為 Y 解碼器 410 之行解碼器、觸發電路 310、和當記憶

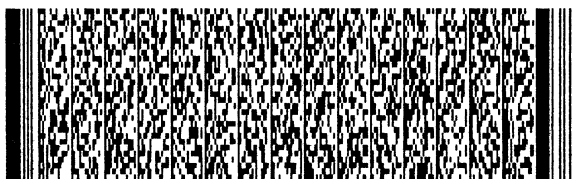
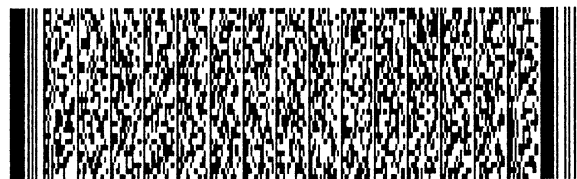


五、發明說明 (11)

體陣列 460是在快速程式化模式時的加速輸入 330。於此實施例中，由觸發電路 310所產生的快速程式化指令訊號 FPGM允許加速輸入 330至供應電壓以產生汲極電壓 V_D 。於加速電壓 V_{ACG} 是在大約 7伏特至大約 10伏特範圍之實施例中，調節器 415耦接到加速輸入 330以減少加速電壓 V_{ACG} 至所希望之汲極電壓 V_D ，該汲極電壓 V_D 於一實施例中有 5伏特的大小，用於包括雙閘極 NOR裝置之習知的快閃記憶體。

於第 5圖所示之例子中，快速程式化開關 540包括習知的 MOS電晶體，該 MOS電晶體能夠供應汲極電壓 V_D 至 Y解碼器 410。於一實施例中，Y解碼器 410包括多列之習知的 MOS電晶體，來選擇性地分配由該汲極電壓 V_D 所產生的電流至記憶體陣列中之位元線。於第 5圖所示之例子中，Y解碼器 410包括 4個耦接到快速程式化電晶體 540之第一位準 MOS電晶體 560、580、600和 620。從各該第一位準 MOS電晶體 560、580、600和 620來之電流按路線流至複數個第二位準 MOS電晶體。舉例而言，從該第一位準 MOS電晶體 560流出之電流按路線流至第二位準電晶體 640a、640b、640c...。再者，各第二位準電晶體 640a、640b、640c...耦接到二個第三位準 MOS電晶體，各第三位準 MOS電晶體連接到記憶體陣列 460中之個別的位元線，以供應程式化電流至個別位元線上之記憶體胞之汲極。舉例而言，第二位準電晶體 640a耦接到分別分配程式化電流至位元線 680a和 680b之二個第三位準電晶體 660a和 660b。

於 Y解碼器 410中之電晶體列之數目，和在各列中之電

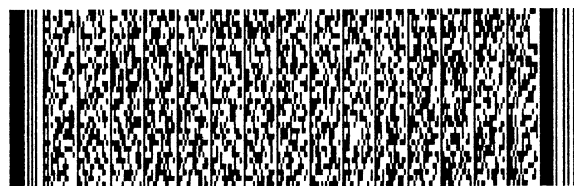


五、發明說明 (12)

晶體之數目，係依於記憶體陣列之各區段中之位元線之數目而定。例如，若調節器 415 係耦接以供應程式化電流至 64 位元線，則於 Y 解碼器 410 中 4 個第一位準 MOS 電晶體耦接到快速程式化電晶體 540，8 個第二位準 MOS 電晶體耦接到各第一位準 MOS 電晶體，和二個第三位準 MOS 電晶體耦接到各第二位準 MOS 電晶體。

於快速程式化模式，於 Y 解碼器 410 中之 MOS 電晶體可選擇地予以啟通 (on) 或關斷 (off)，而選擇性地程式化位元線，但是當各字元於快速程式化模式而程式化時，在陣列 460 中所選擇之將要程式化之所有的位元線係供應了單一脈波之汲極電壓 V_D 。如第 5 圖中所示之行解碼電路僅是藉由供應至快閃記憶體陣列中之各位元線之加速電壓 V_{AC} 所產生之供應電流之機構的說明範例。然而，本發明並不限於如第 5 圖中所示之行解碼電路。亦可使用其他之行解碼電路來分配從加速輸入 2 來之電流至本發明範圍內之記憶體陣列中之位元線。

於更進一步之實施例中，加速電壓 V_{ACC} 可以供應至字元線，作為在快速程式化模式中用於記憶胞之閘極電壓。第 5 圖顯示具有 4 個記憶胞 435a、435b、440a 和 440b 之記憶體陣列 460 之一部分，各記憶胞包括習知的雙閘極 NOR 裝置。記憶胞 435a 和 435b 之閘極係透過字元線 470 連接到 X 解碼器 420，而記憶胞 440a 和 440b 之閘極係透過字元線 475 連接到 X 解碼器 420。雖然對於一般雙閘極 NOR 裝置之閘極啟通電壓通常都是在大約 9 伏特大小，但是於大約 7 伏特至 10 伏特



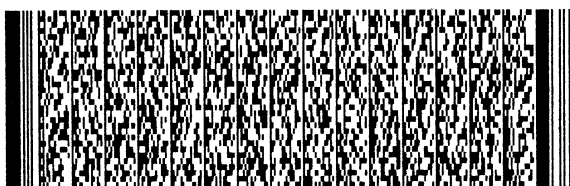
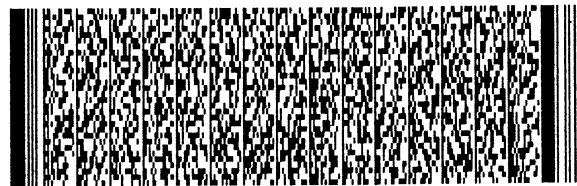
五、發明說明 (13)

大小之電壓即可足夠啟通選用來程式化之於字元線上的 NOR裝置。

於各列中 NOR裝置之閘極係連接到個別之字元線。因為字元線僅用來供應閘極電壓至個別列中之記憶胞，流經選用來程式化之字元線之電流係小至可忽略。因此，用於 X解碼器 420之供應電源通常對電源所供應之電流限制而言並不是很緊要。

茲參照第 4圖，於一個實施例中，加速電壓 V_{AC} 係由加速輸入 330供應至 X解碼器 420，而沒有經過調節。當記憶體陣列 460是在快速程式化模式時，在記憶體陣列 460中之字元線 470、475... 可以一次一個地連續啟通來程式化在各字元線上之記憶胞。例如，當加速電壓 V_{AC} 供應至字元線 470時，則啟通 NOR裝置 435a和 435b。又例如，由調節器 415藉由減少加速電壓 V_{AC} 而產生的汲極電壓 V_D 提供程式化電流經過快速程式化開關 540和 Y解碼器 410至記憶胞 435a之汲極時，則記憶胞 435a被程式化成具有位元 "0"。

沿著字元線 470之所有的記憶胞皆程式化了以後，藉由 X解碼器 420供應未調節之加速電壓 V_{AC} 至次一條字元線 475，以啟通沿著字元線 475之記憶胞。然後汲極電壓 V_D 之單一脈波能夠程式化所有的記憶胞，包括沿著字元線 475之具有位元 "0" 之記憶胞 440a和 440b。依照本發明於快速程式化模式中，記憶胞之源極接地。可使用第 5圖之電路來施行快速程式化或快速弱程式化 (APDE)。對於 APDE，字元線 470和 475係接地。



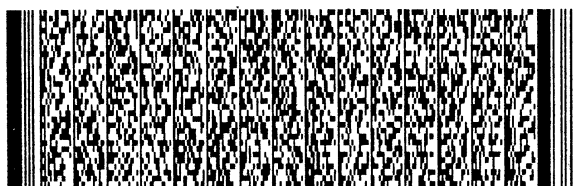
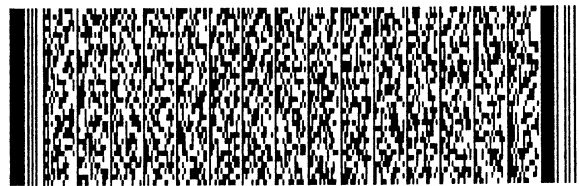
五、發明說明 (14)

第 6圖係依照本申請專利之發明的實施例，結合了快速晶片抹除能力之快閃記憶體裝置之電路圖 602。此裝置具有耦接到狀態控制和指令暫存器 605之位址匯流排 622、上庫 610和下庫 615。於此實施例中，上庫 610和下庫 615為可同時寫入和讀取之記憶體陣列。資料匯流排 625亦耦接到狀態控制和指令暫存器 605、上庫 610和下庫 615。

WP#/ACC接腳 630用來作為寫入保護和用於 V_{ACC} 之輸入。狀態控制和指令暫存器 605藉由狀態線 635耦接到資料匯流排 625，並藉由控制線 640耦接到上庫 610和下庫 615。狀態控制和指令暫存器 605可提供嵌入之程式化、抹除、確認、和 APDE功能。

第 7A圖係顯示依照本發明之實施例對於整個抹除處理之流程圖。於步驟 705，施行預先程式化/確認以設定在快閃記憶體裝置內之於記憶胞組中之所有的位元為 0。如此施行以正常化記憶胞組之電晶體的臨限電壓，而使之獲得更均勻的起始動作。於步驟 715，將抹除電壓施加到記憶胞組。於步驟 720，確認於步驟 715所施行之抹除。若該組之記憶胞未完全抹除，則於步驟 725施加斜波抹除電壓而重複步驟 715。當重複步驟 715時，該組之記憶胞也許與，或者也許不與先前組者相同。若該組之記憶胞確認為抹除了，則於步驟 730重設抹除電壓。第 7A圖中所示之處理可以重複方式使用，以抹除快閃記憶體裝置。

第 7B圖顯示依照本發明之實施例，對於包含 APDE之整個抹除處理之流程圖。於步驟 705，施行預先程式化/確認

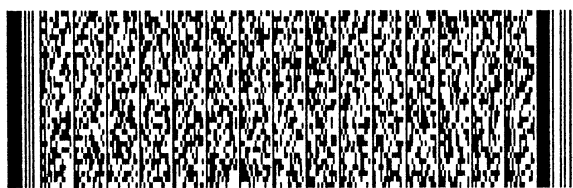
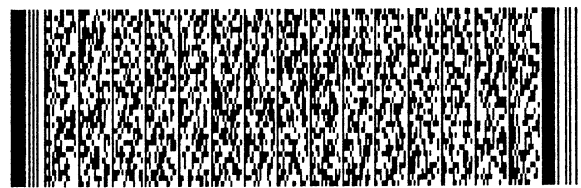


五、發明說明 (15)

以設定於快閃記憶體裝置內之該組記憶胞中之所有的位元為 0。於步驟 715，施加抹除電壓至該組之記憶胞。於步驟 720，確認於步驟 715 所執行的抹除。若該組之記憶胞尚未完全抹除，則於步驟 725 施加斜波抹除電壓並重複步驟 715。當重複步驟 715 時，該組之記憶胞也許與先前一組者相同，或也許與先前一組者不同。若確認該組記憶胞已抹除了，則於步驟 735 施行 APDE 步驟。於步驟 730，重設該抹除電壓。可以反覆的方式使用第 7B 圖所所示之過程，以抹除快閃記憶體裝置。

如第 7A 圖和第 7B 圖中所示，整個抹除過程可包括預先程式化和 APDE 步驟以將變化性降至最低，並對過度抹除和抹除不足提供更正。於本發明中，當重複施行抹除和抹除確認步驟至被抹除之區段組之選擇的子集合，所施加的閘極抹除電壓係單調地漸增。也就是說，從選擇了將要抹除之區段組開始，至施加了一系列之抹除脈波後已確認了該組區段中之最後一個區段為止，所施加之閘極抹除電壓未曾減弱。該閘極抹除電壓僅於選用了另一組未抹除之區段時才會減弱（重設）。

第 8 圖顯示依照本發明之實施例，對於多區段同時抹除之流程圖。於步驟 810，選擇在快閃記憶體裝置內一組之記憶體區段。若選用該組之區段來抹除，則閘極抹除電壓設定至起始值。於步驟 810，選用於步驟 805 所選擇的該組之子集合而施加抹除電壓。於步驟 820，施加抹除脈波至於步驟 815 所選擇的區段子集合。步驟 815 之子集合可包

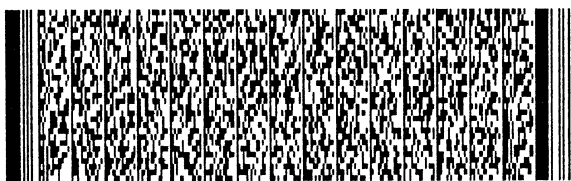
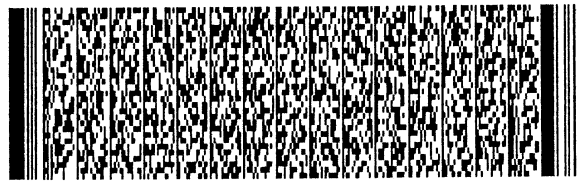


五、發明說明 (16)

括於該組中所有的區段。於步驟 825，於子集合中之一個或更多個區段予以抹除確認。若於步驟 825 中被確認之諸區段未予抹除，則於步驟 830 作閘極抹除電壓調整。應注意的是步驟 820 和步驟 825 之次序可以顛倒施行。當然於某一情況下閘極抹除電壓可予增加，或僅若某一數目之施加脈波已施加了所出現的電壓，則亦可增加電壓。例如，於 4 個脈波應用於 -5.2 伏特後，則 -5.2 伏特之起始閘極電壓將降低 .13 至 -5.33 伏特。於此例子中，電壓將降低直到記憶胞已確認為抹除了為止，或最大閘極電壓到達了例如 -9.2 伏特。

若於步驟 825 確認記憶體區段為已抹除，則於步驟 835 檢核看看在該組中是否有未抹除之區段。若於步驟 835 中檢核出有未抹除之區段，則重複步驟 835。若於該組中未餘有未抹除之區段，則重設該閘極抹除電壓，並於步驟 845 中檢核看看是否有任何未抹除之區段餘留在該裝置中。若有未抹除之區段餘留在該裝置中，則重複步驟 810。若沒有未抹除之區段留存在該裝置中，則於步驟 850 完成此抹除動作。

第 9 圖係顯示依照本發明之實施例，對於 4 個區段同時抹除之流程圖。於步驟 910，選擇在快閃記憶體裝置中之 4 個記憶體區段來抹除。於步驟 915，確認首 4 個記憶體區段。若第一個記憶體區段未能確認為已抹除，則於步驟 920 將抹除脈波施加至所有的 4 個記憶體區段。於步驟 925，施用斜波閘極電壓。可藉由各脈波而增加閘極抹除



五、發明說明 (17)

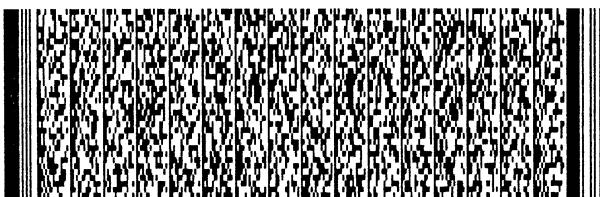
電壓，或者有許多脈波於指定的電壓後，可增加閘極抹除電壓。可重複步驟 915、920、和 925，直到第一區段確認為已抹除為止。

於步驟 930，確認第二記憶體區段。若該第二記憶體區段未能確認為已抹除，則於步驟 935 將脈波施加於第二和第四記憶體區段。於步驟 940，施加斜坡閘極電壓。可藉由各脈波而增加閘極抹除電壓，或者有許多脈波於指定的電壓後，可增加閘極抹除電壓。可重複步驟 930、935、和 940，直到第二區段確認為已抹除為止。

於步驟 945，確認第三記憶體區段。若該第三記憶體區段未能確認為已抹除，則於步驟 955 將脈波施加於第三記憶體區段。於步驟 955，施加斜坡閘極電壓。可藉由各脈波而增加閘極抹除電壓，或者有許多脈波於指定的電壓後，可增加閘極抹除電壓。可重複步驟 945、950、和 955，直到第三區段確認為已抹除為止。

於步驟 960，確認第四記憶體區段。若該第四記憶體區段未能確認為已抹除，則於步驟 965 將脈波施加於第四記憶體區段。於步驟 970，施加斜坡閘極電壓。可藉由各脈波而增加閘極抹除電壓，或者有許多脈波於指定的電壓後，可增加閘極抹除電壓。可重複步驟 960、965、和 970，直到第四區段確認為已抹除為止。

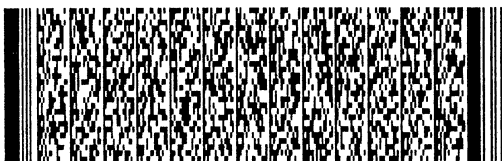
於步驟 960 確認第四區段為已抹除後，於步驟 975 重設閘極電壓。於步驟 980，檢核看看是否尚有任何未抹除之區段。若已沒有了剩餘之未抹除的區段，則於步驟 985 完



五、發明說明 (18)

成裝置之抹除。倘若尚有剩餘之未抹除之區段，則重複步驟 910，並繼續處理直到裝置抹除了為止。

第 8圖和第 9圖中所示之處理可嵌入於快閃記憶體裝置之邏輯中（例如，第 6圖之狀態控制和指令暫存器控制 605）。當抹除處理予以嵌入後，可使用簡單的指令來起始整個晶片的抹除。



圖式簡單說明

[圖式簡單說明]

第 1圖顯示先前技藝之一般非揮發性記憶體裝置中，各記憶體區段之典型配置。

第 2A圖顯示先前技藝之包含一般二進位雙閘極之反或(NOR)裝置之記憶胞，當於快速程式化模式而予程式化時，施加於其汲極、源極和閘極之電壓的實施例。

第 2B圖顯示先前技藝之如第 2A圖所示之記憶胞當於快速晶片抹除模式而被抹除時，施加於其汲極、源極和閘極之電壓的實施例。

第 2C圖顯示先前技藝之如第 2A圖所示之記憶胞當於快速晶片抹除模式而被弱程式化(APDE)時，施加於其汲極、源極和閘極之電壓的實施例。

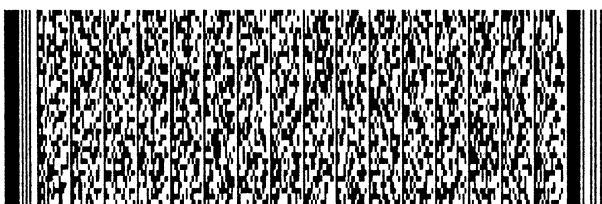
第 3圖顯示依照本申請專利之發明的實施例，加速電路之區塊圖。

第 4圖係顯示依照本申請專利之發明的實施例於快速晶片抹除模式，在施行快速抹除操作步驟期間供應源極電壓至記憶胞之源極之加速電路之電路圖。

第 5圖係顯示依照本申請專利之發明的實施例於快速晶片抹除模式，在施行快速弱程式化(APDE)操作步驟期間供應汲極電壓至記憶胞之汲極之加速電路之電路圖。

第 6圖係顯示依照本申請專利之發明的實施例，結合了快速晶片抹除能力之快閃記憶體裝置之電路圖。

第 7A圖係顯示依照本申請專利之發明的實施例，對於整個抹除處理之流程圖。



圖式簡單說明

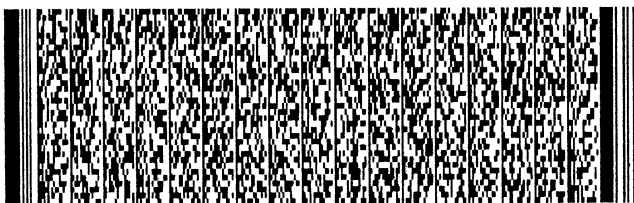
第 7B圖 係顯示依照本申請專利之發明的實施例，對於包含 APDE之整個抹除處理之流程圖。

第 8圖 係顯示依照本申請專利之發明的實施例，對於多區段同時抹除之流程圖。

第 9圖 係顯示依照本申請專利之發明的實施例，對於 4 個區段同時抹除之流程圖。

裝置符號之簡單說明

200	記憶胞	305	加速電路
310	觸發電路	315	高壓偵測器
320	邏輯電路	325	指令寫入輸入
330	加速輸入	335	快速晶片抹除指令 FCER
340	快速程式化指令 FPGM	405	電壓供應泵
410	Y解碼器	415	調節器
420	X解碼器	425	源極抹除電路
430a、430b			源極線
435a、435b、440a、440b			記憶胞
460	記憶體陣列		
470、475			字元線
540	快速程式化開關(電晶體)		
560、580、600、620			電晶體
602	具快速晶片抹除能力之快閃記憶體裝置電路圖		
605	暫存器	610	上庫
615	下庫	622	位址匯流排



I286758

圖式簡單說明

625	資料匯流排	630	接腳
635	狀態線	640	控制線
640a、640b、640c		• • •	電晶體
660a、660b			電晶體
680a、680b			位元線
705、715、720、725、730、735、810、815、820、825、			
830、835、840、845、850、910、915、920、925、930、			
935、940、945、950、955、960、965、970、975、980、			
985	步驟		
SA0、SA1、SA2、• • • SA63			區塊
SS0、SS1、SS2、• • • SS7			區塊
Z4(0)• • • Z4	(17)列		
Z3(0)• • • Z3	(3)行		

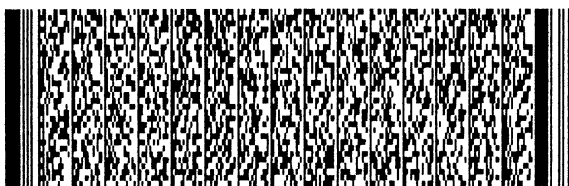
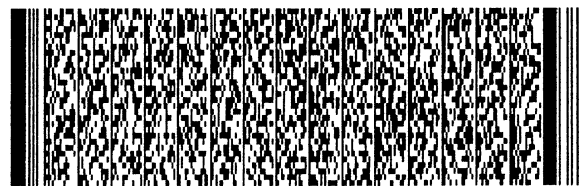


四、中文發明摘要 (發明名稱：快閃記憶體多區段抹除期間之抹除電壓控制方法與系統)

本發明提供一種抹除快閃記憶體之方法。於具有多區段之快閃記憶體裝置中，選擇複數個區段予以抹除(步驟810)。選擇區段之子集合(步驟815)，將抹除脈波同時施加到子集合之所有區段中(步驟820)。於使用具有起始電壓值之抹除脈波後，可確認子集合之至少一個區段(步驟825)。若於確認之區段中至少有一個未抹除之記憶胞，則調整抹除電壓(步驟830)並將另一抹除脈波施加到區段之子集合(步驟820)。抹除電壓之調整可為將抹除脈波施加到區段之子集合之次數的函數。在子集合中重複著此循環動作，直到選擇之區段已確認抹除了為止。於確認一區段後，應用抹除/確認循環操作至一個或多個子集合中之其餘的區段，直到其餘之每一個區段皆已確認為抹除了為止。於已抹除了子集合中之所有的區段以後，重設抹除電壓至其起始值(步驟840)，並選擇區段之另一個子集合進行如上述般之抹除/確認(步驟815)。可重複著處理直到裝

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE)

A method for erasing a flash memory. In a flash memory device having multiple sectors a plurality of sectors is selected for erase(810). a subset of sectors is selected (815) and an erase pulse is applied simultaneously to all sectors in the subset (820). After the application of an erase pulse having an initial voltage value, at least one sector of the subset is verified (825).



四、中文發明摘要 (發明名稱：快閃記憶體多區段抹除期間之抹除電壓控制方法與系統)

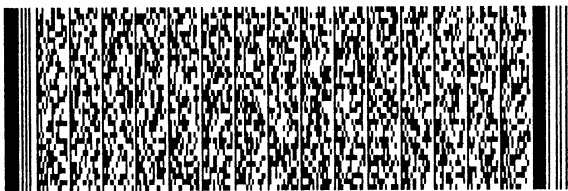
置中之所有的記憶體區段皆已抹除了為止(步驟850)。可使用具有嵌入邏輯之快閃記憶體裝置來執行此方法。

本案代表圖：第3圖

200 記憶體胞

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE)

If there is at least one unerased cell in the verified sector, the erase voltage is adjusted (830) and another erase pulse is applied to the subset of sectors (820). The adjustment of the erase voltage may be a function of the number of times that an erase pulse has been applied to the subset. This cycle is repeated on the subset until the selected sector is verified as erased. After a



四、中文發明摘要 (發明名稱：快閃記憶體多區段抹除期間之抹除電壓控制方法與系統)

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE)

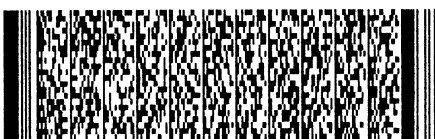
sector is verified, the erase/verify cycle is applied to one or more of the remaining sectors in the subset until each of the remaining sectors has been verified as erased. After all of the sectors in the subset are erased, the erase voltage is reset to its initial value (840) and another subset of sectors is selected for erase/verify as described above (815). The process may be repeated



四、中文發明摘要 (發明名稱：快閃記憶體多區段抹除期間之抹除電壓控制方法與系統)

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE)

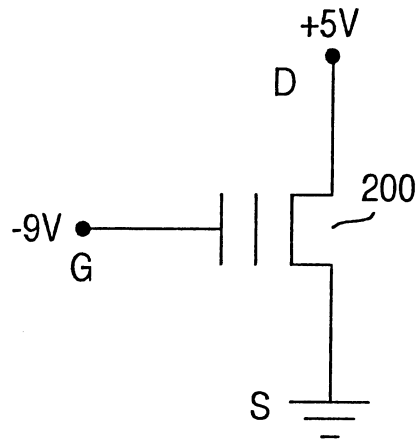
until all of the memory sectors in the device have been erased (850). A flash memory device with embedded logic may be used to execute the method.



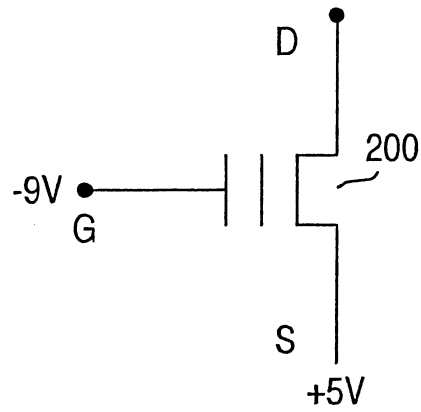
	Z3(0)	Z3(1)	Z3(2)	Z3(3)
Z4(17)	SS1	SS3	SS5	SS7
Z4(16)	SS0	SS2	SS4	SS6
Z4(15)	SA60	SA61	SA62	SA63
Z4(14)	SA56	SA57	SA58	SA59
Z4(13)	SA52	SA53	SA54	SA55
Z4(12)	SA48	SA49	SA50	SA51
Z4(11)	SA44	SA45	SA46	SA47
Z4(10)	SA40	SA41	SA42	SA43
Z4(9)	SA36	SA37	SA38	SA39
Z4(8)	SA32	SA33	SA34	SA35
Z4(7)	SA28	SA29	SA30	SA31
Z4(6)	SA24	SA25	SA26	SA27
Z4(5)	SA20	SA21	SA22	SA23
Z4(4)	SA16	SA17	SA18	SA19
Z4(3)	SA12	SA13	SA14	SA15
Z4(2)	SA8	SA9	SA10	SA11
Z4(1)	SA4	SA5	SA6	SA7
Z4(0)	SA0	SA1	SA2	SA3

第 1 圖

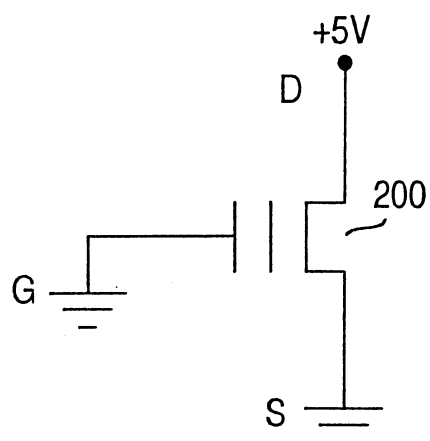
(先前技術)



第2A圖
(先前技術)

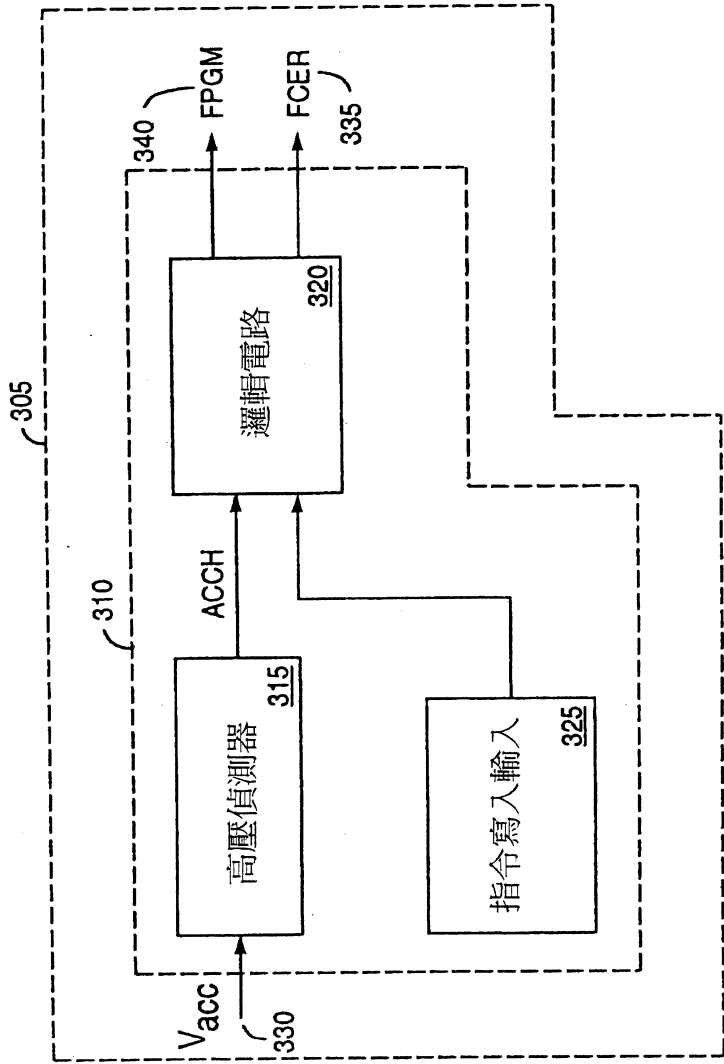


第 2B 圖
(先前技術)

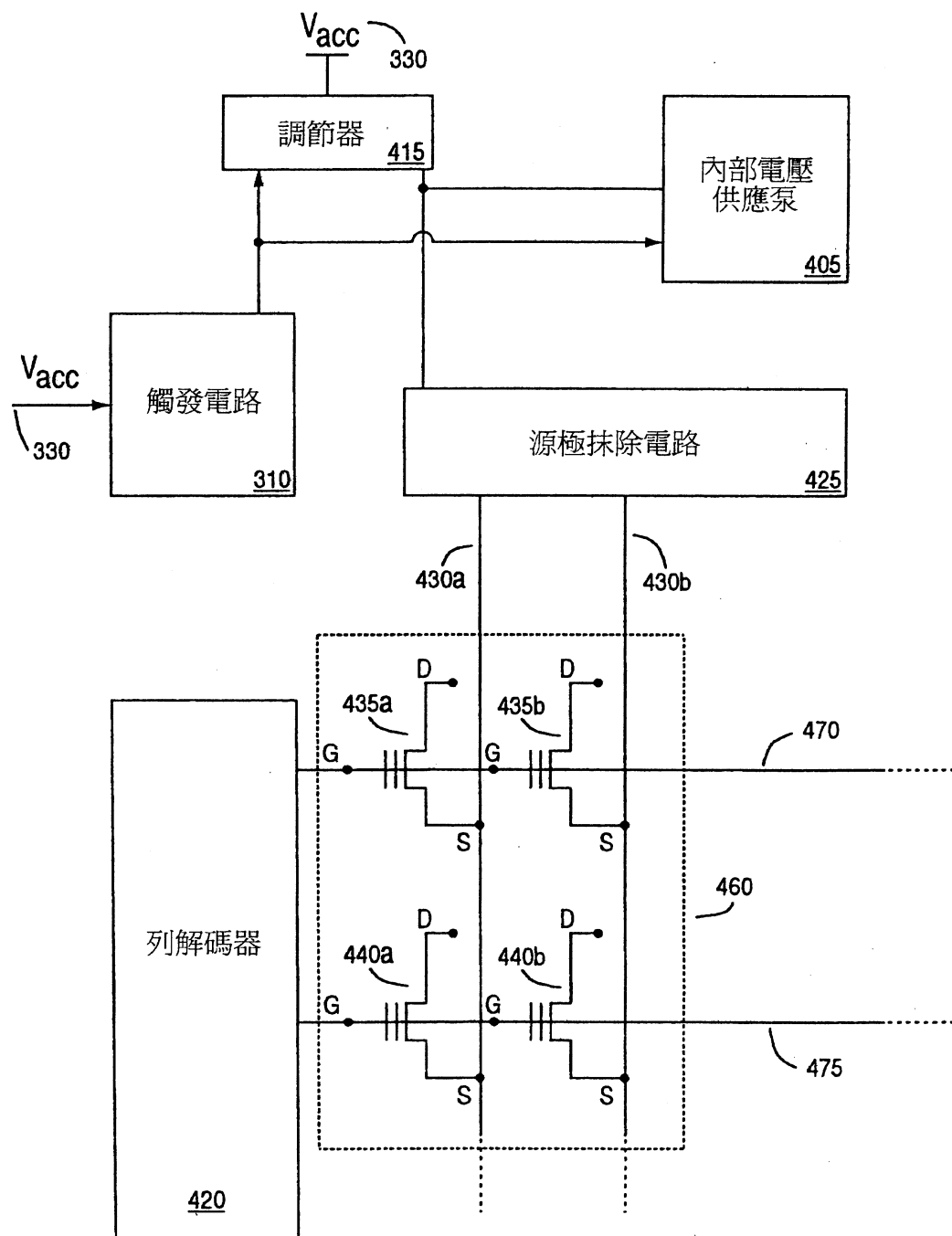


第 2C 圖
(先前技術)

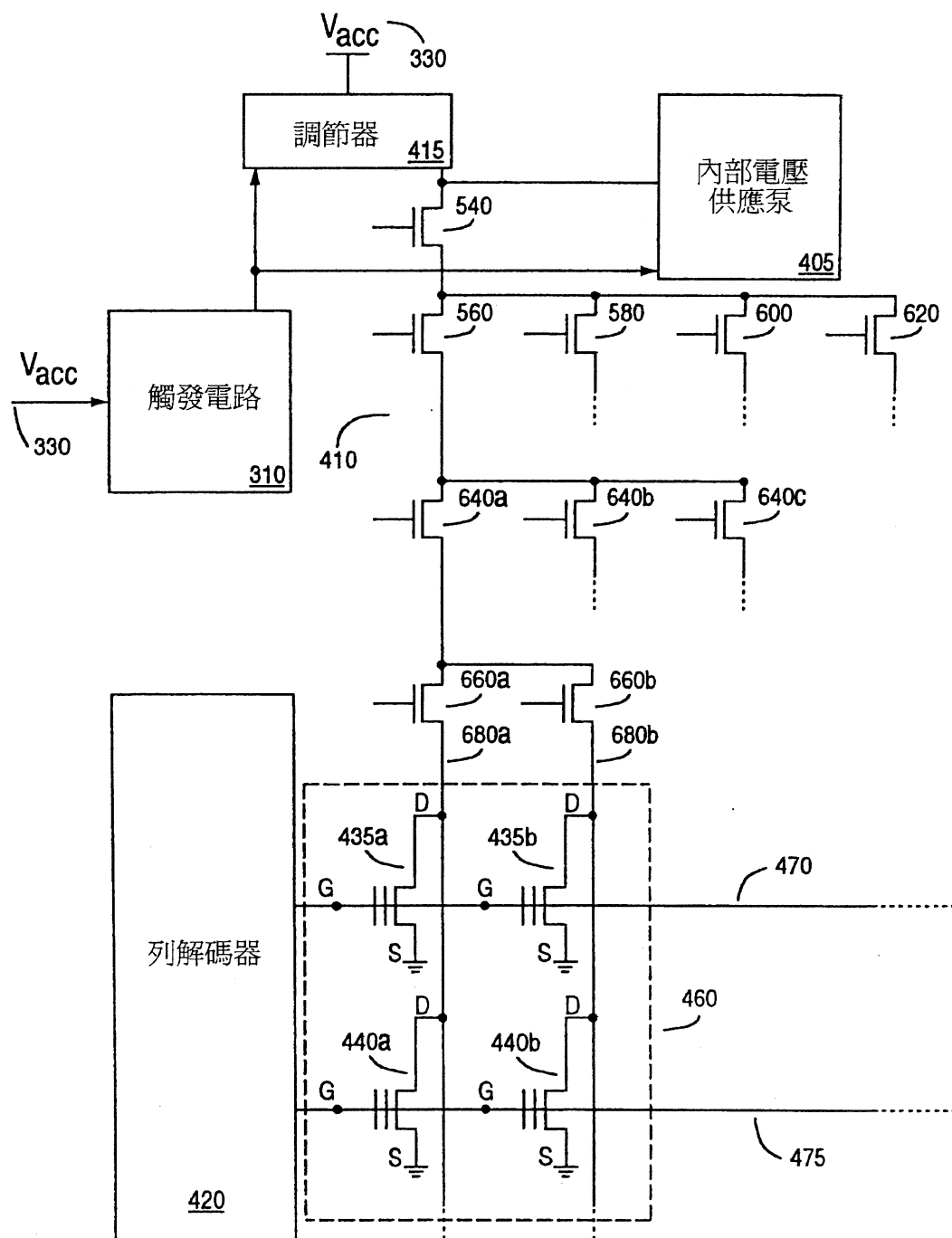
300



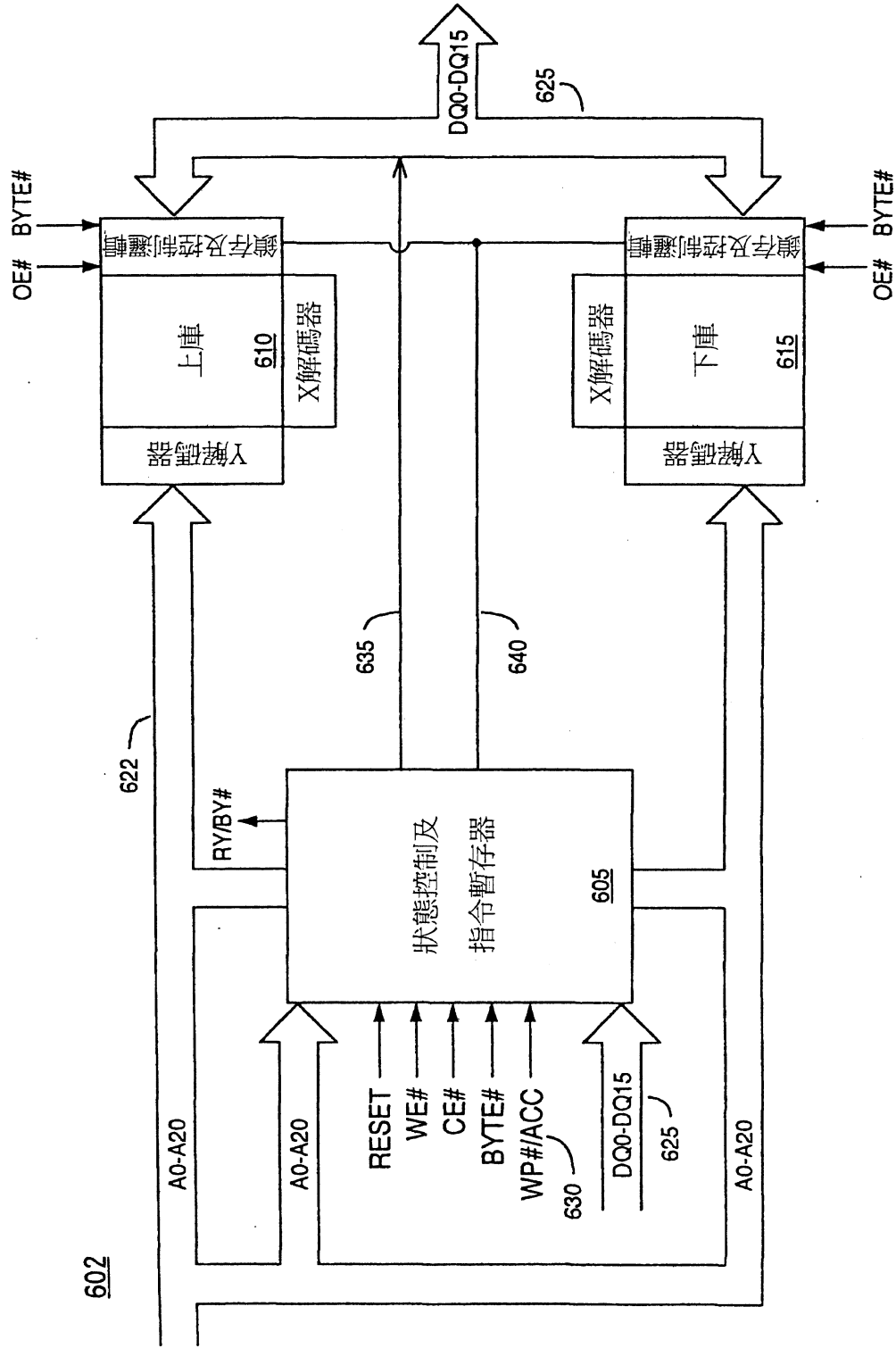
第 3 圖



第 4 圖

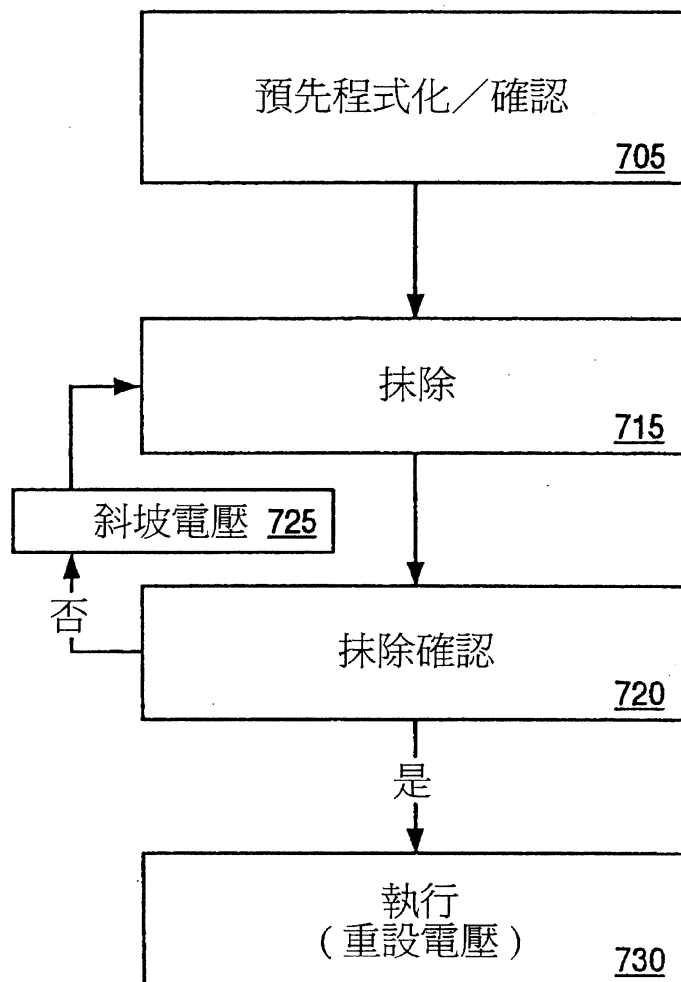


第 5 圖

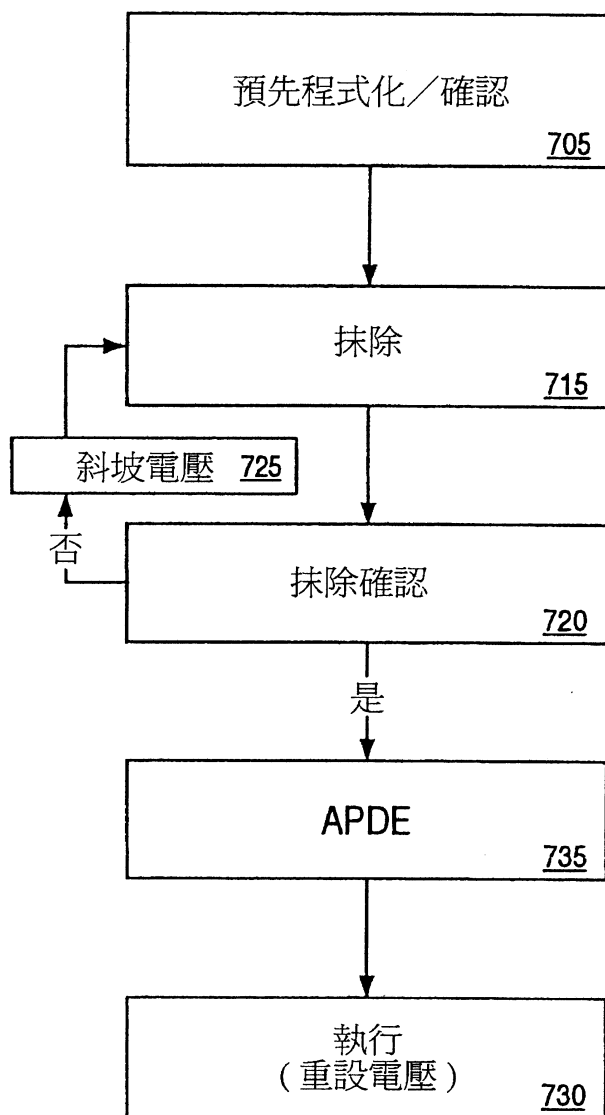


第 6 圖

9 / 12

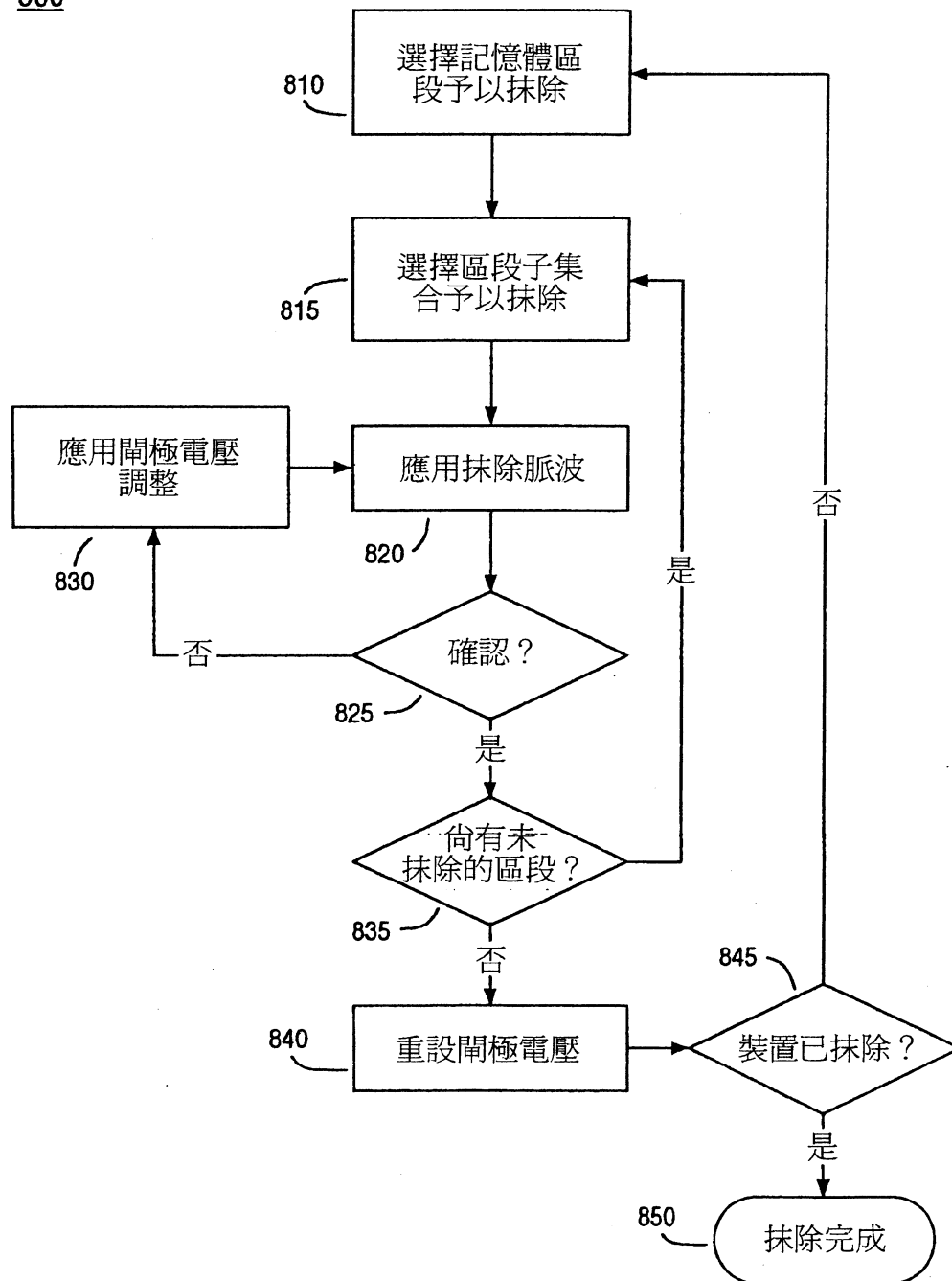


第 7A 圖

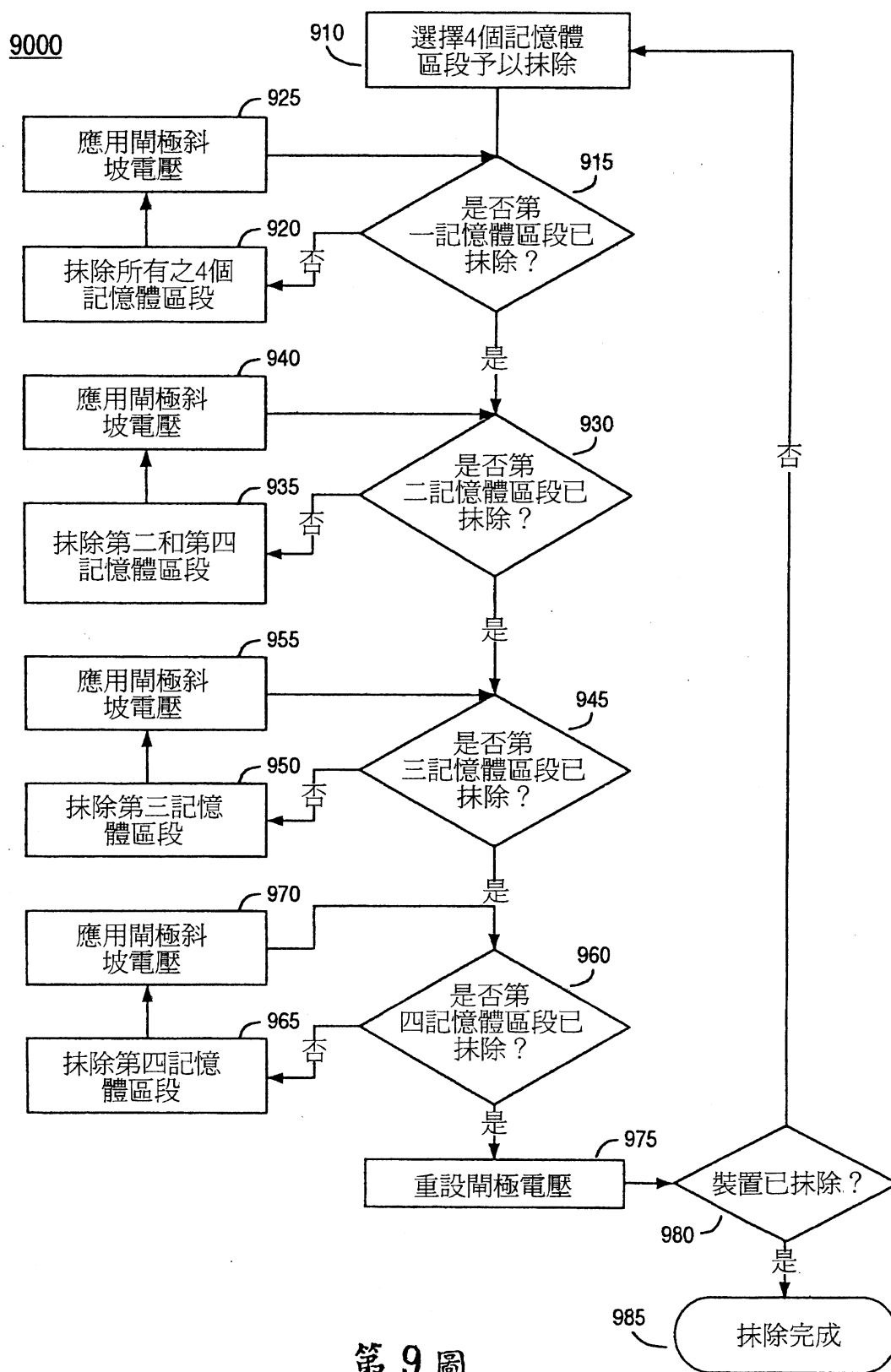


第 7B 圖

800



第 8 圖



第 9 圖

四、中文發明摘要 (發明名稱：快閃記憶體多區段抹除期間之抹除電壓控制方法與系統)

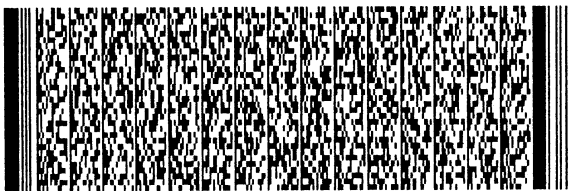
置中之所有的記憶體區段皆已抹除了為止(步驟850)。可使用具有嵌入邏輯之快閃記憶體裝置來執行此方法。

本案代表圖：第3圖

200 記憶體胞

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE)

If there is at least one unerased cell in the verified sector, the erase voltage is adjusted (830) and another erase pulse is applied to the subset of sectors (820). The adjustment of the erase voltage may be a function of the number of times that an erase pulse has been applied to the subset. This cycle is repeated on the subset until the selected sector is verified as erased. After a

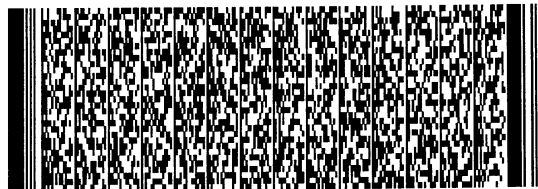


申請日期：92, 4, 15	IPC分類
申請案號：92108619	G11C 16/04

(以上各欄由本局填註)

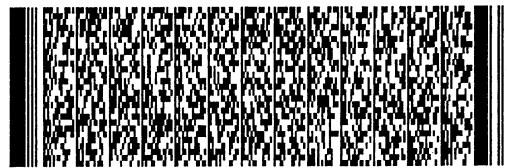
發明專利說明書

一、 發明名稱	中文	快閃記憶體多區段抹除期間之抹除電壓控制方法與系統
	英文	A SYSTEM AND METHOD FOR ERASE VOLTAGE CONTROL DURING MULTIPLE SECTOR ERASE OF A FLASH MEMORY DEVICE
二、 發明人 (共3人)	姓名 (中文)	1. 小愛德華V·包提斯卓 2. 查建中 3. 李文福
	姓名 (英文)	1. EDWARD V. BAUTISTA 2. KEN CHEONG CHEAH 3. WENG FOOK LEE
	國籍 (中英文)	1. 美國 US 2. 馬來西亞 MY 3. 馬來西亞 MY
	住居所 (中文)	1. 美國·加州95050·聖塔克萊拉·當恩廣場2050號 2. 馬來西亞·檳城11700·賈連漢連L-6-5 3. 馬來西亞·檳城11700·亭卡特巴杜烏賓3路6號
	住居所 (英文)	1. 2050 Don Court, Santa Clara, CA 95050, USA 2. L-6-5, Jalan Helang, 11700 Penang, Malaysia 3. 6, Tingkat Batu Uban 3, 11700 Penang, Malaysia
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 史班遜有限公司
	名稱或 姓名 (英文)	1. SPANSION LLC
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453·桑尼威市·郵政信箱3453號·德吉尼大道915號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, California 94088-3453, U.S.A.
	代表人 (中文)	1. 米連達 羅伯特 C
	代表人 (英文)	1. MELENDRES, ROBERT C.



六、申請專利範圍

1. 一種於包括複數個記憶體區段之快閃記憶體裝置之抹除期間控制閘極電壓之方法，該方法包括：
 - a)選擇該複數個記憶體區段之一部分(步驟 810)；
 - b)選擇該複數個記憶體區段之該部分之未抹除子集合(步驟 815)；
 - c)將具有閘極抹除電壓之抹除脈波施加於該記憶體區段之子集合(步驟 820)；
 - d)由該子集合中選擇記憶體區段，並抹除確認該選擇之區段(步驟 825)；
 - e)若該選擇之區段未被抹除，則施加單調之漸增功能至該閘極抹除電壓(步驟 830)；
 - f)重複步驟 c)至 e)直到該記憶體區段之子集合抹除了為止；
 - g)重複步驟 b)至 f)直到該複數個記憶體區段之該部分抹除了為止；
 - h)重設該閘極抹除電壓(步驟 840)；以及
 - i)重複步驟 a)至 h)直到該複數個記憶體區段抹除了為止(步驟 850)。
2. 如申請專利範圍第 1項之方法，其中該閘極抹除電壓為負電壓。
3. 如申請專利範圍第 1項之方法，其中該方法為嵌入於該快閃記憶體裝置中(602)。
4. 如申請專利範圍第 1項之方法，進一步包括施加抹除後自動程式化干擾(Automatic Program Disturb after



六、申請專利範圍

Erase; APDE)(步驟 735)。

5. 如申請專利範圍第 1 項之方法，其中該閘極抹除電壓係由該快閃記憶體裝置 (602) 外部之電源獲得。
6. 如申請專利範圍第 1 項之方法，進一步包括施加預先程式化脈波 (705)。
7. 如申請專利範圍第 1 項之方法，其中該閘極係接地，而該源極為正偏壓。
8. 一種快閃記憶體裝置，包括：
 - 複數個記憶體區段 (610, 615);
 - 用於該複數個記憶體區段 (605) 之選擇的子集合之嵌入邏輯；
 - 用來施加一連串脈波之單調之漸增閘極抹除電壓至該子集合中之記憶體區段，直到該子集合中之記憶體區段被抹除了為止之邏輯 (605); 以及
 - 用來重設該閘極抹除電壓之邏輯 (605)。
9. 如申請專利範圍第 8 項之快閃記憶體裝置，其中該子集合包括 4 個記憶體區段。
10. 如申請專利範圍第 8 項之快閃記憶體裝置，其中於該串脈波之第一個脈波係施加至於該子集合中之所有的記憶體區段。

