

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7015747号

(P7015747)

(45)発行日 令和4年2月3日(2022.2.3)

(24)登録日 令和4年1月26日(2022.1.26)

(51)国際特許分類

F I

H 0 2 N 11/00 (2006.01)

H 0 2 N 11/00

Z

H 0 1 L 41/113 (2006.01)

H 0 1 L 41/113

H 0 1 L 41/09 (2006.01)

H 0 1 L 41/09

B 8 1 B 5/00 (2006.01)

B 8 1 B 5/00

請求項の数 6 (全15頁)

(21)出願番号 特願2018-142042(P2018-142042)

(22)出願日 平成30年7月30日(2018.7.30)

(65)公開番号 特開2020-22214(P2020-22214A)

(43)公開日 令和2年2月6日(2020.2.6)

審査請求日 令和2年12月22日(2020.12.22)

(73)特許権者 514285911

千葉 正毅

東京都目黒区八雲 3 - 8 - 1 8

(73)特許権者 510244754

和氣 美紀夫

栃木県さくら市押上 8 8 0 - 3

(73)特許権者 000000011

株式会社アイシン

愛知県刈谷市朝日町 2 丁目 1 番地

(74)代理人 100086380

弁理士 吉田 稔

(74)代理人 100135389

弁理士 臼井 尚

(72)発明者 千葉 正毅

東京都目黒区八雲 3 - 8 - 1 8

最終頁に続く

(54)【発明の名称】 誘電エラストマートランスデューサーシステム

(57)【特許請求の範囲】

【請求項 1】

各々が誘電エラストマー層と当該誘電エラストマー層を挟む一对の電極層とを有する複数の誘電エラストマー要素と、

前記誘電エラストマー要素に接続された電気回路装置と、を備える誘電エラストマートランスデューサーシステムであって、

前記電気回路装置は、前記複数の誘電エラストマー要素に個別に接続されており、

前記電気回路装置は、前記複数の誘電エラストマー要素をアクチュエータとして駆動する駆動制御回路、前記複数の誘電エラストマー要素を用いた発電を行う発電制御回路および前記複数の誘電エラストマー要素を用いた検出処理を行う検出制御回路から各々が選択され且つ互いに異なる第 1 制御回路および第 2 制御回路を有し、

前記複数の誘電エラストマー要素のいずれかが前記第 1 制御回路に接続され且つ前記複数の誘電エラストマー要素の他のいずれかが前記第 2 制御回路に接続された状態が存在することを特徴とする、誘電エラストマートランスデューサーシステム。

【請求項 2】

前記複数の誘電エラストマー要素は、力学的に直列に連結されている、請求項 1 に記載の誘電エラストマートランスデューサーシステム。

【請求項 3】

前記複数の誘電エラストマー要素は、互いの特性が異なる誘電エラストマー要素を含む、請求項 1 または 2 に記載の誘電エラストマートランスデューサーシステム。

【請求項 4】

前記特性は、前記一対の電極層の電位差と前記誘電エラストマー層の歪みとの関係である、請求項 3 に記載の誘電エラストマートランスデューサーシステム。

【請求項 5】

前記特性は、前記一対の電極層の電位差の時間変化率と前記誘電エラストマー層の歪みの時間変化率との関係である、請求項 3 に記載の誘電エラストマートランスデューサーシステム。

【請求項 6】

前記複数の誘電エラストマー要素は、力学的に並列に連結されている、請求項 1 に記載の誘電エラストマートランスデューサーシステム。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、誘電エラストマー層を有しエネルギーを変換する誘電エラストマートランスデューサーシステムに関する。

【背景技術】**【0002】**

エネルギーの変換効率に優れたトランスデューサーとして、誘電エラストマー層およびこれを挟む一対の電極層からなる誘電エラストマー要素を有する誘電エラストマートランスデューサーが注目されている。この誘電エラストマートランスデューサーは、誘電エラストマー層の変形（伸縮及び収縮）を利用して、任意のエネルギーを他のエネルギーに変換する。

20

【0003】

たとえば、特許文献 1 には、一対の電極層に電荷を付与した際の誘電エラストマー層の変形を利用して駆動力を発揮させることにより、誘電エラストマー要素をアクチュエータとしての機能例が開示されている。また、アクチュエータとしての駆動力を高める等を目的として、複数の誘電エラストマー要素を用いる例が開示されている。

【0004】

しかしながら、複数の誘電エラストマー要素を用いた場合、すべてのまたはいずれかの誘電エラストマー要素が電氣的または機械的に動作不良を生じる可能性がある。また、複数の誘電エラストマー要素を一括して駆動制御するため、単に駆動力を高めることに留まり、駆動力の増強を超えたさらなる利点が見いだせない。

30

【先行技術文献】**【特許文献】****【0005】**

【文献】特開 2009 - 267429 公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

本発明は、上記した事情のもとで考え出されたものであって、信頼性を向上させるとともに高機能化を図ることが可能な誘電エラストマートランスデューサーシステムを提供することをその課題とする。

40

【課題を解決するための手段】**【0007】**

本発明によって提供される誘電エラストマートランスデューサーシステム A 1 は、各々が誘電エラストマー層と当該誘電エラストマー層を挟む一対の電極層とを有する複数の誘電エラストマー要素と、前記誘電エラストマー要素に接続された電気回路装置と、を備える誘電エラストマートランスデューサーシステムであって、前記電気回路装置は、前記複数の誘電エラストマー要素に個別に接続されていることを特徴としている。

【0008】

50

本発明の好ましい実施の形態においては、前記複数の誘電エラストマー要素は、力学的に直列に連結されている。

【0009】

本発明の好ましい実施の形態においては、前記複数の誘電エラストマー要素は、互いの特性が異なる誘電エラストマー要素を含む。

【0010】

本発明の好ましい実施の形態においては、前記特性は、前記一对の電極層の電位差と前記誘電エラストマー層の歪みとの関係である。

【0011】

本発明の好ましい実施の形態においては、前記特性は、前記一对の電極層の電位差の時間変化率と前記誘電エラストマー層の歪みの時間変化率との関係である。

10

【0012】

本発明の好ましい実施の形態においては、前記複数の誘電エラストマー要素は、力学的に並列に連結されている。

【0013】

本発明の好ましい実施の形態においては、前記電気回路装置は、前記複数の誘電エラストマー要素をアクチュエータとして駆動する駆動制御回路を含む。

【0014】

本発明の好ましい実施の形態においては、前記電気回路装置は、前記複数の誘電エラストマー要素を用いた発電を行う発電制御回路を含む。

20

【0015】

本発明の好ましい実施の形態においては、前記電気回路装置は、前記複数の誘電エラストマー要素を用いた検出処理を行う検出制御回路を含む。

【発明の効果】

【0016】

本発明によれば、誘電エラストマートランスデューサーシステムの信頼性を向上させるとともに高機能化を図ることができる。

【0017】

本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

30

【図面の簡単な説明】

【0018】

【図1】本発明の第1実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

【図2】本発明の第1実施形態に係る誘電エラストマートランスデューサーシステムの使用形態の一例を示すタイミングチャートである。

【図3】本発明の第1実施形態に係る誘電エラストマートランスデューサーシステムの使用形態の他の例を示すタイミングチャートである。

【図4】本発明の第2実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

40

【図5】本発明の第2実施形態に係る誘電エラストマートランスデューサーシステムの使用形態の他の例を示す断面図である。

【図6】本発明の第2実施形態に係る誘電エラストマートランスデューサーシステムの使用形態の他の例を示す断面図である。

【図7】本発明の第3実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

【図8】本発明の第4実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

【図9】本発明の第5実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

50

【図 1 0】本発明の第 6 実施形態に係る誘電エラストマートランスデューサーシステムを示す断面図である。

【発明を実施するための形態】

【0019】

以下、本発明の好ましい実施の形態につき、図面を参照して具体的に説明する。

【0020】

<第 1 実施形態>

図 1 は、本発明の第 1 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 1 は、複数の誘電エラストマー要素 1、支持体 2 および電気回路装置 3 を備えている。誘電エラストマートランスデューサーシステム A 1 は、複数の誘電エラストマー要素 1 がアクチュエータとして機能するように構成されている。

10

【0021】

複数の誘電エラストマー要素 1 は、各々が誘電エラストマー層 1 1 および一対の電極層 1 2 を有しており、本実施形態においては、電気回路装置 3 からの電荷付与によりアクチュエータとして機能する。誘電エラストマー層 1 1 は、弾性変形が可能であるとともに、絶縁強度が高いことが求められる。このような誘電エラストマー層 1 1 の材質は特に限定されないが、好ましい例として、たとえばシリコンエラストマーやアクリルエラストマーが挙げられる。

【0022】

誘電エラストマー層 1 1 の形状は特に限定されず、本実施形態においては、誘電エラストマー層 1 1 は、誘電エラストマートランスデューサーシステム A 1 の構成要素として形成される前の外力等が加えられていない状態において平面視円環形状である。

20

【0023】

一対の電極層 1 2 は、誘電エラストマー層 1 1 を挟んでいる。電極層 1 2 は、導電性を有するとともに、誘電エラストマー層 1 1 の弾性変形に追従しうる弾性変形可能な材質によって形成される。このような材質としては、弾性変形可能な主材に導電性を付与するフィラーが混入された材質が挙げられる。前記フィラーの好ましい例として、たとえばカーボンナノチューブが挙げられる。

【0024】

本実施形態においては、複数の誘電エラストマー要素 1 は、4 つの誘電エラストマー要素 1 A、1 B、1 C、1 D からなる。誘電エラストマー要素 1 A は、誘電エラストマー層 1 1 A および一対の電極層 1 2 A を有する。誘電エラストマー要素 1 B は、誘電エラストマー層 1 1 B および一対の電極層 1 2 B を有する。誘電エラストマー要素 1 C は、誘電エラストマー層 1 1 C および一対の電極層 1 2 C を有する。誘電エラストマー要素 1 D は、誘電エラストマー層 1 1 D および一対の電極層 1 2 D を有する。誘電エラストマー層 1 1 A、1 1 B、1 1 C、1 1 D は、特に言及しない限り、互いに同様の構成である。電極層 1 2 A、1 2 B、1 2 C、1 2 D は、特に言及しない限り、互いに同様の構成である。

30

【0025】

支持体 2 は、複数の誘電エラストマー要素 1 A、1 B、1 C、1 D を支持している。本実施形態においては、支持体 2 は、複数の誘電エラストマー要素 1 A、1 B、1 C、1 D を力学的に直列に連結している。具体的には、支持体 2 は、一対の支持リング 2 1、一対の支持リング 2 2、支持板 2 3 および複数の支持ロッド 2 4 を有する。支持体 2 の材質は特に限定されず、誘電エラストマー要素 1 と接する部位は、樹脂等の絶縁材料からなることが好ましい。なお、以降に説明する支持体 2 は、一例であり、支持体 2 の具体的構成は何ら限定されない。

40

【0026】

一対の支持リング 2 1 は、図中上下方向に離間して配置されており、比較的大径のリング状部材である。図中上方の支持リング 2 1 には、誘電エラストマー要素 1 A の誘電エラストマー層 1 1 A の外周端が固定されている。図中下方の支持リング 2 1 には、誘電エラス

50

トマー要素 1 D の誘電エラストマー層 1 1 D の外周端が固定されている。

【 0 0 2 7 】

一对の支持リング 2 2 は、一对の支持リング 2 1 の間において図中上下方向に離間して配置されており、比較的小径のリング状部材である。図中上方の支持リング 2 2 には、誘電エラストマー要素 1 A の誘電エラストマー層 1 1 A の内周端と誘電エラストマー要素 1 B の誘電エラストマー層 1 1 B の内周端とが固定されている。図中下方の支持リング 2 2 には、誘電エラストマー要素 1 C の誘電エラストマー層 1 1 C の内周端と誘電エラストマー要素 1 D の誘電エラストマー層 1 1 D の内周端とが固定されている。

【 0 0 2 8 】

支持板 2 3 は、一对の支持リング 2 2 の間に配置されており、たとえば円形状の板状部材である。支持板 2 3 には、誘電エラストマー要素 1 B の誘電エラストマー層 1 1 B の外周端と誘電エラストマー要素 1 C の誘電エラストマー層 1 1 C の外周端とが固定されている。また、支持板 2 3 には、誘電エラストマートランスデューサーシステム A 1 からの駆動力を出力すべく外部と接続される接続部材 9 が取り付けられている。

【 0 0 2 9 】

複数の支持ロッド 2 4 は、一对の支持リング 2 1 を互いに連結している。複数の支持ロッド 2 4 の長さは、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D を図中上下方向に十分に伸張させることにより、電気回路装置 3 から電荷が付与されていない状態において、所望の張力を生じる状態とされる。

【 0 0 3 0 】

このような構成の支持体 2 によって支持されることにより、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D は、上下方向を軸方向とする円錐体形状をなすように設定される。

【 0 0 3 1 】

電気回路装置 3 は、複数の誘電エラストマー要素 1 に接続されている。電気回路装置 3 は、誘電エラストマー要素 1 が果たすべき機能に対応した種々の電気回路を含む構成とされている。本実施形態においては、複数の誘電エラストマー要素 1 をアクチュエータとして機能させるべく、電気回路装置 3 は、駆動制御回路 3 5 A ~ 3 5 D を有する。駆動制御回路 3 5 A ~ 3 5 D は、たとえば、誘電エラストマー要素 1 に電荷を付与するための電圧を発生する電源回路や、この電源回路を制御する制御回路を含む。図示された例においては、駆動制御回路 3 5 A は、誘電エラストマー要素 1 A に電位差を付与し、駆動制御回路 3 5 B は、誘電エラストマー要素 1 B に電位差を付与し、駆動制御回路 3 5 C は、誘電エラストマー要素 1 C に電位差を付与し、駆動制御回路 3 5 D は、誘電エラストマー要素 1 D に電位差を付与する。

【 0 0 3 2 】

複数の誘電エラストマー要素 1 と電気回路装置 3 とは、複数の配線 3 1 , 3 2 によって接続されている。より具体的には、複数の配線 3 1 , 3 2 は、配線 3 1 A , 3 2 A , 3 1 B , 3 2 B , 3 1 C , 3 2 C , 3 1 D , 3 2 D からなる。

【 0 0 3 3 】

配線 3 1 A は、駆動制御回路 3 5 A と誘電エラストマー要素 1 A の一方の電極層 1 2 A に接続されており、配線 3 2 A は、駆動制御回路 3 5 A と誘電エラストマー要素 1 A の他方の電極層 1 2 A に接続されている。配線 3 1 B は、駆動制御回路 3 5 B と誘電エラストマー要素 1 B の一方の電極層 1 2 B に接続されており、配線 3 2 B は、駆動制御回路 3 5 B と誘電エラストマー要素 1 B の他方の電極層 1 2 B に接続されている。配線 3 1 C は、駆動制御回路 3 5 C と誘電エラストマー要素 1 C の一方の電極層 1 2 C に接続されており、配線 3 2 C は、駆動制御回路 3 5 C と誘電エラストマー要素 1 C の他方の電極層 1 2 C に接続されている。配線 3 1 D は、駆動制御回路 3 5 D と誘電エラストマー要素 1 D の一方の電極層 1 2 D に接続されており、配線 3 2 D は、駆動制御回路 3 5 D と誘電エラストマー要素 1 D の他方の電極層 1 2 D に接続されている。

【 0 0 3 4 】

このように、電気回路装置 3 の駆動制御回路 3 5 A ~ 3 5 D は、複数の誘電エラストマー

10

20

30

40

50

要素 1 A , 1 B , 1 C , 1 D に、個別に独立して接続されている。したがって、電気回路装置 3 は、複数の誘電エラストマー要素 1 A , 1 B , 1 C , 1 D のそれぞれに独立して電荷（電位差）を付与可能な構成である。

【 0 0 3 5 】

次に、誘電エラストマートランスデューサーシステム A 1 の作用について説明する。

【 0 0 3 6 】

本実施形態によれば、複数の誘電エラストマー要素 1 と電気回路装置 3 とは、個別に接続されている。このため、複数の誘電エラストマー要素 1 のいずれかが機械的または電氣的に動作不良の状態となった場合に、当該誘電エラストマー要素 1 以外の誘電エラストマー要素 1 への電荷付与を継続することにより、誘電エラストマートランスデューサーシステム A 1 を引き続き機能させることができる。特に、複数の誘電エラストマー要素 1 の個数が多くなった場合に、いずれか 1 つの誘電エラストマー要素 1 の不良によって誘電エラストマートランスデューサーシステム A 1 の全体が機能不可となる事態を回避することができる。

10

【 0 0 3 7 】

図 2 は、誘電エラストマートランスデューサーシステム A 1 の使用形態の一例を示している。横軸は時間である。上側のグラフの縦軸は、誘電エラストマー要素 1 A ~ 1 D の電位差（電圧）V である。下側のグラフの縦軸は、誘電エラストマートランスデューサーシステム A 1 が発揮する駆動力 F である。同グラフにおいては、駆動力 F の正方向が図 1 における z 1 方向に相当し、負方向が図 1 における z 2 方向に相当する。

20

【 0 0 3 8 】

本例においては、時刻 t 0 に誘電エラストマー要素 1 A , 1 B に電気回路装置 3 の駆動制御回路 3 5 A および駆動制御回路 3 5 B から電位差 V 1 が付与される。これにより、一对の電極層 1 2 A と一对の電極層 1 2 B とが、クーロン力により互いに引き合う。このため、誘電エラストマー層 1 1 A , 1 1 B の厚さが薄くなり、面積が増大する。この結果、張力を発揮している誘電エラストマー要素 1 C , 1 D が支持板 2 3 を図中下方に引き下げる格好となる。これにより、誘電エラストマートランスデューサーシステム A 1 からは、接続部材 9 を z 2 方向に引き下げる駆動力 F 1 が発揮される。

【 0 0 3 9 】

次いで、時刻 t 1 に、誘電エラストマー要素 1 A , 1 B の電荷が除外されて電位差が 0 とされ、誘電エラストマー要素 1 C , 1 D に電気回路装置 3 の駆動制御回路 3 5 C および駆動制御回路 3 5 D から電位差 V 1 が付与される。これにより、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D は、時刻 t 0 ~ t 1 とは、上下方向反対の挙動を示す。この結果、誘電エラストマートランスデューサーシステム A 1 からは、接続部材 9 を z 1 方向に押し上げる駆動力 F 1 が発揮される。

30

【 0 0 4 0 】

この後の時刻 t 2 ~ t 6 は、時刻 t 0 , t 1 と同様の駆動制御が電気回路装置 3 によってなされており、それに対応した駆動力 F が発揮されている。

【 0 0 4 1 】

このような使用形態によれば、図中 z 1 方向および z 2 方向の双方に、複数の誘電エラストマー要素 1 を余すことなく活用した、強い駆動力 F を発揮することができる。

40

【 0 0 4 2 】

図 3 は、誘電エラストマートランスデューサーシステム A 1 の使用形態の他の例を示している。本例においては、時刻 t 0 に誘電エラストマー要素 1 A のみに電気回路装置 3 の駆動制御回路 3 5 A から電位差 V 1 が付与される。これにより、誘電エラストマー層 1 1 A のみ厚さが薄くなり、面積が増大する。この結果、張力を発揮している誘電エラストマー要素 1 C , 1 D が支持板 2 3 を z 2 方向に引き下げる格好となる。ただし、誘電エラストマー要素 1 B は、依然として張力を発揮している。したがって、誘電エラストマートランスデューサーシステム A 1 からは、図 2 における駆動力 F 1 よりも弱い z 2 方向への駆動力 F 2 が発揮される。

50

【 0 0 4 3 】

次いで、時刻 t_1 に、誘電エラストマー要素 1 A の電荷が除外されて電位差が 0 とされ、誘電エラストマー要素 1 C のみに電気回路装置 3 の駆動制御回路 3 5 C から電位差 V_1 が付与される。これにより、誘電エラストマー層 1 1 C のみの厚さが薄くなる。この結果、誘電エラストマートランスデューサーシステム A 1 からは、図 2 における駆動力 F_1 よりも弱い z_1 方向への駆動力 F_2 が発揮される。

【 0 0 4 4 】

次いで、時刻 t_2 に、誘電エラストマー要素 1 C の電荷が除外されて電位差が 0 とされ、誘電エラストマー要素 1 B のみに電気回路装置 3 の駆動制御回路 3 5 B から電位差 V_1 が付与される。これにより、誘電エラストマー層 1 1 B のみの厚さが薄くなる。この結果、誘電エラストマートランスデューサーシステム A 1 からは、図 2 における駆動力 F_1 よりも弱い z_2 方向への駆動力 F_2 が発揮される。

【 0 0 4 5 】

次いで、時刻 t_3 に、誘電エラストマー要素 1 B の電荷が除外されて電位差が 0 とされ、誘電エラストマー要素 1 D のみに電気回路装置 3 の駆動制御回路 3 5 D から電位差 V_1 が付与される。これにより、誘電エラストマー層 1 1 D のみの厚さが薄くなる。この結果、誘電エラストマートランスデューサーシステム A 1 からは、図 2 における駆動力 F_1 よりも弱い z_1 方向への駆動力 F_2 が発揮される。

【 0 0 4 6 】

この後の時刻 t_4 以降は、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D への電荷付与が適宜繰り返される。

【 0 0 4 7 】

このような使用形態によれば、誘電エラストマートランスデューサーシステム A 1 の使用期間において、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D のそれぞれに電荷（電位差）が付与される時間率を減少させることが可能である。これにより、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D が、電氣的または機械的に動作不良を生じるまでの期間を延長させることが可能であり、誘電エラストマートランスデューサーシステム A 1 の駆動寿命を延ばすことができる。

【 0 0 4 8 】

なお、図 2 のように、複数の誘電エラストマー要素 1 に同時に電荷を付与する使用形態と、図 3 のように、いずれかの一部の誘電エラストマー要素 1 のみに電荷を付与する使用形態とを、互いに組み合わせて行ってもよい。

【 0 0 4 9 】

また、複数の誘電エラストマー要素 1 の仕様が互いに異なる場合には、仕様の相違に応じた使用形態を適宜採用すればよい。たとえば、誘電エラストマー要素 1 A および誘電エラストマー要素 1 C の駆動ストロークが相対的に長い仕様であり、誘電エラストマー要素 1 B および誘電エラストマー要素 1 D の動作反応速度が相対的に速い仕様である場合が想定される。この場合、誘電エラストマートランスデューサーシステム A 1 として、より長い駆動ストロークが求められる場合には、誘電エラストマー要素 1 A および誘電エラストマー要素 1 C のみに交互に電荷（電位差）を付与すればよい。一方、誘電エラストマートランスデューサーシステム A 1 としてより速い反応速度が求められる場合には、誘電エラストマー要素 1 B および誘電エラストマー要素 1 D のみに交互に電荷（電位差）を付与すればよい。

【 0 0 5 0 】

図 4 ~ 図 10 は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

【 0 0 5 1 】

< 第 2 実施形態 >

図 4 は、本発明の第 2 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 2 は、複数の誘

10

20

30

40

50

電エラストマー要素 1 がアクチュエータおよび発電素子として機能するように構成されている。

【 0 0 5 2 】

本実施形態においては、電気回路装置 3 は、駆動制御回路 3 5 A ~ 3 5 D、発電制御回路 3 6 A ~ 3 6 D およびスイッチ 3 9 A ~ 3 9 D を有している。

【 0 0 5 3 】

駆動制御回路 3 5 A ~ 3 5 D は、上述した誘電エラストマートランスデューサーシステム A 1 における駆動制御回路 3 5 A ~ 3 5 D と同様であり、複数の誘電エラストマー要素 1 をアクチュエータとして駆動するための制御を行う。

【 0 0 5 4 】

発電制御回路 3 6 A ~ 3 6 D は、複数の誘電エラストマー要素 1 を発電素子として機能させるための制御を行う。具体的には、発電制御回路 3 6 A ~ 3 6 D は、誘電エラストマー要素 1 A ~ 1 D への初期電荷の付与や、外力に起因する誘電エラストマー要素 1 A ~ 1 D の変形によって増大した電気エネルギーの回収を行う。この様な発電制御回路 3 6 A ~ 3 6 D は、発電回路や蓄電回路を適宜含んでいる。

【 0 0 5 5 】

スイッチ 3 9 A ~ 3 9 D は、誘電エラストマー要素 1 A ~ 1 D (配線 3 1 A ~ 3 1 D および配線 3 2 A ~ 3 2 D) と、駆動制御回路 3 5 A ~ 3 5 D および発電制御回路 3 6 A ~ 3 6 D との接続状態を切り替えるためのものである。同図においては、スイッチ 3 9 A が、配線 3 1 A および配線 3 2 A と駆動制御回路 3 5 A とを接続させている。また、スイッチ 3 9 B が、配線 3 1 B および配線 3 2 B と駆動制御回路 3 5 B とを接続させている。また、スイッチ 3 9 C が、配線 3 1 C および配線 3 2 C と駆動制御回路 3 5 C とを接続させている。また、スイッチ 3 9 D が、配線 3 1 D および配線 3 2 D と駆動制御回路 3 5 D とを接続させている。

【 0 0 5 6 】

同図に示した状態は、誘電エラストマー要素 1 A ~ 1 D のすべてをアクチュエータとして駆動する状態である。この使用形態においては、たとえば図 2 および図 3 を参照して説明した誘電エラストマートランスデューサーシステム A 1 と同様の使用形態を実現することができる。

【 0 0 5 7 】

図 5 は、誘電エラストマートランスデューサーシステム A 2 の使用形態の他の例を示している。同図に示す例においては、スイッチ 3 9 A ~ 3 9 D が、配線 3 1 A ~ 3 1 D および配線 3 2 A ~ 3 2 D と、発電制御回路 3 6 A ~ 3 6 D とをそれぞれ接続している。これにより、この使用形態においては、誘電エラストマー要素 1 A ~ 1 D のすべてが発電素子として用いられる。たとえば、接続部材 9 に対して外部の外力発生体から外力が付与付されると、その外力に応じて接続部材 9 および支持板 2 3 が z 1 方向および z 2 方向に移動する。この移動によって誘電エラストマー要素 1 A ~ 1 D が変形し、発電が行われる。

【 0 0 5 8 】

図 6 は、誘電エラストマートランスデューサーシステム A 2 の使用形態のさらに他の例を示している。同図に示す例においては、スイッチ 3 9 A およびスイッチ 3 9 D が、配線 3 1 A , 3 1 D , 3 2 A , 3 2 D と駆動制御回路 3 5 A および駆動制御回路 3 5 D とをそれぞれ接続しており、スイッチ 3 9 B およびスイッチ 3 9 C が、配線 3 1 B , 3 1 C , 3 2 B , 3 2 C と発電制御回路 3 6 B および発電制御回路 3 6 C とをそれぞれ接続している。すなわち、誘電エラストマー要素 1 A および誘電エラストマー要素 1 D が、アクチュエータとして駆動され、誘電エラストマー要素 1 B および誘電エラストマー要素 1 C が発電素子として用いられる。

【 0 0 5 9 】

本使用形態によれば、1つの誘電エラストマートランスデューサーシステム A 2 を、アクチュエータと発電との2つの用途に用いることが可能である。アクチュエータとしての動作と発電動作とは、常に同時に行う必要はない。たとえば、誘電エラストマートランスデ

10

20

30

40

50

ユーザーシステム A 2 がアクチュエータとして駆動することが求められる場合、駆動制御回路 3 5 A および駆動制御回路 3 5 D によって誘電エラストマー要素 1 A および誘電エラストマー要素 1 D をアクチュエータとして駆動させ、発電制御回路 3 6 B および発電制御回路 3 6 C は、たとえば休止状態とすればよい。一方、外力の発生により発電が求められる場合、発電制御回路 3 6 B および発電制御回路 3 6 C によって誘電エラストマー要素 1 B および誘電エラストマー要素 1 C を用いた発電を行い、発電制御回路 3 6 A および 3 6 D は、たとえば休止状態とすればよい。なお、これらのアクチュエータとしての駆動と発電とを同時に行う使用形態を採用してもよい。

【0060】

誘電エラストマートランスデューサーシステム A 2 によれば、駆動用途と発電用途とを適宜切替えたり、組み合わせたりした使用形態が可能であり、より多様な用途に適用することができる。また、発電用途であっても、誘電エラストマー要素 1 A ~ 1 D と発電制御回路 3 6 A ~ 3 6 D とを個別に接続することにより、誘電エラストマートランスデューサーシステム A 3 の使用期間において、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D のそれぞれが使用される時間率を減少させることが可能である。これにより、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D が、電氣的または機械的に動作不良を生じるまでの期間を延長させることが可能であり、誘電エラストマートランスデューサーシステム A 2 の寿命を延ばすことができる。

【0061】

< 第 3 実施形態 >

図 7 は、本発明の第 3 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 3 は、複数の誘電エラストマー要素 1 がセンサ素子として機能するように構成されている。

【0062】

本実施形態においては、電気回路装置 3 が、検出制御回路 3 7 A ~ 3 7 D を有する。検出制御回路 3 7 A ~ 3 7 D は、誘電エラストマー要素 1 A ~ 1 D の変形に伴う静電容量の変化を検出するための回路である。このような検出制御回路 3 7 A ~ 3 7 D は、たとえば交流電気信号を出力する発振回路や静電容量の変化を判定する判定回路等を含む。

【0063】

誘電エラストマー要素 1 A ~ 1 D は、誘電エラストマートランスデューサーシステム A 3 の検出対象である対象物 8 の表面に固定されている。図示された例においては、対象物 8 は、たとえば図中の矢印の方向に伸縮する。

【0064】

誘電エラストマートランスデューサーシステム A 3 によれば、複数の誘電エラストマー要素 1 A ~ 1 D を用いて対象物 8 の変形を検出することが可能である。これにより、誘電エラストマー要素 1 A ~ 1 D のいずれかが絶縁破壊等によって使用不可となっても、他の誘電エラストマー要素 1 を用いて検出を行うことが可能である。したがって、誘電エラストマートランスデューサーシステム A 3 の寿命を延ばすことができる。

【0065】

また、誘電エラストマー要素 1 A ~ 1 D を同一の誘電エラストマー要素 1 によって構成してもよいし、互いに異なる使用の誘電エラストマー要素 1 によって構成してもよい。たとえば、より長い変形量を検出可能な誘電エラストマー要素 1 と、変形量をより高精度に検出可能な誘電エラストマー要素 1 とを、誘電エラストマー要素 1 A ~ 1 D のいずれかにそれぞれ用いれば、検出可能な変形量の拡大と、検出精度の向上とを図ることができる。

【0066】

< 第 4 実施形態 >

図 8 は、本発明の第 4 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 4 は、電気回路装置 3 の構成が上述した実施形態と異なっている。

【0067】

10

20

30

40

50

本実施形態の電気回路装置 3 は、発電制御回路 3 6 A ~ 3 6 D、検出制御回路 3 7 A ~ 3 7 D およびスイッチ 3 9 A ~ 3 9 D を有する。誘電エラストマー要素 1 A ~ 1 D は、スイッチ 3 9 A ~ 3 9 D によって発電制御回路 3 6 A ~ 3 6 D または検出制御回路 3 7 A ~ 3 7 D のいずれかに、個別に切り替え接続可能である。

【 0 0 6 8 】

本実施形態によれば、誘電エラストマー要素 1 A ~ 1 D によって、発電用途と検出用途とを実現可能である。また、誘電エラストマー要素 1 A ~ 1 D の使用に伴う経年劣化は、発電用途において顕著であり、センサ用途においては劣化が進行しにくい。このため、誘電エラストマー要素 1 A ~ 1 D のいずれかが発電用途に伴う経年劣化によって使用が困難となった場合に、誘電エラストマー要素 1 A ~ 1 D のうち検出用途に使用されていたために劣化が進行していないものを発電用途に切り替えることができる。

10

【 0 0 6 9 】

また、図 8 に示された使用形態の場合、誘電エラストマー要素 1 A , 1 D が発電用途に使用されており、誘電エラストマー要素 1 B , 1 C が検出用途に用いられている。この場合、誘電エラストマー要素 1 B , 1 C によって対象物 8 の変形を検出し、その結果に基づいて発電制御回路 3 6 A , 3 6 D からの誘電エラストマー要素 1 A , 1 D への初期電圧の印加タイミングを制御するといった制御が可能である。これは、誘電エラストマー要素 1 A , 1 D による発電効率を向上させるのに有利である。

【 0 0 7 0 】

また、たとえば発電用途に誘電エラストマー 1 A , 1 D を用いる使用形態において、に誘電エラストマー 1 A , 1 D の誘電エラストマー層 1 1 A , 1 1 D の厚さが互いに異ならせてもよい。この場合、誘電エラストマー要素 1 A は、大変形による発電に適したものとなり、誘電エラストマー要素 1 D は、小変形による発電に適したものとなる。検出用途である誘電エラストマー要素 1 B , 1 C の検出結果に基づいて、生じている変形が大変形であるか小変形であるかを判断し、誘電エラストマー要素 1 A , 1 D のいずれかを選択的に発電用途に用いてもよい。このような使用形態によっても、発電効率を向上させることができる。

20

【 0 0 7 1 】

< 第 5 実施形態 >

図 9 は、本発明の第 5 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 5 は、電気回路装置 3 の構成が上述した実施形態と異なっている。

30

【 0 0 7 2 】

本実施形態の電気回路装置 3 は、駆動制御回路 3 5 A ~ 3 5 D、発電制御回路 3 6 A ~ 3 6 D、検出制御回路 3 7 A ~ 3 7 D およびスイッチ 3 9 A ~ 3 9 D を有する。誘電エラストマー要素 1 A ~ 1 D は、スイッチ 3 9 A ~ 3 9 D によって駆動制御回路 3 5 A ~ 3 5 D、発電制御回路 3 6 A ~ 3 6 D および検出制御回路 3 7 A ~ 3 7 D のいずれかに、個別に切り替え接続可能である。

【 0 0 7 3 】

このような実施形態によれば、上述した実施形態の使用形態のほとんどすべてを網羅することができる。また、図示された例においては、誘電エラストマー要素 1 A , 1 B を駆動用途として用いることにより、誘電エラストマートランスデューサーシステム A 5 全体としては、駆動用途をメインとしつつ、誘電エラストマー要素 1 B によって発電用途を補助的に行うことができる。これに加えて、誘電エラストマー要素 1 C を用いた検出によって、誘電エラストマー要素 1 B による発電効率を高めるといった使用が可能である。

40

【 0 0 7 4 】

また、図示された例とは異なり、誘電エラストマートランスデューサーシステム A 5 全体として、発電用途をメインとしつつ（たとえば誘電エラストマー要素 1 A , 1 B ）、誘電エラストマー要素 1 A ~ 1 D のいずれか（たとえば誘電エラストマー要素 1 C ）を補助的な駆動用途として用いてもよい。この場合、対象物 8 の変形に加えて、誘電エラストマー

50

要素 1 C によって対象物 8 の初期変形を増長させる駆動力を補助的に付与する。これにより、誘電エラストマー要素 1 A , 1 B による発電の効率を向上させることができる。また、この場合、誘電エラストマー要素 1 D を検出用途に用いることにより、誘電エラストマー要素 1 C の駆動制御を最適化することが好ましい。

【 0 0 7 5 】

< 第 6 実施形態 >

図 1 0 は、本発明の第 6 実施形態に係る誘電エラストマートランスデューサーシステムを示している。本実施形態の誘電エラストマートランスデューサーシステム A 6 は、誘電エラストマー要素 1 A , 1 B , 1 C , 1 D の力学的な連結形態が、上述した実施形態と異なっている。

【 0 0 7 6 】

本実施形態においては、誘電エラストマー要素 1 A , 1 B と、誘電エラストマー要素 1 C , 1 D とが、力学的に並列に連結されている。より具体的には、円錐体形状の誘電エラストマー要素 1 A を外側から囲むように、円錐体形状の誘電エラストマー要素 1 C が配置されている。誘電エラストマー要素 1 A と誘電エラストマー要素 1 C とは、支持体 2 を介して力学的に並列に連結されている。

【 0 0 7 7 】

また、円錐体形状の誘電エラストマー要素 1 B を外側から囲むように、円錐体形状の誘電エラストマー要素 1 D が配置されている。誘電エラストマー要素 1 B と誘電エラストマー要素 1 D とは、支持体 2 を介して力学的に並列に連結されている。

【 0 0 7 8 】

このような実施形態によっても、誘電エラストマートランスデューサーシステム A 6 の信頼性を向上させるとともに高機能化を図ることができる。誘電エラストマー要素 1 A と誘電エラストマー要素 1 C とが並列に連結されていること、また、誘電エラストマー要素 1 B と誘電エラストマー要素 1 D とが並列に連結されていることにより、並列に連結された誘電エラストマー要素の一方が動作に支障をきたす事態となっても、他方の誘電エラストマー要素を用いて、誘電エラストマートランスデューサーシステム A 6 の動作を継続することができる。

【 0 0 7 9 】

なお、図 1 0 においては、電気回路装置 3 が、駆動制御回路 3 5 A ~ 3 5 D を含む場合を例に説明しているが、これに限定されない。誘電エラストマートランスデューサーシステム A 6 の変形例として電気回路装置 3 を、上述した誘電エラストマートランスデューサーシステム A 2 ~ A 5 の電気回路装置 3 と同様の構成としてもよい。

【 0 0 8 0 】

本発明に係る誘電エラストマートランスデューサーシステムは、上述した実施形態に限定されるものではない。本発明に係る誘電エラストマートランスデューサーシステムの各部の具体的な構成は、種々に設計変更自在である。

【 符号の説明 】

【 0 0 8 1 】

A 1 ~ A 6 : 誘電エラストマートランスデューサーシステム

1 , 1 A , 1 B , 1 C , 1 D : 誘電エラストマー要素

1 1 , 1 1 A , 1 1 B , 1 1 C , 1 1 D : 誘電エラストマー層

1 2 , 1 2 A , 1 2 B , 1 2 C , 1 2 D : 電極層

2 : 支持体

2 1 , 2 2 : 支持リング

2 3 : 支持板

2 4 : 支持ロッド

3 : 電気回路装置

3 1 , 3 1 A , 3 1 B , 3 1 C , 3 1 D , 3 2 , 3 2 A , 3 2 B , 3 2 C , 3 2 D : 配線

3 5 A ~ 3 5 D : 駆動制御回路

10

20

30

40

50

3 6 A ~ 2 6 D : 発電制御回路

3 7 A ~ 3 7 D : 検出制御回路

39A ~ 39D : スイッチ

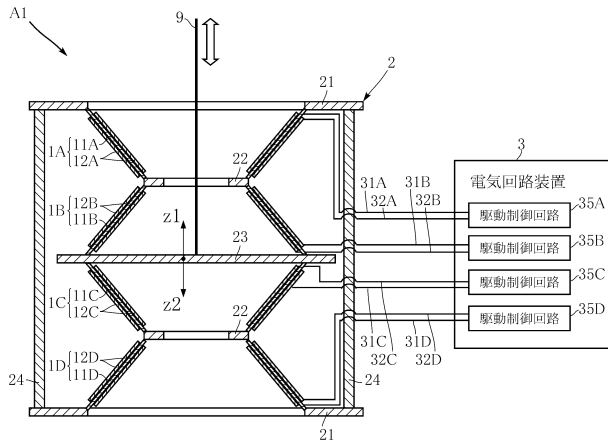
8 : 対象物

9 : 接 続 部 材

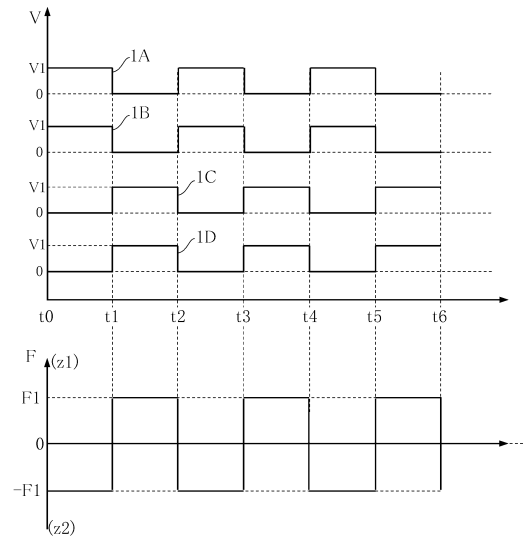
F : 驅動力

【圖面】

【 図 1 】



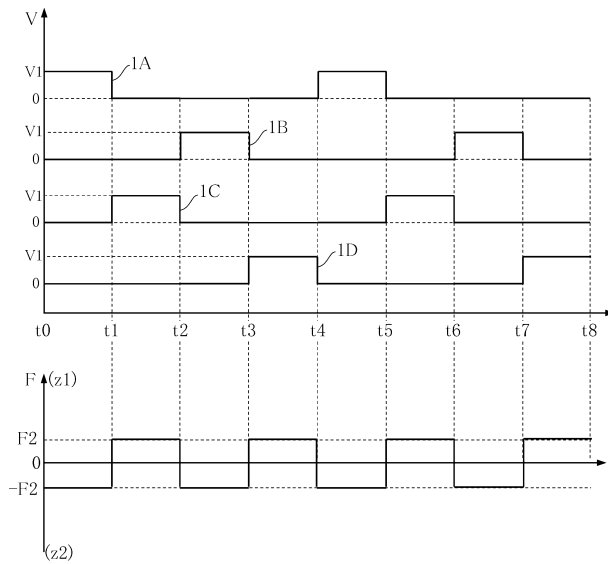
【圖 2】



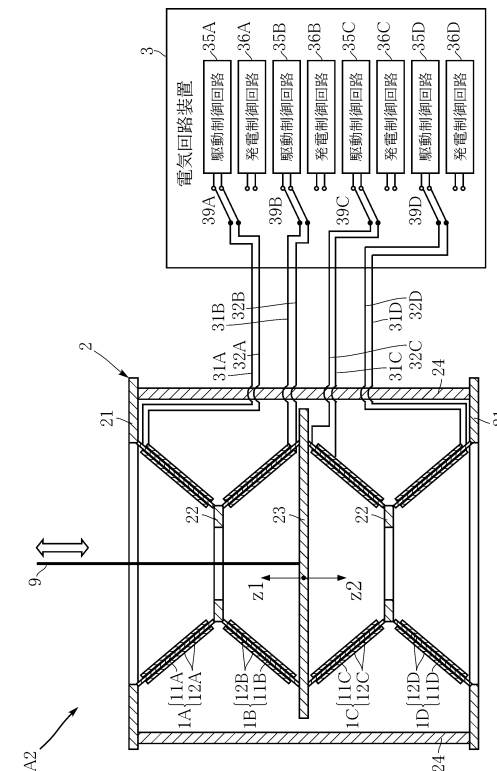
10

20

【 図 3 】



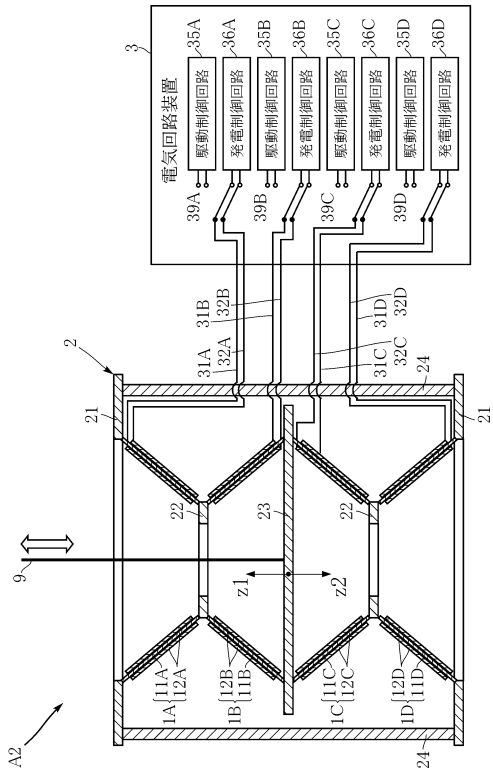
【 図 4 】



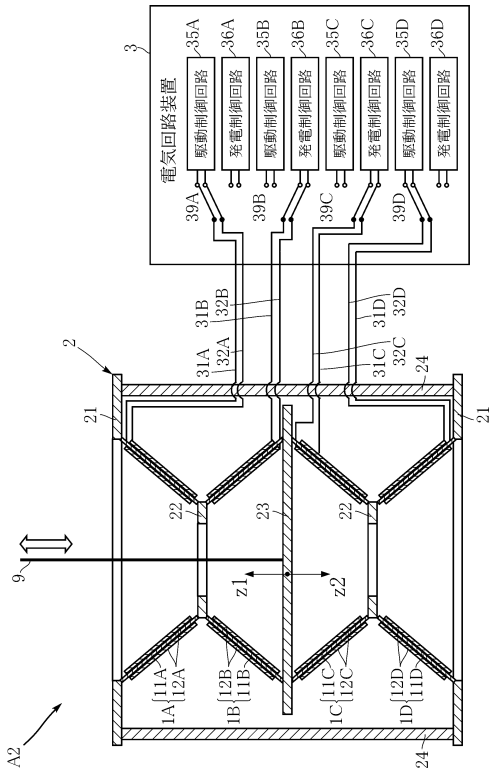
30

40

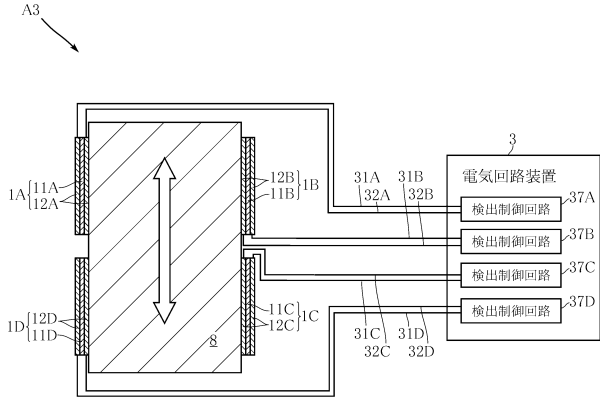
【図 5】



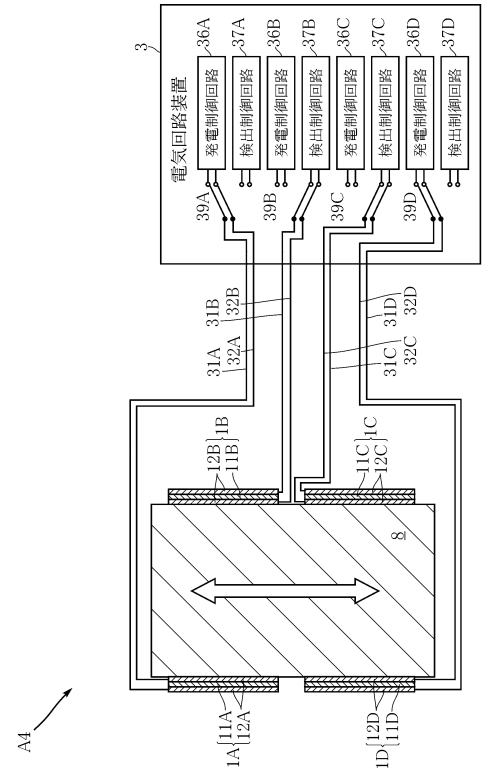
【図 6】



【図 7】



【図 8】



10

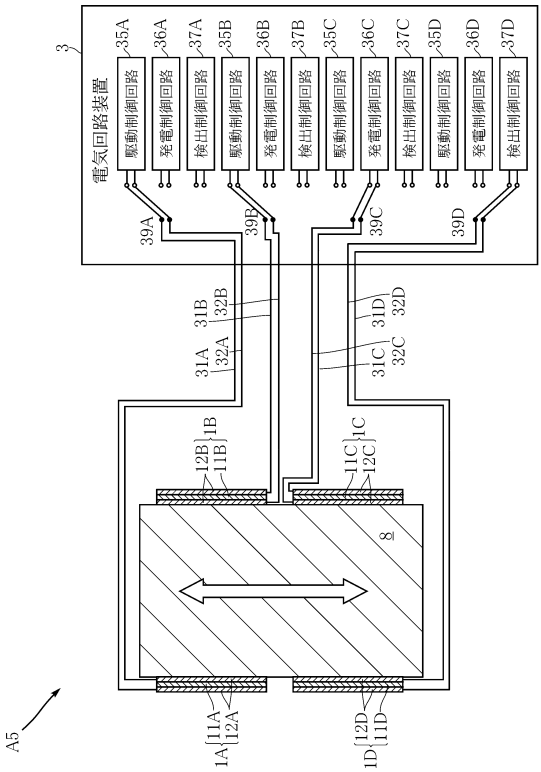
20

30

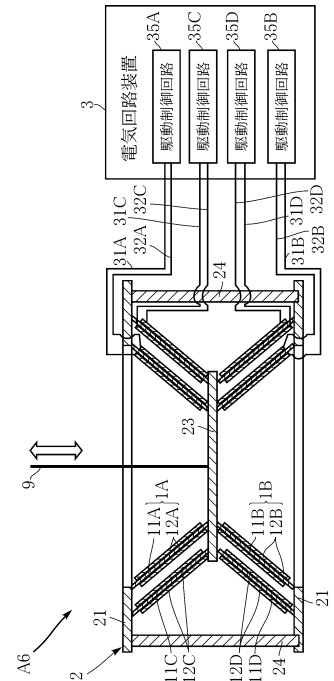
40

50

【図 9】



【図 10】



10

20

30

40

50

フロントページの続き

- (72)発明者 和氣 美紀夫
栃木県さくら市押上 8 8 0 番地 3
- (72)発明者 大野 晃司
愛知県安城市藤井町高根 1 0 番地 アイシン・エイ・ダブリュ株式会社内
- 審査官 宮崎 賢司
- (56)参考文献 特開 2 0 1 7 - 0 9 9 4 2 9 (J P , A)
特開 2 0 1 7 - 1 2 7 0 8 8 (J P , A)
特開 2 0 0 8 - 2 1 1 9 2 4 (J P , A)
特開 2 0 1 8 - 0 3 3 2 9 3 (J P , A)
特表 2 0 1 3 - 5 2 0 9 5 6 (J P , A)
特開 2 0 1 3 - 0 5 5 8 7 7 (J P , A)
特表 2 0 1 4 - 5 0 7 9 3 0 (J P , A)
中国特許出願公開第 1 1 2 5 1 4 2 3 5 (C N , A)
欧州特許出願公開第 2 2 3 9 7 9 2 (E P , A 1)
米国特許出願公開第 2 0 1 0 / 0 2 3 1 0 9 1 (U S , A 1)
米国特許第 6 1 4 0 7 4 5 (U S , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 2 N 1 1 / 0 0
H 0 1 L 4 1 / 1 1 3
H 0 1 L 4 1 / 0 9
B 8 1 B 5 / 0 0