



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856479 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：112100991

(22)申請日：中華民國 112 (2023) 年 01 月 10 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2022/05/17 美國

63/364,823

2022/08/19 美國

17/891,634

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：謝秉穎 HSIEH, PING-YIN (TW)；王卜 WANG, PU (TW)；鄭禮輝 CHENG, LI-HUI
(TW)；施應慶 SHIH, YING-CHING (TW)；陳宏宇 CHEN, HUNG-YU (TW)

(74)代理人：卓俊傑

(56)參考文獻：

US 2017/0186679A1

US 2022/0122896A1

US 2022/0139802A1

審查人員：朱啓信

申請專利範圍項數：10 項 圖式數：19 共 59 頁

(54)名稱

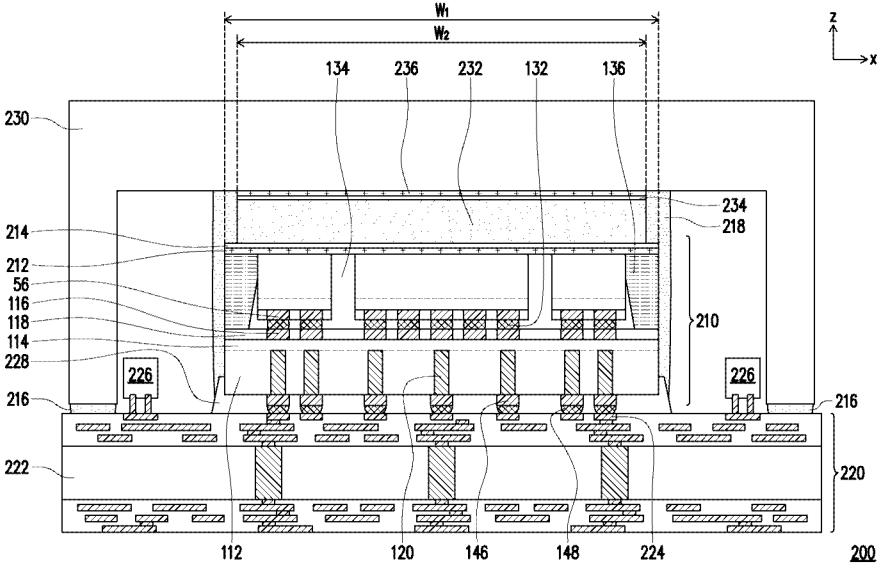
積體電路封裝體及其形成方法

(57)摘要

一個實施例是一種包括封裝組件的裝置，所述封裝組件包括積體電路晶粒及連接至積體電路晶粒的多個導電連接件，導電連接件設置於封裝組件的第一側處。所述裝置亦包括位於封裝組件的第二側上的金屬層，第二側與第一側相對。所述裝置亦包括位於金屬層上的熱介面材料。所述裝置亦包括位於熱介面材料上的蓋。所述裝置亦包括位於封裝組件及熱介面材料的側壁上的保持結構。所述裝置亦包括連接至導電連接件的封裝基底，蓋黏合至封裝基底。

An embodiment is a device including a package component including an integrated circuit die and conductive connectors connected to the integrated circuit die, the conductive connectors disposed at a first side of the package component. The device also includes a metal layer on a second side of the package component, the second side being opposite the first side. The device also includes a thermal interface material on the metal layer. The device also includes a lid on the thermal interface material. The device also includes a retaining structure on sidewalls of the package component and the thermal interface material. The device also includes a package substrate connected to the conductive connectors, the lid being adhered to the package substrate.

指定代表圖：



【圖15】

符號簡單說明：

- 56、116:晶粒連接件
- 114:內連線結構
- 118:介電層
- 132、148:導電連接件
- 134、228:底部填充劑
- 136:包封體
- 146:凸塊下金屬
- 200:積體電路封裝體/封裝體
- 210:封裝組件
- 212、236:背側金屬
- 214、234:焊劑
- 216:黏合劑
- 218:保持結構
- 220:封裝基底
- 222:基底芯體
- 224:接合接墊
- 226:被動裝置
- 230:蓋
- 232:熱介面材料
- W_1 、 W_2 :寬度
- X、Z:方向



公告本

I856479

【發明摘要】

【中文發明名稱】積體電路封裝體及其形成方法

【英文發明名稱】INTEGRATED CIRCUIT PACKAGES AND
METHODS OF FORMING THE SAME

【中文】一個實施例是一種包括封裝組件的裝置，所述封裝組件包括積體電路晶粒及連接至積體電路晶粒的多個導電連接件，導電連接件設置於封裝組件的第一側處。所述裝置亦包括位於封裝組件的第二側上的金屬層，第二側與第一側相對。所述裝置亦包括位於金屬層上的熱介面材料。所述裝置亦包括位於熱介面材料上的蓋。所述裝置亦包括位於封裝組件及熱介面材料的側壁上的保持結構。所述裝置亦包括連接至導電連接件的封裝基底，蓋黏合至封裝基底。

【英文】An embodiment is a device including a package component including an integrated circuit die and conductive connectors connected to the integrated circuit die, the conductive connectors disposed at a first side of the package component. The device also includes a metal layer on a second side of the package component, the second side being opposite the first side. The device also includes a thermal interface material on the metal layer. The device also includes a lid on the thermal interface material. The device also includes a retaining structure on sidewalls of the package component

and the thermal interface material. The device also includes a package substrate connected to the conductive connectors, the lid being adhered to the package substrate.

【指定代表圖】圖 15。

【代表圖之符號簡單說明】

56、116：晶粒連接件

114：內連線結構

118：介電層

132、148：導電連接件

134、228：底部填充劑

136：包封體

146：凸塊下金屬

200：積體電路封裝體/封裝體

210：封裝組件

212、236：背側金屬

214、234：焊劑

216：黏合劑

218：保持結構

220：封裝基底

222：基底芯體

224：接合接墊

226：被動裝置

230：蓋

232：熱介面材料

W_1 、 W_2 ：寬度

X、Z：方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】積體電路封裝體及其形成方法

【英文發明名稱】INTEGRATED CIRCUIT PACKAGES AND
METHODS OF FORMING THE SAME

【技術領域】

【0001】 本發明實施例是有關於一種積體電路封裝體及其形成方法。

【先前技術】

【0002】 由於各種電子組件（例如，電晶體、二極體、電阻器、電容器等）的積體密度的不斷提高，半導體行業已經歷快速發展。在很大程度上，積體密度的提高源於最小特徵大小（minimum feature size）的迭代減小，此使得能夠將更多的組件整合至給定的面積中。隨著對日益縮小的電子裝置的需求的增長，出現了對更小且更具創造性的半導體晶粒封裝技術的需要。

【發明內容】

【0003】 本發明實施例提供一種積體電路封裝體裝置，所述積體電路封裝體包括：封裝組件，包括積體電路晶粒及連接至所述積體電路晶粒的多個導電連接件，所述多個導電連接件設置於所述封裝組件的第一側處；金屬層，位於所述封裝組件的第二側上，所述

第二側與所述第一側相對；熱介面材料，位於所述金屬層上；蓋，位於所述熱介面材料上；保持結構，位於所述封裝組件及所述熱介面材料的側壁上；以及封裝基底，連接至所述多個導電連接件，所述蓋黏合至所述封裝基底。

【0004】 本發明實施例提供一種形成積體電路封裝體的方法，所述方法包括：將積體電路晶粒封裝於晶圓的封裝區中；在所述積體電路晶粒的背側上沈積背側金屬層；自所述晶圓單體化出所述封裝區以形成封裝組件；在單體化出所述封裝區之後，將所述封裝組件連接至封裝基底；在所述背側金屬層上放置熱介面材料；相鄰於所述封裝組件及所述熱介面材料來分配保持結構；將蓋貼合至所述封裝基底，所述蓋耦合至所述熱介面材料；以及實行接合製程以將所述熱介面材料接合至所述背側金屬層及所述蓋，所述接合製程是在大於所述熱介面材料的熔點的溫度下實行。

【0005】 本發明實施例提供一種形成積體電路封裝體的方法，所述方法包括：在晶圓的封裝區中將多個積體電路晶粒接合至所述晶圓；利用模製化合物對所述多個積體電路晶粒進行包封；在所述模製化合物以及所述多個積體電路晶粒的背側上形成背側金屬層；自所述晶圓單體化出所述封裝區以形成封裝組件；將所述封裝組件接合至封裝基底；在經接合的所述封裝組件的所述多個積體電路晶粒的所述背側上沈積第一焊劑；將熱介面材料貼合至所述第一焊劑，所述熱介面材料包含銦；相鄰於所述封裝組件及所述熱介面材料來形成保持結構；以及將蓋貼合至所述封裝基底，所述熱介

面材料及所述保持結構耦合至所述蓋。

【圖式簡單說明】

【0006】

結合附圖閱讀以下詳細說明，會最佳地理解本揭露的各個態樣。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 是積體電路晶粒的剖視圖。

圖 2 至圖 14 是根據一些實施例的積體電路封裝體的製造中的中間階段的示意圖。

圖 15 是根據一些實施例的積體電路封裝體的剖視圖。

圖 16 至圖 19 是根據一些實施例的積體電路封裝體的製造中的中間階段的示意圖。

【實施方式】

【0007】 以下揭露內容提供用於實施本發明的不同特徵的諸多不同實施例或實例。以下闡述組件及佈置的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，以下說明中將第一特徵形成於第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵進而使得第一特徵與第二特徵可不直接接觸的實施例。另外，本揭露可能在各種實例中重

複使用參考編號及/或字母。此種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例及/或配置之間的關係。

【0008】 此外，為易於說明，本文中可能使用例如「位於.....之下 (beneath)」、「位於.....下方 (below)」、「下部的 (lower)」、「位於.....上方 (above)」、「上部的 (upper)」及類似用語等空間相對性用語來闡述圖中所示的一個元件或特徵與另一(其他)元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括裝置在使用或操作中的不同定向。設備可具有其他定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相對性闡述語可同樣相應地進行解釋。

【0009】 根據各種實施例，藉由將多個積體電路晶粒 (integrated circuit die) 封裝於晶圓中來形成多個積體電路封裝體 (integrated circuit package)。對晶圓進行單體化以形成多個中間封裝組件 (intermediate package component)。然後，將中間封裝組件貼合至封裝基底 (package substrate)，以形成積體電路封裝體。在一些實施例中，在中間封裝組件貼合至封裝基底之後，將散熱結構 (heat dissipation structure) 貼合至中間封裝組件，且所述散熱結構可包含銲。可在封裝基底上相鄰於中間封裝組件及散熱結構來形成保持結構 (retaining structure) (例如，保持壁 (retaining wall))。然後，可將蓋 (lid) 貼合於中間封裝組件及保持結構之上，隨後進行熱夾持 (heat clamping) 及/或回焊製程 (reflow process) 以對蓋及/或散熱結構進行貼合。由於具有保持結構，因此散熱結構的金屬

(例如，銦)在封裝體的熱夾持、回焊或正常操作期間的任何後續滲出或回流受到遏制。此種遏制會防止金屬溢出而使封裝組件短路(shorting)，且會防止在散熱結構中形成空隙(void)，此可改善封裝體的可靠性及效能。

【0010】圖 1 是積體電路晶粒 50 的剖視圖。在隨後的處理中，將對多個積體電路晶粒 50 進行封裝以形成多個積體電路封裝體。每一積體電路晶粒 50 可為邏輯裝置(例如，中央處理單元(central processing unit, CPU)、圖形處理單元(graphics processing unit, GPU)、微控制器等)、記憶體裝置(例如，動態隨機存取記憶體(dynamic random access memory, DRAM)晶粒、靜態隨機存取記憶體(static random access memory, SRAM)晶粒等)、電源管理裝置(例如，電源管理積體電路(power management integrated circuit, PMIC)晶粒)、射頻(radio frequency, RF)裝置、感測器裝置、微機電系統(micro-electro-mechanical-system, MEMS)裝置、訊號處理裝置(例如，數位訊號處理(digital signal processing, DSP)晶粒)、前端裝置(例如，類比前端(analog front-end, AFE)晶粒)、類似裝置或其組合(例如，系統晶片(system-on-a-chip, SoC)晶粒)。可將積體電路晶粒 50 形成於晶圓中，所述晶圓可包括在隨後的步驟中被單體化以形成多個積體電路晶粒 50 的多個不同晶粒區。積體電路晶粒 50 包括半導體基底(semiconductor substrate) 52、內連線結構(interconnect structure) 54、多個晶粒連接件(die connector) 56 及介電層(dielectric layer) 58。

【0011】 半導體基底 52 可為經摻雜或未經摻雜的矽基底，或者可為絕緣體上半導體（semiconductor-on-insulator，SOI）基底的主動層（active layer）。半導體基底 52 可包含其他半導體材料（例如鍺）；化合物半導體（包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮）；合金半導體（包括矽鍺、磷砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮及/或磷砷化鎵銮）；或者其組合。亦可使用其他基底，例如多層式基底（multi-layered substrate）或梯度基底（gradient substrate）。半導體基底 52 具有主動表面（active surface）（例如，面朝上的表面）及非主動表面（inactive surface）（例如，面朝下的表面）。半導體基底 52 的主動表面處具有多個裝置。所述裝置可為主動裝置（例如，電晶體、二極體等）、電容器、電阻器等。非主動表面可不具有裝置。

【0012】 內連線結構 54 位於半導體基底 52 的主動表面之上，且用於對半導體基底 52 的裝置進行電性連接以形成積體電路。內連線結構 54 可包括一或多個介電層以及位於介電層中的多個相應金屬化層。用於介電層的可接受的介電材料包括：氧化物，例如氧化矽或氧化鋁；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或者其組合，例如氮氧化矽、碳氧化矽、碳氮化矽、碳氮氧化矽或類似材料。亦可使用其他介電材料，例如聚合物，所述聚合物為例如聚苯並噁唑（polybenzoxazole，PBO）、聚醯亞胺（polyimide，PI）、苯並環丁烯（benzocyclobutene，BCB）系聚合物或類似聚合物。金屬化層可包括多個導通孔（conductive via）及/或多個導線

(conductive line) 以對半導體基底 52 的裝置進行內連。金屬化層可由例如金屬 (例如銅、鈷、鋁、金、其組合或類似金屬) 等導電材料形成。內連線結構 54 可藉由例如單鑲嵌製程 (single damascene process)、雙鑲嵌製程 (dual damascene process) 或類似製程等鑲嵌製程來形成。

【0013】 積體電路晶粒 50 的前側 50F 處具有晶粒連接件 56。晶粒連接件 56 可為與外部進行連接的導電柱、接墊或類似元件。晶粒連接件 56 位於內連線結構 54 中及/或位於內連線結構 54 上。舉例而言，晶粒連接件 56 可為內連線結構 54 的上部金屬化層的一部分。晶粒連接件 56 可由金屬 (例如，銅、鋁或類似金屬) 形成，且可藉由例如鍍覆 (plating) 或類似製程來形成。

【0014】 可選地，在積體電路晶粒 50 的形成期間，可在晶粒連接件 56 上設置多個焊料區 (solder region) (未單獨示出)。焊料區可用於對積體電路晶粒 50 實行晶片探針 (chip probe, CP) 測試。舉例而言，焊料區可為用於將晶片探針附接至晶粒連接件 56 的焊料球、焊料凸塊或類似結構。可對積體電路晶粒 50 實行晶片探針測試，以確定積體電路晶粒 50 是否是已知良好晶粒 (known good die, KGD)。因此，只有 (其為 KGD 的) 積體電路晶粒 50 經歷隨後的處理而被封裝，而未通過晶片探針測試的晶粒不被封裝。在測試之後，焊料區可在隨後的處理步驟中被移除。

【0015】 積體電路晶粒 50 的前側 50F 處具有介電層 58。介電層 58 位於內連線結構 54 中及/或位於內連線結構 54 上。舉例而言，

介電層 58 可為內連線結構 54 的上部介電層。介電層 58 在側向上包封晶粒連接件 56。介電層 58 可為氧化物、氮化物、碳化物、聚合物、類似材料或其組合。介電層 58 可例如藉由旋轉塗佈 (spin coating)、疊層 (lamination)、化學氣相沈積 (chemical vapor deposition, CVD) 或類似製程來形成。最初，介電層 58 可掩埋晶粒連接件 56，進而使得介電層 58 的頂表面位於晶粒連接件 56 的頂表面上方。在積體電路晶粒 50 的形成期間，晶粒連接件 56 藉由介電層 58 而被暴露出。暴露出晶粒連接件 56 可移除可能存在於晶粒連接件 56 上的任何焊料區。可對各個層應用移除製程，以移除位於晶粒連接件 56 之上的過量材料。移除製程可為平坦化製程，例如化學機械研磨 (chemical mechanical polish, CMP)、回蝕 (etch-back)、其組合或類似製程。在平坦化製程之後，晶粒連接件 56 的頂表面與介電層 58 的頂表面實質上共面(在製程變化內)，進而使得其彼此齊平。晶粒連接件 56 及介電層 58 在積體電路晶粒 50 的前側 50F 處被暴露出。

【0016】 在一些實施例中，積體電路晶粒 50 是包括多個半導體基底 52 的堆疊裝置。舉例而言，積體電路晶粒 50 可為包括多個記憶體晶粒的記憶體裝置，例如混合記憶體立方 (hybrid memory cube, HMC) 裝置、高頻寬記憶體 (high bandwidth memory, HBM) 裝置或類似裝置。在此種實施例中，積體電路晶粒 50 包括藉由例如矽穿孔等多個基底穿孔 (through-substrate via, TSV) 進行內連的多個半導體基底 52。半導體基底 52 中的每一者可 (或可不) 具

有單獨的內連線結構 54。

【0017】 圖 2 至圖 14 是根據一些實施例的積體電路封裝體（又稱封裝體）200 的製造中的中間階段的示意圖。圖 2 至圖 13 是用於形成包括中介層（interposer）的封裝組件 210（例如用於基底上晶圓上晶片（chip-on-wafer-on-substrate，CoWoS[®]）裝置的封裝組件）的製程的剖視圖及平面圖。封裝組件 210 可為晶圓上晶片（chip-on-wafer，CoW）封裝組件。

【0018】 將藉由最初對多個積體電路晶粒 50 進行封裝以在晶圓 110 中形成封裝組件 210 來形成積體電路封裝體 200（參見圖 13）。示出晶圓 110 的一個封裝區 100A，且對積體電路晶粒 50 進行封裝以在晶圓 110 的封裝區 100A 中的每一者中形成封裝組件 210。應理解，可同時處理任意數量的封裝區，以形成任意數量的封裝組件。將對晶圓 110 的封裝區 100A 進行單體化以形成封裝組件 210。將會將封裝組件 210 貼合至封裝基底 220（參見例如圖 8 或圖 16）。然後，將在封裝組件 210 及封裝基底 220 上形成散熱結構（包括背側金屬 212/焊劑 214/蓋 230/熱介面材料 232/焊劑 234/背側金屬 236），以完成積體電路封裝體 200 的形成（參見例如圖 13、圖 15 或圖 18）。

【0019】 在圖 2 中，獲得或形成晶圓 110。晶圓 110 包括位於封裝區 100A 中的多個裝置，封裝區 100A 將在隨後的處理中被單體化以包括於封裝組件 210 中。晶圓 110 中的裝置可為中介層、積體電路晶粒或類似裝置。在一些實施例中，在晶圓 110 中形成中

介層 102，中介層 102 包括基底 112、內連線結構 114 及多個導通孔 120。

【0020】 基底 112 可為塊狀半導體基底 (bulk semiconductor substrate)、絕緣體上半導體 (SOI) 基底、多層式半導體基底或類似基底。基底 112 可包含：半導體材料，例如矽、鍺；化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及/或銻化銦；合金半導體，包括矽鍺、磷砷化鎵、砷化鋁銦、砷化鋁鎵、砷化鎵銦、磷化鎵銦及/或磷砷化鎵銦；或者其組合。亦可使用其他基底，例如多層式基底或梯度基底。基底 112 可為經摻雜的或未經摻雜的。在晶圓 110 中形成中介層的實施例中，儘管中介層可包括形成於基底 112 的前表面（例如，圖 2 中面對上的表面）中及/或形成於基底 112 的前表面上的被動裝置，然而基底 112 中一般不包括主動裝置。在晶圓 110 中形成積體電路裝置的實施例中，可在基底 112 的前表面中及/或在基底 112 的前表面上形成例如電晶體、電容器、電阻器、二極體及類似裝置等主動裝置。

【0021】 內連線結構 114 位於基底 112 的前表面之上，且用於對基底 112 的裝置（若有的話）進行電性連接。內連線結構 114 可包括一或多個介電層以及位於所述介電層中的多個相應金屬化層。用於介電層的可接受的介電材料包括：氧化物，例如氧化矽或氧化鋁；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或者其組合，例如氮氧化矽、碳氧化矽、碳氮化矽、碳氮氧化矽或類似材料。亦可使用其他介電材料，例如聚合物，所述聚合物為例如聚

苯並噁唑（PBO）、聚醯亞胺、苯並環丁烯（BCB）系聚合物或類似聚合物。金屬化層可包括多個導通孔及/或多個導線以將任何裝置內連於一起及/或將任何裝置內連至外部裝置。金屬化層可由例如金屬（例如銅、鈷、鋁、金、其組合或類似材料）等導電材料形成。可藉由例如單鑲嵌製程、雙鑲嵌製程或類似製程等鑲嵌製程來形成內連線結構 114。

【0022】 在一些實施例中，晶圓 110 的前側處具有多個晶粒連接件 116 及介電層 118。具體而言，晶圓 110 可包括與針對圖 1 闡述的積體電路晶粒 50 的晶粒連接件及介電層相似的晶粒連接件 116 及介電層 118。舉例而言，晶粒連接件 116 及介電層 118 可為內連線結構 114 的上部金屬化層的一部分。

【0023】 導通孔 120 延伸至內連線結構 114 及/或基底 112 中。導通孔 120 電性連接至內連線結構 114 的金屬化層。導通孔 120 有時亦被稱為基底穿孔（TSV）。作為形成導通孔 120 的實例，可藉由例如蝕刻、銑切（milling）、雷射技術、其組合及/或類似製程在內連線結構 114 及/或基底 112 中形成多個凹陷（recess）。可例如利用氧化技術來在凹陷中形成薄的介電材料。可例如藉由 CVD、原子層沈積（atomic layer deposition，ALD）、物理氣相沈積（physical vapor deposition，PVD）、熱氧化、其組合及/或類似製程來在凹陷中共形地沈積薄的障壁層。障壁層可由氧化物、氮化物、碳化物、其組合或類似材料形成。可在障壁層之上及在凹陷中沈積導電材料。可藉由電化學鍍覆製程（electro-chemical plating

process)、CVD、ALD、PVD、其組合及/或類似製程來形成導電材料。導電材料的實例為銅、鎢、鋁、銀、金、其組合及/或類似材料。藉由例如 CMP 而自內連線結構 114 或基底 112 的表面移除過量的導電材料及障壁層。障壁層的其餘部分及導電材料的其餘部分形成導通孔 120。

【0024】 在圖 3 中，將積體電路晶粒 50（例如，第一積體電路晶粒 50A 及多個第二積體電路晶粒 50B）貼合至晶圓 110。在所示實施例中，彼此相鄰地放置多個積體電路晶粒 50（包括第一積體電路晶粒 50A 及第二積體電路晶粒 50B），其中第一積體電路晶粒 50A 位於第二積體電路晶粒 50B 之間。在一些實施例中，第一積體電路晶粒 50A 是邏輯裝置（例如 CPU、GPU 或類似裝置），而第二積體電路晶粒 50B 是記憶體裝置（例如 DRAM 晶粒、HMC 模組、HBM 模組或類似裝置）。在一些實施例中，第一積體電路晶粒 50A 是與第二積體電路晶粒 50B 相同類型的裝置（例如，SoC）。

【0025】 在所示實施例中，利用多個焊料接合件（solder bonds）（例如利用導電連接件 132）將積體電路晶粒 50 貼合至晶圓 110。可使用例如拾取及放置工具（pick-and-place tool）將積體電路晶粒 50 放置於內連線結構 114 上。導電連接件 132 可由例如焊料、銅、鋁、金、鎳、銀、鈮、錫、類似材料或其組合等可回焊的導電材料形成。在一些實施例中，藉由最初透過例如蒸鍍、電鍍、印刷、焊料轉移、植球或類似方法等方法形成焊料層來形成導電連接件 132。一旦已在所述結構上形成焊料層，便可實行回焊以便將導電連接

件 132 造型呈所期望的凸塊形狀。將積體電路晶粒 50 貼合至晶圓 110 可包括將積體電路晶粒 50 放置於晶圓 110 上以及對導電連接件 132 進行回焊。導電連接件 132 在晶圓 110 的對應晶粒連接件 116 與積體電路晶粒 50 的晶粒連接件 56 之間形成多個接頭(joint)，從而將中介層 102 電性連接至積體電路晶粒 50。

【0026】 可在導電連接件 132 周圍以及晶圓 110 與積體電路晶粒 50 之間形成底部填充劑 (underfill) 134。底部填充劑 134 可減小應力並保護由導電連接件 132 的回焊產生的接頭。底部填充劑 134 可由例如模製化合物 (molding compound)、環氧樹脂或類似材料等底部填充材料形成。可在將積體電路晶粒 50 貼合至晶圓 110 之後藉由毛細流動製程 (capillary flow process) 來形成底部填充劑 134，或者可在將積體電路晶粒 50 貼合至晶圓 110 之前藉由適合的沈積方法來形成底部填充劑 134。可以液體或半液體形式施加底部填充劑 134，且隨後對底部填充劑 134 進行固化。

【0027】 在其他實施例中(未單獨示出)，利用直接接合件(direct bond)將積體電路晶粒 50 貼合至晶圓 110。舉例而言，可使用金屬對金屬接合 (metal to metal bonding) 及介電質對介電質接合 (dielectric to dielectric bonding)、熔融接合 (fusion bonding)、介電質接合、金屬接合或類似接合方式來在不使用黏合劑或焊料的情況下對積體電路晶粒 50 及晶圓 110 的對應介電層 58、介電層 118 及/或晶粒連接件 56、晶粒連接件 116 進行直接接合。當使用直接接合時，可省略底部填充劑 134。此外，可使用接合技術的混

合形式，例如，可藉由焊料接合件將一些積體電路晶粒 50 貼合至晶圓 110，且可藉由直接接合件將其他積體電路晶粒 50 貼合至晶圓 110。

【0028】 在圖 4 中，在積體電路晶粒 50 上及積體電路晶粒 50 周圍形成包封體（*encapsulant*）136。在形成之後，包封體 136 包封積體電路晶粒 50 以及底部填充劑 134(若存在)或導電連接件 132。包封體 136 可為模製化合物、環氧樹脂或類似材料。可藉由壓縮模製（*compression molding*）、轉移模製（*transfer molding*）或類似製程來施加包封體 136，且在晶圓 110 之上形成包封體 136，進而使得積體電路晶粒 50 被掩埋或覆蓋。可以液體或半液體形式施加包封體 136，且隨後對包封體 136 進行固化。可對包封體 136 進行薄化，以暴露出積體電路晶粒 50。薄化製程可為磨製製程（*grinding process*）、化學機械研磨（*CMP*）、回蝕、其組合或類似製程。在薄化製程之後，積體電路晶粒 50 的頂表面與包封體 136 的頂表面共面（在製程變化內），進而使得其彼此齊平。實行所述薄化，直至已移除所期望量的積體電路晶粒 50 及/或包封體 136 為止。

【0029】 在圖 5 中，對基底 112 進行薄化以暴露出導通孔 120。可藉由例如磨製製程、化學機械研磨（*CMP*）、回蝕、其組合或類似製程等薄化製程來達成導通孔 120 的暴露。在一些實施例（未單獨示出）中，用於暴露出導通孔 120 的薄化製程包括 *CMP*，且由於在 *CMP* 期間發生的下陷（*dishing*），導通孔 120 在晶圓 110 的背側處突出。在此種實施例中，可在基底 112 的背表面上可選

地形成環繞導通孔 120 的突出部分的絕緣層（未單獨示出）。所述絕緣層可由例如氮化矽、氧化矽、氮氧化矽或類似材料等含矽絕緣體形成，且可藉由例如旋轉塗佈、CVD、電漿增強型 CVD（plasma-enhanced CVD，PECVD）、高密度電漿 CVD（high density plasma CVD，HDP-CVD）或類似製程等適合的沈積方法來形成所述絕緣層。在對基底 112 進行薄化之後，導通孔 120 的被暴露出的表面與絕緣層（若存在）或基底 112 的被暴露出的表面共面（在製程變化內），進而使得其彼此齊平，且在晶圓 110 的背側處被暴露出。

【0030】 在圖 6 中，在導通孔 120 的被暴露出的表面及基底 112 的被暴露出的表面上形成多個凸塊下金屬（under bump metallurgy，UBM）146。作為在此實施例中形成凸塊下金屬 146 的實例，在導通孔 120 的被暴露出的表面及基底 112 的被暴露出的表面之上形成晶種層（seed layer）（未單獨示出）。在一些實施例中，晶種層是金屬層，其可為單層或包括由不同材料形成的多個子層的複合層。在一些實施例中，晶種層包括鈦層及位於鈦層之上的銅層。可利用例如 PVD 或類似製程來形成晶種層。然後，在晶種層上形成光阻並對光阻進行圖案化。可藉由旋轉塗佈或類似製程來形成光阻，且可將光阻暴露於光以進行圖案化。光阻的圖案對應於凸塊下金屬 146。所述圖案化會形成穿過光阻的多個開口以暴露出晶種層。然後，在光阻的開口中及在晶種層的被暴露出的部分上形成導電材料。可藉由鍍覆（例如電鍍或無電鍍覆）或類似製程來形成導電材料。導電材料可包括金屬，例如銅、鈦、鎢、鋁或類似金屬。然

後，移除光阻以及晶種層的上部未形成導電材料的部份。可藉由例如使用氧電漿或類似材料的可接受的灰化製程（**ashing process**）或剝離製程（**stripping process**）來移除光阻。一旦光阻被移除，便例如利用可接受的蝕刻製程來移除晶種層的被暴露出的部份。晶種層的其餘部份以及導電材料形成凸塊下金屬 146。

【0031】 此外，在凸塊下金屬 146 上形成多個導電連接件 148。導電連接件 148 可為球柵陣列（**ball grid array, BGA**）連接件、焊料球、金屬柱、受控塌陷晶片連接（**controlled collapse chip connection, C4**）凸塊、微凸塊、無電鍍鎳鈀浸金技術（**electroless nickel-electroless palladium-immersion gold technique, ENEPIG**）形成的凸塊或類似元件。導電連接件 148 可包含導電材料，例如焊料、銅、鋁、金、鎳、銀、鈀、錫、類似材料或其組合。在一些實施例中，藉由最初透過蒸鍍、電鍍、印刷、焊料轉移、植球或類似製程形成焊料層來形成導電連接件 148。一旦已在所述結構上形成焊料層，便可實行回焊，以便將材料造型呈所期望的凸塊形狀。在另一實施例中，導電連接件 148 包括藉由濺鍍（**sputtering**）、印刷、電鍍、無電鍍覆、**CVD** 或類似製程而形成的金屬柱（例如銅柱）。金屬柱可不含焊料，且可具有實質上垂直的側壁。在一些實施例中，在金屬柱的頂部上形成金屬頂蓋層（**metal cap layer**）。金屬頂蓋層可包含鎳、錫、錫-鉛、金、銀、鈀、銮、鎳-鈀-金、鎳-金、類似材料或其組合，且可藉由鍍覆製程來形成金屬頂蓋層。

【0032】 在圖 7 中，沿封裝組件 210 的背側表面形成背側金屬

(back-side metal) 212。背側金屬 212 由一或多個層形成。背側金屬 212 可包括每一層具有不同組成物及功能性的多個層，例如黏合層 (adhesion layer)、擴散阻擋層 (diffusion blocking layer) 及抗氧化層 (anti-oxidation layer)。在一些實施例中，所述層中的至少一者由具有高導熱率 (thermal conductivity) 的材料形成。背側金屬 212 的所述一或多個層可由可藉由 PVD 製程 (例如濺鍍或蒸鍍)、鍍覆製程 (例如無電鍍覆或電鍍)、印刷製程 (例如噴墨印刷) 或類似製程來共形地形成的金屬或金屬氮化物 (例如鋁、鈦、氮化鈦、鎳、鎳鈣、銀、金、銅、其組合或類似材料) 形成。隨後將對背側金屬 212 進行單體化，以使得每一封裝組件 210 包括背側金屬 212 的一部分。

【0033】 儘管背側金屬 212 被示出為在導電連接件 148 之後形成，然而在一些實施例中，背側金屬 212 可在導電連接件 148 之前形成。

【0034】 此外，藉由沿例如位於封裝區 100A 周圍的切割道區 (scribe line region) 進行剖切來實行單體化製程。單體化製程可包括鋸切 (sawing)、切割 (dicing) 或類似製程。舉例而言，單體化製程可包括對包封體 136、內連線結構 114 及基底 112 進行鋸切。單體化製程自相鄰的封裝區單體化出封裝區 100A。所得的經單體化的封裝組件 210 來自封裝區 100A。單體化製程自晶圓 110 的經單體化部分形成中介層 102。作為單體化製程的結果，中介層 102 的外側壁、背側金屬 212 的外側壁及包封體 136 的外側壁在側

向上相連（在製程變化內）。

【0035】 圖 8、圖 9A、圖 9B、圖 10、圖 11、圖 12、圖 13、圖 14 示出實施例封裝體的製造中的各種附加步驟。將會將包括散熱結構的封裝組件 210 貼合至封裝基底 220（參見圖 13），從而完成積體電路封裝體 200 的形成。示出單一的封裝組件 210、單一的封裝基底 220 及單一的積體電路封裝體 200。應理解，可同時處理多個封裝組件以形成多個積體電路封裝體 200。

【0036】 在圖 8 中，使用導電連接件 148 將封裝組件 210 貼合至封裝基底 220。封裝基底 220 包括基底芯體（substrate core）222，基底芯體 222 可由例如矽、鍺、金剛石或類似材料等半導體材料製成。作為另外一種選擇，亦可使用化合物材料（例如矽鍺、碳化矽、砷化鎵、砷化銮、磷化銮、碳化矽鍺、磷砷化鎵、磷化鎵銮、其組合或類似材料）。另外，基底芯體 222 可為 SOI 基底。一般而言，SOI 基底包括由半導體材料（例如磊晶矽、鍺、矽鍺、SOI、絕緣體上矽鍺（silicon-germanium on insulator，SGOI）或其組合）形成的層。在另一實施例中，基底芯體 222 是絕緣芯體（例如玻璃纖維加強型樹脂芯體）。一種實例性芯體材料是玻璃纖維樹脂（例如弗朗克功能調節劑 4（Frankel's function regulator-4，FR4））。芯體材料的替代品包括雙馬來醯亞胺-三嗪（bismaleimide-triazine，BT）樹脂，或者作為另外一種選擇包括其他印刷電路板（printed circuit board，PCB）材料或膜。可對基底芯體 222 使用例如味之素構成膜（Ajinomoto build-up film，ABF）等構成膜或者其他疊層

體。

【0037】 基底芯體 222 可包括主動裝置及被動裝置(未單獨示出)。可使用例如電晶體、電容器、電阻器、其組合及類似裝置等裝置來產生所述系統的設計的結構要求及功能要求。可使用任何適合的方法來形成所述裝置。

【0038】 基底芯體 222 亦可包括多個金屬化層及多個通孔以及位於金屬化層及通孔之上的多個接合接墊 (bond pad) 224。可在主動裝置及被動裝置之上形成金屬化層，並將金屬化層設計成對各種裝置進行連接以形成功能電路系統。金屬化層可由介電材料(例如，低介電常數 (low-k) 介電材料)與導電材料(例如，銅)的交替層形成，其中通孔對由導電材料形成的層進行內連，且可藉由任何適合的製程(例如，沈積、鑲嵌或類似製程)形成。在一些實施例中，基底芯體 222 實質上不具有主動裝置及被動裝置。

【0039】 對導電連接件 148 進行回焊以將凸塊下金屬 146 貼合至接合接墊 224。導電連接件 148 將包括內連線結構 114 的封裝組件 210 連接至包括基底芯體 222 的金屬化層的封裝基底 220。因此，封裝基底 220 電性連接至積體電路晶粒 50。在一些實施例中，可在將多個被動裝置(例如，表面安裝裝置 (surface mount device, SMD)，未單獨示出)安裝於封裝基底 220 上之前將所述被動裝置貼合至封裝組件 210(例如，接合至凸塊下金屬 146)。在此種實施例中，被動裝置可與導電連接件 148 接合至封裝組件 210 的同一表面。在一些實施例中，可將多個被動裝置 226(例如，SMD)貼

合至封裝基底 220，例如，貼合至接合接墊 224。

【0040】 在一些實施例中，在封裝組件 210 與封裝基底 220 之間形成環繞導電連接件 148 的底部填充劑 228。可在貼合封裝組件 210 之後藉由毛細流動製程來形成底部填充劑 228，或者可在貼合封裝組件 210 之前藉由任何適合的沈積方法來形成底部填充劑 228。底部填充劑 228 可為自封裝基底 220 延伸至基底 112 的連續材料。

【0041】 儘管未示出，封裝基底 220 可具有多個導電連接件，所述導電連接件形成於封裝基底 220 的與封裝組件 210 相對的一側（圖 8 中的底側）上的多個接合接墊上。

【0042】 在圖 9A 及圖 9B 中，利用焊劑（flux）214 來對背側金屬 212 進行塗佈。在一些實施例中，焊劑 214 是免清潔焊劑（no-clean flux）。可將焊劑 214 噴射至背側金屬 212 上。如圖 9B 所示平面圖中所示，焊劑 214 實質上覆蓋背側金屬 212（在製程變化內）。在另一實施例中，焊劑 214 不實質上覆蓋背側金屬 212。

【0043】 在圖 10 中，使用例如拾取及放置工具將熱介面材料（thermal interface material，TIM）232 放置於封裝組件 210 上。在一些實施例中，將熱介面材料 232 形成於單獨的結構（例如，晶圓或載體）上，且然後放置於封裝組件 210 上。熱介面材料 232 包含銅、銀、錫、類似材料或其合金。熱介面材料 232 可具有處於 10 微米至 1000 微米範圍內（例如 100 微米）的厚度 T_1 。在一些實施例中，熱介面材料 232 厚於背側金屬 212。在一些實施例中，熱介

面材料 232 具有與封裝組件 210 相同的寬度。在一些實施例中，熱介面材料 232 可具有與封裝組件 210 相同的面積(在平面圖中)。在其他實施例中，熱介面材料 232 及封裝組件 210 的寬度及面積可不同(參見例如圖 15)。

【0044】 在圖 11 中，利用焊劑 234 對熱介面材料 232 進行塗佈。在一些實施例中，焊劑 234 是免清潔焊劑。可將焊劑 234 噴射至熱介面材料 232 上。相似於焊劑 214，焊劑 234 實質上覆蓋熱介面材料 232 (在製程變化內)。在另一實施例中，焊劑 234 不實質上覆蓋熱介面材料 232。

【0045】 在圖 12A 及圖 12B 中，在封裝基底 220 上形成黏合劑 (adhesive) 216 及保持結構 (retaining structure) 218。黏合劑 216 用於隨後將蓋 (lid) 230 (參見圖 13) 黏合至封裝基底 220。保持結構 218 用於保持熱介面材料 232 的任何隨後的滲出或回流，以防止熱介面材料 232 到達例如被動裝置 226。黏合劑 216 可為熱介面材料 (TIM)、晶粒貼合膜 (die attach film, DAF) 或類似材料，且可分配於封裝基底上。舉例而言，黏合劑 216 可為具有聚合材料及填料的凝膠 (gel)。凝膠的聚合材料可為 PI、PBO、環氧樹脂系 (epoxy-based) 聚合物、氧化矽系 (silica-based) 聚合物、丙烯酸系 (acrylic-based) 聚合物、類似材料或其組合。凝膠的填料可包括鋁、銅、錫、氮化硼、類似材料或其組合。

【0046】 在一些實施例中，保持結構 218 可與黏合劑 216 同時形成且可由與黏合劑 216 相同的材料形成。在一些實施例中，保持

結構 218 可由不同於黏合劑 216 的材料形成。可將保持結構 218 分配於封裝基底 220、底部填充劑 228 及/或封裝組件 210 上。在一些實施例中，將保持結構 218 形成於封裝組件 210 的側壁上以及熱介面材料 232 的側壁及頂表面上。在一些實施例中，將保持結構 218 與封裝組件 210（參見例如圖 16 至圖 19）間隔開。可將保持結構 218 形成於底部填充劑 228 上。在一些實施例中，保持結構 218 在封裝組件 210 外部完全地覆蓋底部填充劑 228，而在其他實施例中，保持結構 218 僅部分地覆蓋底部填充劑 228。

【0047】 在一些實施例中，將保持結構 218 形成為具有較熱介面材料 232 的頂表面高的頂表面，而在其他實施例中，將保持結構 218 的頂表面形成為低於熱介面材料 232 的頂表面。如見於圖 12B 中，保持結構 218 可環繞封裝組件 210，且可沿封裝基底 220 的邊緣形成黏合劑 216。

【0048】 儘管保持結構 218 被示出為具有平坦且平行的側壁，然而本揭露不限於保持結構 218 的所示形狀。舉例而言，保持結構 218 可具有彎曲的側壁、彎折的側壁、傾斜的側壁及/或不平行的側壁。

【0049】 在圖 13 中，將具有可選的背側金屬 236 的蓋 230 貼合至熱介面材料 232 及封裝基底 220。蓋 230 可為導熱蓋（thermal lid）、散熱器（heatsink）或類似元件。在所示實施例中，蓋 230 是亦貼合至封裝基底 220 的導熱蓋。導熱蓋的底部中具有凹陷，以使得導熱蓋可覆蓋封裝組件 210 及熱介面材料 232。在蓋 230 是導

熱蓋的一些實施例中，導熱蓋亦可覆蓋被動裝置 226。如圖 13 中所示，保持結構 218 可實體地接觸蓋 230。保持結構 218 將防止熱介面材料 232 的材料隨後滲出至封裝基底 220 上及/或被動裝置 226 上。

【0050】 蓋 230 可由例如金屬（例如銅、鎳、鈳、鋼、鐵或類似金屬）等具有高導熱率的材料形成。在一些實施例中，蓋 230 由銅、鎳及鈳形成。蓋 230 保護封裝組件 210 並形成熱路徑（thermal pathway）以自封裝組件 210 的各種組件（例如，積體電路晶粒 50）傳導熱量。蓋 230 藉由熱介面材料 232 及可選的背側金屬 236 熱耦合至封裝組件 210 的背側表面，例如背側金屬 212 的背側表面。背側金屬 236 可相似於以上闡述的背側金屬 212，且本文中不再對其予以贅述。可在貼合蓋 230 之前，在焊劑 234 上或在蓋 230 上形成背側金屬 236。

【0051】 在一些實施例中，在多步驟製程中貼合蓋 230 並接合熱介面材料 232。在多步驟製程之後，熱介面材料 232 可在被放置於封裝組件 210 上之後具有小於厚度 T_1 的厚度 T_2 。在第一製程步驟中，利用熱夾持製程將蓋 230 貼合至熱介面材料 232 及封裝基底 220。在一些實施例中，熱夾持製程涉及在向蓋 230 及/或封裝基底 220 施加力的同時對所述結構進行加熱。在熱夾持製程中，加熱溫度小於熱介面材料 232 的金屬的熔化溫度。舉例而言，若熱介面材料 232 由熔化溫度為 156.6°C 的鈳製成，則熱夾持製程的加熱溫度將保持在 156.6°C 以下。

【0052】 在第二製程步驟中，將熱介面材料 232 與背側金屬 212/236 及蓋 230 接合或連接。第二製程步驟涉及將所述結構加熱至較熱介面材料 232 的金屬的熔化溫度大的溫度。舉例而言，若熱介面材料 232 由熔化溫度為 156.6°C 的鈦製成，則熱夾持製程的加熱溫度將達到 156.6°C 以上。在一些實施例中，此第二製程步驟亦涉及熱夾持製程，包括在向蓋 230 及/或封裝基底 220 施加力的同時對所述結構進行加熱。在一些實施例中，貼合蓋 230 並接合熱介面材料 232 的多步驟製程的所有步驟在同一處理腔室中實行，而不會破壞所述腔室的環境（ambient）。

【0053】 由於具有保持結構 218，因此熱介面材料 232 的金屬（例如，鈦）在封裝體的熱夾持、回焊或正常操作期間的任何後續滲出或回流受到遏制。此種遏制會防止金屬溢出而使封裝組件短路，且會防止在熱介面材料 232 中形成空隙，此可改善封裝體的可靠性及效能。

【0054】 亦可包括其他特徵及製程。舉例而言，可包括測試結構以幫助對三維（three-dimensional，3D）封裝體或三維積體電路（three-dimensional integrated circuit，3DIC）裝置進行驗證測試。所述測試結構可例如包括在重佈線層中或基底上形成的測試接墊（test pad），以便能夠對 3D 封裝體或 3DIC 進行測試、對探針及/或探針卡（probe card）進行使用以及進行類似操作。可對中間結構以及最終結構實行驗證測試。另外，可將本文中所揭露的結構及方法與包含對已知良好晶粒進行中間驗證的測試方法結合使用，

以提高良率 (yield) 並降低成本。

【0055】 圖 14 示出對封裝體 200 進行夾持固化 (clamp curing) 的可選步驟。在一些實施例中，夾持固化製程可代替圖 13 中的上述多步驟製程的第二步驟。如圖 14 中所示，將封裝體 200 放置於夾具 (clamp) 250 內，且可對封裝體 200 施加熱量。在一些實施例中，夾持固化製程涉及將所述結構加熱至較熱介面材料 232 的金屬的熔化溫度大的溫度。舉例而言，若熱介面材料 232 由熔化溫度為 156.6℃ 的錫製成，則熱夾持製程的加熱溫度將達到 156.6℃ 以上。在一些實施例中，此第二製程步驟亦涉及熱夾持製程，包括在向蓋 230 及/或封裝基底 220 施加力的同時對所述結構進行加熱。

【0056】 圖 15 示出根據一些其他實施例的積體電路封裝體 200 的剖視圖。除了熱介面材料 232 的寬度小於封裝組件 210 且保持結構 218 延伸以上覆於包封體 136 及背側金屬 212 的頂表面之上以外，此實施例相似於圖 1 至圖 14 中闡述的實施例。在一些實施例中，熱介面材料 232 可被形成為具有較封裝組件 210 的寬度 W_1 小的寬度 W_2 。

【0057】 圖 16 至圖 19 是根據一些其他實施例的積體電路封裝體 200 的製造的中間階段的示意圖。除了保持結構 218 不接觸封裝組件 210 但與封裝組件 210 間隔開以外，此實施例相似於針對圖 1 至圖 14 闡述的實施例。在貼合蓋 230 之後，保持結構 218 與封裝組件 210 之間的空間可形成空隙。此空隙可容納熱介面材料 232

的經回流的金屬。

【0058】 圖 16 處於與圖 11 相似的處理點，且本文中不再對達成此處理階段予以贅述。

【0059】 在圖 17A 及圖 17B 中，在封裝基底 220 上形成保持結構 218 及黏合劑 216。保持結構 218 及黏合劑 216 的材料及製程可相似於以上在圖 12A 及圖 12B 中闡述的材料及製程。

【0060】 在此實施例中，保持結構 218 與封裝組件 210 間隔開。儘管保持結構 218 被示出為具有較熱介面材料 232 的頂表面高的頂表面，然而在其他實施例中，保持結構 218 的頂表面可低於熱介面材料 232 的頂表面。相似於圖 12B 的闡述，在圖 17B 中，保持結構 218 可環繞封裝組件 210，且可沿封裝基底 220 的邊緣形成黏合劑 216。

【0061】 在圖 18 中，將具有可選的背側金屬 236 的蓋 230 貼合至熱介面材料 232 及封裝基底 220。保持結構 218 在封裝組件 210 與保持結構 218 之間形成空隙 238。如圖 18 中所示，保持結構 218 可實體地接觸蓋 230，進而使得蓋 230 形成空隙 238 的表面。在熱介面材料 232 的金屬熔化之後，由保持結構 218 形成的空隙 238 將容納熱介面材料 232 的材料（例如，參見圖 19）。

【0062】 在圖 19 中，圖 18 的結構經歷以上在圖 13 中闡述的多步驟貼合及接合製程，從而導致熱介面材料 232 的溢出(overflow) 232'至封裝組件 210 及底部填充劑 228 的各側上以及封裝基底 220 上。儘管圖 19 示出溢出 232'實質上填充空隙 238，然而在一些實

施例中，空隙 238 僅被部分地填充。

【0063】 藉由具有由保持結構 218 形成的空隙 238，熱介面材料 232 的金屬（例如，銦）在封裝體的熱夾持、回焊或正常操作期間的任何後續滲出或回流受到遏制。此種遏制會防止金屬溢出而使封裝組件短路，且會防止在熱介面材料 232 中形成空隙，此可改善封裝體的可靠性及效能。

【0064】 實施例可達成優點。在一些實施例中，在封裝組件貼合至封裝基底之後，將散熱結構貼合至封裝組件。可在封裝基底上相鄰於封裝組件及散熱結構來形成保持結構（例如，保持壁）。然後，可將蓋貼合於散熱結構及保持結構之上，隨後進行熱夾持及/或回焊製程以對蓋及/或散熱結構進行貼合。由於具有保持結構，因此散熱結構的金屬（例如，銦）在封裝的熱夾持、回焊或正常操作期間的任何後續滲出或回流受到遏制。此種遏制會防止金屬溢出而使封裝組件短路，且會防止在散熱結構中形成空隙，此可改善封裝體的可靠性及效能。

【0065】 在實施例中，一種裝置包括封裝組件，所述封裝組件包括積體電路晶粒及連接至積體電路晶粒的多個導電連接件，所述多個導電連接件設置於封裝組件的第一側處。所述裝置亦包括位於封裝組件的第二側上的金屬層，第二側與第一側相對。所述裝置亦包括位於金屬層上的熱介面材料。所述裝置亦包括位於熱介面材料上的蓋。所述裝置亦包括位於封裝組件及熱介面材料的側壁上的保持結構。所述裝置亦包括連接至導電連接件的封裝基底，蓋

黏合至封裝基底。

【0066】 實施例可包括以下特徵中的一或多者。在所述裝置中，保持結構在封裝組件的頂表面之上延伸。熱介面材料由銅製成。保持結構實體地接觸蓋。熱介面材料厚於背側金屬層。所述裝置更包括位於封裝基底與封裝組件之間的底部填充劑，保持結構實體地接觸底部填充劑。封裝組件是晶圓上晶片封裝組件。保持結構包含聚合材料及填料材料。所述裝置更包括將蓋黏合至封裝基底的黏合劑，所述黏合劑與保持結構具有相同的材料組成。

【0067】 在實施例中，一種方法包括將積體電路晶粒封裝於晶圓的封裝區中。所述方法亦包括在積體電路晶粒的背側上沈積背側金屬層。所述方法亦包括自晶圓單體化出封裝區以形成封裝組件。所述方法亦包括在單體化出封裝區之後，將封裝組件連接至封裝基底。所述方法亦包括在背側金屬層上放置熱介面材料。所述方法亦包括相鄰於封裝組件及熱介面材料來分配保持結構。所述方法亦包括將蓋貼合至封裝基底，蓋耦合至熱介面材料。所述方法亦包括實行接合製程以將熱介面材料接合至背側金屬層及蓋，接合製程是在大於熱介面材料的熔點的溫度下實行。

【0068】 實施例可包括以下特徵中的一或多者。在所述方法中，保持結構實體地接觸封裝組件。保持結構與封裝組件間隔開。在實行接合製程之後，熱介面材料的溢出部分在封裝組件的側壁上延伸。在實行接合製程之後，熱介面材料的溢出部分在底部填充劑的側壁上延伸。保持結構實體地接觸蓋。所述方法更包括在背側金屬

層上放置熱介面材料之後且在將蓋貼合至封裝基底之前，在封裝基底的頂表面上分配黏合層，所述黏合層將蓋黏合至封裝基底。黏合層與保持結構具有相同的材料組成。

【0069】 在實施例中，一種方法包括在晶圓的封裝區中將多個積體電路晶粒接合至所述晶圓。所述方法亦包括利用模製化合物對所述多個積體電路晶粒進行包封。所述方法亦包括在模製化合物以及所述多個積體電路晶粒的背側上形成背側金屬層。所述方法亦包括自晶圓單體化出封裝區以形成封裝組件。所述方法亦包括將封裝組件接合至封裝基底。所述方法亦包括在經接合的封裝組件的積體電路晶粒的背側上沈積第一焊劑。所述方法亦包括將熱介面材料貼合至第一焊劑，熱介面材料包含銅。所述方法亦包括相鄰於封裝組件及熱介面材料來形成保持結構。所述方法亦包括將蓋貼合至封裝基底，熱介面材料及保持結構耦合至蓋。

【0070】 實施例可包括以下特徵中的一或多者。所述方法更包括實行接合製程以將熱介面材料接合至背側金屬層及蓋，接合製程是在大於熱介面材料的熔點的溫度下實行，其中在實行接合製程之後，熱介面材料的溢出部分在封裝組件的側壁上延伸。保持結構實體地接觸封裝組件。

【0071】 以上概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的各態樣。熟習此項技術者應理解，他們可容易地使用本揭露作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施

例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，而且他們可在不背離本揭露的精神及範圍的條件下對其作出各種改變、代替及變更。

【符號說明】

【0072】

50：積體電路晶粒

50A：第一積體電路晶粒

50B：第二積體電路晶粒

50F：前側

52：半導體基底

54、114：內連線結構

56、116：晶粒連接件

58、118：介電層

100A：封裝區

102：中介層

110：晶圓

112：基底

120：導通孔

132、148：導電連接件

134、228：底部填充劑

136：包封體

146：凸塊下金屬

200：積體電路封裝體/封裝體

210：封裝組件

212、236：背側金屬

214、234：焊劑

216：黏合劑

218：保持結構

220：封裝基底

222：基底芯體

224：接合接墊

226：被動裝置

230：蓋

232：熱介面材料

232'：溢出

238：空隙

250：夾具

T_1 、 T_2 ：厚度

W_1 、 W_2 ：寬度

X、Z：方向

【發明申請專利範圍】

【請求項1】 一種積體電路封裝體，包括：

封裝組件，包括積體電路晶粒及連接至所述積體電路晶粒的多個導電連接件，所述多個導電連接件設置於所述封裝組件的第一側處；

金屬層，位於所述封裝組件的第二側上，所述第二側與所述第一側相對；

熱介面材料，位於所述金屬層上；

蓋，位於所述熱介面材料上；

保持結構，位於所述封裝組件及所述熱介面材料的側壁上，所述保持結構環繞所述封裝組件；以及

封裝基底，連接至所述多個導電連接件，所述蓋黏合至所述封裝基底。

【請求項2】 如請求項 1 所述的積體電路封裝體，其中所述保持結構實體地接觸所述蓋。

【請求項3】 如請求項 1 所述的積體電路封裝體，其中所述熱介面材料厚於所述金屬層。

【請求項4】 如請求項 1 所述的積體電路封裝體，更包括：

底部填充劑，位於所述封裝基底與所述封裝組件之間，所述保持結構實體地接觸所述底部填充劑。

【請求項5】 如請求項 1 所述的積體電路封裝體，其中所述保持結構包含聚合材料及填料材料。

【請求項6】 如請求項 1 所述的積體電路封裝體，更包括：

黏合劑，將所述蓋黏合至所述封裝基底，所述黏合劑與所述保持結構具有相同的材料組成。

【請求項7】 一種形成積體電路封裝體的方法，包括：

將積體電路晶粒封裝於晶圓的封裝區中；

在所述積體電路晶粒的背側上沈積背側金屬層；

自所述晶圓單體化出所述封裝區以形成封裝組件；

在單體化出所述封裝區之後，將所述封裝組件連接至封裝基底；

在所述背側金屬層上放置熱介面材料；

相鄰於所述封裝組件及所述熱介面材料來分配保持結構；

將蓋貼合至所述封裝基底，所述蓋耦合至所述熱介面材料；

以及

實行接合製程以將所述熱介面材料接合至所述背側金屬層及所述蓋，所述接合製程是在大於所述熱介面材料的熔點的溫度下實行。

【請求項8】 如請求項 7 所述的方法，更包括：

在所述封裝基底與所述封裝組件之間形成底部填充劑，其中在實行所述接合製程之後，所述熱介面材料的溢出部分在所述底部填充劑的側壁上延伸。

【請求項9】 一種形成積體電路封裝體的方法，包括：

在晶圓的封裝區中將多個積體電路晶粒接合至所述晶圓；

利用模製化合物對所述多個積體電路晶粒進行包封；

在所述模製化合物以及所述多個積體電路晶粒的背側上形成背側金屬層；

自所述晶圓單體化出所述封裝區以形成封裝組件；

將所述封裝組件接合至封裝基底；

在經接合的所述封裝組件的所述多個積體電路晶粒的所述背側上沈積第一焊劑；

將熱介面材料貼合至所述第一焊劑，所述熱介面材料包含銲；

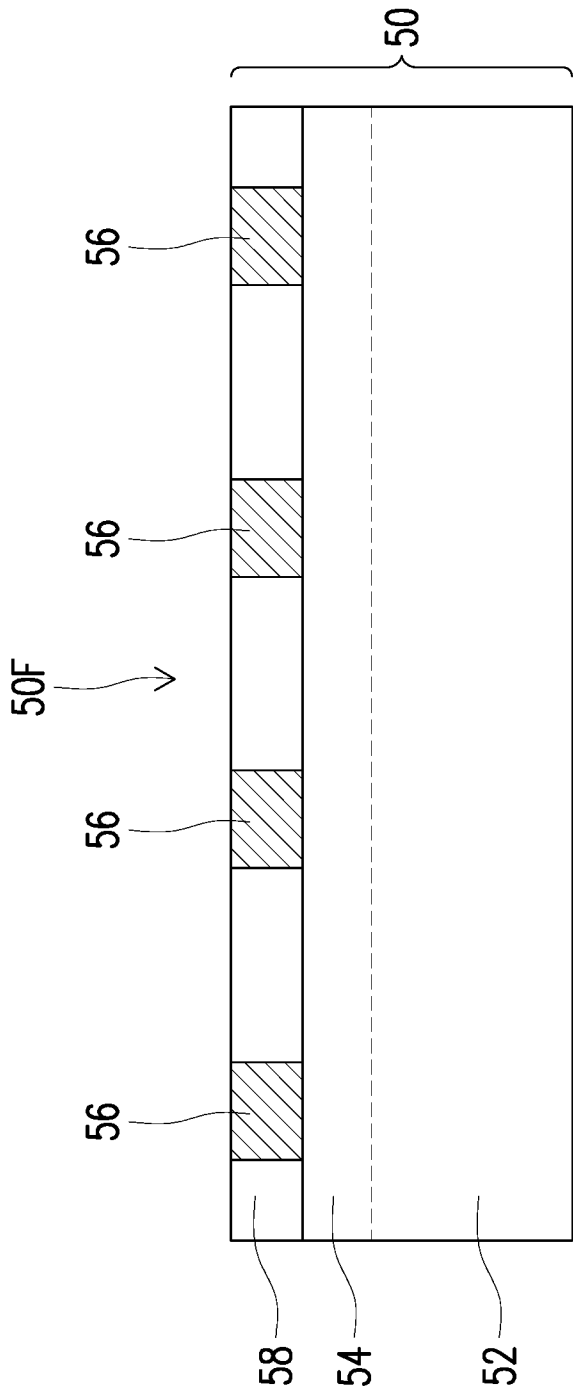
相鄰於所述封裝組件及所述熱介面材料來形成保持結構；以及

將蓋貼合至所述封裝基底，所述熱介面材料及所述保持結構耦合至所述蓋。

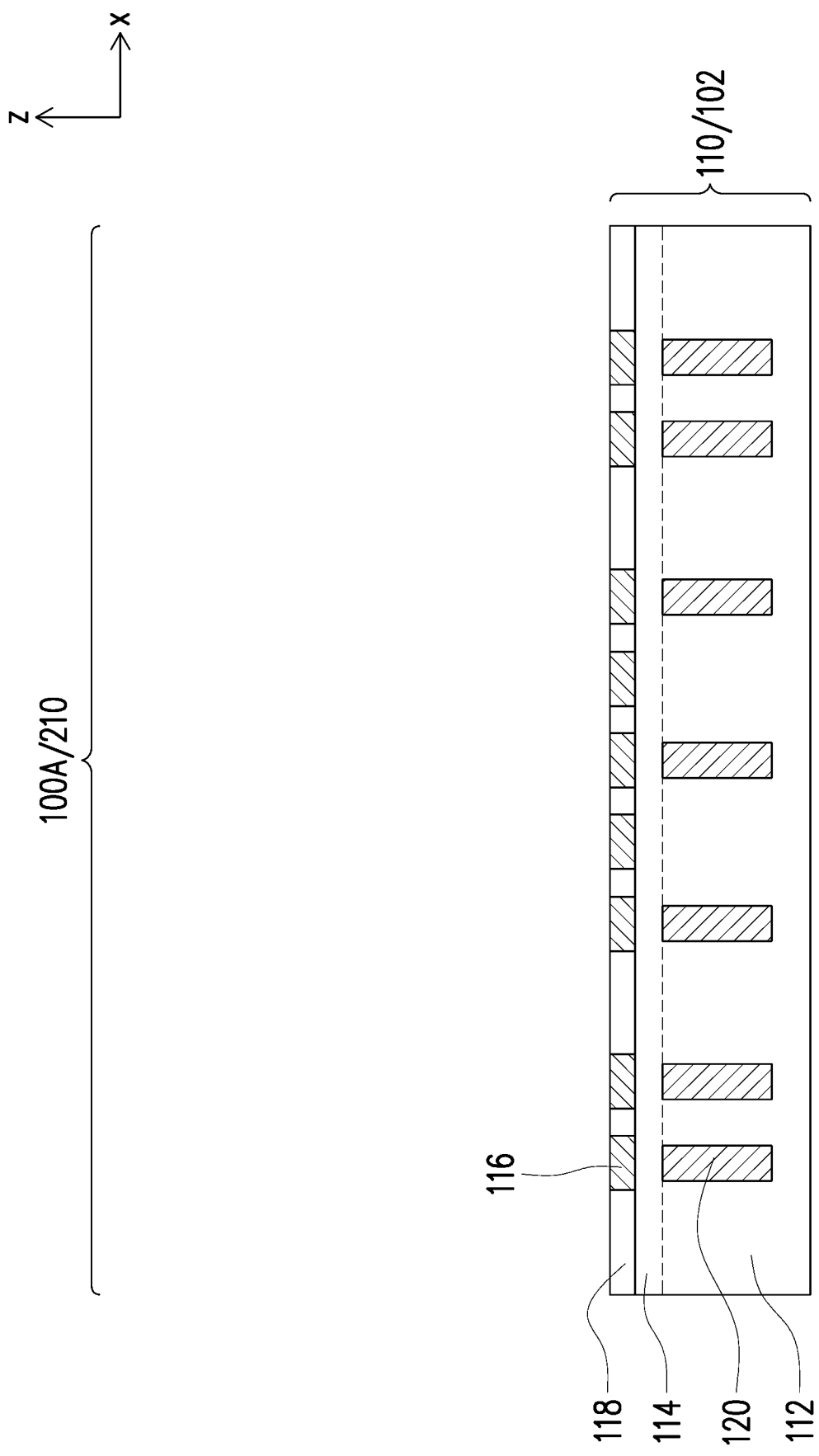
【請求項10】 如請求項 9 所述的方法，更包括：

實行接合製程以將所述熱介面材料接合至所述背側金屬層及所述蓋，所述接合製程是在大於所述熱介面材料的熔點的溫度下實行，其中在實行所述接合製程之後，所述熱介面材料的溢出部分在所述封裝組件的側壁上延伸。

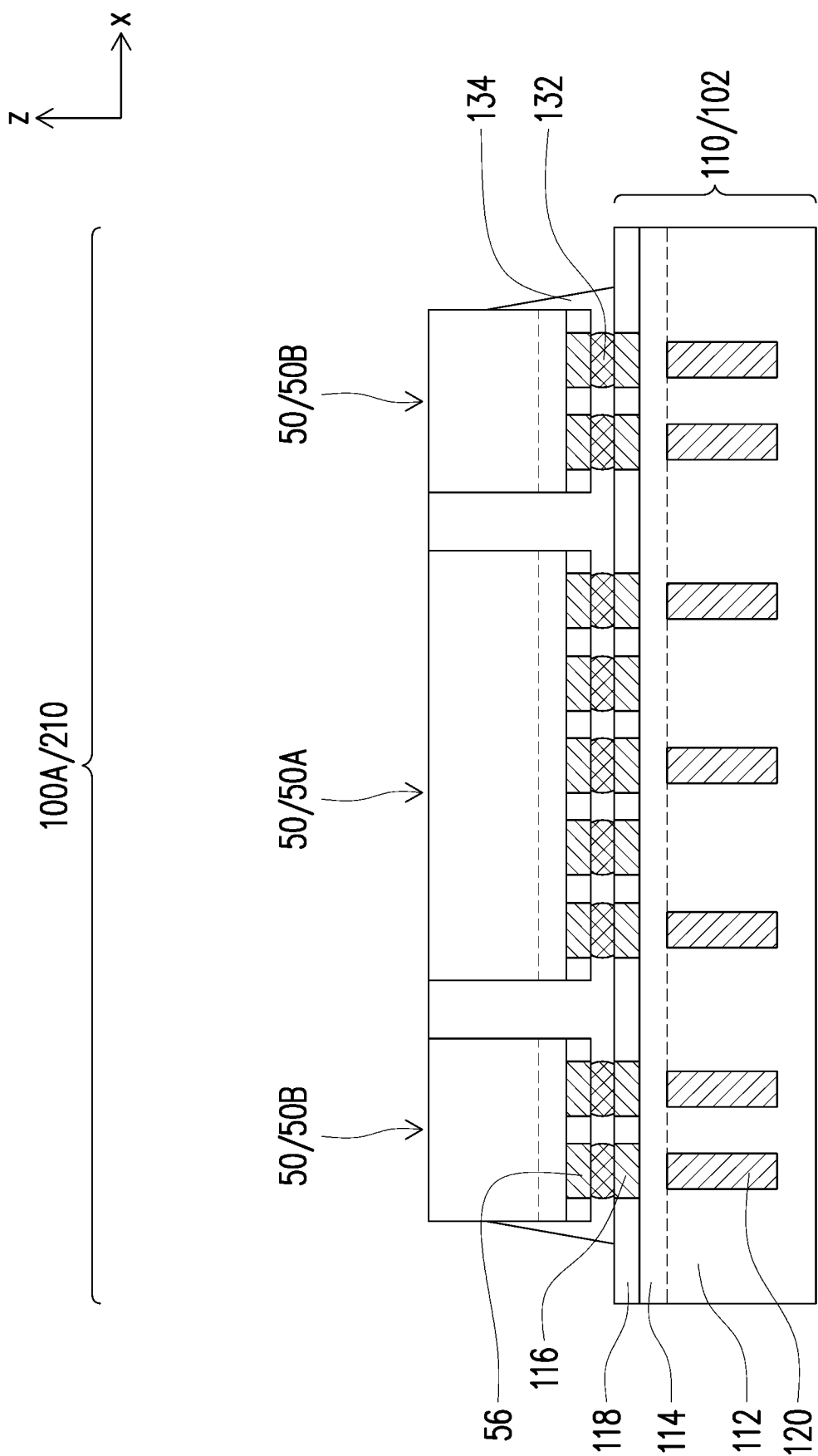
【發明圖式】



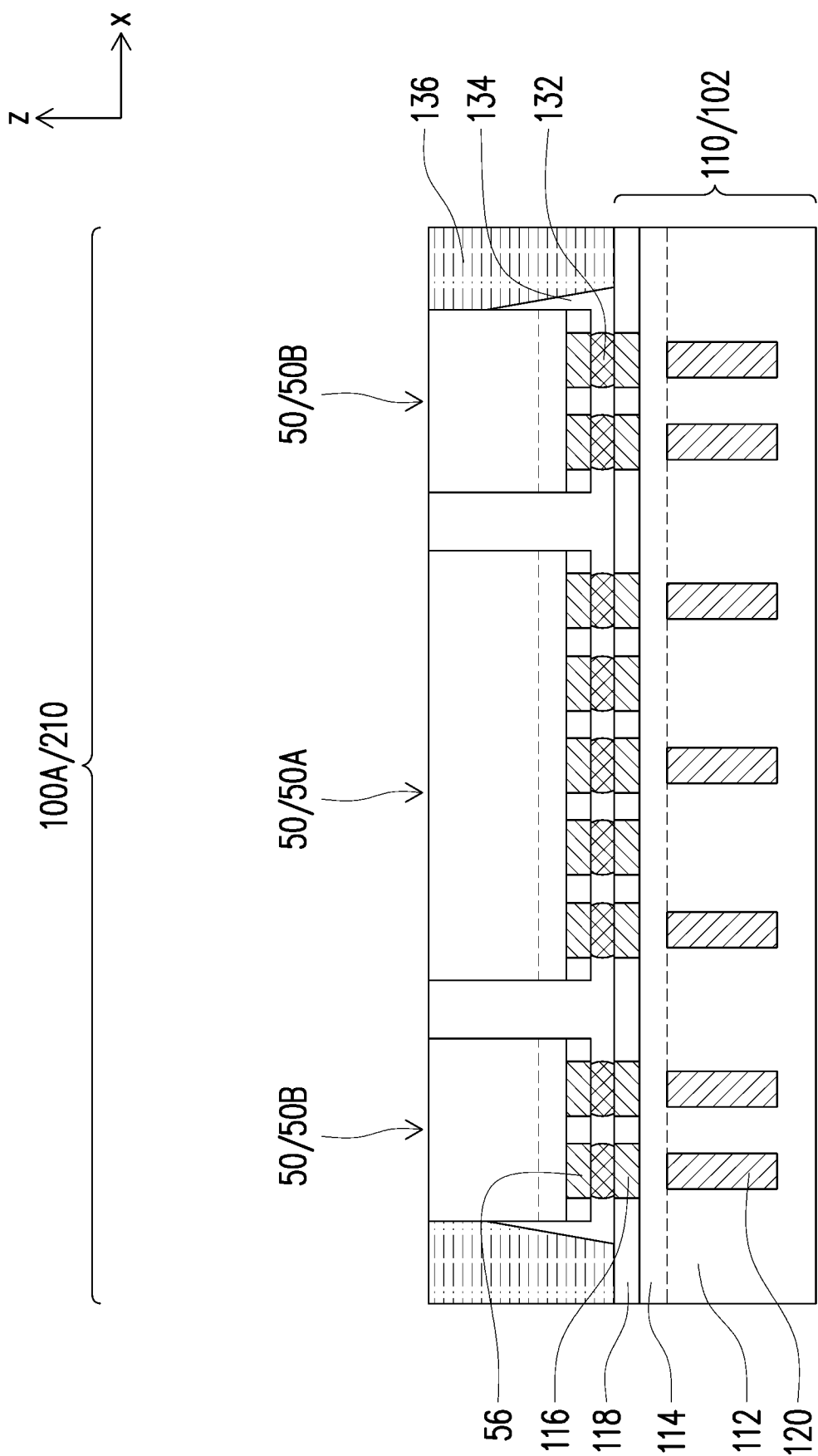
【圖1】



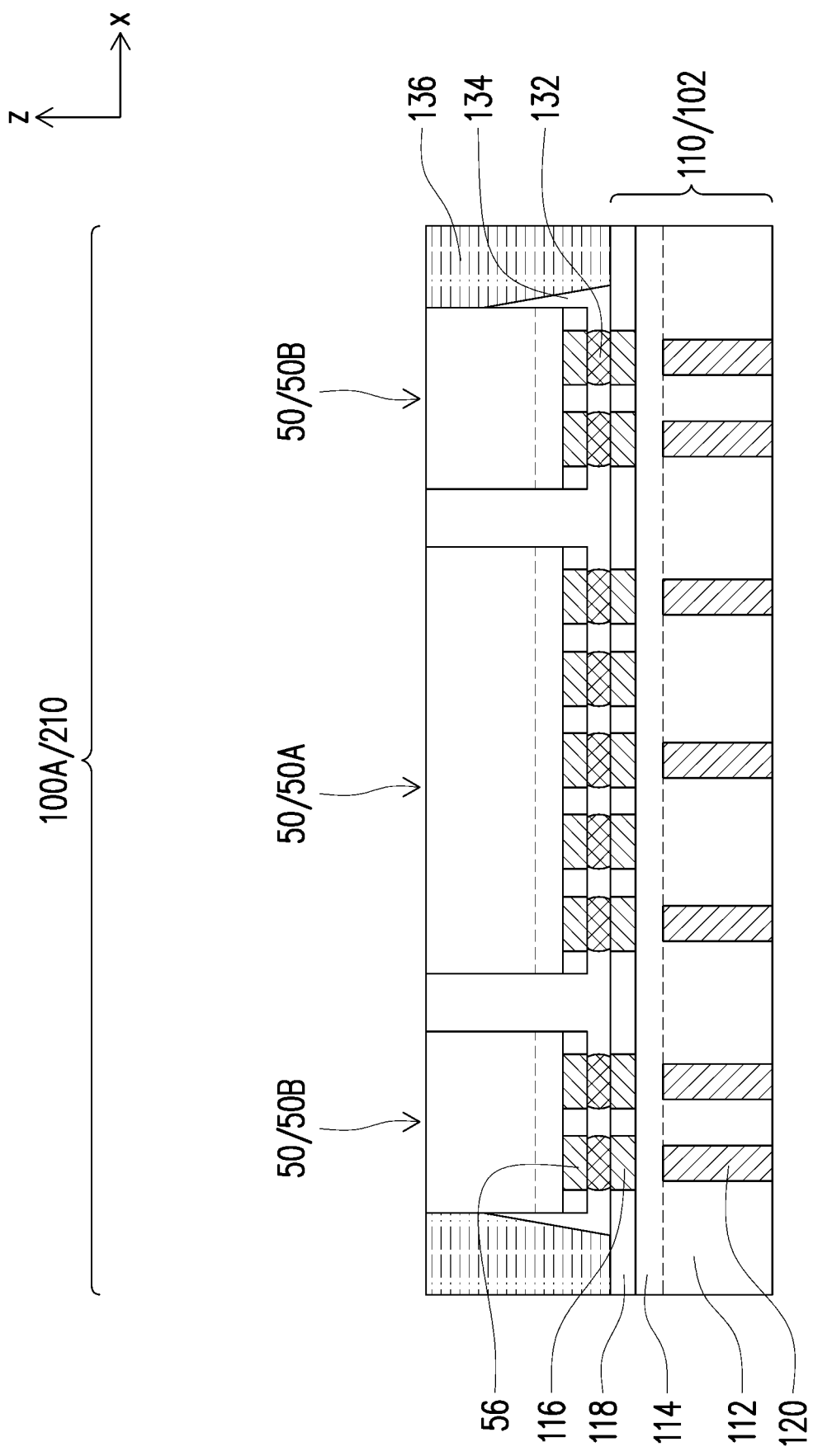
【圖2】



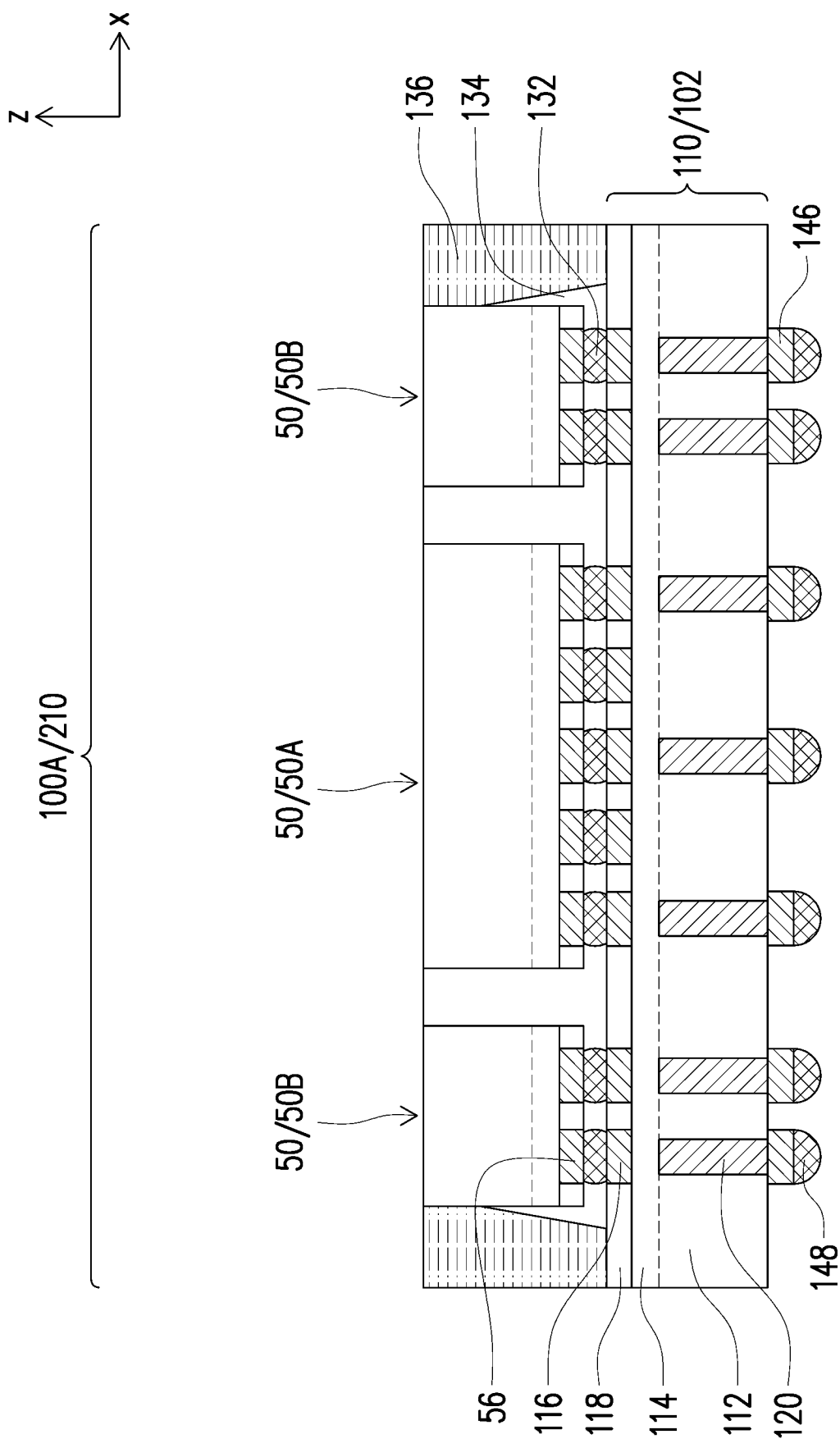
【圖3】



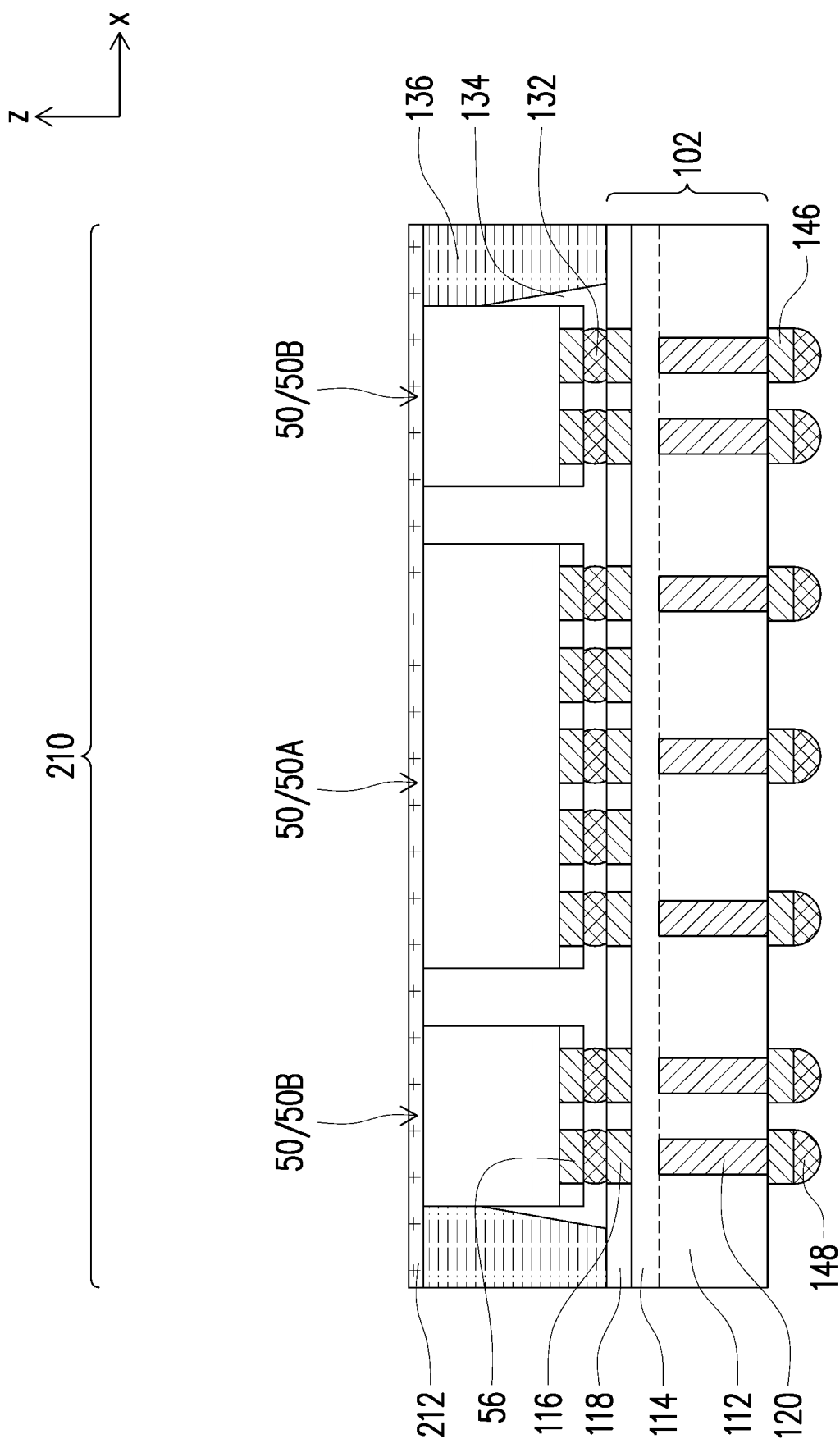
【圖4】



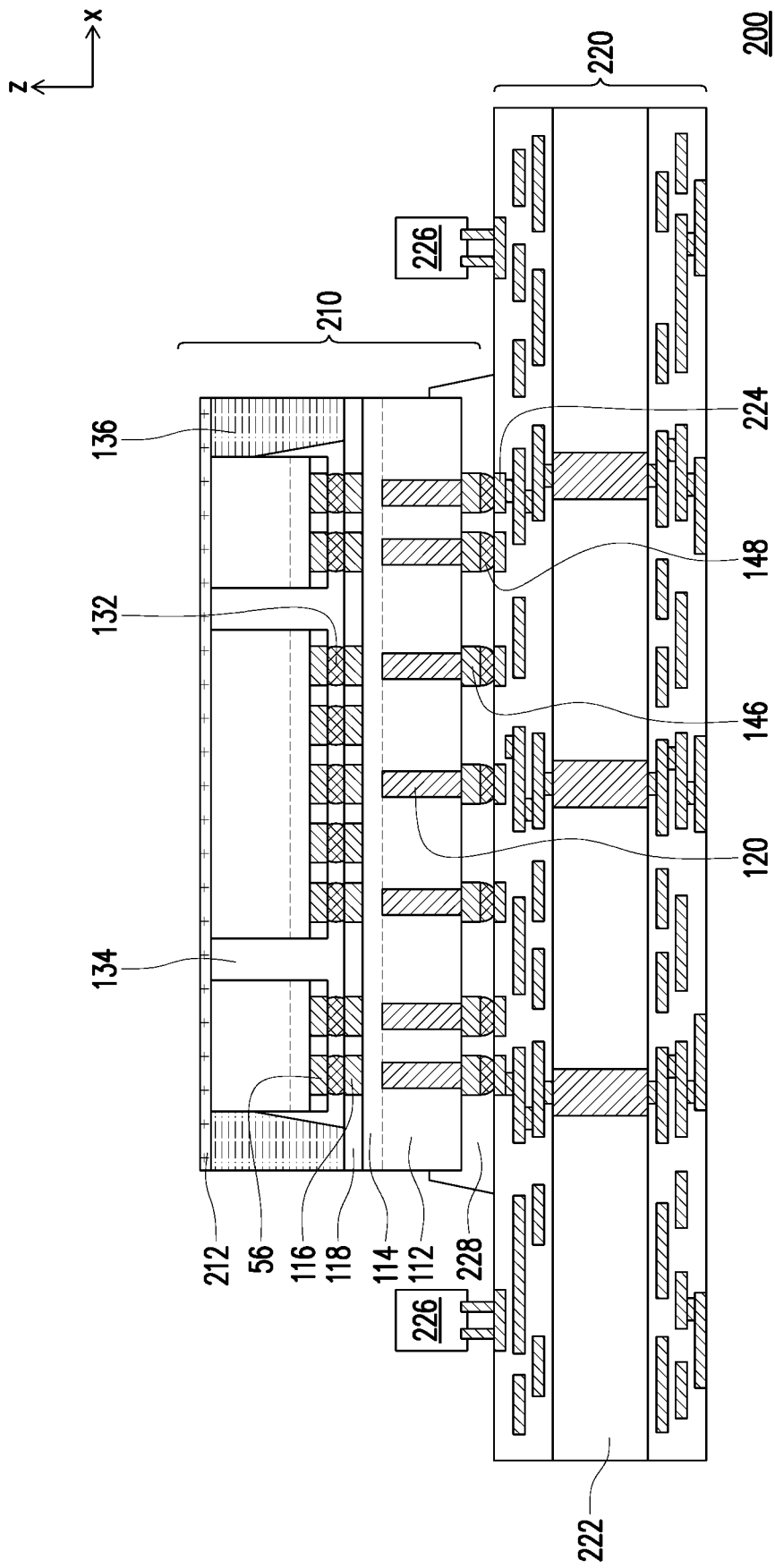
【圖5】



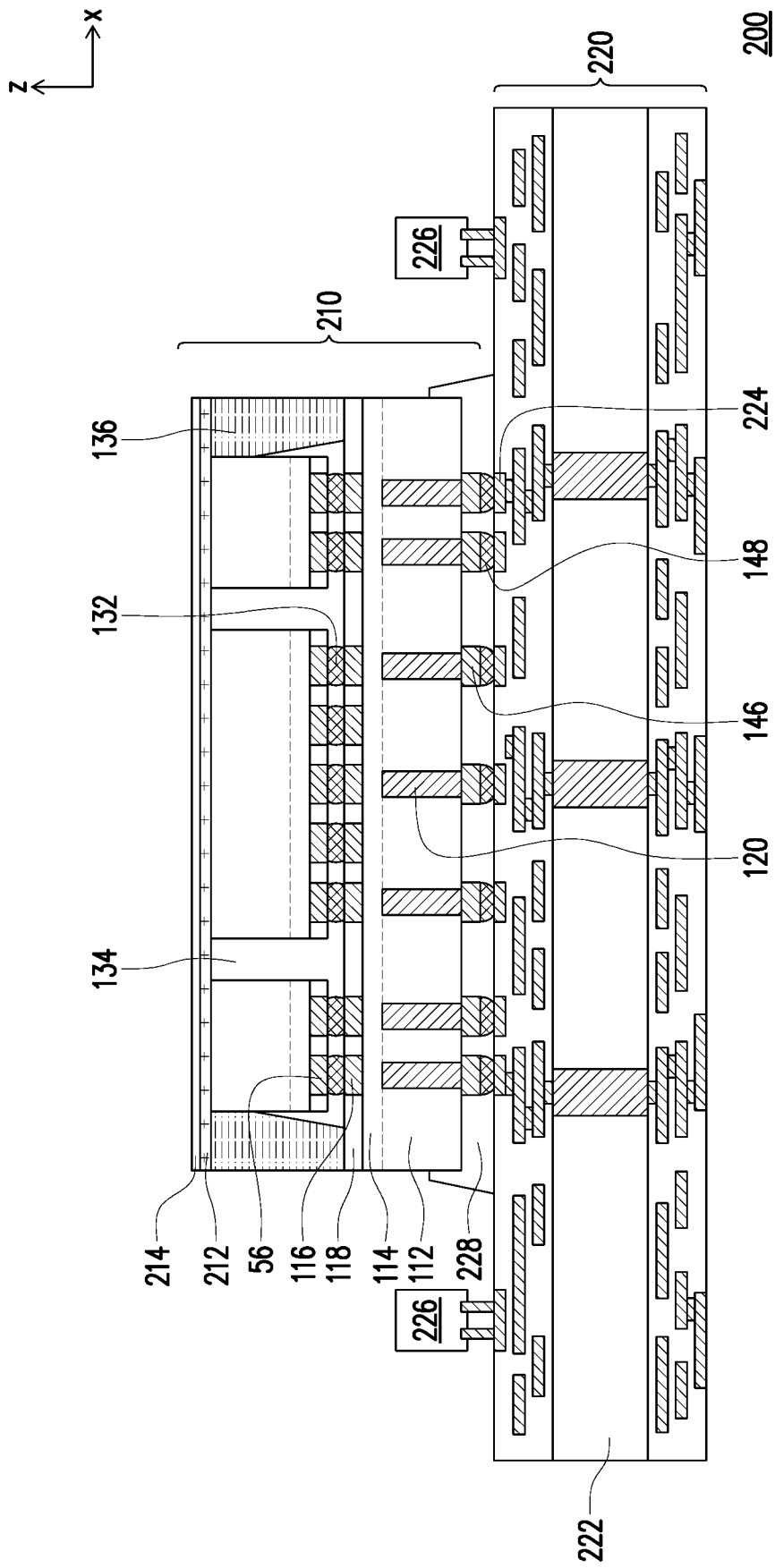
【圖6】



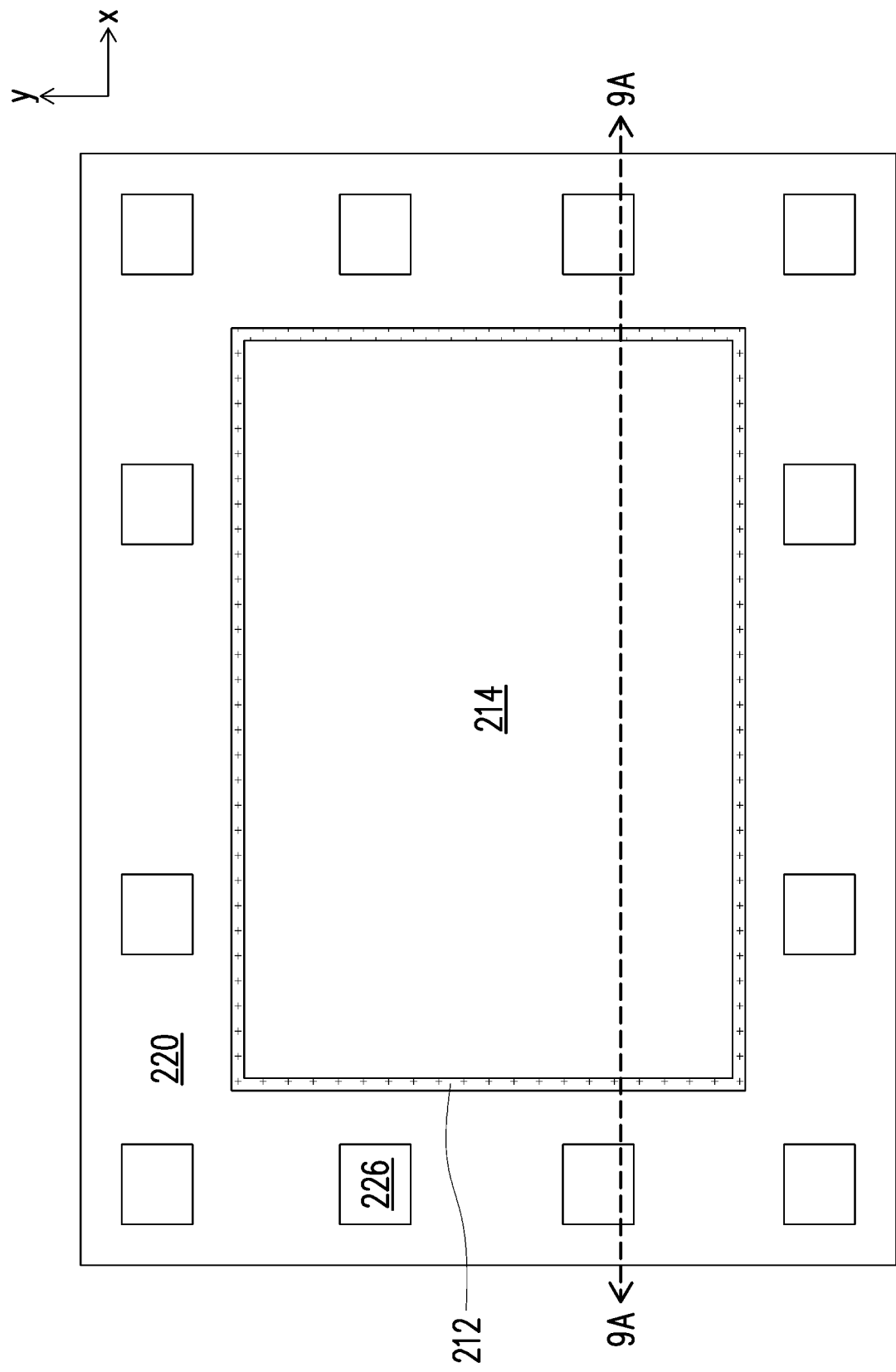
【圖7】



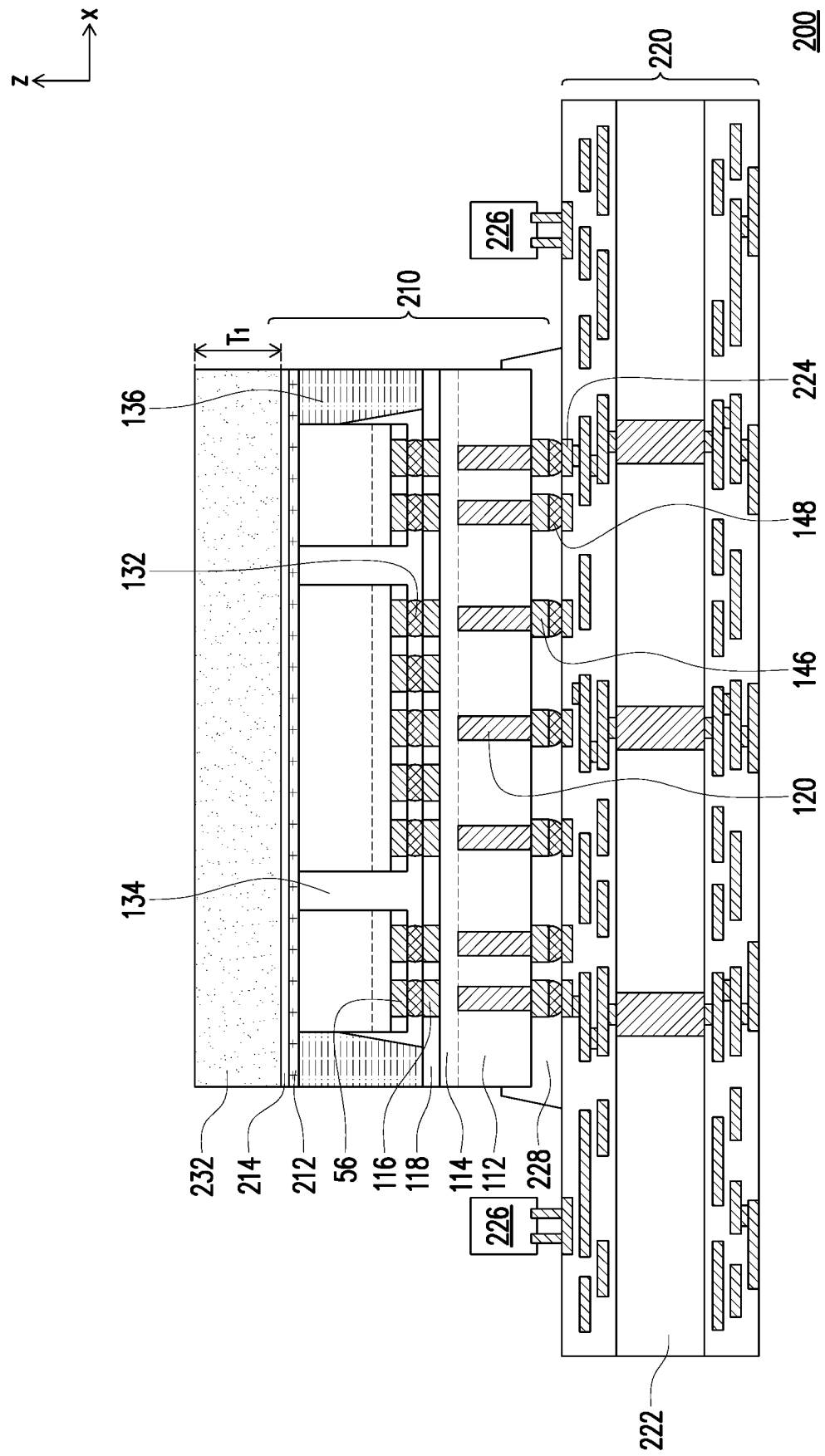
【圖8】



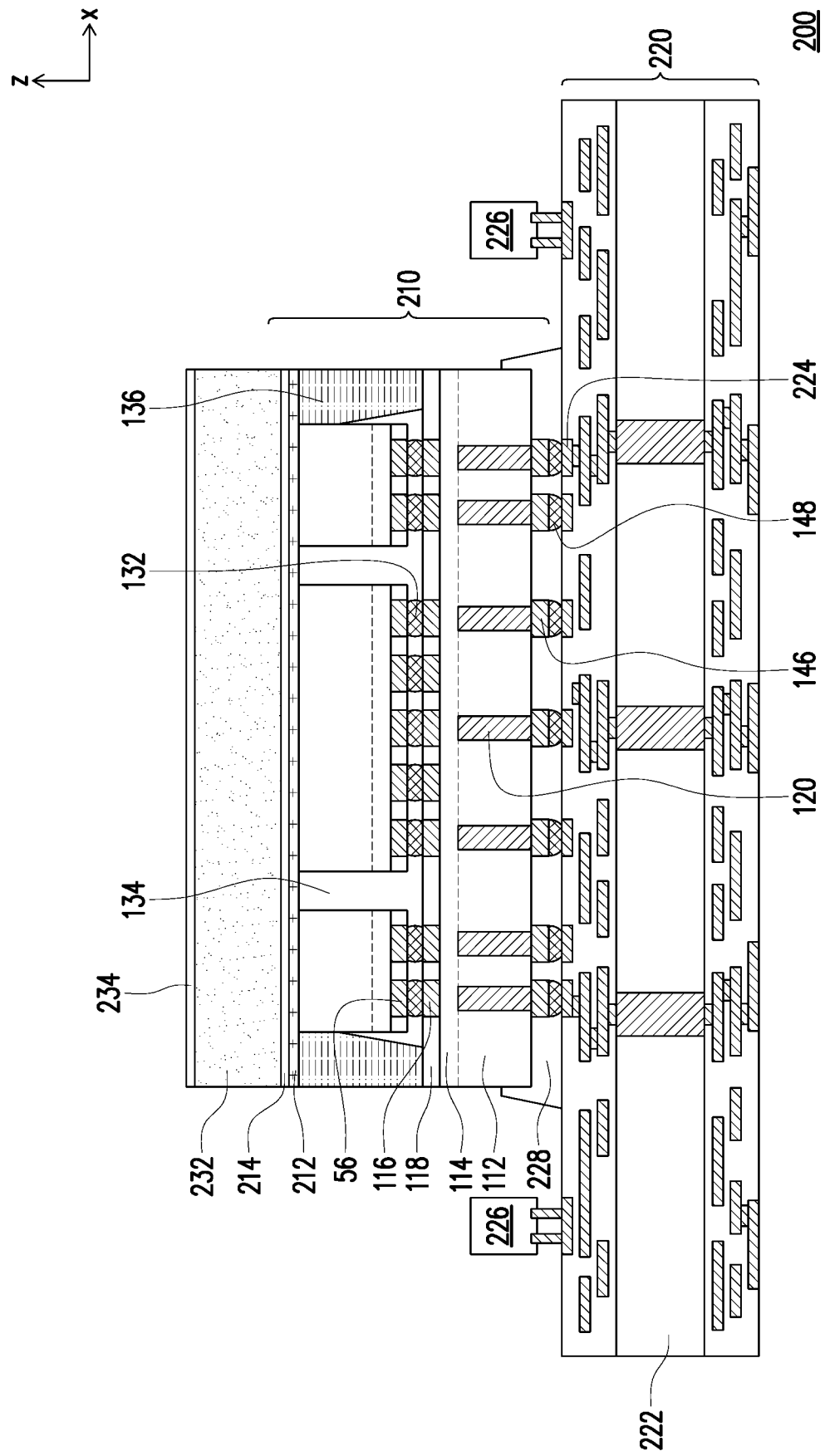
【圖9A】



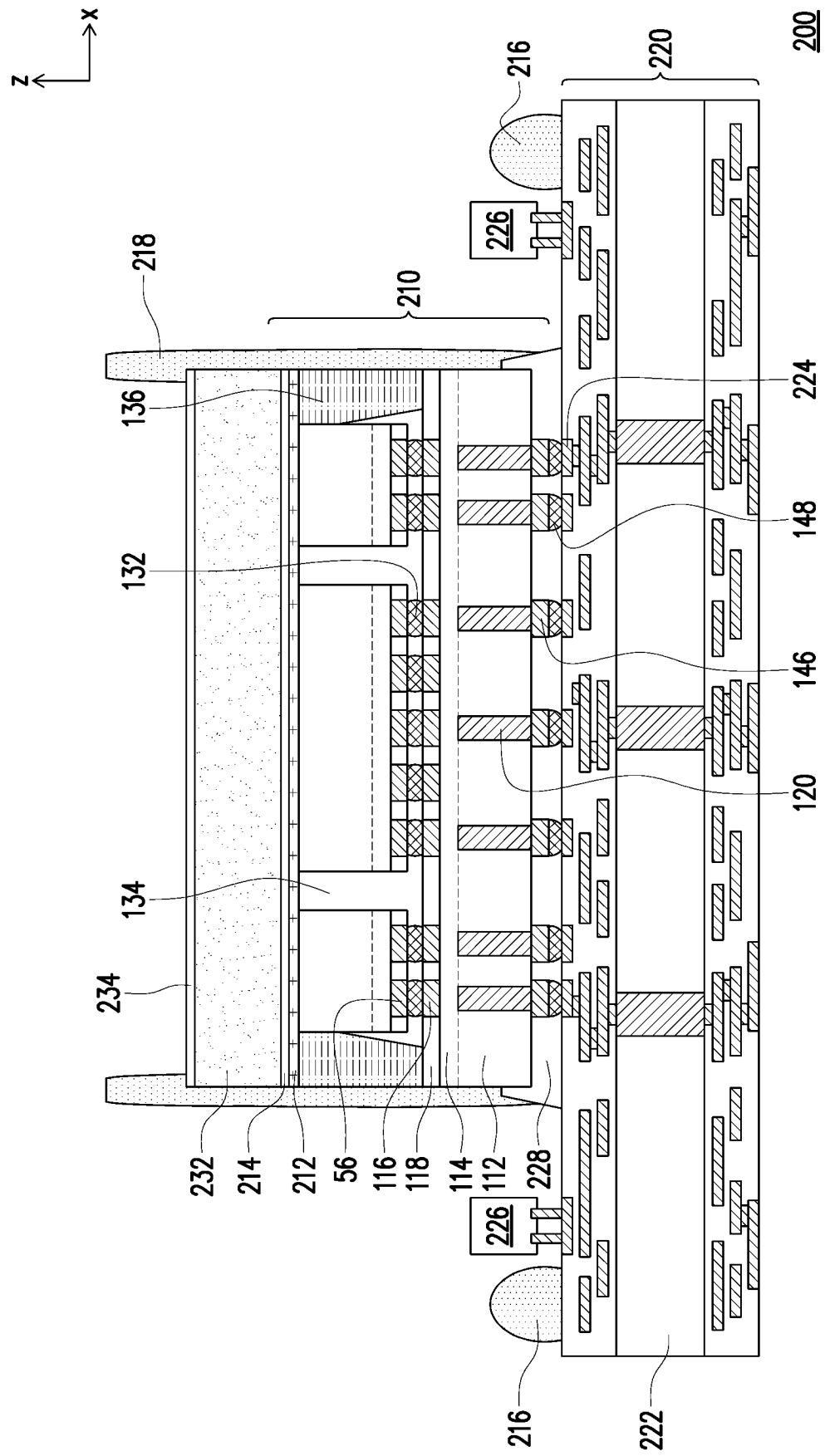
【圖9B】



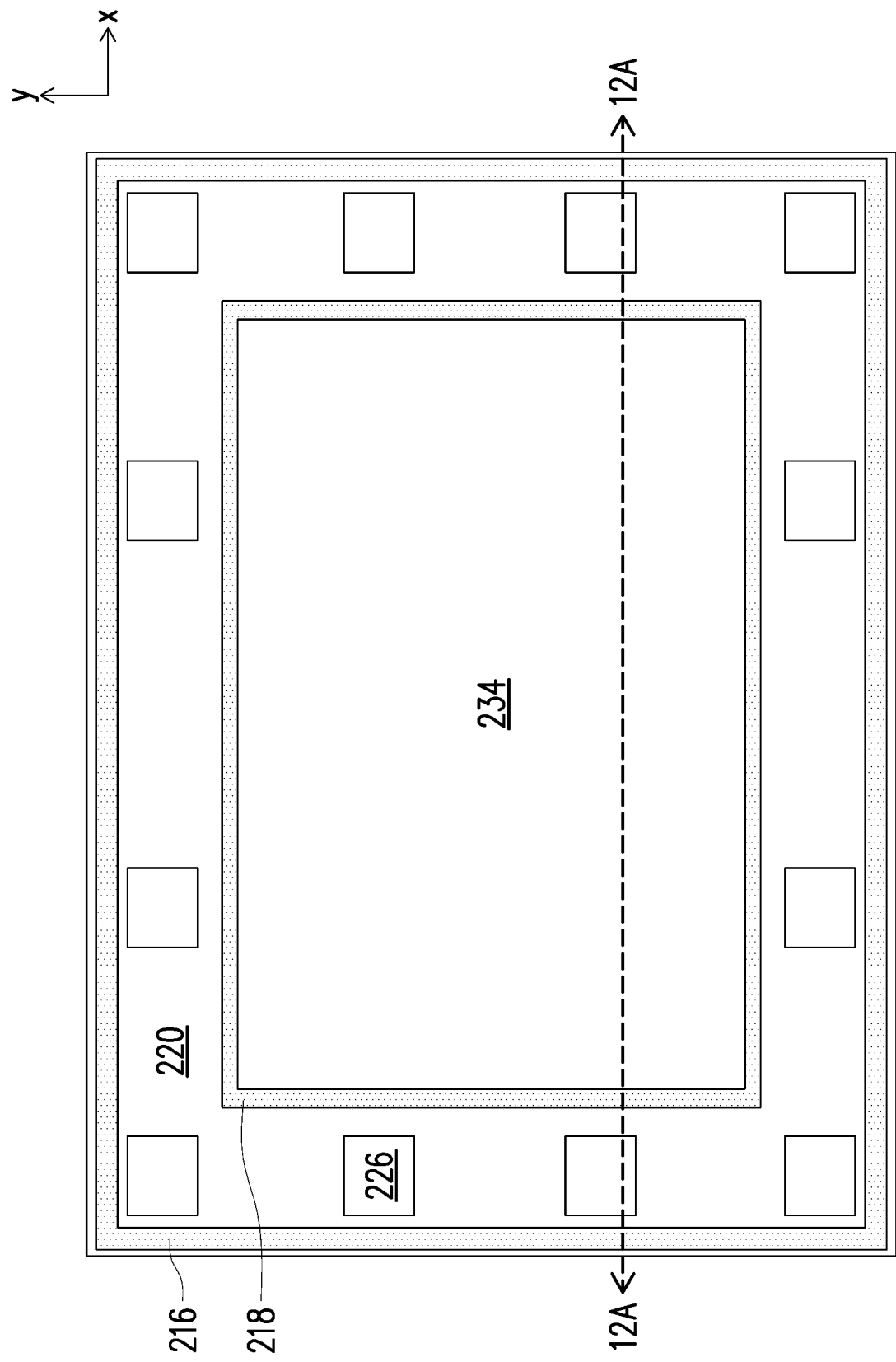
【圖10】



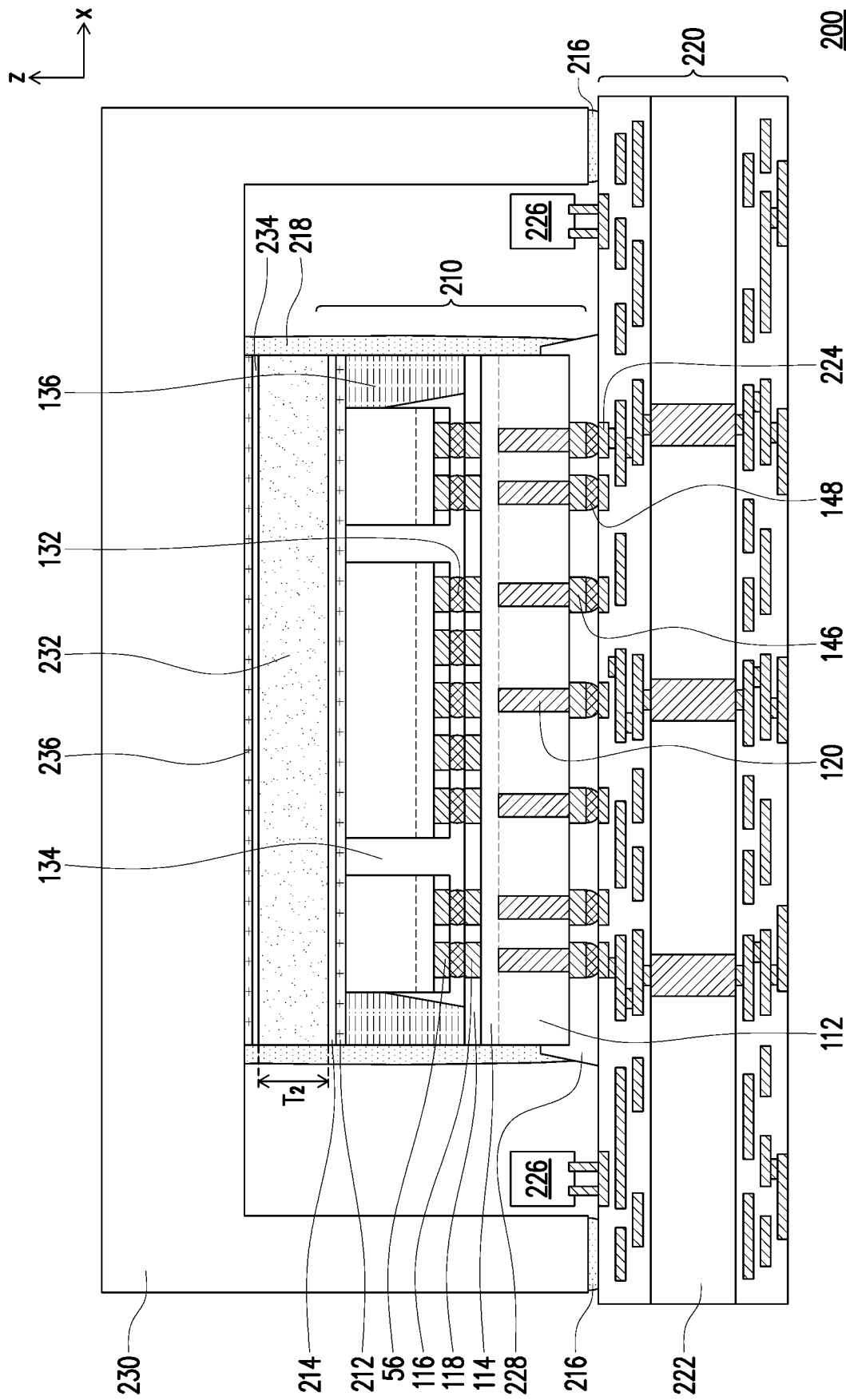
【圖11】



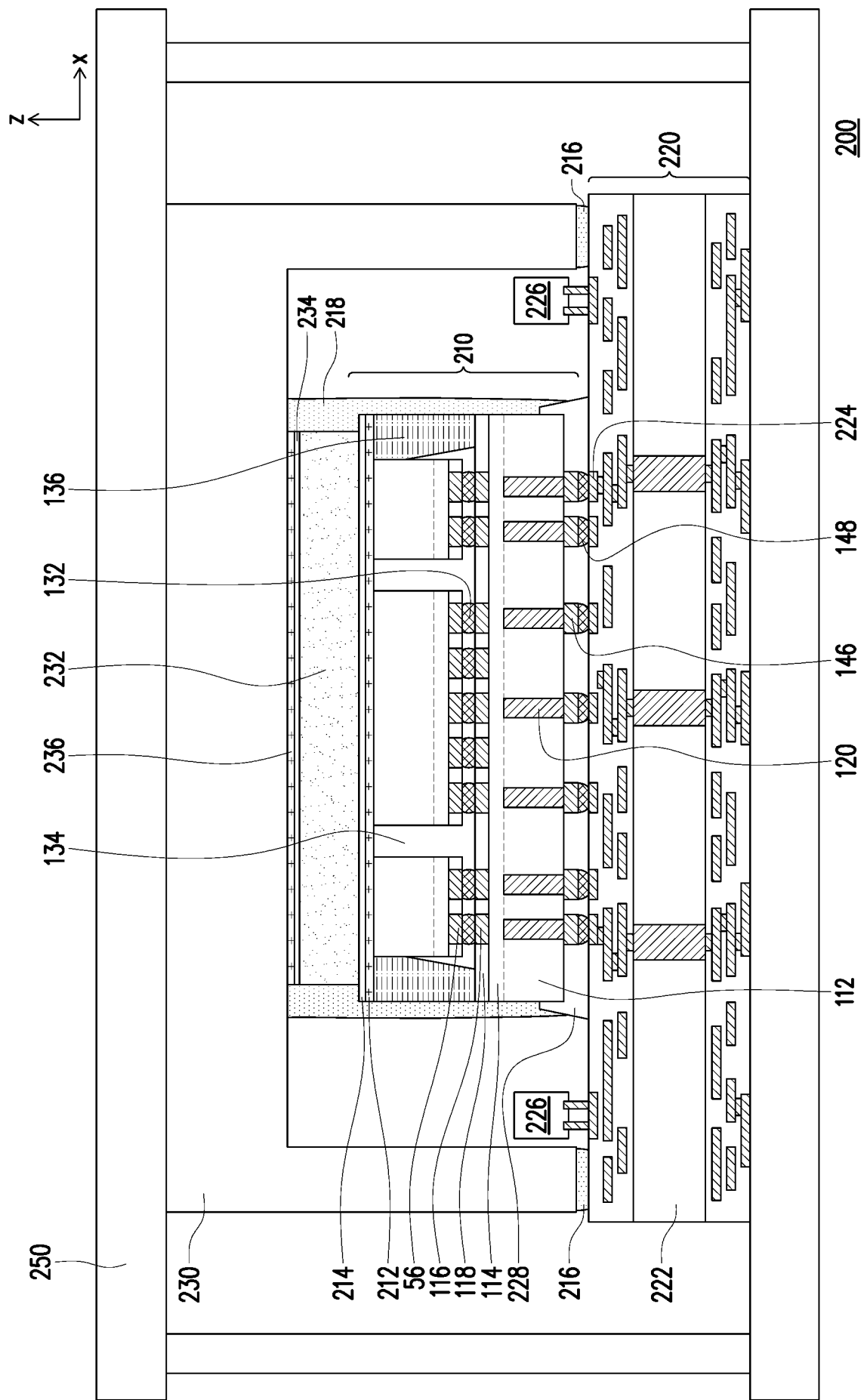
【圖12A】



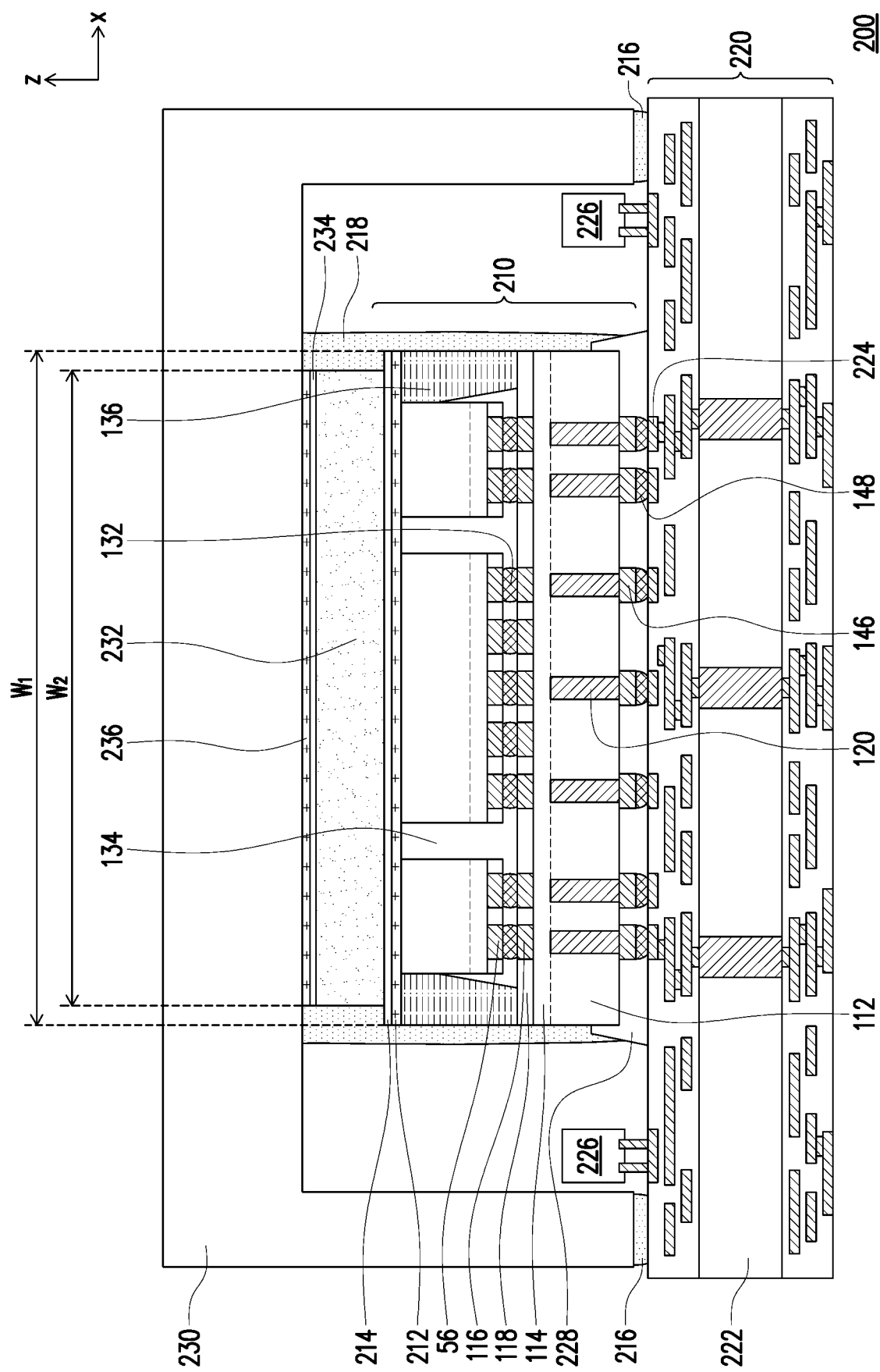
【圖12B】



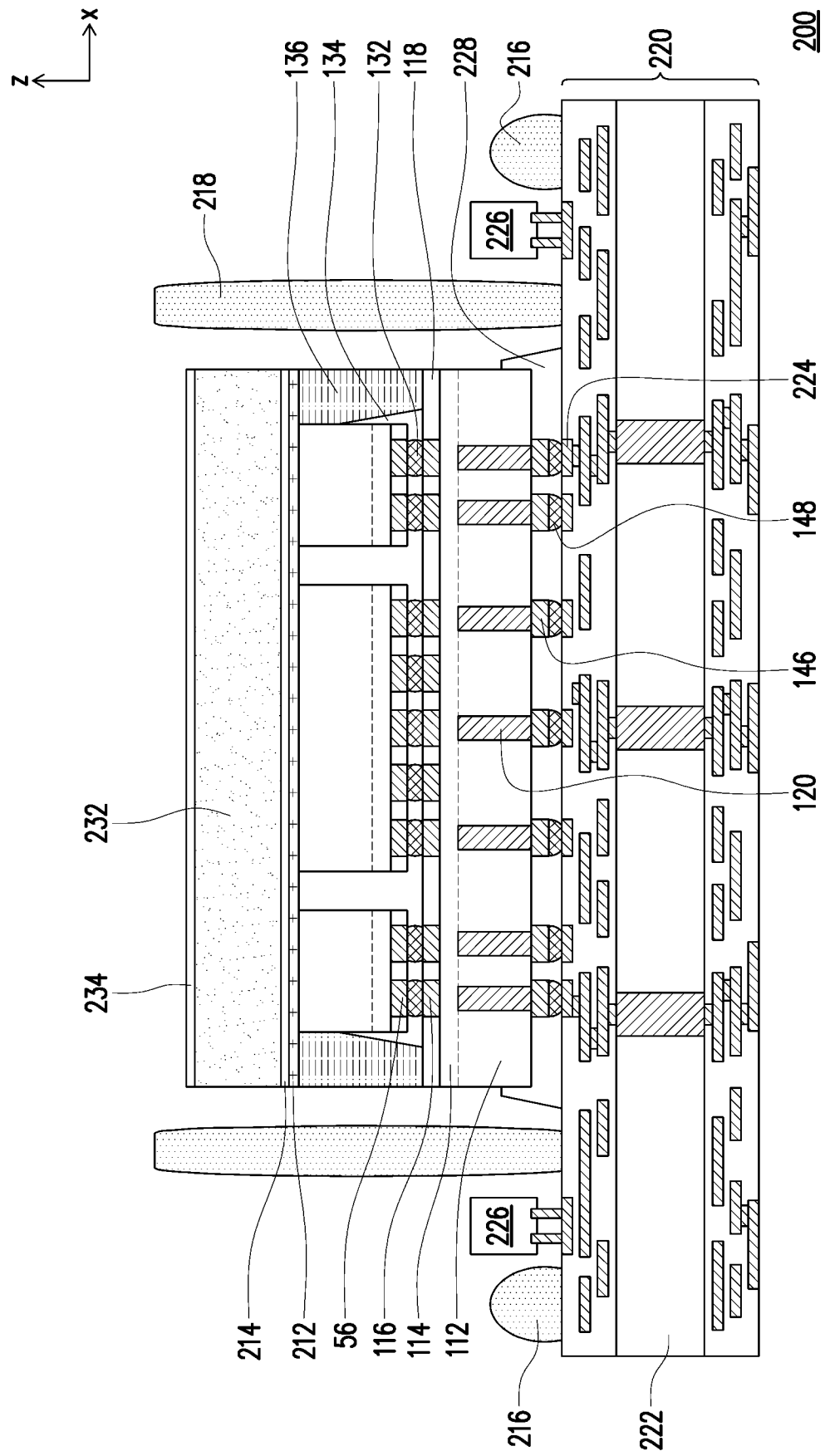
【圖13】



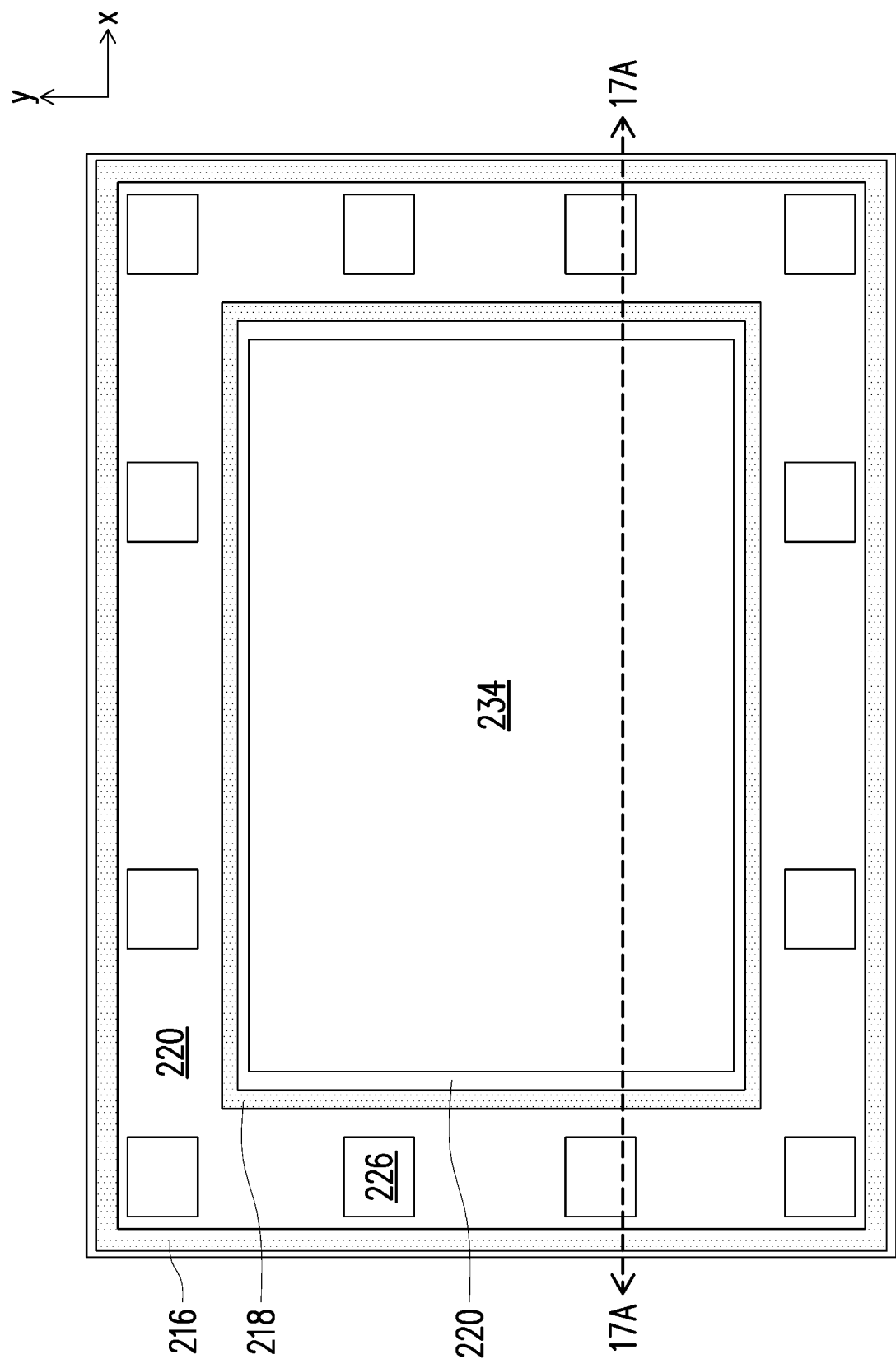
【圖14】



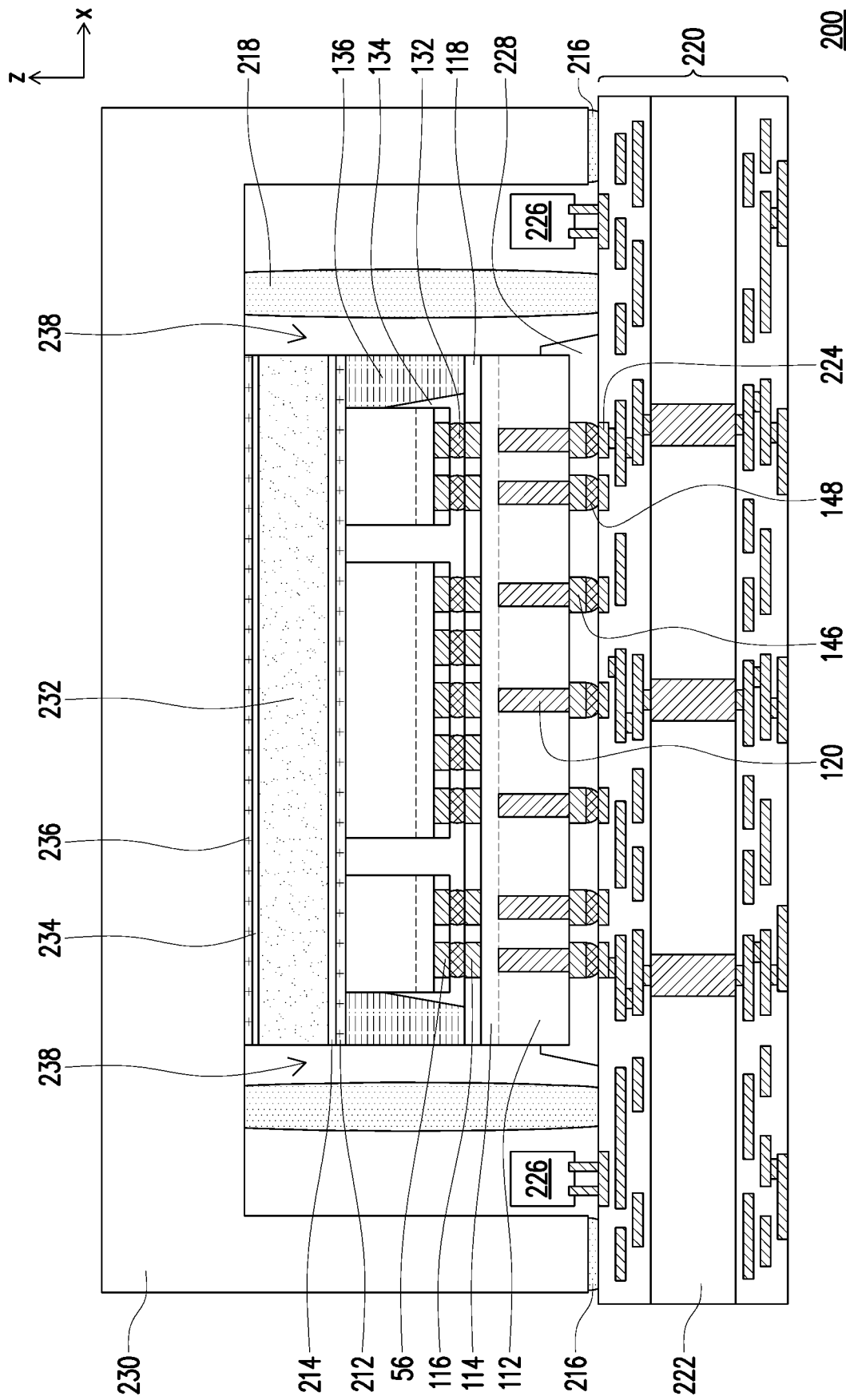
【圖15】



【圖17A】



【圖17B】



【圖18】

