

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-11169

(P2010-11169A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H04B 3/54 (2006.01)	H04B 3/54	5K022
H04J 11/00 (2006.01)	H04J 11/00	Z 5K028
H04J 3/00 (2006.01)	H04J 3/00	A 5K046

審査請求 未請求 請求項の数 4 O L (全 25 頁)

(21) 出願番号	特願2008-169016 (P2008-169016)	(71) 出願人	000161806
(22) 出願日	平成20年6月27日 (2008. 6. 27)		京楽産業、株式会社
		(74) 代理人	愛知県名古屋市中区錦三丁目24番4号 100124316
			弁理士 塩田 康弘
		(72) 発明者	渡辺 直幸
			愛知県名古屋市中区錦三丁目24番4号
			京楽産業、株式会社内
		(72) 発明者	加来 尚
			東京都中央区京橋二丁目14番1号 株式
			会社ネットインデックス・イー・エス内
		(72) 発明者	置田 良二
			東京都中央区京橋二丁目14番1号 株式
			会社ネットインデックス・イー・エス内

最終頁に続く

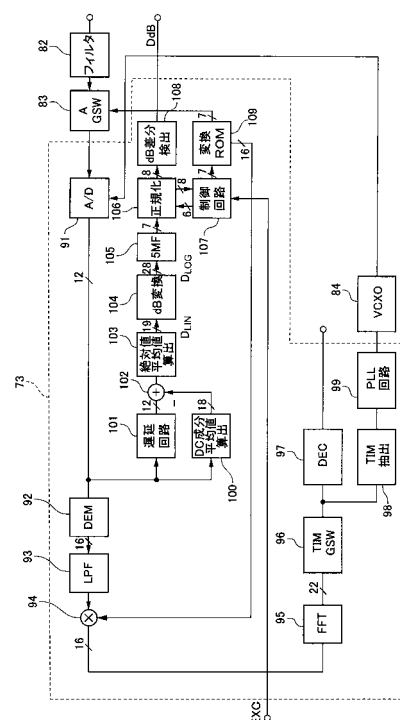
(54) 【発明の名称】 多重伝送装置及び多重伝送方法

(57) 【要約】

【課題】親機、中継機、子機を備えた大規模なシステムで瞬時引き込みが可能で、かつ、複数の時間長の長いインパルス性雑音に対する耐力を向上でき、より安定したデータ通信を確保できるようにする。

【解決手段】開示される多重伝送装置は、データを多重化し、伝送するものである。この多重伝送装置は、受信信号からデータを分離する多重分離処理部73を有する。多重分離処理部73は、受信された時間軸上の全チャネルの多重信号に対してゲイン調整を行うA/D-GSWと、時間軸上の全チャネルの多重信号から変換された個々のチャネルの周波数軸上の信号に対してゲイン調整を行うTIMGSW96とを有する。A/D-GSWは、リニアな受信信号を対数軸上の信号に変換し、この対数軸上の信号に対してゲイン調整を行う。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

親機と、中継機と、前記中継機に属する複数の子機との間でデータ通信を行うデータ通信システムに備えられ、前記データを多重化し、伝送する多重伝送装置であって、

受信信号から前記データを分離する多重分離処理部とを有し、

前記多重分離処理部は、

受信された時間軸上の全チャンネルの多重信号に対してゲイン調整を行う第 1 のゲイン調整手段と、

前記時間軸上の全チャンネルの多重信号から変換された個々のチャンネルの周波数軸上の信号に対してゲイン調整を行う第 2 のゲイン調整手段とを有し、

前記第 1 のゲイン調整手段は、リニアな前記受信信号を対数軸上の信号に変換し、前記対数軸上の信号に対してゲイン調整を行う

ことを特徴とする多重伝送装置。

【請求項 2】

前記多重分離処理部は、

前記チャンネル間で直交したトレーニング信号について前記個々のチャンネルの周波数軸上の信号に対してキャリアの位相及び振幅の調整を行う第 3 のゲイン調整手段

を有していることを特徴とする請求項 1 に記載の多重伝送装置。

【請求項 3】

親機と、中継機と、前記中継機に属する複数の子機との間でデータ通信を行うデータ通信システムにおいて、前記データを多重化し、伝送する多重伝送方法であって、

受信信号から前記データを分離する多重分離処理過程を有し、

前記多重分離処理過程は、

受信された時間軸上の全チャンネルの多重信号に対してゲイン調整を行う第 1 のゲイン調整過程と、

前記時間軸上の全チャンネルの多重信号から変換された個々のチャンネルの周波数軸上の信号に対してゲイン調整を行う第 2 のゲイン調整過程とを有し、

前記第 1 のゲイン調整過程では、リニアな前記受信信号を対数軸上の信号に変換し、前記対数軸上の信号に対してゲイン調整を行う

ことを特徴とする多重伝送方法。

【請求項 4】

前記多重分離処理過程は、

前記チャンネル間で直交したトレーニング信号について前記個々のチャンネルの周波数軸上の信号に対してキャリアの位相及び振幅の調整を行う第 3 のゲイン調整過程

を有していることを特徴とする請求項 3 に記載の多重伝送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データを多重化して処理し、伝送する多重伝送装置及び多重伝送方法に関し、特に、親機と、中継機と、中継機に属する複数の子機との間でデータ通信を行う大規模なデータ通信システム、詳しくは、電力線を介して情報通信を行う電力線通信（PLC：Power Line Communication）システムに用いて最適な多重伝送装置及び多重伝送方法に関する。

【背景技術】

【0002】

パチンコ店等の遊技店（ホール）では当然遊技者ごとにパチンコ遊技機等の遊技機が設けられ、学校では児童、生徒又は学生及び教職員ごとにパーソナルコンピュータ（パソコン）が設けられていることが多い。さらに、最近の病院には、医師や看護婦ごとにパソコンが設けられているだけでなく、病棟のベッドごとにデータ端末が設けられているものがある。

10

20

30

40

50

【0003】

遊技機、パソコン、データ端末等（以下総称するときは、「端末」という。）とサーバや管理装置等は、通常、専用の通信ケーブルを介して接続されるが、既存の施設に通信ケーブルを敷設するのでは、経費も時間もかかってしまう。そこで、最近では、施設に当初より設置され、端末に電力を供給する電力線を介してデータ通信を行う PLC システムが以下に示すように提案されている。

【0004】

すなわち、従来、電力線ネットワークを介してデータをポイント・ツー・マルチポイントデジタル伝送する多重アクセス及び多重伝送方法がある。この方法では、アップストリームチャンネル及びダウンストリームチャンネルにより、電力線ネットワーク上で双方向通信する複数のユーザ装置と1つのヘッドエンド装置とが設けられている。アップストリームチャンネルでは、データは複数のユーザ装置からヘッドエンド装置に伝送され、ダウンストリームチャンネルでは、データはヘッドエンド装置から複数のユーザ装置に伝送される。

【0005】

各ユーザ装置及び各ヘッドエンド装置は、複数のユーザ装置が送信可能なデータ量を最大化し、かつ、複数のユーザ装置における遅延時間を最小化するための媒体アクセスコントロール（MAC）を含んでいる。電力線ネットワークは、周波数分割多重及び時分割多重の少なくとも一方によりアップストリームチャンネル及びダウンストリームチャンネルに分割される。

【0006】

また、この方法では、OFDMA（直交周波数分割多重アクセス）、TDMA（時分割多重アクセス）及びCDMA（符号分割多重アクセス）のうちの少なくとも1つのアクセス方法を用いて、アップストリームチャンネルにおける複数のユーザ装置による同時アクセスが可能である。

【0007】

さらに、この方法では、搬送波ごとのビット数増大又はS/N向上により、OFDMシステムにおける各搬送波の伝送容量を増大させ、アップストリームチャンネル及びダウンストリームチャンネルの両方において伝送容量を最大化するように、各搬送波を、その時点で送信するデータを有する1つ又は複数のユーザ装置に対して動的に割り当てる基準をサポートしている。

【0008】

また、この方法では、データのタイプと送信を要求するユーザ装置とに依存してサービス品質（QoS）を調整することをサポートしている。サービス品質は、異なる瞬間における周波数応答と、複数のユーザ装置及びヘッドエンド装置の間の異なる距離とに従って適応化可能である。

【0009】

さらに、この方法では、システムの全帯域幅にわたって、複数のユーザ装置及びヘッドエンド装置によって観測されるS/Nを常に計算しかつモニタリングすることにより、個々の通信要求の間で、利用可能な帯域幅をヘッドエンド装置により動的に割り当てることをサポートしている。これにより、OFDMシステムにおけるすべての搬送波は、各瞬間における各ユーザ装置の送信の必要性和、当該ユーザ装置に対して確立されたサービス品質（QoS）パラメータと、システムの全容量を最大化する基準と、送信遅延時間を最小化する基準とに従って分配される。

【0010】

分配される伝送リソースは、OFDMAが使用される場合には1つのシンボルに係る複数の搬送波において、TDMAが使用される場合には時間的にシンボル間において、CDMAが使用される場合には複数の符号において、複数のユーザ装置間で再分配され、常に変化する電力線の品質パラメータを常にモニタリングすることにより再分配を最適化している（例えば、特許文献1参照。）。以下、この技術を第1の従来例と呼ぶ。

【0011】

ところで、大規模なシステム、特に、遊技機とサーバ等とをネットワークを介して接続したシステム（ホールシステム）では、遊技機の安全性確保や作業者の資格等のため、例えば、以下に示す遊技機用電源回路を用いて、AC100V単相2線又はAC100V単相3線の電圧をAC24Vの低電圧に変換して遊技機に供給している。すなわち、この遊技機用電源回路は、ステップダウン・トランス（AC24V変換トランス）の1次側にAC100Vの商用電源電圧を入力し、2次側から商用電源電圧より低く電力変換し、この2次側の交流電圧を整流回路と平滑回路により直流電圧に変換して出力するようにしている。この電源回路は、整流回路と平滑回路の間に力率改善機能を有する昇圧型チョッパ回路が設けられている（例えば、特許文献2参照。）。以下、この技術を第2の従来例と呼ぶ。

10

【0012】

また、受信側で受信信号のゲインを調整する手法としては、従来、主として、以下に示す2つがあった。第1は、無線LANのCSMA-CA方式で良く用いられている、記憶素子（メモリ）を持たずに過去リセット型の瞬時引き込み方式である。これは、無線LANでは、不特定多数の局からの接続が要求されるため、送信局を特定できない場合が多いとともに、電力線が雑音レベルが時々刻々変化する回線であるので、高速応答が要求されるため、過去をリセットした瞬時引き込みが有効であると考えられるからである。以下、この技術を第3の従来例と呼ぶ。

20

なお、先行技術調査を実施した限りでは、前述した第3の従来例の内容が具体的に記載された文献に関する情報は得られなかった。

【0013】

第2は、ポーリングシステムで用いられる、ポーリング受信方式である。ポーリングシステムでは、受信局側で事前に送信局が特定できるため、各送信局ごとのゲイン調整結果の情報を個々の受信局が記憶素子（メモリ）に常時記憶している。そして、ポーリングが行われるごとに、受信局は、記憶素子からゲイン調整結果の情報を読み出し、このゲイン調整結果の情報に基づき受信信号を受信し、受信結果に従って記憶素子に記憶されるゲイン調整結果の情報の更新（回線の適応動作）を行っている（例えば、特許文献3参照。）。以下、この技術を第4の従来例と呼ぶ。

30

【0014】

【特許文献1】特表2004-531944号公報

【特許文献2】特開平11-98685号公報

【特許文献3】特開2003-21888号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、前述したホール、学校、病院等の施設が大規模になるに従って、端末の台数も当然増大する。ホールでは、例えば、最大で2400台の遊技機が設置されることがある。ホールでは、複数の遊技機をひとまとまりとして「島」と呼び、この「島」を複数個設けることにより全体のシステムを構築しており、大規模なホールでは最大63個の「島」が設けられていることが想定される。したがって、最大で2400台の端末が接続されるシステムを構築するには、63個の「島」入口それぞれに63個の中継機を設置するとともに、各中継機に最大で64台の子機をそれぞれ設置する必要がある。

40

【0016】

このような大規模システムにおいては、特に、ホールシステムでは、前述した第2の従来例のように、AC24V変換トランスを用いて、AC24Vの低電圧を遊技機に供給している。第2の従来例では、スイッチング素子を有する昇圧型チョッパ回路やスイッチング電源回路等が設けられている。このため、例えば、図17に示すように、個々の遊技機から広帯域の時間長の短い（例えば、 $2\mu s$ ）インパルス性雑音が発生する。

【0017】

50

このインパルス性雑音は、AC 24 V 変換トランスを経由して電力線に重畳されるが、AC 24 V 変換トランスは、基本的に L（インダクタンス）であり、電力線は C（キャパシタンス）であるため、この LC で LPF が形成され、前述した広帯域の時間長の短いインパルス性雑音は、例えば、図 18 に示すように、狭帯域の時間長の長い（例えば、10 ~ 20 μ s）インパルス性雑音に変換される。この時間長が長いインパルス性雑音は、1 回に発生するエラー発生時間長が長くなるばかりでなく、複数のインパルス性雑音が重畳することになる。ホールシステムでは、このような時間長の長いインパルス性雑音に対しても安定したデータ通信を確保することが必要となる。

【0018】

この点、第 3 の従来例のような過去リセット型の瞬時引き込み方式は、不特定多数の遊技機から送信される不正情報に対応できるという利点があるが、前述した時間長の長いインパルス性雑音だけでなく、雑音全般に敏感であるという問題があった。これに対し、第 4 の従来例のようなポーリング受信方式では、長時間の積分動作が可能となるため、前述した時間長の長いインパルス性雑音に対しても安定動作が可能である。しかし、このポーリング受信方式では、回線への適応動作（追従速度）は、記憶素子（メモリ）の更新速度、すなわち、ポーリング周期により決定されるため、遊技機の台数が最大で 2400 台に増大した場合、不特定多数の遊技機から送信される不正情報に十分に対応できないとともに、各遊技機が備えるべき、ゲイン調整結果の情報を記憶する記憶素子（メモリ）のメモリ容量も子機の数（最大で 2400 台）だけ必要なため、コスト的にも問題であった。

【0019】

本発明は、前述した事情に鑑みてなされたものであり、前述のような問題を解決することを課題の一例とするものであり、これらの課題を解決することができる多重伝送装置及び多重伝送方法を提供することを目的とする。

【課題を解決するための手段】

【0020】

前述した課題を解決するために、請求項 1 記載の発明に係る多重伝送装置は、親機と、中継機と、前記中継機に属する複数の子機との間でデータ通信を行うデータ通信システムに備えられ、前記データを多重化し、伝送する多重伝送装置であって、受信信号から前記データを分離する多重分離処理部とを有し、前記多重分離処理部は、受信された時間軸上の全チャンネルの多重信号に対してゲイン調整を行う第 1 のゲイン調整手段と、前記時間軸上の全チャンネルの多重信号から変換された個々のチャンネルの周波数軸上の信号に対してゲイン調整を行う第 2 のゲイン調整手段とを有し、前記第 1 のゲイン調整手段は、リニアな前記受信信号を対数軸上の信号に変換し、前記対数軸上の信号に対してゲイン調整を行うことを特徴としている。

【0021】

また、請求項 2 に記載の発明は、請求項 1 に記載の多重伝送装置に係り、前記多重分離処理部は、前記チャンネル間で直交したトレーニング信号について前記個々のチャンネルの周波数軸上の信号に対してキャリアの位相及び振幅の調整を行う第 3 のゲイン調整手段を有していることを特徴としている。

【0022】

また、請求項 3 に記載の発明に係る多重伝送方法は、親機と、中継機と、前記中継機に属する複数の子機との間でデータ通信を行うデータ通信システムにおいて、前記データを多重化し、伝送する多重伝送方法であって、受信信号から前記データを分離する多重分離処理過程とを有し、前記多重分離処理過程は、受信された時間軸上の全チャンネルの多重信号に対してゲイン調整を行う第 1 のゲイン調整過程と、前記時間軸上の全チャンネルの多重信号から変換された個々のチャンネルの周波数軸上の信号に対してゲイン調整を行う第 2 のゲイン調整過程とを有し、前記第 1 のゲイン調整過程では、リニアな前記受信信号を対数軸上の信号に変換し、前記対数軸上の信号に対してゲイン調整を行うことを特徴としている。

【0023】

また、請求項 4 に記載の発明は、請求項 3 に記載の多重伝送方法に係り、前記多重分離処理過程は、前記チャンネル間で直交したトレーニング信号について前記個々のチャンネルの周波数軸上の信号に対してキャリアの位相及び振幅の調整を行う第 3 のゲイン調整過程を有していることを特徴としている。

【発明の効果】

【0024】

本発明によれば、親機と、複数の中継機と、各中継機に属する複数の子機を備えた大規模なシステムにおいて、瞬時引き込みが可能で、かつ、複数の時間長の長いインパルス性雑音に対する耐力を従来に比べて向上させることができるとともに、より安定したデータ通信を確保して実効速度を向上させることができる。

10

【発明を実施するための最良の形態】

【0025】

以下、図面を参照して本発明を実施するための最良の形態について説明する。

図 1 は、本発明の実施の形態に係る多重伝送装置を適用した PLC システムの概略構成の一例を示すブロック図である。本実施の形態に係る PLC システムは、最大で 2400 台の遊技機（端末）1 が設置されるホールに適用されるものである。各端末 1 には、それぞれ PLC モデム 61（図 3 参照）を有する子機 2 がそれぞれ接続されている。各端末 1 は、最大で 64 台がひとまとまりとなって島 3 を構成しており、各島 3 には、PLC モデム（図示略）を有する 1 台の中継機 4 が設けられている。島 3 は最大で 63 個設けられるため、中継機 4 は、最大で 63 台が必要となる。

20

【0026】

各中継機 4 は、AC100V の電力を供給するための電源ケーブル 5 を介して例えば、32 分岐回路 6 及び分岐アダプタ（分岐 ADP）7 に接続されている。32 分岐回路 6 は、後述するフロア入口分電盤 31 から供給される AC100V 単相 2 線又は AC100V 単相 3 線の電圧を最大で 32 分岐して、電源ケーブル 5 及び 8 を介して、それぞれ中継機 4、分岐 ADP 7 及び変圧器 9 に供給する。分岐 ADP 7 は、中継機 4 から電源ケーブル 5 を介して供給される信号を分岐して通信線 10 を介して各子機 2 に供給するとともに、各子機 2 から通信線 10 を介して供給される信号をまとめて電源ケーブル 5 を介して中継機 4 に供給する。変圧器 9 は、前述した AC24V 変換トランス等を有し、AC100V の電圧を AC24V に変換して、電源ケーブル 11 を介して各端末 1 に供給する。

30

【0027】

一方、当該ホールが入っている建物の、例えば、屋上には、受電設備（図示略）が設けられている。この受電設備には、受電設備内分電盤 21 が設けられている。受電設備内分電盤 21 は、変圧器 22 と例えば、6 分岐回路 23 とを有している。変圧器 22 は、外部から供給される AC6.6kV の電圧を AC100V の電圧に変換して電源ケーブル 24 を介して 6 分岐回路 23 に供給する。6 分岐回路 23 は、変圧器 22 から供給される AC100V の電圧を最大で 6 分岐して、電源ケーブル 25 を介してフロア入口分電盤 31 に供給する。

【0028】

フロア入口分電盤 31 は、1 個の例えば、32 分岐回路 32 と、複数個の例えば、32 分岐回路 33 と、親機 34₁ 及び 34₂ と、分岐アダプタ（分岐 ADP）35 とを有している。1 個の 32 分岐回路 32 と、複数個の 32 分岐回路 33 とは、それぞれ独立した電源ケーブル 25 を介して前述した 6 分岐回路 23 から AC100V の電力が供給されている。32 分岐回路 32 は、電源ケーブル 26 を介して親機 34₁ に AC100V の電力を供給している。この電源ケーブル 26 は、電源ケーブル 42 と接続されている。電源ケーブル 42 は、ホール内監視室 41 の壁コンセント 43 と接続されている。

40

【0029】

親機 34₁ は、PLC モデム（図示略）を有しており、ホール内監視室 41 から電源ケーブル 42 及び 26 を介して供給される信号及び親機 34₂ から信号線 37₁ を介して供給される信号に基づいて、各種信号処理を行う。一方、親機 34₂ も PLC モデム（図示

50

略)を有しており、親機34₁から信号線37₁を介して供給される信号及び分岐ADP35から通信線37₂を介して供給される信号に基づいて、各種信号処理を行う。また、親機34₂は、生成した信号を通信線37₂を介して分岐ADP35に供給する。分岐ADP35は、親機34₂から通信線37₂を介して供給される信号を分岐して電源ケーブル38を介して各32分岐回路33に供給するとともに、各32分岐回路33から電源ケーブル38を介して供給される信号をまとめて通信線37₂を介して親機34₂に供給する。

【0030】

ホール内監視室41には、サーバ44と、ホール内LAN45と、子機46とが概略設置されている。子機46は、PLCモデム61(図3参照)を有しており、電源ケーブル47及び差し込みプラグ48を介して壁コンセント43に接続されているとともに、通信線49を介してホール内LAN45に接続されている。サーバ44は、通信線50を介してホール内LAN45と接続されている。ホール内LAN45は、通信線51、WAN52及び通信線53を介して、リモート監視センタ内に設置されたセンタ内サーバ54に接続されている。

【0031】

図2は、本実施の形態に係るPLCシステムで送受信されるマスタフレームの構成の一例を示す図である。マスタフレームは、図2に示すように、同期信号としてのビーコン信号BC1及びBC2並びに特定中継機帯域等の送受信に用いられる同期信号エリアと、データの送受信に用いられるデータエリア等とから構成されている。

【0032】

ビーコン信号BC1は、親機34₁と子機46との間及び親機34₂と中継機4との間で同期をとるための同期信号である。一方、ビーコン信号BC2は、中継機4と当該中継機4に属する複数の子機2との間で同期をとるための同期信号である。図2から分かるように、ビーコン信号BC1は、同期信号としてのビーコン信号BC1と、ゲインスイッチ(GSW)に関する情報と、トレーニング信号TRと、データ(DT)とから構成されている。一方、ユーザデータは、ゲインスイッチ(GSW)に関する情報と、トレーニング信号TRと、データ(DT)とから構成されている。以上説明した信号は、マスタフレームに同期してタイムスロットが時間軸上で固定されている。

【0033】

一方、特定中継機帯域は、中継機4と当該中継機4に属する子機2との間における送信権に関する情報が含まれる。すなわち、中継機4の制御プログラムは、この特定中継機帯域を、親機34₂から送信されたアドレス情報を当該中継機4に属する子機2に送信するための帯域として使用する。この特定中継機帯域を、第2の送信権タイムスロットになる。そして、この特定中継機帯域が設けられていることにより、親機34₂から送信された送信権情報はある特定の中継機4のみが送信可能であるので、すべての中継機4から送信される信号が衝突することはない。この特定中継機帯域は、各中継機4において、親機34₂からの送信権情報を当該中継機4に属する子機2に転送する場合や、当該中継機4に属する子機2からのイベント情報を親機34₂に転送する場合に使用される。以上説明した特定中継機帯域は、ゲインスイッチ(GSW)に関する情報と、トレーニング信号TRと、データ(DT)とから構成されている。また、ユーザデータは、ゲインスイッチ(GSW)に関する情報と、トレーニング信号TRと、データ(DT)とから構成されている。以上説明した信号は、マスタフレームに同期してタイムスロットが時間軸上で固定されている。

【0034】

前述したゲインスイッチ(GSW)に関する情報は、受信側において、受信信号のゲイン調整をするために用いられる。トレーニング信号TRは、ユーザデータの受信に先立って行われるトレーニングに用いられるものである。以上説明した信号は、マスタフレームに同期してタイムスロットが時間軸上で固定されている。

【0035】

親機 3 4₂、中継機 4 又は子機 2 は、親機 3 4₂、中継機 4 又は子機 2 から全チャネルを使用して送信されるトレーニング信号 T R を用いて、データ伝送路としてのキャリア位相及びキャリア振幅の各種引き込み動作の確立をチャネル単位で実施することにより、データ通信を確立する。

【0036】

図 3 は、子機 2 を構成する P L C モデム 6 1 の構成の一例を示すブロック図である。P L C モデム 6 1 は、ディジタル部 6 2 と、アナログ部 6 3 と、電源部 6 4 と、送信ドライバ回路 (D V) 6 5 と、トランス 6 6 と、コモンモードチョーク (C M C) 6 7 と、接続部 6 8 とから構成されている。

【0037】

ディジタル部 6 2 は、P L C メディアアクセス (P L C - M A C) 制御部 7 1 と、多重化処理部 7 2 と、多重分離処理部 7 3 とから概略構成されている。P L C - M A C 制御部 7 1 は、接続部 6 8 を介して外部と送受信データの授受を行うとともに、C P U 等からなるコントローラ 8 5 からの指示に基づいて、時分割処理等を行い、コントローラ 8 5 からの制御データの転送やユーザデータのタイムスロット管理を実施する。多重化処理部 7 2 は、送信データを多重化して送信する。多重分離処理部 7 3 は、受信信号を分離して受信データとする。多重分離処理部 7 3 の構成については、後述する。

【0038】

多重化処理部 7 2 は、スクランブラ (S C R) ・和分回路 7 4 と、信号点発生部 7 5 と、逆高速フーリエ変換部 (I F F T) 7 6 と、変調部 (M O D) 7 7 と、D / A 変換器 7 8 とから構成されている。スクランブラ (S C R) ・和分回路 7 4 は、P L C - M A C 制御部 7 1 からの送信データをランダム化し、送信スペクトルの安定化又は漏洩電界の安定化を実現するとともに、回線変動に耐えるべく位相和分を行う。

【0039】

信号点発生部 7 5 は、複数チャネルの送信信号点を発生するとともに、必要に応じて、ノッチの生成やスペクトル拡散等を行う。また、信号点発生部 7 5 は、同期信号であるビーコン信号 B C 1 及び B C 2 を発生する。

【0040】

I F F T 7 6 は、信号点発生部 7 5 から供給される複数チャネルの送信信号点である周波数軸上の信号を、時間軸上の信号に変換する。M O D 7 7 は、I F F T 7 6 から供給される時間軸上の信号を波形整形した後、変調する。I F F T 7 6 及び M O D 7 7 は、信号点を時間軸上はナイキスト時間間隔で、かつ、周波数軸上はナイキスト周波数間隔で多重化するように構成されている。D / A 変換器 7 8 は、M O D 7 7 からの変調信号をアナログ信号に変換する。

【0041】

アナログ部 6 3 は、ローパスフィルタ (L P F) 8 1 と、フィルタ 8 2 と、アナログゲインスイッチ (A G S W) 8 3 と、V C X O 8 4 とから構成されている。L P F 8 1 は、多重化処理部 7 2 から供給されるアナログ信号上の不要帯域を除去する。フィルタ 8 2 は、例えば、ハイパスフィルタ (H P F) や L P F 等からなり、C M C 6 7 及びトランス 6 6 とを介して入力された受信信号より不要な低域成分及び高域成分を除去する。

【0042】

A G S W 8 3 は、例えば、オペアンプと、複数の抵抗と、スイッチとから構成されている。A G S W 8 3 は、フィルタ 8 2 から供給される受信信号を多重分離処理部 7 3 を構成する変換 R O M 1 0 9 (図 4 参照) から供給されるゲイン調整信号により所望のレベルまで増幅して出力する。V C X O 8 4 は、多重分離処理部 7 3 を構成する P L L 回路 9 9 (図 4 参照) から供給されるアナログ信号 (電圧) に基づいて、所定の発振周波数の基準クロックを生成して A / D 変換器 9 1 に供給する。

【0043】

図 3 に示す接続部 6 8 は、端末 1 側からインターフェイス 8 6 を介して入出力される信号について、フィルタリング処理、フラグメント処理、再送処理、暗号化処理及びスイッ

10

20

30

40

50

チング処理等を行う P L C スイッチ部 (P L C - S W) 8 7 を有している。

【 0 0 4 4 】

電源部 6 4 は、例えば、 D C 電圧 5 V の動作電圧を各部に供給する電源出力部 8 8 と、スイッチング電源で構成された電源出力部 8 8 のスイッチング雑音の漏洩を抑制する電源フィルタ 8 9 とを有している。送信ドライバ回路 6 5 は、 L P F 8 1 から供給される信号を増幅した後、トランス 6 6 及び C M C 6 7 を介して A C 1 0 0 V の屋内配電線側に送信する。

【 0 0 4 5 】

次に、多重分離処理部 7 3 の構成の一例について、図 4 を参照して説明する。図 4 において、図 3 の各部に対応する部分には同一の符号を付け、その説明を省略する。多重分離処理部 7 3 は、 A / D 変換器 9 1 と、復調部 (D E M) 9 2 と、 L P F 9 3 と、デジタルゲインスイッチ (D G S W) 9 4 と、高速フーリエ変換部 (F F T) 9 5 と、タイミングゲインスイッチ (T I M G S W) 9 6 と、デコーダ (D E C) 9 7 と、タイミング抽出部 (T I M 抽出部) 9 8 と、 P L L 回路 9 9 と、 D C 成分平均値算出回路 1 0 0 と、遅延回路 1 0 1 と、加算器 1 0 2 と、絶対値平均値算出回路 1 0 3 と、 d B 変換回路 1 0 4 と、 5 M F (メディアンフィルタ) 1 0 5 と、正規化回路 1 0 6 と、制御回路 1 0 7 と、 d B 差分検出回路 1 0 8 と、変換 R O M 1 0 9 とから構成されている。

【 0 0 4 6 】

図 4 に示す構成要素のうち、 A G S W 8 3 、 A / D 変換器 9 1 、 D E M 9 2 、 L P F 9 3 、 D G S W 9 4 、 D C 成分平均値算出回路 1 0 0 、遅延回路 1 0 1 、加算器 1 0 2 、絶対値平均値算出回路 1 0 3 、 d B 変換回路 1 0 4 、 5 M F 1 0 5 、正規化回路 1 0 6 、制御回路 1 0 7 、 d B 差分検出回路 1 0 8 及び変換 R O M 1 0 9 は、第 1 のゲイン調整手段 (時間軸上のゲイン調整手段) としての A / D - G S W を構成している。

【 0 0 4 7 】

A / D 変換器 9 1 は、 A G S W 8 3 からの受信信号を、例えば、 1 2 ビットのデジタル受信信号に変換する。 D E M 9 2 は、 A / D 変換器 9 1 からのデジタル受信信号の中心キャリア成分の余弦関数成分及び正弦関数成分で復調してベースバンド信号とする。 L P F 9 3 は、 D E M 9 2 からのベースバンド信号から不要な高調波や A / D 変換器 9 1 等で発生している D C 成分を不要帯域成分として除去し、所望のベースバンド信号を得る。 D G S W 9 4 は、 L P F 9 3 からのベースバンド信号のゲインを変換 R O M 1 0 9 から供給されるゲイン調整信号により調整して出力する。

【 0 0 4 8 】

以上説明したように、ゲインスイッチにおけるゲイン調整をアナログ側の A G S W 8 3 とデジタル側の D G S W 9 4 とに 2 分し、デジタル側の D G S W 9 4 による制御を D E M 9 2 及び L P F 9 3 の後段に配置している。この結果、ゲイン調整をアナログ側で切り替える時に D C 過渡応答がある場合でも、受信信号が、 D E M 9 2 及び L P F 9 3 等で飽和することなく、安定したゲイン調整が可能となる。

【 0 0 4 9 】

F F T 9 5 は、 D G S W 9 4 からの 1 6 ビットの時間軸上の信号を個々のチャンネルの例えば、 2 2 ビットの周波数軸上の信号に変換する。 T I M G S W 9 6 は、第 2 のゲイン調整手段 (周波数軸上のゲイン調整手段) であり、 T I M - G S W 制御時には、 F F T 9 5 から供給される個々のチャンネルの例えば、 2 2 ビットの周波数軸上の信号について、周波数軸上でゲインを粗調整した後、周波数軸上で位相及び振幅に関しゲインを微調整する。 T I M G S W 9 6 の構成については、後述する。

【 0 0 5 0 】

D E C 9 7 は、まず、 T I M G S W 9 6 からの周波数軸上の信号について受信信号点を判定する。次に、 D E C 9 7 は、受信信号点を判定した信号の位相差分をとった後、ランダム化されていた状態を元に戻すことにより、送信データを再生する。この送信データは、図 3 に示す P L C - M A C 制御部 7 1 及び接続部 6 8 を介して端末 (図示略) へ転送される。

10

20

30

40

50

【0051】

TIM抽出部98は、TIMGSW96からの個々のチャンネルの周波数軸上の信号に基づいて、同期信号であるビーコン信号BC1及びBC2について処理を行い、ビーコン信号BC1及びBC2を検出する。PLL回路99は、電圧制御型水晶発振器(VCXO)84を制御して、所望の同期を確立する。

【0052】

DC成分平均値算出回路100は、A/D変換器91からの12ビットのデジタル信号の例えば、64サンプル分を加算して例えば、18ビットのDC成分を出力する。遅延回路101は、A/D変換器91からの12ビットのデジタル信号の64サンプル分を遅延する。加算器102は、遅延回路101から供給される12ビットのデジタル信号の64サンプル分から、DC成分平均値算出回路100で算出した18ビットのDC成分を減算して例えば、19ビットのデジタル信号を出力する。DC成分平均値算出回路100、遅延回路101及び加算器102は、DC成分除去回路を構成している。

10

【0053】

前述したDC成分平均値算出回路100では、加算数値を2のべき乗に設定しているため、平均値は単純なビットシフト(64サンプル=6ビットシフト)で割り算が可能であり、瞬時に平均値を得ることができる。この平均値は、A/D変換器91で発生しているDC過渡応答やDCオフセットであるため、実際の受信レベルからすると雑音成分となる。このようなことから、前述したDC成分を除去するため、遅延回路101を設けるとともに、この遅延回路101の出力から、DC成分平均値算出回路100で算出したDC成分を加算器102で減算しているのである。

20

【0054】

絶対値平均値算出回路103は、加算器102からの19ビットのデジタル信号の絶対値をとった後、この絶対値信号を512サンプル分加算し、平均値を算出する。絶対値平均値算出回路103から出力されるデジタル信号のビット数は28ビットである。時間軸上のアナログ信号はスカラー信号であるとともに、厳密な二乗パワー信号は不要なため、絶対値平均値算出回路103は、簡単な構成で前述したデジタル信号の絶対値をとる。この絶対値平均値算出回路103でも、加算数値を2のべき乗に設定しているため、平均値は単純なビットシフト(512サンプル=9ビットシフト)で割り算が可能であり、瞬時に平均値を得ることができる。

30

【0055】

ここで、図5に絶対値平均値算出回路103から出力される28ビットのデジタル信号 D_{LIN} の構成の一例を示す。第0ビット～第3ビットは不問(X)、第4ビット～第9ビットは第10ビットである「1」以下の下位ビット、第10ビットは「1」、第11ビット～第27ビットは最大で21個の「0」で構成される。

【0056】

ここで、28ビットのデジタル信号が図5に示すように構成される理由について以下に説明する。まず、28ビットという数値は、入力ビット数から絶対値処理や加算処理等を実施した時の単純必要ビット数である。次に、「0」ビット数の数(今の場合、最大で21個)は、本実施の形態に係るPLCモデム61において、どの程度の追従範囲を確保できるように設計するかに基づいて決定される。演算結果は絶対値化しているので、入力レベルが6dB変化すると、1ビット分だけ「0」の数が増える。信号がどれだけ微小であっても、下位ビット側に一般に「1」が現れることになる。この「1」の数を何ビットとするかにより、本実施の形態に係るPLCモデム61の精度が決定される。本実施の形態に係るPLCモデム61において、「1」の数を6ビットとしたは、このビット数であれば所望の精度は確保できると発明者らが判断したためである。このビット数を増やせば増やすほど精度は向上するが、逆に変換ROMの記憶容量が増大する。

40

【0057】

dB変換回路104は、28ビットのリニアなデジタル信号 D_{LIN} を7ビットの対数軸上のデジタル信号 D_{LOG} に変換する。図6は、dB変換回路104の構成の一例

50

を示すブロック図である。dB変換回路104は、ゼロカウンタ111と、下位ビット抽出回路112と、変換ROM113及び114と、加算器115とから構成されている。

【0058】

ゼロカウンタ111は、絶対値平均値算出回路103から供給されるデジタル信号 D_{LIN} の上位ビットの「0」の数（カウント値）をカウントする。下位ビット抽出回路112は、前述したデジタル信号 D_{LIN} の例えば、第10ビットである「1」以下の下位6ビット（第4ビット～第9ビット）の値（抽出ビット情報）を抽出する。変換ROM113は、ゼロカウンタ111から供給されるカウント値を7ビットの情報に変換する。変換ROM114は、下位ビット抽出回路112から供給される抽出ビット情報を3ビットの情報（0～6 dB）に変換する。加算器115は、変換ROM113から供給される7ビットの情報と、変換ROM114から供給される3ビットの情報を加算した後、最終的に7ビットの情報（128 dB）に変換して出力する。

10

【0059】

28ビットのデジタル信号 D_{LIN} の「0」の数が最大で21個であるということは、1ビットが6 dBであるので、全部で126 dB（21ビット×6 dB）となる。一方、A/D-GSWでは、必要とするダイナミックレンジは、例えば、A/D変換器91の分解能が12ビットである場合、ピークS/Nは（6×12+2）dB=74 dBである。したがって、126 dBあれば十分である。出力を6ビットとした場合、64通り1 dB単位の精度であれば、64 dBの範囲となり、不足する。そこで、変換ROM113がゼロカウンタ111からのカウント値として7ビットを確保すれば、128 dBの範囲をカバーでき、分解能が12ビットであるA/D変換器91の情報に対してフルに対応可能となる。

20

【0060】

一方、「1」以下の下位6ビット（例えば、第4ビット～第9ビット）はリニアの情報であるが、「0」の数が1個で6 dBに相当するので、下位6ビットは必ず6 dBの変化範囲に入ることになる。この6 dBの変化範囲において、例えば、±0.5 dBの精度を確保する場合には、対数軸でも12通り（6/0.5=12）の情報が必要である。一方、下位6ビットは対数リニアではないので、多少多めの6ビット情報として所望の精度±0.5 dBを確保している。その結果、1 dB単位の情報で0～6 dBをカバーできれば良いので、最低3ビットあれば十分である。このように構成したことにより、少ない記憶容量と小さな回路規模で高精度の制御を実現することができる。

30

【0061】

以上説明した構成を有するdB変換回路104を、図4に示すように、A/D-GSWの制御ループに設けることにより、この後の処理をリニア制御でなく、すべて対数リニア制御とすることができる。また、対数処理であるので、リニア信号の演算における乗算及び除算が対数信号では加算及び減算となるので、高価な乗算器及び除算器に換えて、極めて簡単で安価な加算器及び減算器を用いて高精度のゲイン制御をすることができる。この結果、多重分離処理部73では、高価な乗算器はDGSW94に1個設けるだけで良く、安価に構成することができる。また、dB変換回路104により、演算ビット数も28ビットから7ビットに変換されるので、dB変換回路104より後段の回路を極めて簡単な構成で実現することができる。

40

【0062】

5MF105は、dB変換回路104から供給される7ビットの対数的な連続する5つの平均レベル値の中から中央の平均レベル値を抽出する。ここで、メディアンフィルタ（MF）とは、入力信号の時間軸上の前後に一定の領域（ウィンドウ）を設定し、各信号が有しているデータをウィンドウ内の全データのメディアン（中央値）に置き換える処理を行うものをいう。この5MF105において、最大2つの非同期のインパルス性雑音が除去される。

【0063】

正規化回路106は、安定したレベル制御を実現するために、5MF105から供給さ

50

れる平均レベル値（A/D変換器91に入力されたレベル情報）から回線上の受信レベル情報を復元する。図7は、正規化回路106の構成の一例を示すブロック図である。正規化回路106は、図7の例では、加算器116により構成されている。回線上の受信レベル情報は、A/D変換器91の入力レベルから、AGSW83で信号増幅に用いたゲイン信号に対応したレベル情報を減算したレベル情報となる。したがって、正規化回路106、すなわち、加算器116は、5MF105から供給される7ビットの5MF出力信号から、制御回路107から供給される6ビットのゲイン信号を対数軸上で減算し、最終的な8ビットの正規化信号（回線上の受信レベル情報）を得る。

【0064】

dB差分検出回路108は、図8に示すように、遅延回路117と、加算器118及び119と、極性判定回路120とから構成されている。遅延回路117は、正規化回路106から供給される正規化信号のレベルを1サンプル分だけ遅延する。加算器118は、正規化回路106から供給される正規化信号のレベルから、遅延回路117から供給される1サンプル前の正規化信号のレベルを減算する。加算器119は、加算器118から供給される減算結果から所定の閾値を減算する。極性判定回路120は、加算器119から供給される減算結果に基づいて、極性判定を行うことにより、何らかの受信信号が到来したことを認識して、dB差分検出信号DdBを出力する。このdB差分検出信号DdBは、例えば、CSMA-CA方式を採用した際にキャリアセンス信号として用いられる。

【0065】

ここで、dB差分検出回路108を設ける理由について説明する。電力線では雑音レベルが時々刻々変化しており、かつ、雑音レベルが高いので、絶対レベルでキャリアの存在を検出することは困難である。このため、キャリアを受信開始したか否かをできるだけ精度よくキャッチできるように、相対レベル変化を用いる。そこで、dB差分をとることにより、受信信号到来時に相対レベルの変化が現れるので、これを検出する。前述した閾値は設計者がシステム要件を見ながら決定するが、例えば、6dB前後の値を用いれば良い。

【0066】

極性判定回路120では、例えば、受信信号が到来前はdB差分値が負の値になり、受信信号が到来した時点ではdB差分値が正の値になるので、受信信号の到来を認識する。受信信号受信時には、同じレベルで相対レベルの変化は発生しないので、極性判定結果は負の状態となる。そこで、極性判定回路120では、加算器119の減算結果が負である場合に負の極性であると判定し、この判定結果に基づいて受信信号が到来したこと認識して、dB差分検出信号DdBを出力するのである。

【0067】

制御回路107は、図9に示すように、変換回路121と、保持回路122と、中間値記憶回路123と、セクタ124と、制限回路125とから構成されている。変換回路121は、図3に示すコントローラ85から供給される外部制御信号EXCの立ち上がりエッジをトリガとして一定の時間幅のパルスからなるセレクト信号SELを生成する。また、変換回路121は、前述した外部制御信号EXCの立ち上がりエッジをトリガとして一定時間経過後、正規化信号を更新保持可能なタイミングで正規化信号保持信号NSMを生成する。

【0068】

保持回路122は、正規化回路106から供給される正規化信号を、変換回路121から供給される正規化信号保持信号NSMに基づいて、更新信号として保持する。このような処理を行うのは以下に示す理由による。すなわち、例えば、図10(1)に示す構成を有するマスタフレームが供給された場合のみに、このマスタフレームのA/D-GSW部の時間領域においてのみ、図10(2)に斜線で示すように、図4に示すA/D-GSWのゲインを更新する必要があるが、他の時間領域では当該A/D-GSWのゲインを固定しておく必要があるからである。

【0069】

10

20

30

40

50

図 9 に示すセクタ 1 2 4 には、保持回路 1 2 2 に保持された更新信号が供給されるとともに、中間値記憶回路 1 2 3 に予め記憶された中間値が供給される。セクタ 1 2 4 は、変換回路 1 2 1 から供給されるセレクト信号 S E L のパルス幅の時間帯（図 1 5（8）の“H”レベルの期間参照）においてのみ、中間値を選択して出力する。以上説明した処理を行う理由について、以下に説明する。

【0070】

A/D変換器 9 1 のカバー範囲は、分解能が例えば 1 2 ビットである場合、 $12 \times 6 \text{ dB} + 2 \text{ dB} = 74 \text{ dB}$ であり、1 0 0 d B レベルの信号を扱う場合には、ダイナミックレンジが不足している。また、本実施の形態では、A/D-G S W はフィードバック構成となっているので、A/D変換器 9 1 がアナログ信号を実際にディジタル信号に変換しない限り、正確な補正をすることができない。

10

【0071】

一方、幅広い範囲で補正を行う場合、例えば、A/D変換器 9 1 が高いゲインで待機している場合には、微小信号の取込みは可能であるが、逆に巨大な受信信号受信時には信号が飽和して正確な補正が不可能となる。これに対し、A/D変換器 9 1 が低いゲインで待機している場合には、巨大な受信信号の取込みは可能であるが、微小信号は取り込めなくなる。

【0072】

そこで、広いダイナミックレンジを確保するとともに、広範囲のゲイン調整において 1 回の制御（信号受信）で最終値を正確に設定するために、制御の開始時に A G S W 8 3 のゲイン制御点を制御の中間点（デシベル中央値）に設定して待機するのである。これにより、レベルの大きい受信信号が入力された場合でもレベルの小さい受信信号が入力された場合でも、必ず、A/D変換器 9 1 からのディジタル信号に変換された受信信号のレベルを正確に把握することができ、受信ダイナミックレンジを最大限に確保することができる。

20

【0073】

図 9 に示す制限回路 1 2 5 は、セクタ 1 2 4 から供給される更新信号又は中間値に基づいて、A G S W 8 3 及び D G S W 9 4 におけるゲイン調整内容を所望の範囲内に制限するとともに、正規化回路 1 0 6（図 4 及び図 7 参照）に供給すべき 6 ビットのゲイン信号と、変換 R O M 1 0 9（図 4 参照）の 7 ビットのアドレス信号を出力する。

30

【0074】

図 4 に示す変換 R O M 1 0 9 は、制御回路 1 0 7 から供給される 7 ビットのアドレス信号に基づいて、A G S W 8 3 に供給すべき 7 ビットのゲイン調整信号と、D G S W 9 4 に供給すべき 1 6 ビットのゲイン調整信号をそれぞれ読み出して出力する。

【0075】

次に、図 4 に示す T I M G S W 9 6 の構成について図 1 1 を参照して説明する。T I M G S W 9 6 は、二乗回路 1 3 1 と、パワー（P W R）積分回路 1 3 2 と、ゼロカウンタ 1 3 3 と、ビットセクタ 1 3 4 と、下位ビット抽出回路 1 3 5 と、変換 R O M 1 3 6 と、乗算器 1 3 7 とから構成されている。

【0076】

二乗回路 1 3 1 は、図 4 に示す F F T 9 5 から供給される 2 2 ビットの周波数軸上の信号のリアル成分及びイマジナリ成分を二乗加算して例えば、4 5 ビットの二乗パワー（P W R）信号を得る。この 4 5 ビットの二乗 P W R 信号は、1 サンプル分のパワーである。P W R 積分回路 1 3 2 は、二乗回路 1 3 1 から供給される 4 5 ビットの二乗 P W R 信号のピークファクター成分及び雑音成分を除去するため、必要数分（例えば、1 0 サンプル分）の積分を行うことにより、1 0 サンプル分の 4 9 ビットの二乗和 P W R 信号を得る。

40

【0077】

ゼロカウンタ 1 3 3 は、P W R 積分回路 1 3 2 から供給される 4 9 ビットの二乗和 P W R 信号の上位ビットの「0」の数（カウント値）をカウントする。この場合、4 9 ビットの二乗和 P W R 信号は、二乗平均されているため、3 d B だけ信号レベルが低下すると

50

に上位ビットの「0」の数が増加していくこととなる。すなわち、信号レベルが3 dB低下すると「0」の数が1個だけ増加し、信号レベルが6 dB低下すると「0」の数が2個だけ増加することとなる。

【0078】

ビットセレクタ134は、第1のゲイン制御手段と呼ぶべきものであり、FFT95からの22ビットの周波数軸上の信号について、6 dB単位で対数リニアのレベル検出を行うことにより、ビット単位であって、かつ、幅で90 dBのゲイン制御を行う。ここで、図12に、PWR積分回路132から供給される49ビットの二乗和PWR信号の上位ビットの「0」の数（カウント値）の数に対応したビットセレクタ134の内容の一例を示す。図12から、上位ビットの「0」の数（カウント値）が2個増加するごとにビットシフト量を1ビット単位で増加させ、6 dB単位のゲイン制御を実現できることが分かる。

10

【0079】

ビットセレクタ134の入力ビット数は全部で22ビットであるため、ゲイン拡大量が少ない場合には、上位の16ビットを抽出して出力し、ゲイン拡大量が大きい場合には、上位の極性ビットと下位の15ビットを組み合わせ、そのうちの16ビットを選択して抽出している。このような処理を行うことにより、必要なゲイン制御を高価で規模の大きい乗算器を用いることなく実現することができ、回路の低価格化、小型化が実現可能となる。

【0080】

下位ビット抽出回路135は、前述したPWR積分回路132から供給される49ビットの二乗和PWR信号の上位ビットの「0」を除き、「1」以下の下位ビットのうち、必要ビット数分（例えば、6ビット分）の値（抽出ビット情報）を抽出する。ここで、下位ビット抽出回路135において、抽出ビット情報として6ビット分のビット抽出をしているのは、後述するように、出力レベル偏差を±0.5 dBに抑制するためである。

20

【0081】

変換ROM136は、第2のゲイン制御手段と呼ぶべきものであり、幅で6 dBのゲイン微調整を行うことにより、最終的な出力レベル偏差を±0.5 dBに抑制することができる。ここで、図13に変換ROM136の具体的な記憶内容の一例を示す。変換ROM136は、カウント値と、このカウント値が3 dB単位の情報又は6 dB単位の情報のいずれかを示す1ビットの情報とがゼロカウンタ133から供給されるとともに、前述した抽出ビット情報のうち、常時「1」である最上位ビットを除いた残りの5ビットが下位ビット抽出回路135から供給される。

30

【0082】

この結果、変換ROM136のアドレスは、「00」₁₆～「3F」₁₆の計64通りとなる。前述したゼロカウンタ133及び下位ビット抽出回路135では、カウント値及び抽出ビット情報が切り捨て操作により抽出されているため、変換ROM136のHEXアドレス「1F」₁₆で中心のほぼ0 dBとなり、HEXアドレス「00」₁₆で+3 dB、HEXアドレス「20」₁₆で最大の6 dBの補正量となる。

【0083】

図13は、HEXアドレスに対する二乗和PWR信号のHEX値、DEC値及び10進値の具体的な値のそれぞれの一例及び、これらの逆数値、ゲインdB値及び最終制御HEX値の具体的な数値のそれぞれの一例を示している。

40

【0084】

図11に示す乗算器137は、ビットセレクタ134から供給される16ビットの情報と、変換ROM136から供給される16ビットの情報とを乗算した後、乗算結果を最終的なTIMGSW96の出力信号として出力する。

【0085】

以下、本実施の形態について、前述した図1～図13の他、図14～図16をも参照してさらに詳細に説明する。本実施の形態は、親機と、複数の中継機と、各中継機に属する複数の子機を備えた大規模なシステムにおいて、例えば、図18に示すような複数の時間

50

長の長いインパルス性雑音が存在している環境下において安定した瞬時の引き込みを実現するとともに、安定したゲイン制御を実現して安定したデータ通信を確保することを目的としている。

【0086】

そこで、本実施の形態では、図10及び図16に示すように、時間軸上の全チャンネルの多重信号に対してゲイン調整を行うA/D-GSWによるゲイン調整と、FFT後の個々のチャンネルの周波数軸上の信号に対してゲイン調整を行うTIM-GSWによるゲイン調整と、チャンネル間で直交したトレーニング信号TRについて個々のチャンネルが干渉しない状態で最終的なキャリアの位相及び振幅の調整を行うトレーニング信号TRに関するゲイン調整とを行うことにより、全体のゲイン調整を行っている。なお、トレーニング信号TRに関するゲイン調整の詳細については、例えば、特開2007-325071号公報を参照されたい。

10

【0087】

図18に示す時間長の長いインパルス性雑音は、時間軸上の雑音であるので、時間軸上の多重信号に対してゲイン調整を行うA/D-GSWによるゲイン調整により調整する必要がある。これに対し、一般に、FFT処理が施された後の信号、例えば、512点FFT処理が施された後の信号の場合、時間軸上のインパルス波形のピーク値が512分の1に減衰する。したがって、FFT処理が施された後の信号のゲイン調整に関しては、前述した時間軸上の多重信号に対するゲイン調整と比較して、特別な処理は必要とされていない。

20

【0088】

本実施の形態では、一定の時間軸上の離隔（ガード時間）を確保した複数の平均レベル検出点を設けることにより、複数のインパルス性雑音が混入した場合でも、安定したレベル検出を実現することができる。ここで、図14にA/D-GSW制御のタイムチャート（マクロ）の一例を示すとともに、図15にA/D-GSW制御のタイムチャート（ミクロ）の一例を示す。図15において、「Avr. 1」～「Avr. 5」と示しているのは、5箇所の平均レベル検出点であり、各平均レベル検出点の間にガード時間が設けられている。

【0089】

例えば、理解を容易にするために、仮に2箇所の平均レベル検出点1及び2がガード時間を確保せずに連続している場合を考える。平均レベル検出点1と平均レベル検出点2との境界点にインパルス性雑音が混入した場合、両方の検出結果に雑音が混入してしまう。しかし、平均レベル検出点1と平均レベル検出点2との間に、例えば、16μsのガード時間を設けた場合、16μs以下の時間長を有するインパルス性雑音（図18参照）に対しては、平均レベル検出点1又は平均レベル検出点2のどちらかが影響を受けるが、両方が影響を受けることはない。

30

【0090】

そこで、本実施の形態では、前述したように、5箇所の平均レベル検出点を設け、それぞれの間に4個のガード時間を確保することにより、2個のインパルス性雑音が非同期で混入した場合でも、安定したゲイン調整をすることができる。

40

【0091】

また、本実施の形態では、前述した5箇所の独立した平均レベル検出点を設けるとともに、5MF105を設けているので、複数のインパルス性雑音に影響されることなく、安定してレベル検出をすることができる。前述したように、5箇所の独立した平均レベル検出点を設けることにより、5個の平均レベル値が得られるが、これらを5MF105に通過させることにより、中央値を選択することができ、2個のインパルス性雑音が混入した場合でも、安定したレベル検出が可能である。

【0092】

また、本実施の形態では、図4に示すように、受信データのパスではなく、A/D-GSWの制御ループ内に、DC成分平均値算出回路100、遅延回路101及び加算器10

50

2からなるDC成分除去回路を設けているので、DC成分除去時の劣化要因がなくなり、A/D変換器91で発生しているゲイン切替時のDC過渡応答やDCオフセットを効率よく高精度に除去が可能であり、受信データのパスに影響を与えることなく、安定した引き込みを実現することができる。

【0093】

また、本実施の形態では、A/D-GSWによるゲイン調整はフィードバック型としている（図4参照）が、TIM-GSWによるゲイン調整及びトレーニング信号TRに関するゲイン調整はいずれもフィードフォワード型としているので、瞬時引き込みが可能である。

【0094】

ここで、本実施の形態によるゲイン調整と、無線LANによるゲイン調整との相違について説明する。無線LANは、スロットタイムという時間間隔で時間軸がいわば量子化されている。この意味で同期は確立しやすいといえる。しかし、同期信号の前にCW（Contention window）という時間的可変要素が入っているため、トレーニング信号がどの時点で到来するかが不定である。このため、受信側では、常時広帯域の窓を設けてトレーニング信号を待ち受け、トレーニング信号が到来した場合には、ゲイン調整などを実施する。このように、常時トレーニング信号を待ち受けて検出するという点では、無線LANによるゲイン調整は雑音耐力が弱いといえる。

【0095】

これに対し、本実施の形態によるゲイン調整では、マスタフレームを用いてすべてのPLCモデムが同期しているので、すべてのPLCモデムで時間軸の共有が可能である。また、GSW等におけるトレーニング信号の伝送等は、すべてマスタフレームに同期し、送信点も受信点も時間軸を予め固定したポイントで行っている。このため、特別なトレーニング信号の検出等は不要であり、予め決められた時間軸で待ち受ける処理ができるため、無線LANのように、トレーニング信号の到来が不定である場合と異なり、本実施の形態によるゲイン調整は、無線LANに比較し、飛躍的に雑音耐力を向上させることが可能である。

【0096】

また、本実施の形態は、PLCシステムにおいて、PLCモデムと使用周波数帯域が重なる多数の他の端末と共存することを目的としている。

そこで、この目的を実現するために、本実施の形態では、図10及び図16に示すように、ゲイン制御をA/D-GSWによるゲイン調整と、TIM-GSWによるゲイン調整と、トレーニング信号TRに関するゲイン調整とを広範囲かつ瞬時に行っている。

【0097】

また、本実施の形態では、前述したように、A/D-GSWによるゲイン調整はフィードバック型としている（図4参照）が、TIM-GSWによるゲイン調整及びトレーニング信号TRに関するゲイン調整はいずれもフィードフォワード型としているので、広範囲かつ瞬時の引き込みが可能である。

また、本実施の形態では、図11に示すTIMGSW96において、ビットセクタ134からなる第1のゲイン制御手段と、変換ROM136からなる第2のゲイン制御手段とを設け、これらに対数制御とすることにより、極めて簡単な回路で高速かつ広範囲な制御を実現することができる。

また、本実施の形態では、図11に示すTIMGSW96において、二乗回路131からなるPWR算出手段と、PWR積分回路132とにより、高精度かつ広範囲の対数レベルでのパワー抽出を実現することができる。

【0098】

次に、前述した構成を有する多重分離処理部73及びその周辺の動作について説明する。図3に示すCMC67及びトランス66とを介して入力されたアナログの受信信号は、図3及び図4に示すフィルタ82により、不要な低域成分及び高域成分が除去される。このアナログの受信信号は、AGSW83において、変換ROM109から供給されるゲイ

10

20

30

40

50

ン調整信号により所望のレベルまで増幅されて出力される。このとき、図15に示すように、AGSW83のゲイン制御点は、制御の中間点（デシベル中央値）に設定される。

【0099】

次に、AGSW83から出力されたアナログの受信信号は、A/D変換器91において、例えば、12ビットのデジタル信号に変換される。A/D変換器91から出力された12ビットのデジタル信号は、DC成分平均値算出回路100において、例えば、64サンプル分が加算され、例えば、18ビットのDC成分として出力される。

【0100】

また、A/D変換器91から出力された12ビットのデジタル信号は、遅延回路101にも入力され、64サンプル分が所定時間遅延される。次に、加算器102において、遅延回路101から出力された12ビットのデジタル信号の64サンプル分から、DC成分平均値算出回路100から出力された18ビットのDC成分が減算され、例えば、19ビットのデジタル信号として出力される。以上説明した処理により、12ビットのデジタル信号から雑音成分であるDC成分が除去される。

【0101】

DC成分が除去された19ビットのデジタル信号は、絶対値平均値算出回路103において、絶対値がとられた後、512サンプル分が加算され、平均値が算出され、例えば、図5に示すような28ビットのリニアなデジタル信号 D_{LIN} として出力される。このリニアなデジタル信号 D_{LIN} は、dB変換回路104において、7ビットの対数軸上のデジタル信号 D_{LOG} に変換される。この実施の形態では、図15(5)～(7)に示すように、5箇所の平均レベル検出点と、各平均レベル検出点の間に4箇所のガード時間（例えば、16 μ s）とを設けている。

【0102】

次に、5MF105において、ガード時間により時間軸上で離隔された7ビットの対数的な5箇所の平均レベル値の中から中央の平均レベル値が抽出される。したがって、2箇所のインパルス性雑音が混入した場合でも、安定したレベル検出が可能であり、安定したゲイン調整をすることができる。

【0103】

正規化回路106では、5MF105から供給される7ビットの5MF出力信号から、制御回路107から供給される6ビットのゲイン信号が対数軸上で減算されることにより、最終的な8ビットの正規化信号（回線上の受信レベル情報）が復元される。

【0104】

次に、この正規化信号は、図8に示すdB差分検出回路108の加算器118において、遅延回路117で遅延された1サンプル前の正規化信号のレベルとの差が求められ、加算器119において、所定の閾値と減算される。この減算結果が極性判定回路120に入力され、極性判定が行われ、何らかの受信信号が到来したことが認識されて、dB差分検出信号DdBとして出力される。

【0105】

一方、図9に示す制御回路107の変換回路121では、図3に示すコントローラ85から供給される外部制御信号EXCの立ち上がりエッジをトリガとして、一定の時間幅のパルスからなるセレクト信号SELが生成されるとともに、この外部制御信号EXCの立ち上がりエッジをトリガとして一定時間経過後、正規化信号を更新保持可能なタイミングで正規化信号保持信号NSMが生成される。

【0106】

また、前述した正規化信号は、制御回路107に入力され、図9に示す制御回路107の保持回路122において、変換回路121から供給される正規化信号保持信号NSMに基づいて、更新信号として保持される。これにより、例えば、図10(1)に示す構成を有するマスタフレームが供給された場合のみに、このマスタフレームのA/D-GSW部の時間領域においてのみ、図10(2)に斜線で示すように、図4に示すA/D-GSWのゲインが更新され、他の時間領域で当該A/D-GSWのゲインが固定される。

【0107】

次に、図9において、セクタ124には、保持回路122に保持された更新信号が供給されるとともに、中間値記憶回路123に予め記憶された中間値が供給される。これにより、セクタ124からは、変換回路121から供給されるセレクト信号SELのパルス幅の時間帯（図15（8）の”H”レベルの期間）においてのみ、中間値が選択され、出力される。

【0108】

次に、制限回路125において、セクタ124から供給される更新信号又は中間値に基づいて、AGSW83及びDGSW94におけるゲイン調整内容を所望の範囲内に制限するとともに、正規化回路106（図4及び図7参照）に供給すべき6ビットのゲイン信号と、変換ROM109（図4参照）の7ビットのアドレス信号を出力する。

10

【0109】

前述した7ビットのアドレス信号が供給されると、変換ROM109は、AGSW83に供給すべき7ビットのゲイン調整信号と、DGSW94に供給すべき16ビットのゲイン調整信号をそれぞれ読み出して出力する。

以上説明した動作により、約208 μ sという短い時間帯に2つの非同期のインパルス性雑音が混入した場合でも、安定したゲイン調整が可能である。

【0110】

次に、図4に示すDEM92以降の動作について説明する。A/D変換器91でデジタル信号に変換された受信信号は、DEM92において、その中心キャリア成分の余弦関数成分及び正弦関数成分が復調され、ベースバンド信号となる。このベースバンド信号は、LPF93において、不要な高調波やA/D変換器91等で発生しているDC成分が不要帯域成分として除去され、所望のベースバンド信号となる。

20

【0111】

次に、LPF93から出力されたベースバンド信号は、DGSW94において、ゲインが変換ROM109から供給されたゲイン調整信号により調整される。

次に、DGSW94から出力された16ビットの時間軸上の信号は、FFT95において、個々のチャンネルの例えば、22ビットの周波数軸上の信号に変換される。この22ビットの周波数軸上の信号のリアル成分及びイマジナリ成分は、図11に示す二乗回路131において、二乗加算され、例えば、45ビットの二乗パワー（PWR）信号が生成される。

30

【0112】

次に、この45ビットの二乗PWR信号について、PWR積分回路132において、必要数分（例えば、10サンプル分）の積分が行われ、そのピークファクター成分及び雑音成分が除去され、10サンプル分の49ビットの二乗和PWR信号が生成される。

次に、PWR積分回路132から出力された49ビットの二乗和PWR信号の上位ビットの「0」の数（カウント値）がゼロカウンタ133においてカウントされる。

【0113】

一方、前述した22ビットの周波数軸上の信号は、ビットセクタ134において、6dB単位で対数リアのレベル検出が行われ、ビット単位であって、かつ、幅で90dBのゲイン調整が行われる。ビットセクタ134の入力ビット数は全部で22ビットであるため、ゲイン拡大量が少ない場合には、上位の16ビットを抽出して出力し、ゲイン拡大量が大きい場合には、上位の極性ビットと下位の15ビットを組み合わせ、そのうちの16ビットを選択して抽出している。

40

【0114】

また、前述したPWR積分回路132から出力された49ビットの二乗和PWR信号は、下位ビット抽出回路135において、「1」以下の下位ビットのうち、必要ビット数分（例えば、6ビット分）の値（抽出ビット情報）が抽出される。

【0115】

変換ROM136には、前述したカウント値と、このカウント値が3dB単位の情報又

50

は6 dB単位の情報のいずれかを示す1ビットの情報とがゼロカウンタ133から供給されるとともに、前述した抽出ビット情報のうち、常時「1」である最上位ビットを除いた残りの5ビットが下位ビット抽出回路135から供給される。この結果、変換ROM136のアドレスは、「00」₁₆～「3F」₁₆の計64通りとなる。

【0116】

次に、乗算器137では、ビットセクタ134から供給される16ビットの情報と、変換ROM136から供給される16ビットの情報とが乗算された後、乗算結果が最終的なTIMGSW96の出力信号として出力される。

【0117】

このように、本実施の形態によれば、親機と、複数の中継機と、各中継機に属する複数の子機を備えた大規模なシステムにおいて、瞬時引き込みが可能で、かつ、図18に示すような複数の時間長の長いインパルス性雑音に対する耐力が従来に比べて向上させることができる。 10

【0118】

また、本実施の形態によれば、前述した大規模なPLCシステムにおいて、時間軸上でゲイン調整するA/D-GSWと、周波数軸上でゲイン調整するTIM-GSW96を設け、これらを瞬時に調整可能としているので、時間軸上で安定したゲイン調整が行えるとともに、周波数軸上で安定した広範囲の高精度のゲイン調整が可能となる。この結果、例えば、多数のRFIDリーダ/ライターが稼働した環境下でも安定したデータ通信が実現可能となり、PLCモデムと使用周波数帯域が重なる多数の他の端末と共存することができる。 20

【0119】

以上、本発明の実施の形態について図面を参照して詳述してきたが、具体的な構成はこれらの実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。

例えば、上述した実施の形態では、VCXO84を設ける例を示したが、これに限定されず、VCXO84に換えて、ディジタル制御水晶発振器(DCXO)を設けても良い。VCXO84及びDCXOの両方を含む概念として、「可変発振器」を挙げることができる。 30

【0120】

また、上述した実施の形態では、子機2を構成するPLCモデム61の構成のみについて説明した。中継機4、親機34₁及び34₂並びに子機46を構成するPLCモデムの構成は、接続部68の構成以外は、前述したPLC61の構成と異なることはない。ただし、各PLCモデムが取り扱う信号、データや実行されるプログラム等が異なっている。

【図面の簡単な説明】

【0121】

【図1】本発明の実施の形態に係る多重伝送装置を適用したPLCシステムの概略構成の一例を示すブロック図である。

【図2】本実施の形態に係るPLCシステムで送受信されるマスタフレームの構成の一例を示す図である。 40

【図3】子機が有するPLCモデムの構成の一例を示すブロック図である。

【図4】図3に示すPLCモデムが有する多重分離処理部の構成の一例を示すブロック図である。

【図5】図4に示す多重分離処理部が有する絶対値平均値算出回路から出力される28ビットのディジタル信号D_{LIN}の構成の一例を示す図である。

【図6】図4に示す多重分離処理部が有するdB変換回路の構成の一例を示すブロック図である。

【図7】図4に示す多重分離処理部が有する正規化回路の構成の一例を示すブロック図である。 50

【図 8】図 4 に示す多重分離処理部が有する d B 差分検出回路の構成の一例を示すブロック図である。

【図 9】図 4 に示す多重分離処理部が有する制御回路の構成の一例を示すブロック図である。

【図 10】マスタフレームの構成の一例及びタイミングチャート（A/D-GSW パート）の一例を示す図である。

【図 11】図 4 に示す多重分離処理部が有する T I M G S W の構成の一例を示すブロック図である。

【図 12】図 11 に示す T I M G S W が有するビットセレクタの調整内容の一例を示す図である。

10

【図 13】図 11 に示す T I M G S W が有する変換 R O M の具体的な記憶内容の一例を示す図である。

【図 14】A/D-GSW 制御のタイムチャート（マクロ）の一例を示す図である。

【図 15】A/D-GSW 制御のタイムチャート（ミクロ）の一例を示す図である。

【図 16】マスタフレームの構成の一例及びタイミングチャート（T I M-GSW パート）の一例を示す図である。

【図 17】時間長が短いインパルス性雑音の波形の一例を示す図である。

【図 18】時間長が長いインパルス性雑音の波形の一例を示す図である。

【符号の説明】

【0122】

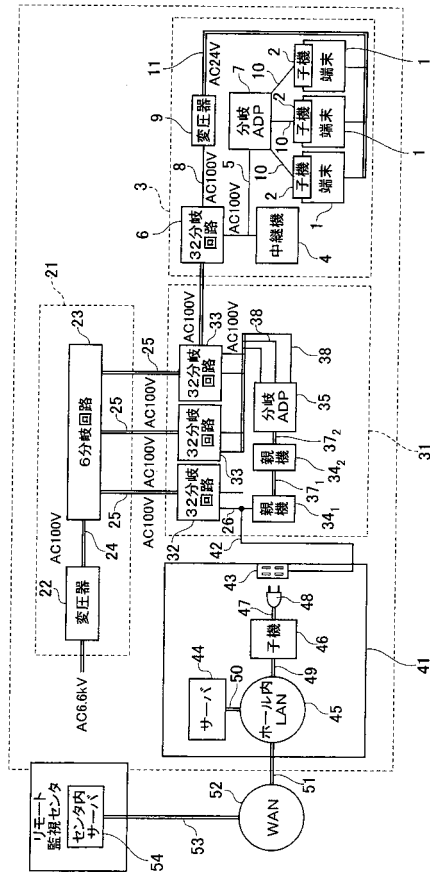
20

1…遊技機（端末）、2, 46…子機、3…島、4…中継機、5, 8, 11, 24, 25, 26, 38, 42, 47…電源ケーブル、6, 32, 33…32 分岐回路、7, 35…分岐アダプタ（分岐 A D P）、9…変圧器、10, 37₁, 37₂, 49, 50, 51, 53…通信線、21…受電設備内分電盤、22…変圧器、23…6 分岐回路、31…フロア入口分電盤、34₁, 34₂…親機、41…ホール内監視室、43…壁コンセント、44…サーバ、45…ホール内 L A N、48…差し込みプラグ、52…W A N、54…センタ内サーバ、61…P L C モデム、62…デジタル部、63…アナログ部、64…電源部、65…送信ドライバ回路（D V）、66…トランス、67…コモンモードチョーク（C M C）、68…接続部、71…P L C メディアアクセス（P L C-M A C）制御部、72…多重化処理部、73…多重分離処理部、74…スクランブラ（S C R）・和分回路、75…信号点発生部、76…逆高速フーリエ変換部（I F F T）、77…変調部（M O D）、78…D/A 変換器、81, 93…ローパスフィルタ（L P F）、82…フィルタ、83…アナログゲインスイッチ（A G S W）、84…電圧制御型水晶発振器（V C X O）、85…コントローラ（C P U）、86…インターフェイス、87…P L C スイッチ部（P L C-S W）、88…電源出力部、89…電源フィルタ、91…A/D 変換器、92…復調部（D E M）、94…デジタルゲインスイッチ（D G S W）、95…高速フーリエ変換部（F F T）、96…タイミングゲインスイッチ（T I M G S W）、97…デコーダ（D E C）、98…タイミング抽出部（T I M 抽出部）、99…P L L 回路、101…D C 成分平均値算出回路、101…遅延回路、102, 116, 118, 119…加算器、103…絶対値平均値算出回路、104…d B 変換回路、105…5 M F（メディアンプィルタ）、106…正規化回路、107…制御回路、108…d B 差分検出回路、109, 113, 114, 136…変換 R O M、111, 133…ゼロカウンタ、112, 135…下位ビット抽出回路、117…遅延回路、120…極性判定回路、121…変換回路、122…保持回路、123…中間値記憶回路、124…セレクタ、125…制限回路、131…二乗回路、132…パワー（P W R）積分回路、134…ビットセレクタ、137…乗算器

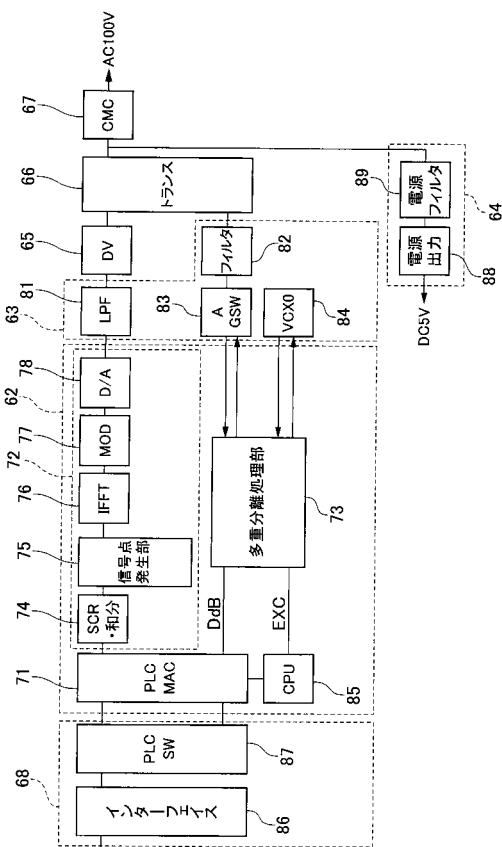
30

40

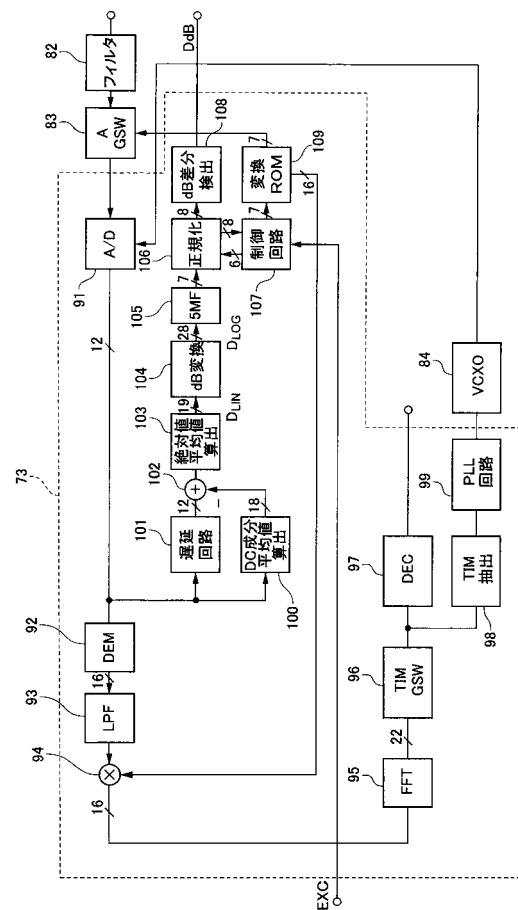
【図 2】



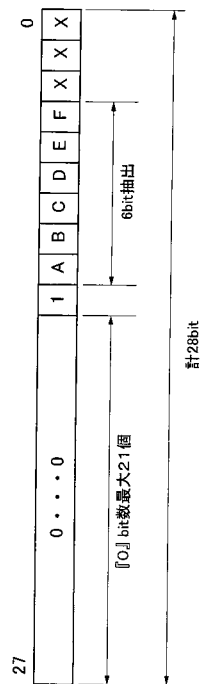
【図 3】



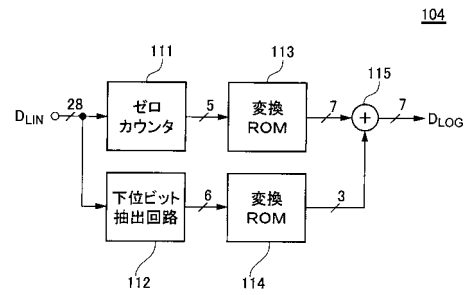
【 図 4 】



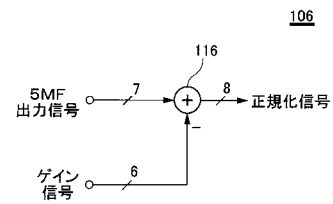
【図 5】



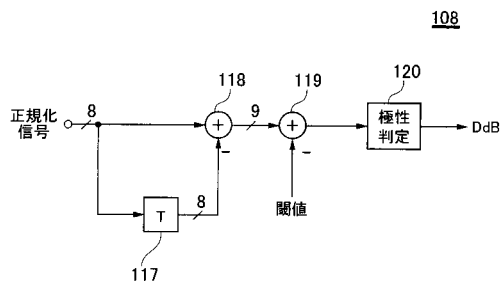
【図 6】



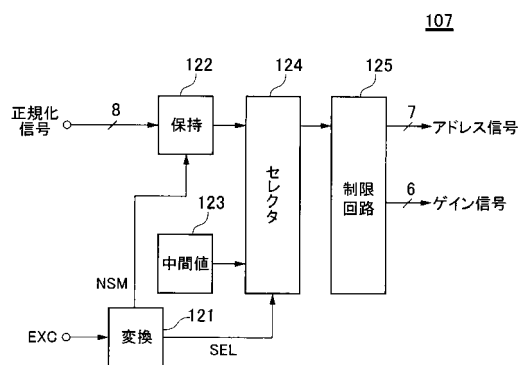
【図 7】



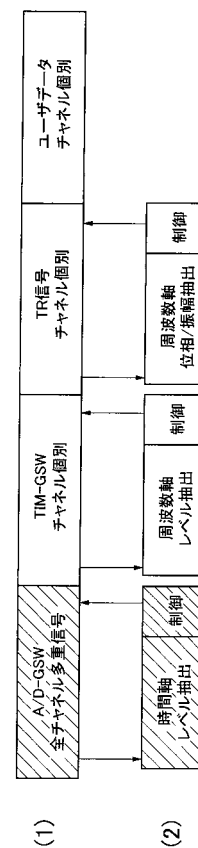
【図 8】



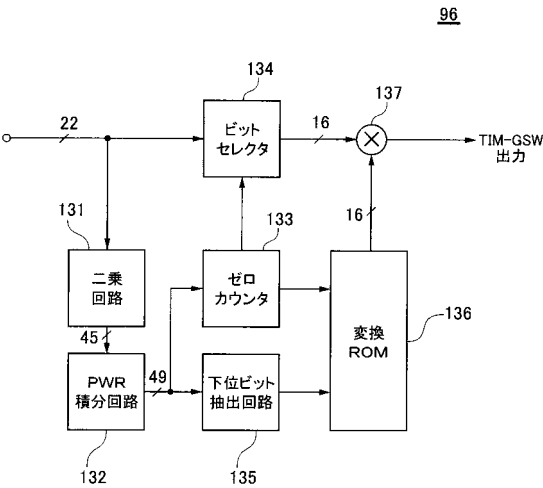
【図 9】



【図 10】



【図 1 1】



【図 1 2】

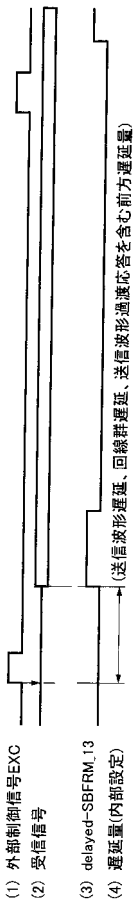
項	Oの数	ビットシフト量	ゲインdB
1	0,1		
2	2,3		
3	4,5		
4	6,7		
5	8,9	-3.0	-18.1
6	10,11	-2.0	-12.0
7	12,13	-1.0	6.0
8	14,15	0.0	0.0
9	16,17	1.0	6.0
10	18,19	2.0	12.0
11	20,21	3.0	18.1
12	22,23	4.0	24.1
13	24,25	5.0	30.1
14	26,27	6.0	36.1
15	28,29	7.0	42.1
16	30,31	8.0	48.2
17	32,33	9.0	54.2
18	34,35	10.0	60.2
19	36,37	11.0	66.2
20	38,39		
21	40,41	12.0	72.2

中心点

【図 1 3】

項	抽出Shift +上位bit HEXアドレス	Oの数が偶数 (000~301dB)		抽出Shift +上位bit HEXアドレス	Oの数が奇数 (301~602dB)		TBL値 HEX	TBL値 HEX
		DEC	数値		DEC	数値		
1	00	0727	1831	1413	3006	5A76	1413	7FE7
2	01	0744	1860	1391	2869	590D	1391	7D55
3	02	0760	1888	1371	2739	57B8	1371	7C12
4	03	077B	1915	1351	2616	567E	1351	7A54
5	04	0796	1942	1333	2494	554A	1333	78A3
6	05	07B1	1969	1314	2374	541F	1314	76FD
7	06	07CC	1996	1297	2256	52FB	1297	7563
8	07	07E5	2022	1280	2144	51EA	1280	73E8
9	08	0800	2048	1264	2033	50E0	1264	7263
10	09	0819	2073	1248	1927	4FE6	1248	70FB
11	0A	0832	2098	1234	1823	4EF3	1234	6F80
12	0B	084B	2123	1219	1720	4E05	1219	6E59
13	0C	0863	2147	1205	1623	4D25	1205	6D1D
14	0D	087C	2172	1192	1522	4C42	1192	6B05
15	0E	0894	2196	1179	1427	4B6D	1179	6A99
16	0F	08AB	2219	1166	1336	4AA5	1166	6991
17	10	08C3	2243	1154	1243	49D8	1154	686F
18	11	08DA	2266	1142	1154	4918	1142	6764
19	12	08F1	2289	1131	1066	485C	1131	66AE
20	13	0908	2312	1119	0980	47A4	1119	65AE
21	14	091F	2335	1108	0894	46EF	1108	6452
22	15	0935	2357	1088	0812	4646	1088	6366
23	16	094B	2379	1068	0731	459F	1068	6279
24	17	0961	2401	1078	0651	44FC	1078	618C
25	18	0977	2423	1068	0572	445C	1068	60B1
26	19	098C	2444	1059	0497	43C5	1059	5FDA
27	1A	09A2	2466	1049	0419	432B	1049	5E07
28	1B	09B7	2487	1041	0346	4299	1041	5D37
29	1C	09CC	2508	1032	0273	420B	1032	5C83
30	1D	09E1	2528	1023	0200	417E	1023	5BEA
31	1E	09F3	2549	1015	0132	40FB	1015	5B28
32	1F	0A0A	2570	1007	0061	4073	1007	

【図 1 4】



フロントページの続き

(72)発明者 伊藤 等

東京都中央区京橋二丁目14番1号 株式会社ネットインデックス・イー・エス内

(72)発明者 小川 透

熊本県熊本市城山大塘二丁目1-14

Fターム(参考) 5K022 DD01 DD13 DD19 DD23 DD33

5K028 AA11 BB02 CC05 DD01 DD02 KK01 KK03

5K046 AA03 PS03 PS34