

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/10/19	2000-319269	有
日本 JP	2000/11/16	2000-349627	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

發明領域：

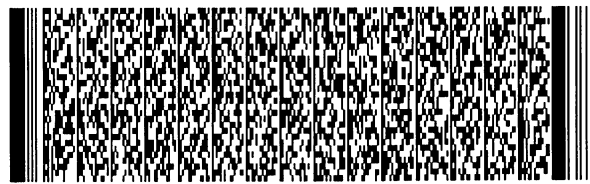
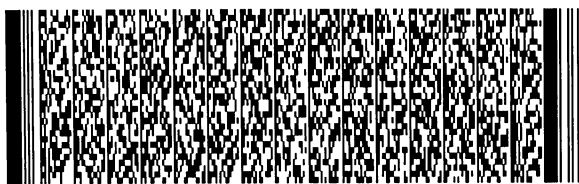
本發明係關於泛用邏輯模組及使用該模組之單元，尤其是關於上述泛用邏輯模組及使用該模組之單元的基本電路結構。

一般來說，於一典型場效可程式閘陣列(FPGA)中，及具有功能方塊之單幕式可程式閘陣列中，所使用的泛用邏輯模組是眾所皆知的。此泛用邏輯模組被形成，使得設計者可以選擇複數邏輯功能中之一者。

舉例來說，對應於美國專利No.5055718，發明名稱為"具有可配置組合及連續方塊之邏輯模組"之一日本公開公報(JP-A-Heisei,7-106949)，揭露一"泛用組合邏輯模組"，此一泛用邏輯模組，具有一複數可被選擇之組合邏輯功能。第1圖中所示為揭露於此公報中之上述泛用邏輯模組，具有一四輸入多工器(MUX)。此四輸入多工器係藉由三個雙輸入多工器所組成。

此公報並未闡明上述兩輸出多工器之結構。一般來說，一個非反相輸出型之雙輸入多工器，係由一第一級反相器、一第二級傳輸閘(transfer gate)、一第三級反相器所組成，如第2圖中所示。因此，被輸入的信號直到被輸出，會通過上述三級的邏輯元件。如果表示於第1圖中之上述四輸入多工器，係使用具有此結構之雙輸入多工器所組成，則輸入的信號直到被輸出，會經過六級的邏輯元件。

要注意的是，當上述雙輸入多工器為一反相輸出型時



五、發明說明 (2)

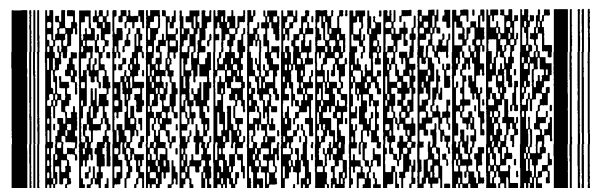
，上述第三級反相器可以移除。因此，如果使用此雙輸入多工器來組成第1圖中所示之四輸入多工器，則輸入的信號直到被輸出，會經過四級的邏輯元件。

然而，此四輸入多工器可使用第3圖顯示之反相器及傳輸閘來組成，且不用任何第2圖中所示之雙輸入多工器的用法。於第3圖中所示之四輸入多工器的例子中，被輸入的信號直到被輸出，會經過四級的邏輯元件。

同樣地，美國專利No. 5684412之"一可訂作陣列之單元形成部分(CELL FORMING PART OF A COUSTOMIZABLE ARRAY)"，也揭露一另一種泛用邏輯模組。如第4A圖中所示，此邏輯模組由一NAND閘、兩個輸入多工器A、A，以及一雙輸入多工器LARGE所構成。上述雙輸入多工器A係由一第一級反相器以及一第二組傳輸閘所組成，如第4B圖中所示。上述雙輸入多工器LARGE係由一第一級傳輸閘、一第二級反相器所構成，如第4C圖中所示。因此，輸入至第4A圖所示之上述泛用邏輯模組的信號，會通過最多包括四級之邏輯元件後被輸出。

除了前述之泛用邏輯模組之外，於美國專利No. 4910417及其它方面，也揭露一個具有可選擇之複數組合邏輯功能的泛用邏輯模組。

日本公開公報(JP-A-Heisei, 10-223902)揭露一個"半導體積體電路裝置"。此半導體積體電路裝置，具有一第一區域及一第二區域，上述第一及第二區域形成於一SOI基板上，且互相平行及獨立排列；一第一導電型態之一第



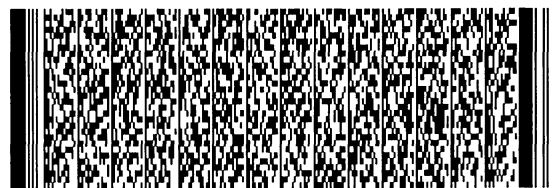
五、發明說明 (3)

一MOS電晶體、一第二導電型態之一第二MOS電晶體，上述第一、第二MOS電晶體係形成於上述第一區域上，且其源極擴散層及汲極擴散層藉由一第一擴散層導線連接在一起；一第一導電型態之一第三MOS電晶體，形成於上述第二區域上，且其源極擴散層藉由一第二擴散層導線連接至上述第二MOS電晶體之源極擴散層，或是其汲極擴散層藉由一第二擴散層導線連接至上述第二MOS電晶體之一汲極擴散層。

因為前述之結構，可以解決傳統上PN元件隔離區域，被要求排列大量CMOS電晶體、要求使用金屬線連接於一N通道MOS電晶體之上述汲極擴散層與一P通道MOS電晶體之間，以及於一裝置中導線區域增加的問題。

每個前述泛用邏輯模組具有複數輸入及複數級之多工器，其中上述複數雙輸入多工器於多級中串聯連接。透過設置其輸入端至一邏輯值"1"（例如，一電源供應電位），或一邏輯值"0"（例如，一接地電位）來建構想要的邏輯電路。

然而，前述之傳統的泛用邏輯模組，係為複數級上串聯連接之雙輸入多工器所組成。因此，信號所通過之邏輯元件的級數會變多。然而，上述傳輸閘會被插入於上述複數級之串聯中。因為這個原因，與例如一閘極陣列胞基底IC(gate array cell base IC)或其它具有簡單邏輯電路的一個電路結構比較時，傳統泛用邏輯模組會有切換速度慢的缺點。



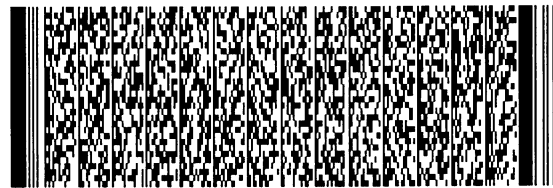
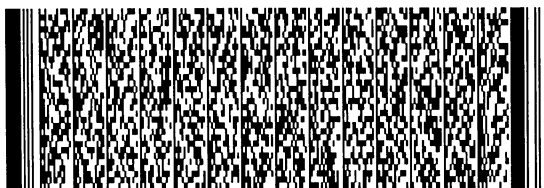
五、發明說明 (4)

如果作藉由第1圖或第4圖中所示之上述泛用邏輯模組，且使用上述閘極陣列胞基底IC (gate array cell base IC) 或其它裝置組成其功能之一雙輸入NAND、一雙輸入NOR、一雙輸入EXOR、一輸入EXNOR及其它功能之間的比對，其差異是很明顯的。尤其於使用常用ASIC組合的例子中，發生於透過一級邏輯組合而成之上述雙輸入NAND、雙輸入NOR及其它裝置中的內部閘極延遲特性的差異是明顯的。

因為邏輯元件之級數多所引起上述問題，係由於電路結構使用複數輸入端及複數級構成之多工器，例如複數雙輸入多工器之串聯連接，以及上述邏輯電路結構中，使用複數串聯插入的傳輸閘。

有鑑於此，本發明之一目的，係提供一泛用邏輯模組，可以達到於高速下切換，及使用上述泛用邏輯模組之單元。

為了達到上述目的，根據本發明之第一實施例，一泛用邏輯模組包括一第一反相器，具有一輸入端連接至一第一節點；一第二節點，連接上述第一反相器之一輸出端；一第二反相器，具有一輸入端連接至一第三節點；一第三反相器，具有一輸入端連接至一第四節點；一第一傳輸閘，具有一輸入端連接至上述第一反相器之上述輸出端，一第一控制輸入端連接至上述第四節點，及一第二控制輸入端連接至上述第三反相器之一輸入端；一第二傳輸閘，具有一連接至上述第二反相器之上述輸入端，一第一控制輸



五、發明說明 (5)

入端連接至上述第三反相器之上述輸出端，及一第二控制輸入端連接至上述第四節點；以及一第五節點，連接至上述第一傳輸閘之一輸出端，及上述第二傳輸閘之一輸出端。

為了達到前述目的，根據本發明之第二型態，一單元包括本發明第一實施例中之一第一泛用邏輯模組、一第二泛用邏輯模組，以及一第三泛用邏輯模組。上述第二泛用邏輯模組，包括一第四反相器，具有一輸入端連接至一第七節點，及一輸出端連接至一第八節點。上述第三泛用邏輯模組，包括一第五反相器，具有一輸入端連接至一第十一節點；一第三傳輸閘，具有一輸入端連接至一第九節點，一第一控制輸出端輸入至上述第十一節點，及一第二控制輸出端連接至上述第五反相器之一輸出端；一第四傳輸閘，具有輸入端連接至一第十節點，一第一控制輸入端連接至上述第五相器之一輸出端，及一第二控制輸入端連接至上述第十二節點；一第六反相器，具有一輸入端連接至上述第三傳輸閘之一輸出端，及一輸出端連接至上述第四傳輸閘；以及一第十二節點，連接至上述第六反相器之一輸出端。

為了達到上述目的，根據本發明之一第三型態，一泛用邏輯模組包括一第一反相器，具有一輸入端連接至一第一節點；一第二反相器，具有一輸入端連接至一第三節點；一第六節點，連接至上述第二反相器之一輸出端；一第三反相器，具有一輸入端連接至一第四節點；一第一傳輸



五、發明說明 (6)

開，具有一輸入端連接至上述第一反相器之一輸出端，一第一控制輸入端連接至上述第四節點，及一第二控制輸入端連接至上述第三反相器之一輸出端；一第二傳輸開，具有一輸入端連接至上述第二反相器之一輸出端，一第一控制輸入端連接至上述第三反相器之一輸出端，及一第二控制輸入端連接至上述第四節點；以及一第五節點，連接至上述第一傳輸開之一輸出端及上述第二傳輸開之一輸出端。

為了達到上述目的，根據本發明之一第四型態，一單元包括根據上述第三實施例中之一第一泛用邏輯模組、一第二泛用邏輯模組，以及一第三泛用邏輯模組。上述第二泛用邏輯模組包括一第四反相器，具有一輸入端連接至一第七節點，及一輸出端連接至一第八節點。上述第三泛用邏輯模組包括一第五反相器，具有一輸入端連接至一第十一節點；一第三傳輸開，具有一輸入端連接至一第九節點，一第一控制輸入端連接至上述第十一節點，及一第二控制輸入端連接至上述第五反相器之一輸出端；一第四傳輸開，具有一輸入端連接至一第十節點，一第一控制輸入端連接至上述第五反相器之一輸出端，及一第二控制輸入端連接至上述第十一節點；一第六反相器，具有一輸入端連接至一第三傳輸開之一輸出端，及上述第四傳輸開之一輸出端；以及一第十二節點，連接至上述第六反相器之一輸出端。

符號說明：



五、發明說明 (7)

T1~第一節點； T2~第二節點；
 T3~第三節點； T4~第四節點；
 T5~第五節點； T6~第六節點；
 T7~第七節點； T8~第八節點；
 T9~第九節點； T10~第十節點；
 T11~第十一節點； T12~第十二節點；
 10~第一反相器； 11~第二反相器；
 12~第三反相器； 13~第四反相器；
 14~第五反相器； 15~第六反相器；
 20~第一傳輸閘； 21~第二傳輸閘；
 22~第三傳輸閘； 23~第四傳輸閘；
 X~第一泛用邏輯模組；Y~第二泛用邏輯模組；
 Z~第三泛用邏輯模組。

簡單圖示說明：

本發明將隨著所附圖示加以詳細解釋，其中：

第1圖，顯示一傳統泛用邏輯模組。

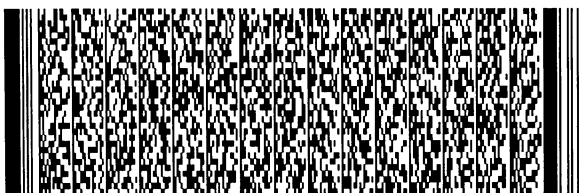
第2圖為一電路圖，表示第1圖中使用之多工器的結構。

第3圖為一電路圖，表示第1圖中上述泛用邏輯模組之結構。

第4A~4C圖，顯示一另一傳統泛用邏輯模組。

第5圖為一電路圖，表示本發明第一實施例之一泛用邏輯模組之結構。

第6圖為一電路圖，表示第5圖中上述泛用邏輯模組之



五、發明說明 (8)

結構的另一型態。

第7圖為一電路圖，表示第5圖中上述泛用邏輯模組之一另一型態。

第8圖為一電路圖，表示本發明第二實施例於一單元中使用之一第二泛用邏輯模組的結構。

第9圖為一電路圖，表示本發明第二實施例於一單元中使用之一第三泛用邏輯模組的結構。

第10圖為一電路圖，表示本發明之第三實施例之上述單元的結構。

第11圖為一示意圖，表示使用第10圖中所示之單元構成之一NAND電路。

第12圖為一示意圖，表示使用第10圖中所示之單元構成之一NOR電路。

第13圖為一示意圖，表示使用第10圖中所示之單元構成之一EXNOR電路。

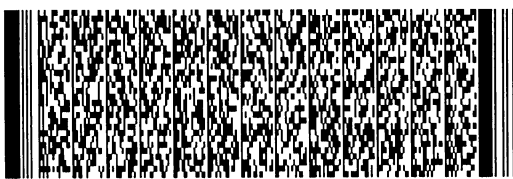
第14圖為一示意圖，表示使用第10圖中所示之單元構成之一EXOR電路。

第15圖為一示意圖，表示使用第10圖中所示之單元構成之一資料栓鎖電路。

第16圖為一示意圖，表示使用第10圖中所示之單元構成之一正反器電路。

第17圖表示本發明第二實施例中上述單元之另一型態的結構。

較佳實施例：



五、發明說明 (9)

本發明之較佳實施例將參考上述圖示加以說明。

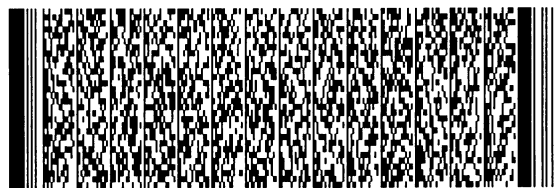
[第一實施例]

設計本發明之第一實施例，使得一泛用邏輯模組係藉由使用串聯連接之一傳輸閘及一反相器，且上述反相器之輸出端作為一節點，而具有一多工器功能。

第5圖為本發明第一實施例中，上述泛用邏輯模組之結構的電路圖。上述泛用邏輯模組包括一反相輸出型雙輸入多工器，其第一級為上述反相器，且第二級為上述傳輸閘。上述泛用邏輯模組具有六個節點，一第一節點T1、一第二節點T2、一第三節點T3、一第四節點T4、一第五節點T5及一第六節點T6；五個邏輯元件，一第一反相器10、一第二反相器11、一第三反相器12、一第一傳輸閘20及一第二傳輸閘21。

上述第一至第三反相器10~12每個都具有習知的結構，舉例來說，於一電源供應電位及一接地電位之間，具有相互串聯連接之一N通道MOS電晶體及一P通道MOS電晶體，且一個輸入信號會被反相且輸出。為了減少輸入電容，上述第一至第三反相器10~12每個尺寸都作得很小。

上述第一及第二傳輸閘20、21都具有互相並聯連接之N通道MOS電晶體及P通道MOS電晶體，即它們之源極連接在一起，且汲極連接在一起。根據供應至上述N通道MOS電晶體之閘極及上述P通道MOS電晶體之閘極的信號，供應至上述傳輸閘之一輸入端的一信號會被傳遞，或上述信號的傳遞會停止。之後，上述P通道MOS電晶體之閘極會參考作為



五、發明說明 (10)

一 第一控制輸入端，且上述N通道MOS電晶體之閘極會參考作為一第二控制輸入端。

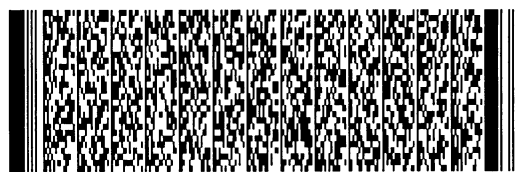
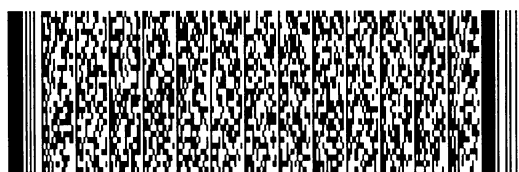
上述第一節點T1連接至一上述第一反相器10之一輸入端。上述第一反相器10之一輸出端連接至上述第一傳輸閘20之一輸入端以及上述第二節點T2。

上述第三節點T3連接至一第二反相器11之一輸入端，上述第二反相器11之一輸出端連接至上述第二傳輸閘之一輸入端21以及上述第六節點T6。

上述第四節點T4連接至上述第三反相器12之一輸入端、上述第一傳輸閘20之第一控制輸入端，以及上述第二傳輸閘21之第二控制輸入端。上述第三反相器12之一輸出端連接至上述第一傳輸閘20之上述第二控制輸入端，及上述第二傳輸閘21之上述第一控制輸入端。

上述第一傳輸閘20之一輸出端及上述第二傳輸閘之一輸出端，連接至上述第五節點T5。

具有前述結構之泛用邏輯模組動作，將在以下加以說明。此泛用邏輯模組基本上功能像一個多工器。就是說，當一個低位準(以下參考如L位準)信號輸入至上述第四節點T4時，組成上述第一傳輸閘20之上述P通道MOS電晶體與N通道MOS電晶體都會導通，且組成上述第二傳輸閘21之上述P通道MOS電晶體與N通道MOS電晶體都會截止。於是由上述第一節點T1輸入之上述信號，會被上述第一反相器10反相，然後通過上述第一傳輸閘20由上述第五節點T5輸出。反過來說，當一個高位準(以下參考如H位準)信號輸入至



五、發明說明 (11)

上述第四節點T4時，組成上述第一傳輸閘20之上述P通道MOS電晶體與N通道MOS電晶體都會截止，且組成上述第二傳輸閘21之上述P通道MOS電晶體與N通道MOS電晶體都會導通。於是由上述第三節點T3輸入之上述信號，會被上述第二反相器11反相，然後通過上述第一傳輸閘21由上述第五節點T5輸出。

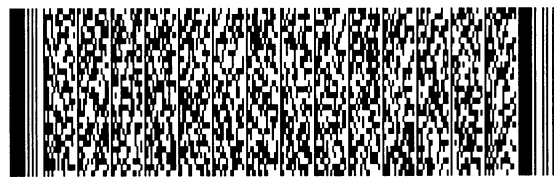
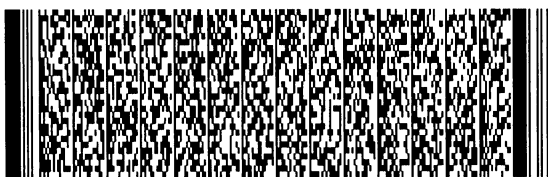
藉由前述之動作，可以得到反相輸出型之多工器的功能。就是根據供應至上述第四節點T4之信號的位準，輸入至上述第一節點T1及上述第三節點T3之任一信號會被反相，然後由上述第五節點T5輸出。

如果需要可以移除第5圖所示之上述泛用邏輯模組中的上述第六節點，以形成第6圖中之泛用邏輯模組，或移除第5圖中所示之上述泛用邏輯模組中的上述第二節點，以形成第7圖中所示之汎邏輯模組。

[第二實施例]

本發明之第二實施例為一含有上述第一實施例之上述汎用邏輯模組之單元。

第10為一示意圖，表示上述單元之結構。此單元包括一第一汎用邏輯模組X、一第二汎用邏輯模組Y，以及一第三汎用邏輯模組Z。上述第一汎用邏輯模組X係為第一實施例中之上述汎用邏輯模組。要注意的是，為了說明方便如第10圖中所說明之上述單元，於此例中上述第一汎用邏輯模組X的個數為二、上第二汎用邏輯模組Y之個數為二，且上述第三汎用邏輯模組之個數為一。然而，上述各個汎用



五、發明說明 (12)

邏輯模組之數量是可以改變的。

上述單元包括比例為2:2:1之上述第一泛用邏輯模組X、上述第二泛用邏輯模組Y，以及上述第三泛用邏輯模組，然而並非限定於這個比例。

上述第二泛用邏輯模組Y，係由一第四反相器13所組成，具有一第七節點連接至一輸入端，及一第八節點連接至一輸出端，如第8圖中所示。

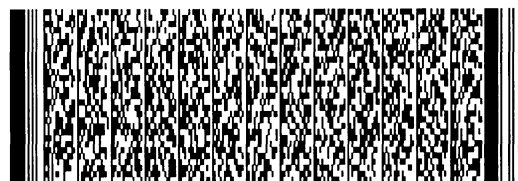
同樣地，上述第三泛用邏輯模組Z，係由一反相輸出型雙輸入多工器所組成，具有一第一級為傳輸閘，及一第二級為反相器，如第9圖中所示。

上述第三泛用邏輯模組Z包括四個節點，一第九節點T9、一第十節點T10、一第十一節點T11，及一第十二節點T12；以及四個邏輯模組，一第五反相器14、一第六反相器15、一第三傳輸閘22，及一第四傳輸閘23。

上述第五反相器14會相等於第一實施例中之上述第一至第三反相器10~12。雖然與上述第一至第三反相器10~12具有相同之結構及功能，為了增進驅動的能力，上述第六反相器15會作成一較大的尺寸。同樣地，上述第三傳輸閘22及上述第四傳輸閘23，會分別地等效於第一實施例中之上述第一傳輸閘20及第二傳輸閘21。

上述第九節點T9連接至上述第三傳輸閘22之一輸入端，上述第三傳輸閘22之一輸出端連接至上述第六反相器15之一輸入端。

上述第十節點T10連接至上述第四傳輸閘23之一輸入



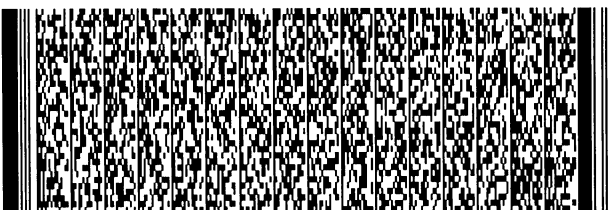
五、發明說明 (13)

端，上述第四傳輸閘23之一輸出端連接至上述第六反相器之上述輸入端。

上述第十一節點T11連接至上述第三傳輸閘22之一輸入端、上述第三傳輸閘22之一第一控制輸出端，以及上述第四傳輸閘23之一第二控制輸入端。上述第五反相器14之一輸出端連接至上述第三傳輸閘22之一第二控制輸入端，及上述第四傳輸閘23之一第一控制輸入端。上述第六反相器15之一輸出端連接至上述第十二節點T12。

具有前述結構之上述第三泛用邏輯模組Z的動作，將在以下說明。上述第三泛用邏輯模組Z基本上功能如同一多工器。就是，當一個L位準的信號輸入至上述第十一節點T11時，組成上述第三傳輸閘22之上述P通道MOS電晶體與N通道MOS電晶體都會導通，且組成上述第四傳輸閘23之上述P通道MOS電晶體與N通道MOS電晶體都會截止。於是由上述第九節點T9輸入之上述信號，會通過上述第三傳輸閘22，然後被上述第六反相器15反相，再由上述第十二節點T12輸出。

反過來說，當一個H位準之信號輸入至上述第十一點T11時，組成上述第三傳輸閘22之上述P通道MOS電晶體與N通道MOS電晶體都會截止，且組成上述第四傳輸閘23之上述P通道MOS電晶體與N通道MOS電晶體都會導通。於是由上述第十節點T10輸入之上述信號，會通過上述第四傳輸閘23，然後被上述第六反相器15反相，再由上述第十二節點T12輸出。



五、發明說明 (15)

節點T1，連接至上述L位準(邏輯"0")，且上述第二節點T2會設於未連接(non-connection, N.C)。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NAND電路。

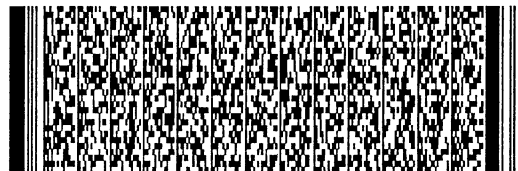
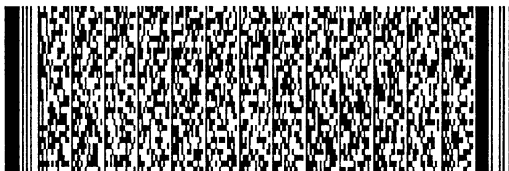
同樣地，也可以透過第7圖中之型態的上述第一泛用邏輯模組，形成上述NAND電路。於此例中，上述第一節點T1，連接至上述L位準(邏輯"0")，且上述第六節點T6會設於未連接(non-connection, N.C)。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NAND電路。

第12圖為使用第5圖中所示型態之上述第一泛用邏輯模組，以形成一NOR電路的例子。

上述第一泛用邏輯模組X之上述第三節點T3，連接至上述H位準(邏輯"1")，且上述第二節點T2及上述第六節點T6會設於未連接(non-connection, N.C)，以形成上述NOR電路。因此，用以上述第一節點T1(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NOR電路。

此NOR電路與前述之NAND電路相同，上述輸入的信號只需通過兩級之邏輯單元，例如一反相器及一傳輸閘。因此它可以減少內部閘極延遲的時間。

要注意的是，也可以透過第6圖中之型態的上述第一泛用邏輯模組，形成上述NOR電路。於此例中，上述第三



五、發明說明 (16)

節點T3，連接至上述H位準(邏輯"1")，且上述第二節點T2會設於未連接(non-connection, N.C)。因此，用以上述第一節點T1(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NOR電路。

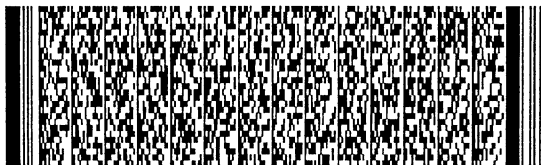
同樣地，也可以透過第7圖中之型態的上述第一泛用邏輯模組，形成上述NOR電路。於此例中，上述第三節點T3，連接至上述H位準(邏輯"1")，且上述第六節點T6會設於未連接(non-connection, N.C)。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NOR電路。

第13圖為使用第5圖中所示型態之上述第一泛用邏輯模組，以形成一EXNOR電路的例子。

上述第一泛用邏輯模組X之上述第三節點T3及上述第二節點T2，連接在一起，且上述第六節點T6會設於未連接(non-connection, N.C)，以形成上述NOR電路。因此，用以上述第一節點T1(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入EXNOR電路。

儘管習知技術該段所述之泛用邏輯模組中，上述輸入的信號需通過上述四級或六級之邏輯元件，直到上述信號被輸出。然而，根據上述EXNOR電路，上述輸入的信號只需通過兩級之邏輯單元，例如一反相器及一傳輸閘。因此它可以減少內部閘極延遲的時間。

要注意的是，也可以透過第6圖中之型態的上述第一



五、發明說明 (17)

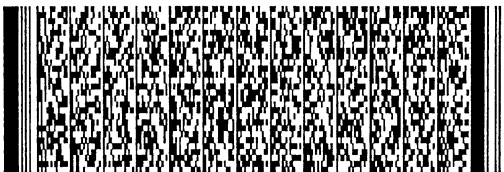
泛用邏輯模組，形成上述EXNOR電路。於此例中，上述第二節點T2及上述第三節點T3，連接在一起。因此，用以上述第一節點T1(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入EXNOR電路。

第14圖為使用第5圖中所示型態之上述第一泛用邏輯模組，以形成一EXOR電路的例子。

上述第一泛用邏輯模組X之上述第一節點T1及上述第六節點T6，連接在一起，且上述第二節點T2會設於未連接(non-connection, N.C)，以形成上述EXOR電路。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入EXOR電路。

儘管習知技術該段所述之泛用邏輯模組中，上述輸入的信號需通過上述四級或六級之邏輯元件，直到上述信號被輸出。然而，根據上述EXOR電路，上述輸入的信號只需通過兩級之邏輯單元，例如一反相器及一傳輸閘。因此它可以減少內部閘極延遲的時間。

要注意的是，也可以透過第7圖中之型態的上述第一泛用邏輯模組，形成上述EXOR電路。於此例中，上述第一節點T1及上述第六節點T6，連接在一起。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入EXOR電路。



五、發明說明 (18)

同樣地，也可以透過第6圖中之型態的上述第一泛用邏輯模組，形成上述EXOR電路。於此例中，上述第二節點T2及上述第三節點T3，連接在一起。因此，用以上述第一節點T1(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入EXOR電路。

第15圖為使用第5圖中所示之上述第一泛用邏輯模組X，以及兩個泛用邏輯模組Y，以形成一資料栓鎖電路的例子。

於上述栓鎖電路中，上述第一泛用邏輯模組之上述第五節點T5，連接至上述第二泛用邏輯模組Y中之一者(於此段中，之後參考作第一模組)的一反相器之一輸入端，且上述第一模組之一輸出端連接至上述第一泛用邏輯模組中第一節點T1。同樣地，上述第一泛用邏輯模組之上述第五節點T5，連接至上述第二泛用邏輯模組Y中之另一者(於此段中，之後參考作第二模組)的一反相器之一輸入端。因此，藉由上述第一邏輯模組X之上述第三節點T3作為一資料輸入端(D)，上述第四節點作為一致能輸入端(G)，且上述第二模組之一輸出端作為一輸出端(Q)，可得到上述栓鎖電路。

上述栓鎖電路，只需藉由一個反相輸出型雙輸入多工器，及兩個反相器即可組成。因此，上述栓鎖電路可以簡易地組成。

第16圖為使用兩個第5圖中所示之上述第一泛用邏輯模組X，以及兩個泛用邏輯模組Y，所形成之一D型正反器



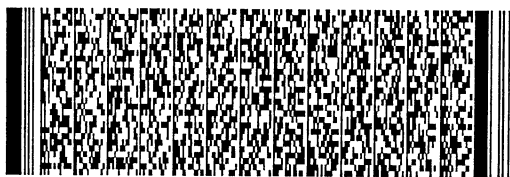
五、發明說明 (19)

電路的例子。

於上述正反器電路中，一多工器(上述兩個第一泛用邏輯模組X之一者，於此段中以"第一模組"表示)之一第五節點T5，連接至一多工器(上述兩個第一泛用邏輯模組X之另一者，於此段中以"第二模組"表示)之一第一節點T1，且第二模組之一第五節點T5，連接至一反相器(上述兩個第二泛用邏輯模組Y之一者，於此段中以"第三模組"表示)之一輸入端，且第三模組之一輸出端連接至第二模組之一第三節點T3。並且，第二模組之一第二節點連接至第一模組之一第一節點T1。同樣地，第二模組之第五節點T5連接至另一反相器(上述兩個第二泛用邏輯模組Y之另一者，於此段中以"第四模組"表示)之一輸入端。因此，藉由第一模組之一第三節點作為一資料輸入端(D)，第一模組和第二模組之第四節點T4作為時序輸入端(C)，以及第四模組之一輸出端作為一輸出端(QB)，即可得到上述D型正反器電路。

上述正反器電路，只需使用兩個反相輸出型雙輸入多工器，以及兩個反相器即可組成，故可簡易地得到上述正反器電路。

要注意的是，雖然沒有圖示出來，但可藉由一第三泛用邏輯模組Z連接至兩個第一泛用邏輯模組X，來組成對應於傳統之四輸入多工器及其功能，且可分別藉由連接一第三泛用邏輯模組Z至兩個第一泛用邏輯模組X，來組成對應於傳統之非反相四輸入多工器及其功能。



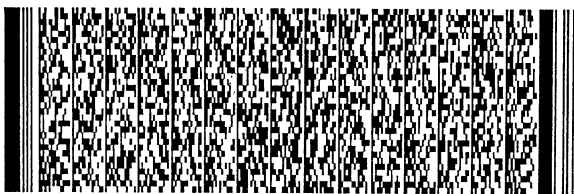
五、發明說明 (20)

再者，舉例來說，可藉由使用兩個互相獨立之第一泛用邏輯模組 X ，組成兩個雙輸入NAND電路；且藉由分別連接兩個第二泛用邏輯模組 Y 至上述第三泛用邏輯模組 Z ，可組成除此上述兩者之外之一非反相輸出型兩輸出多工器。如以上所述，根據上述第二實施例之設計，將對應傳統四輸入多工器，分割成上述雙輸入反相輸入型多工器單元，個別地得到輸出，然後依據功能減少邏輯的級數；同樣地，加入一反相器，可以藉由將第六圖中所示之反相型雙輸入多工器之內部節點連接至另一節點來形成。因此，它可以定義上述最佳的邏輯級數。所以，可以如同傳統四輸入多工器一樣，達到複數邏輯功能型態。然而，它可以增加電路組合的自由度。

附帶地，於第二實施例中使用之上述第三泛用邏輯模組 Z ，也可以如第17圖中所示。就是說，它可以由分離的多工器部分，及上述第三泛用邏輯模組 Z 之反相器部份來組成，且個別的節點會位於分開的部分中。這樣的組合可以增進泛用性。

綜上所述，本發明可以提供一個可高速切換之泛用邏輯模組，及使用該模組之單元。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

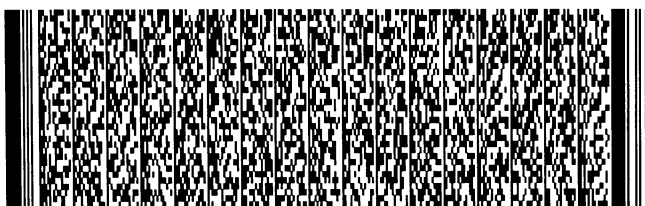


四、中文發明摘要 (發明之名稱：汎用邏輯模組及使用該模組之單元)

一種汎用邏輯模組包括一第一反相器10，具有一輸入端連接至一第一節點T1；一第二節點T2，連接至上述第一反相器之一輸出端；一第二反相器11，具有一輸入端連接至一第三節點T3；一第六節點T6，連接至上述第二反相器之一輸出端；一第三反相器12，具有一輸入端連接至一第四節點T4；一第一傳輸閘20，具有一輸入端連接至上述第一反相器之一輸出端，一第一控制輸入端連接至上述第四節點，及一第二控制輸入端連接至上述第三反相器之一輸出端；一第二傳輸閘21，具有一輸入端連接至一第二反相器之一輸出端，一第一控制輸入端連接至上述第三反相器之一輸出端，及一第二控制輸入端連接至上述第四節點；以及一第五節點T5，連接至上述第一傳輸閘之一輸出端，及上

英文發明摘要 (發明之名稱：GENERAL-PURPOSE LOGIC MODULE AND CELL USING THE SAME)

A general-purpose logic module is composed of : a first inverter 10 in which an input terminal is connected to a first node T1; a second node T2 connected to an output terminal of the first inverter; a second inverter 11 in which an input terminal is connected to a third node T3; a sixth node T6 connected to an output terminal of the second inverter; a third inverter 12 in which an input terminal is connected to a fourth node T4 ; a first transfer gate 20 in which an input



四、中文發明摘要 (發明之名稱：汎用邏輯模組及使用該模組之單元)

述第二傳輸閘之一輸出端。因此提供一個可於高速下切換之汎用邏輯模組及一使用該模組之單元。

英文發明摘要 (發明之名稱：GENERAL-PURPOSE LOGIC MODULE AND CELL USING THE SAME)

terminal is connected to the output terminal of the first inverter, a first control input terminal is connected to the fourth node T4, and a second control input terminal is connected to an output terminal of the third inverter; a second transfer gate 21 in which an input terminal is connected to the output terminal of the second inverter, a first control input terminal is connected to the output terminal of the third inverter, and a second control input terminal is connected to the

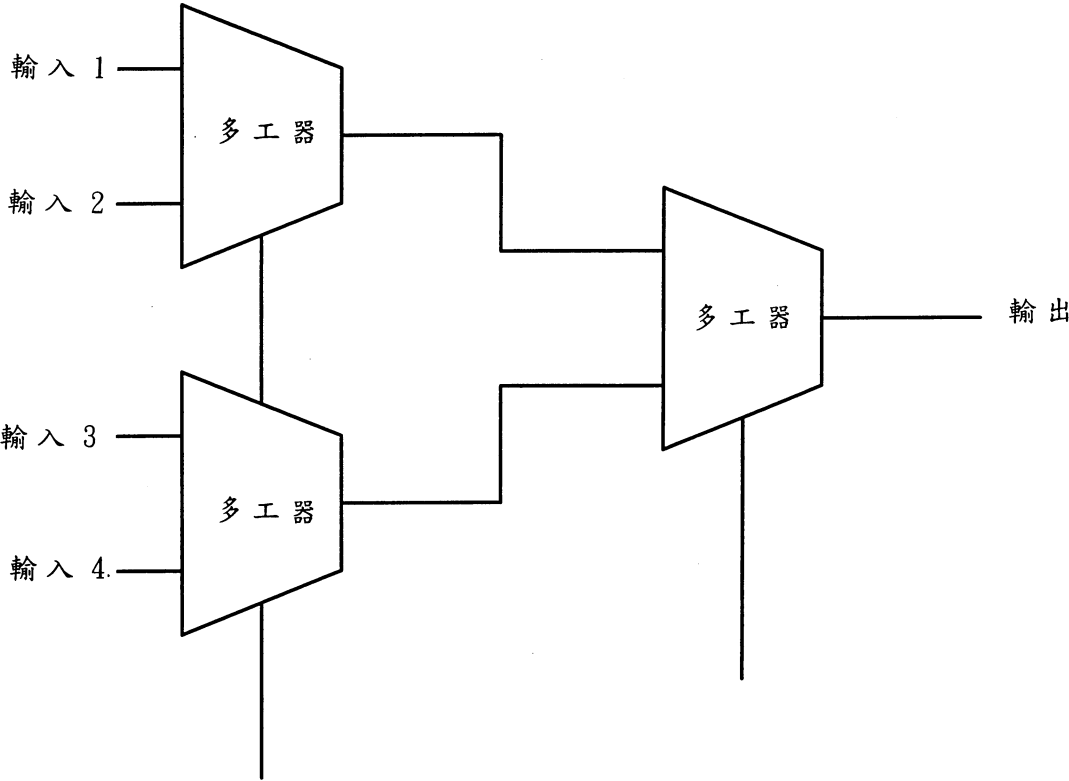


四、中文發明摘要 (發明之名稱：汎用邏輯模組及使用該模組之單元)

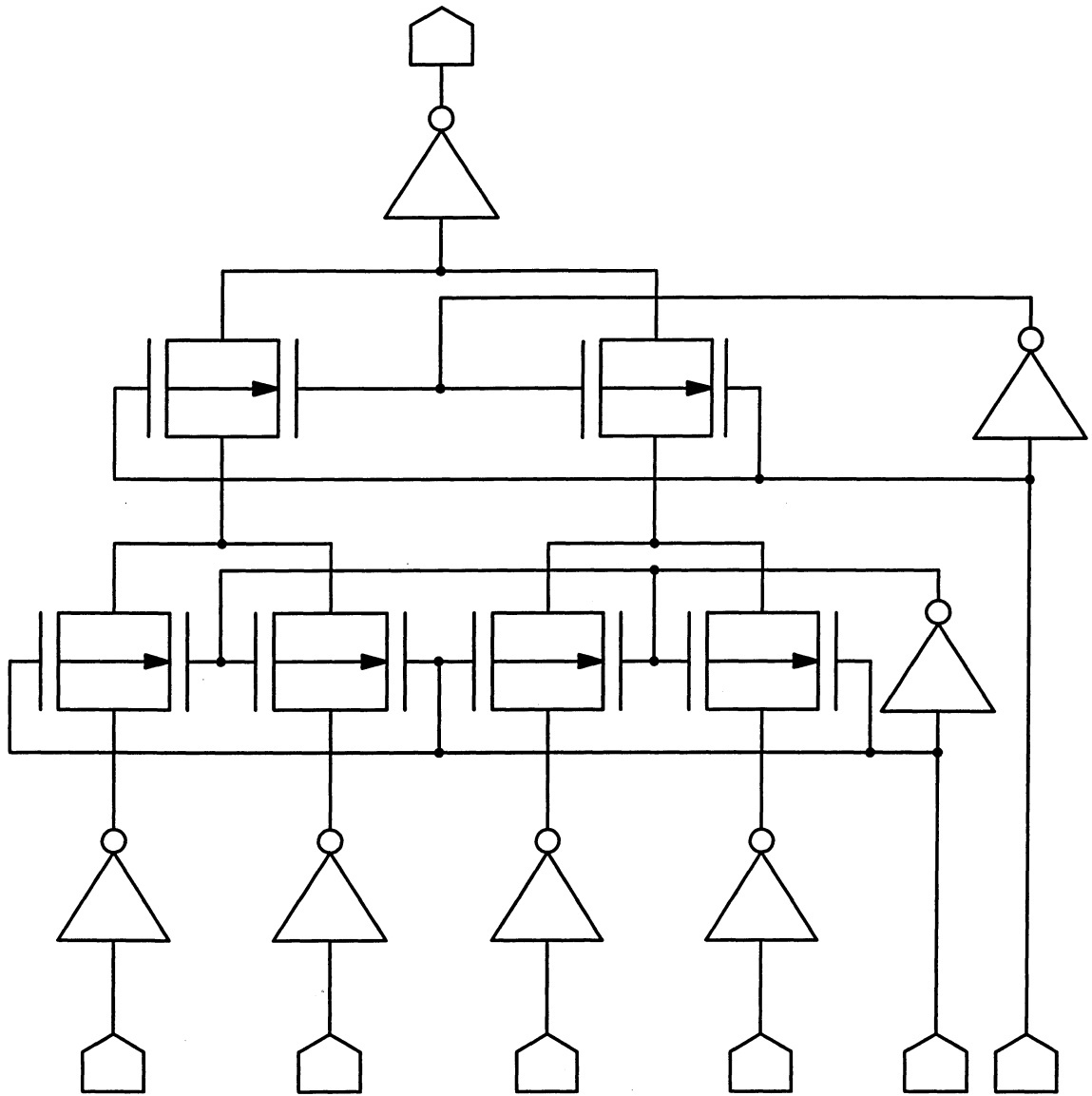
英文發明摘要 (發明之名稱：GENERAL-PURPOSE LOGIC MODULE AND CELL USING THE SAME)

fourth node T4; and a fifth node T5 connected to an output terminal of the first transfer gate and an output terminal of the second transfer gate. Accordingly, it is possible to provide a general-purpose logic module in which a switch can be carried out at a high speed, and a cell using the same.

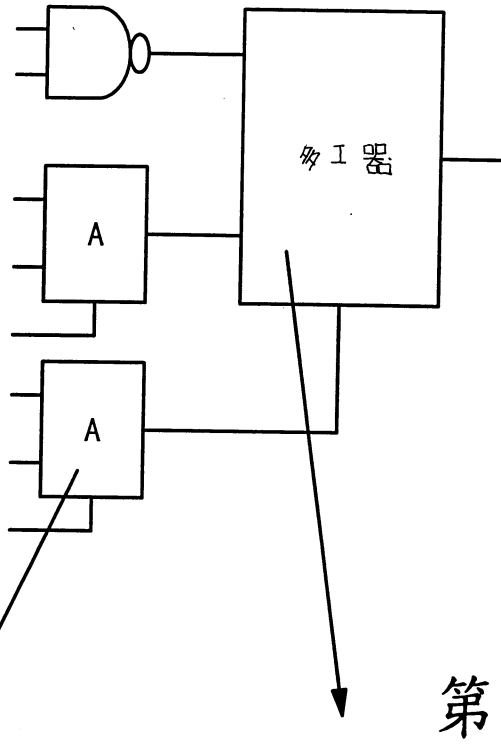




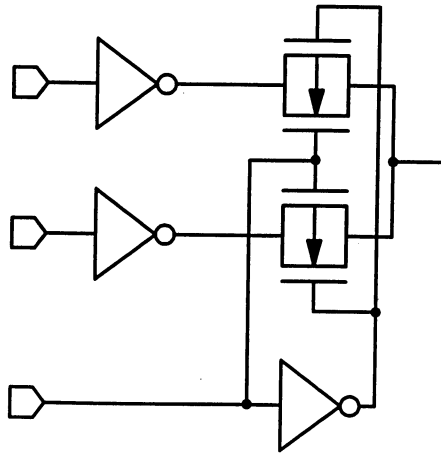
第 1 圖



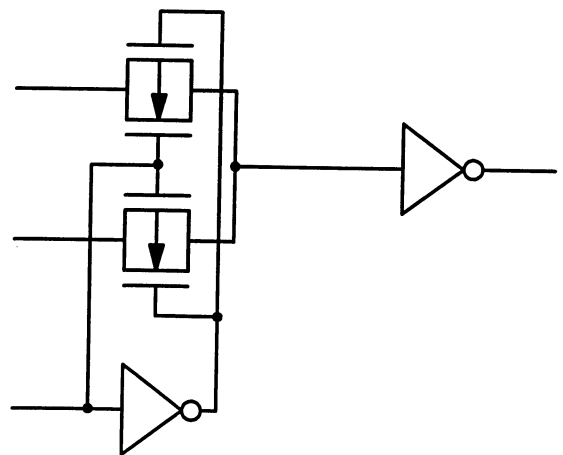
第 3 圖



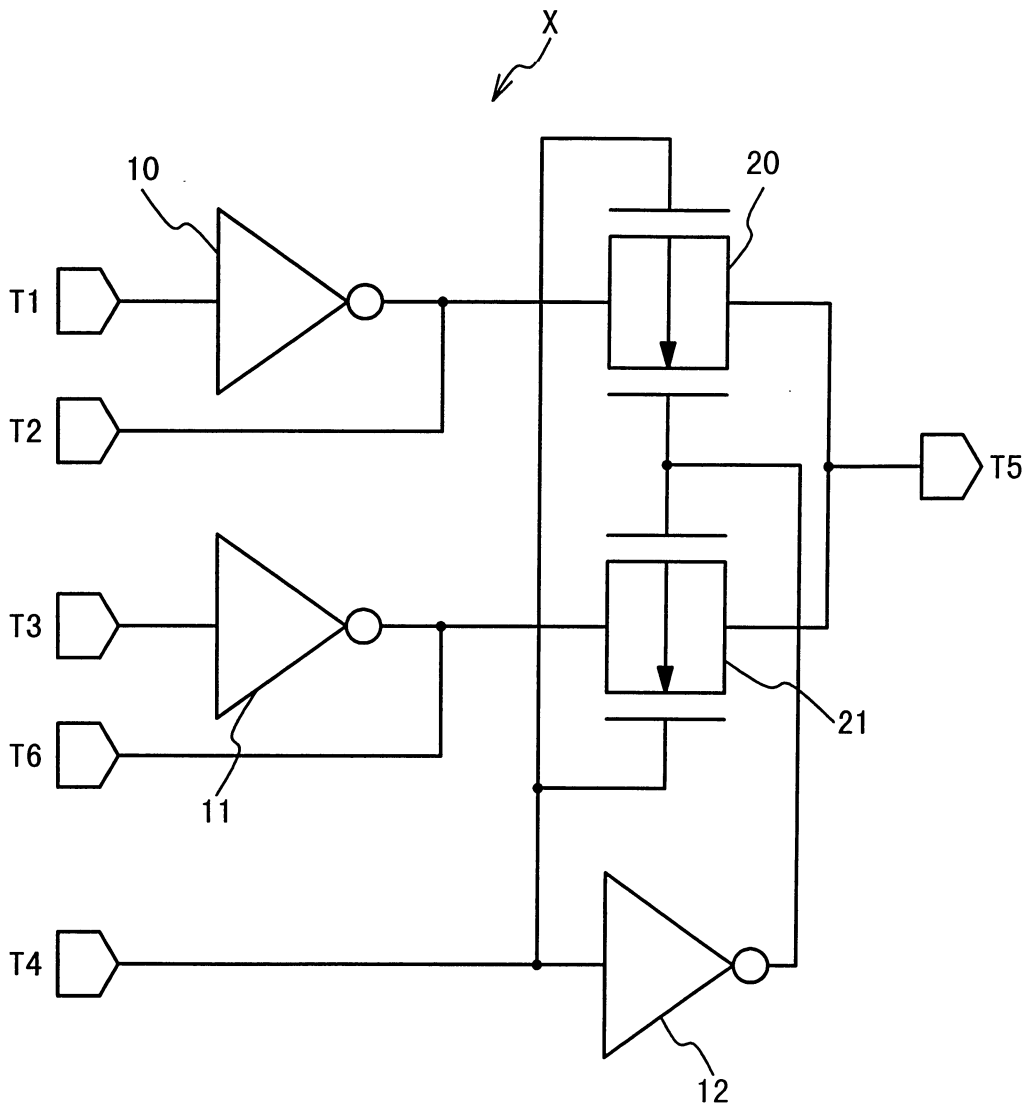
第 4A 圖



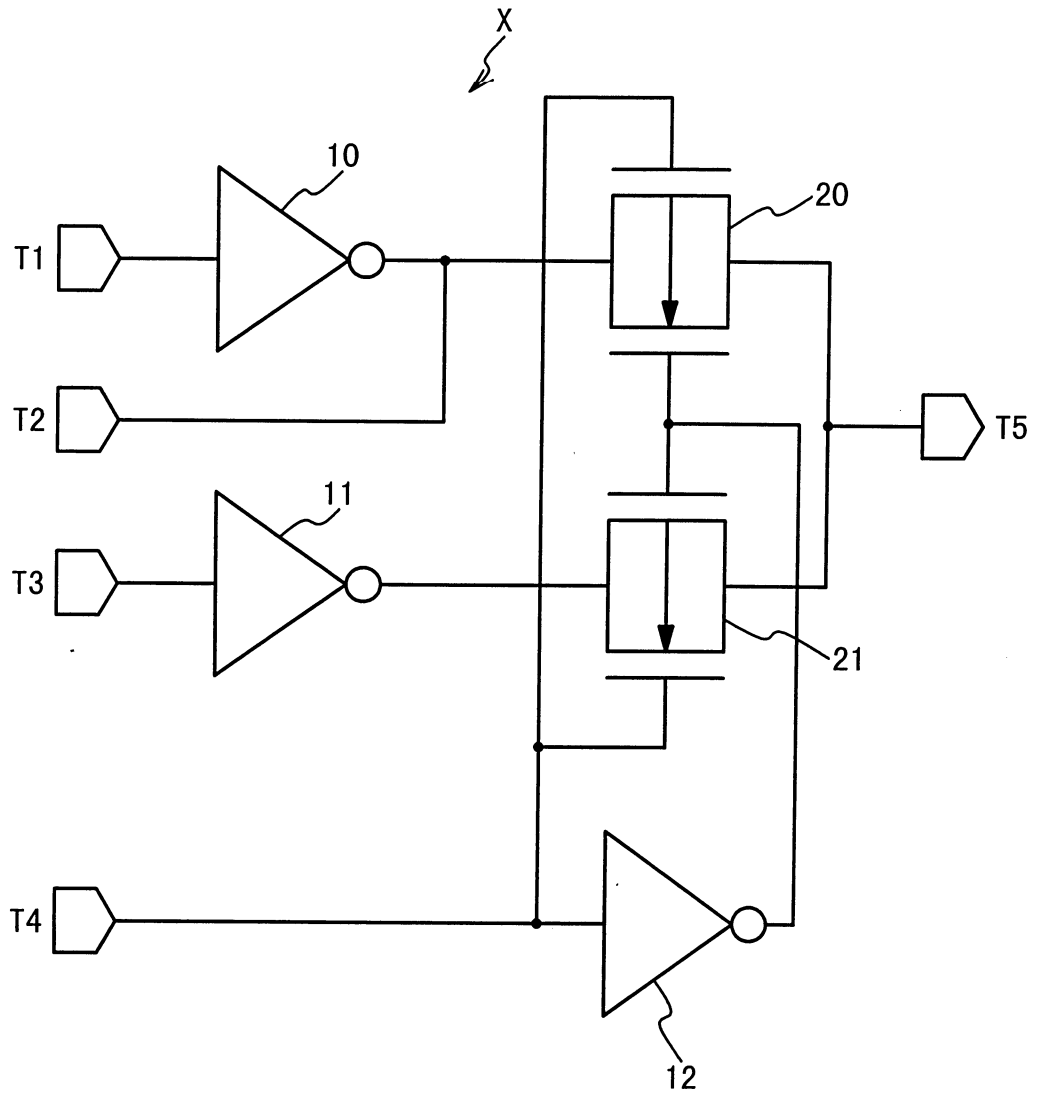
第 4B 圖



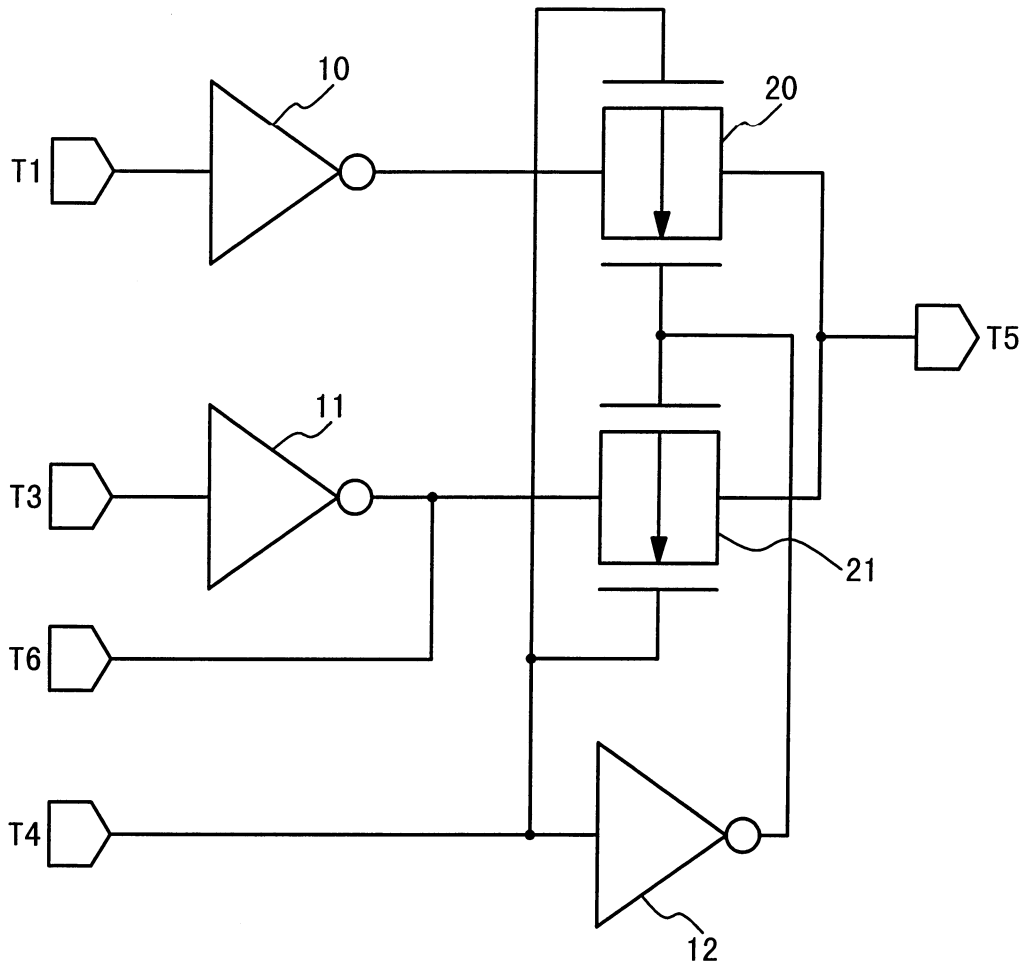
第 4C 圖



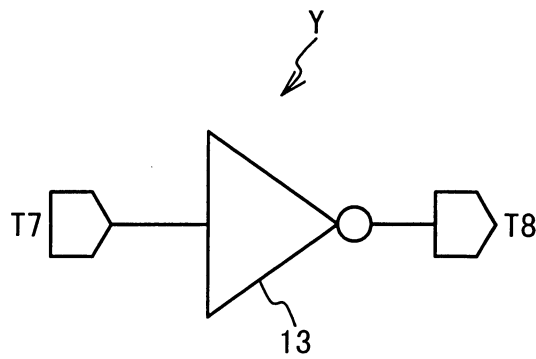
第 5 圖



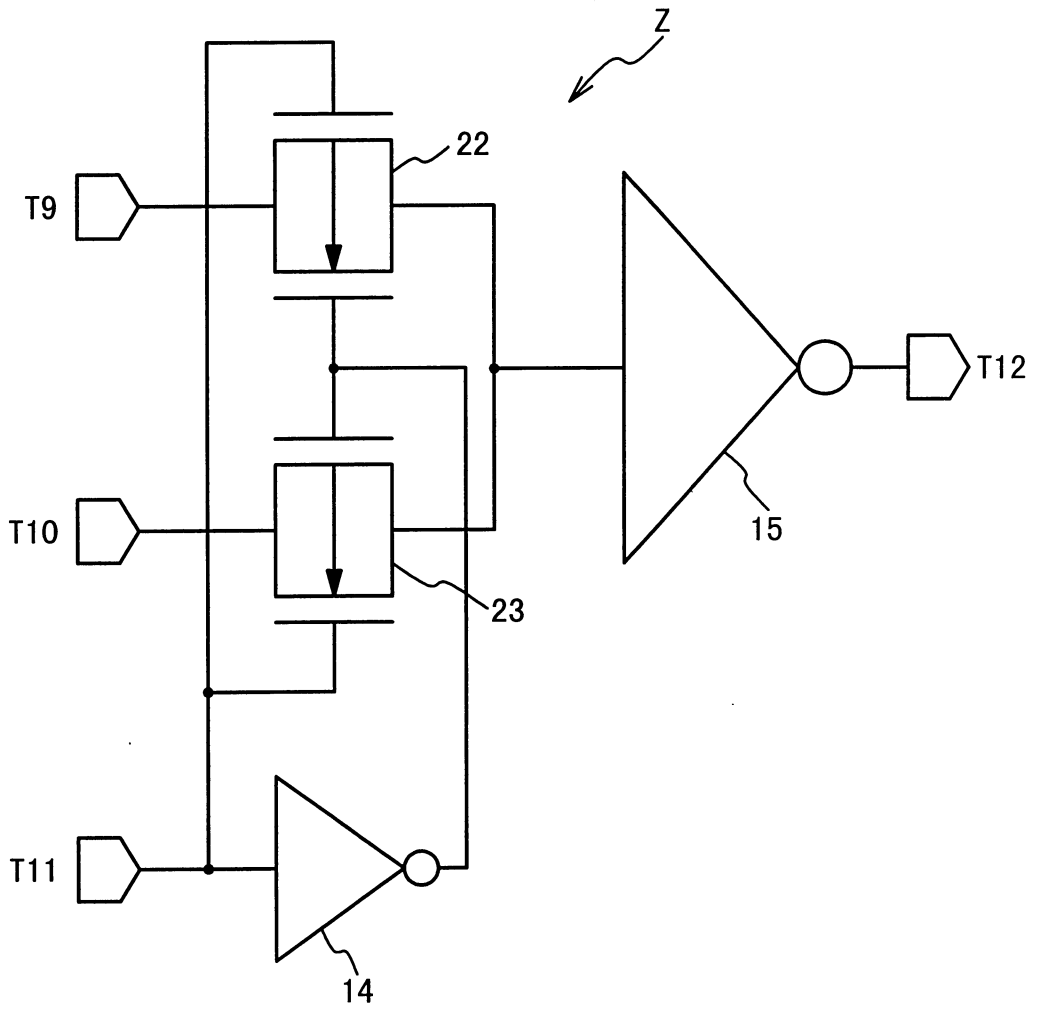
第 6 圖



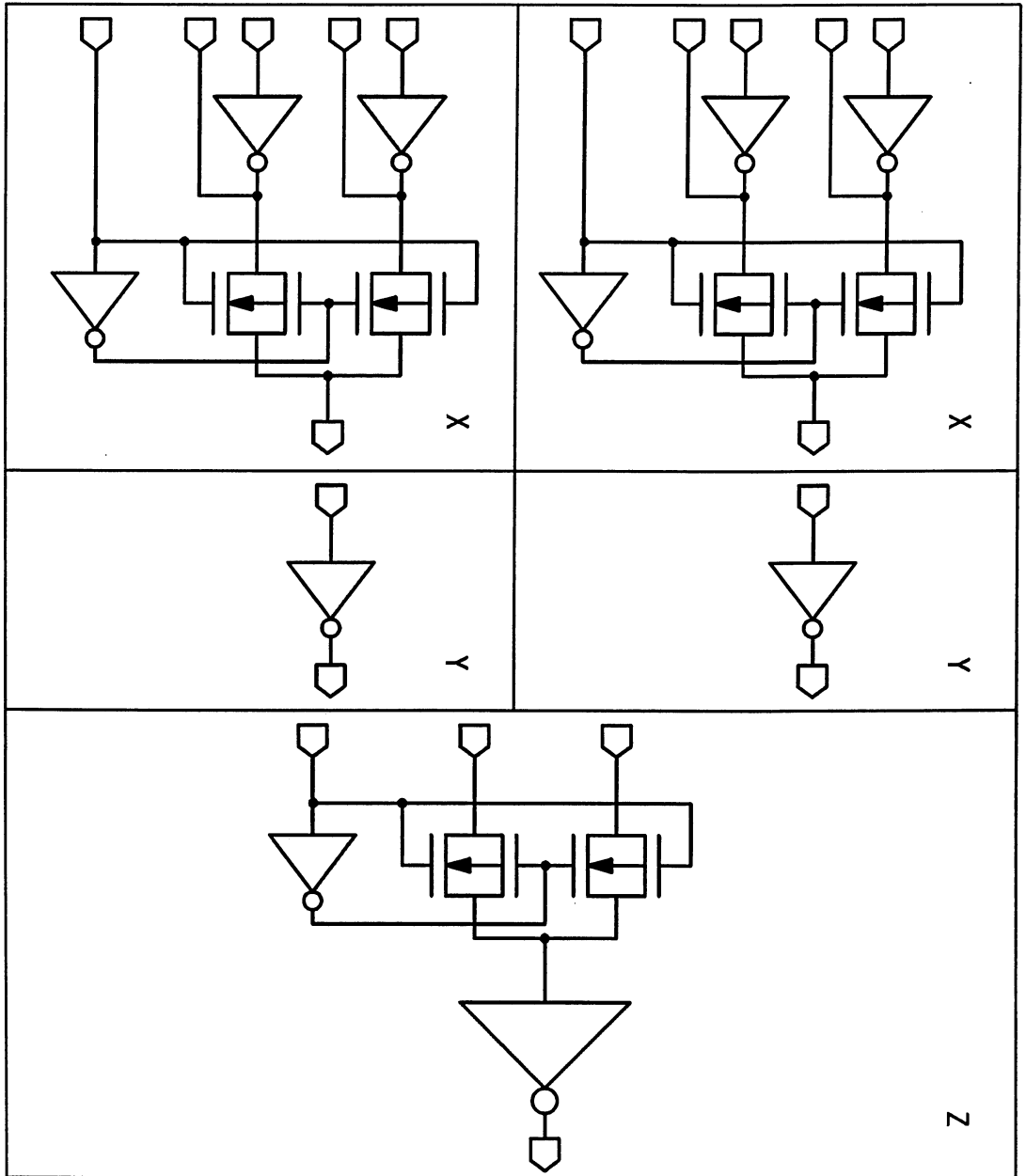
第 7 圖



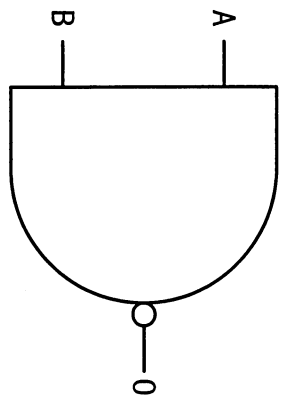
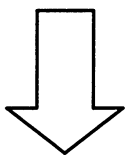
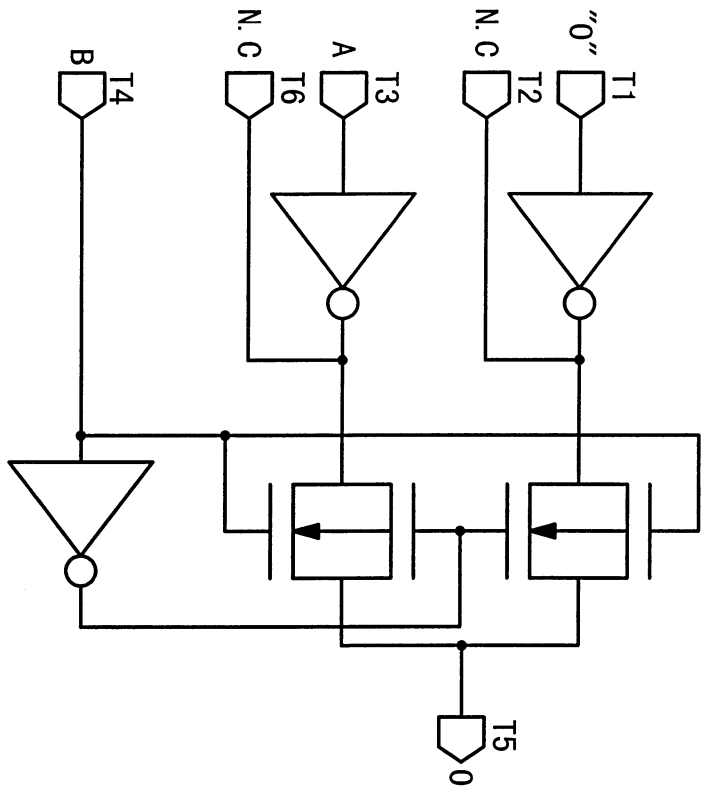
第 8 圖



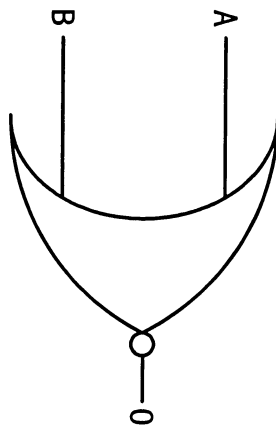
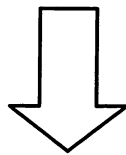
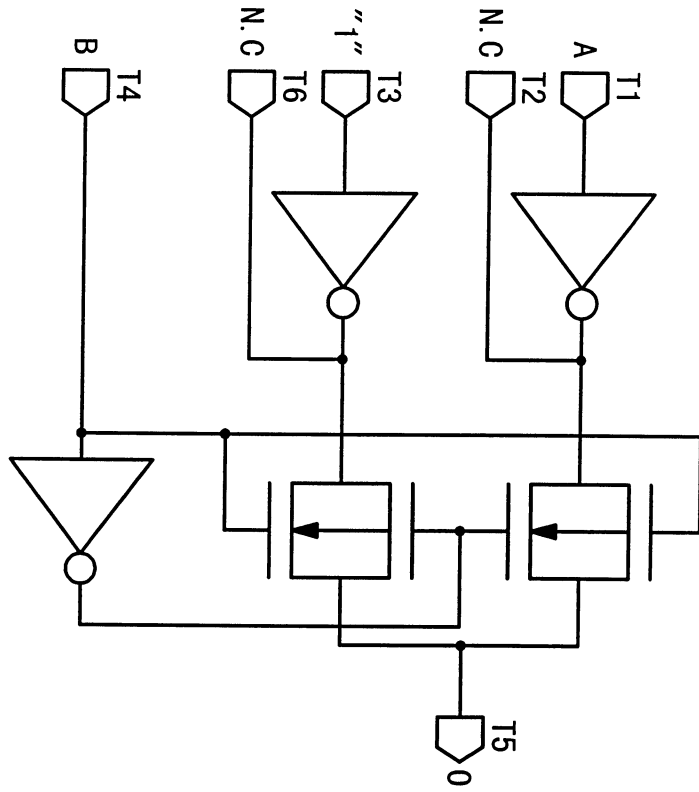
第 9 圖



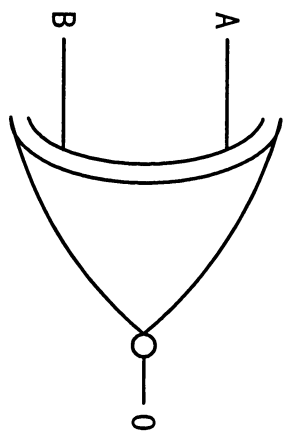
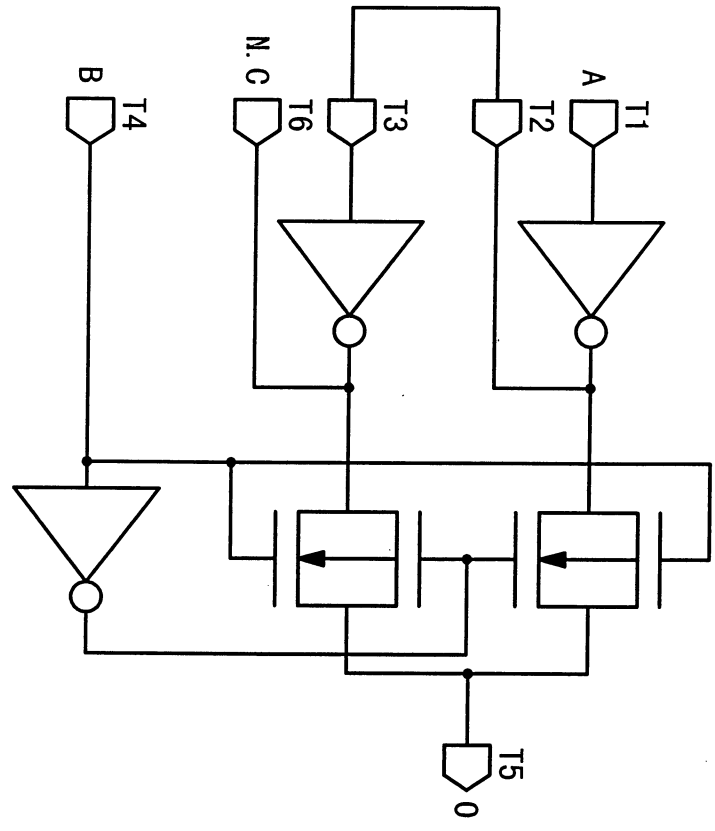
第10圖



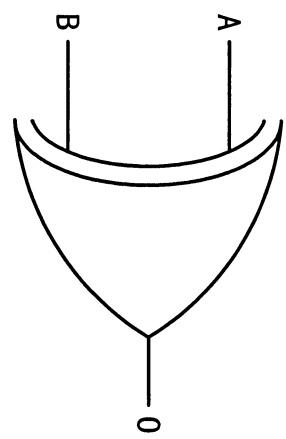
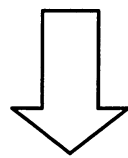
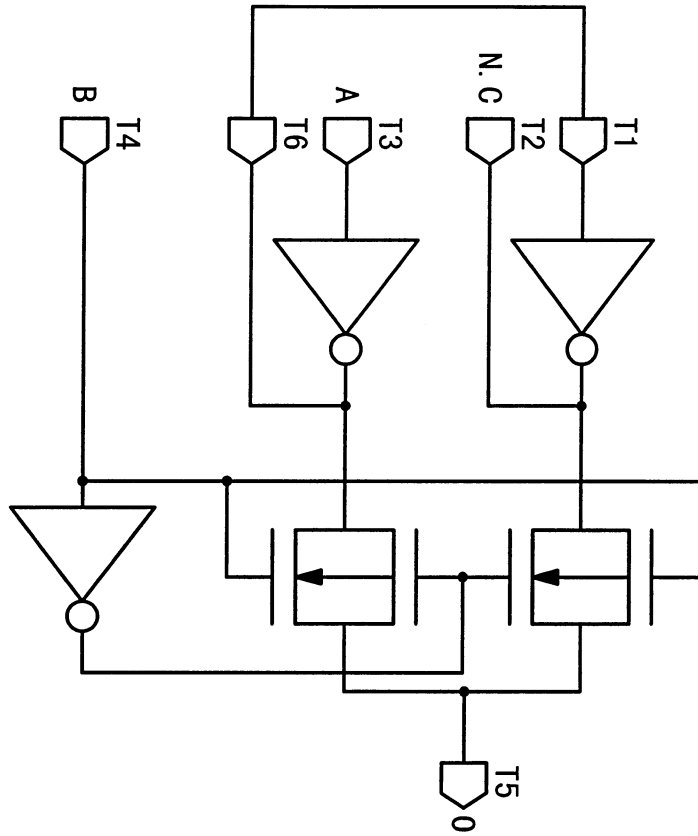
第11圖



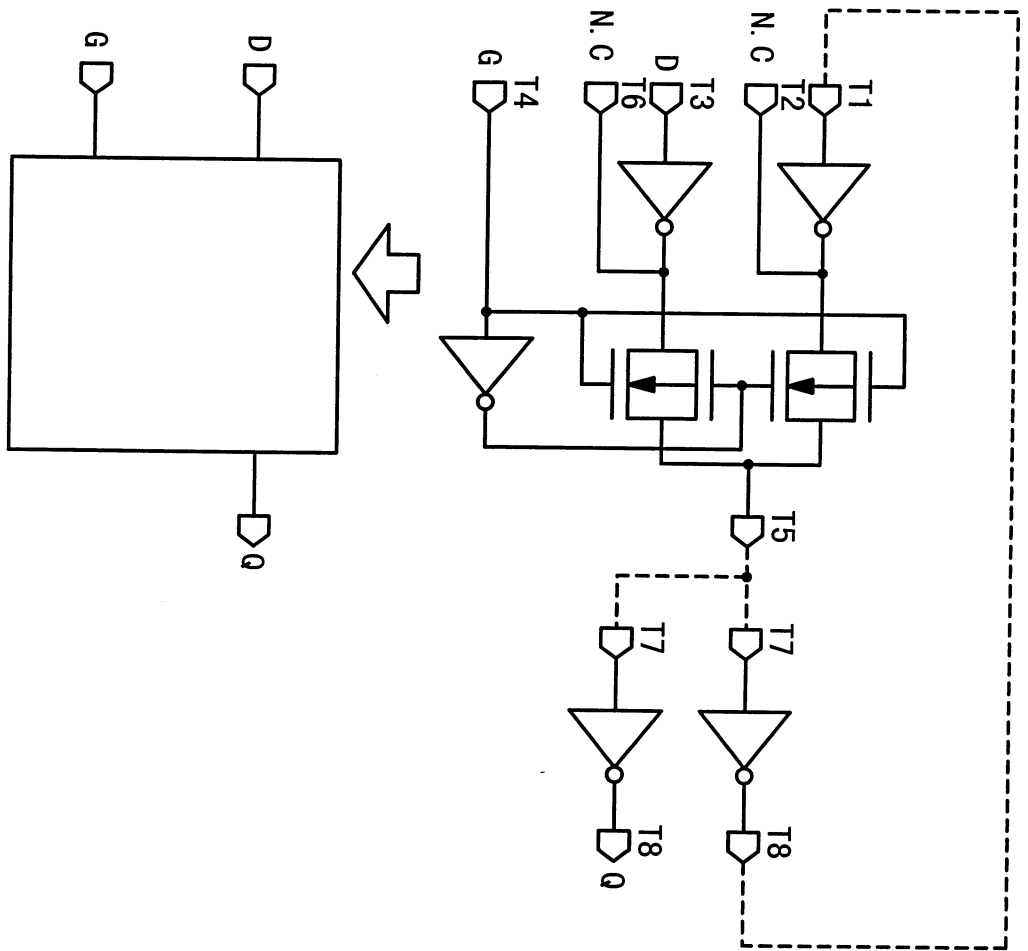
第 12 圖



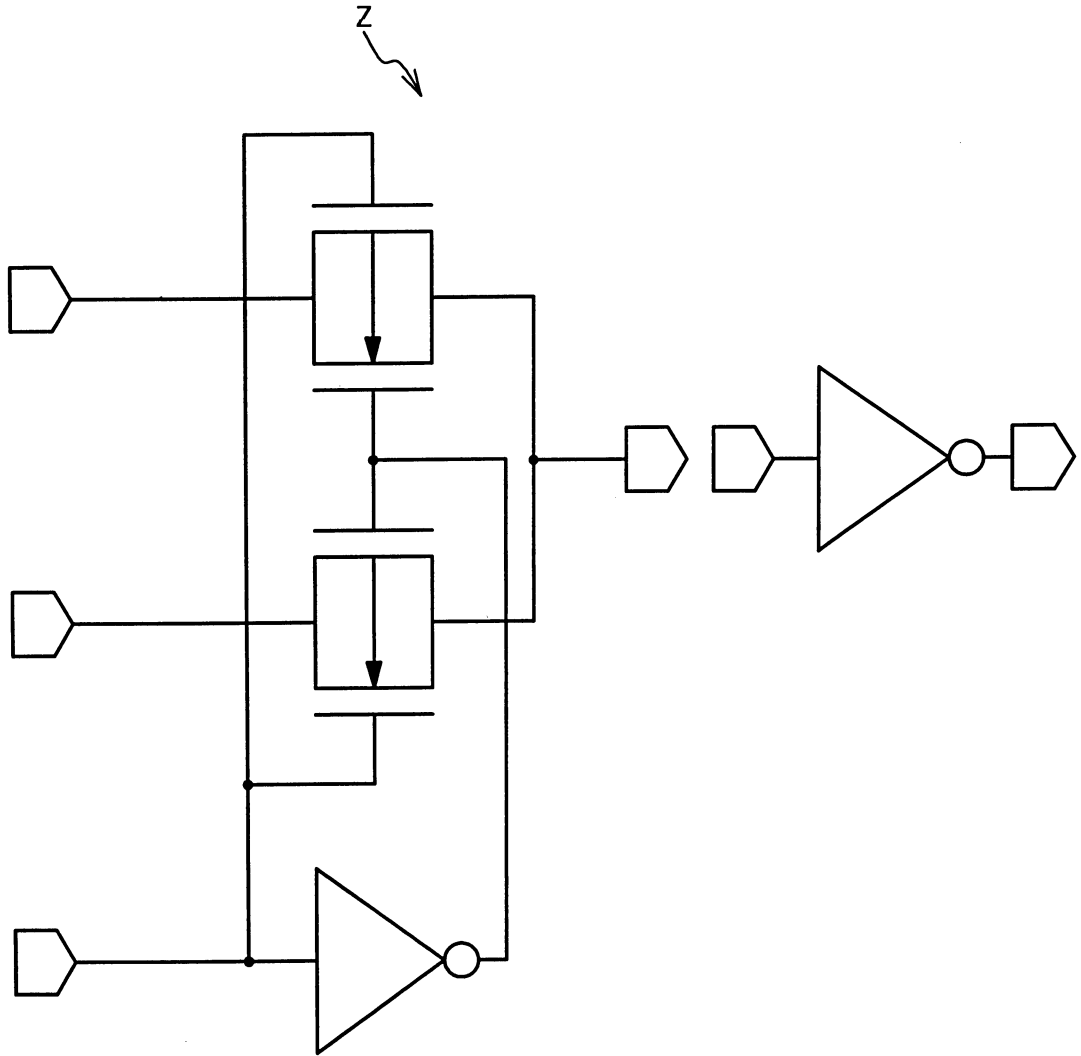
第13圖



第14圖



第15圖



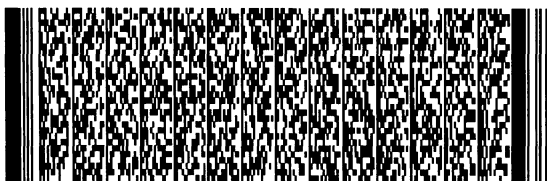
第 17 圖

公告本	92年2月1日修正	類別	90125277
申請日期	12	補案號	
類別	403K	1/173	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	汎用邏輯模組及使用該模組之單元
	英文	GENERAL-PURPOSE LOGIC MODULE AND CELL USING THE SAME
二、發明人	姓名 (中文)	1. 水野雅春
	姓名 (英文)	1. MASAHARU MIZUNO
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、申請人	姓名 (名稱) (中文)	1. NEC電子股份有限公司
	姓名 (名稱) (英文)	1. NEC Electronics Corporation (NEC エレクトロニクス株式会社)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國神奈川縣川崎市中原區下沼部1753番地
	代表人 姓名 (中文)	1. 戶坂馨
	代表人 姓名 (英文)	1. Kaoru TOSAKA



五、發明說明 (14)

藉由前述之動作，可以得到反相輸出型之多工器的功能。就是根據供應至上述第十一節點T11之信號的位準，輸入至上述第九節點T9及上述第十二節點T12之任一信號會被反相，然後由上述第十二節點T12輸出。

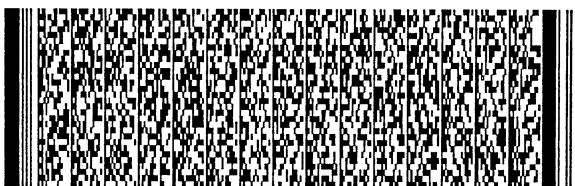
以下將描述使用具有前述結構之單元，以形成數種邏輯電路的例子。

第11圖為使用第5圖中所示之上述第一泛用邏輯模組X，以形成一NAND電路的例子。

第5圖中所示之型態的上述第一泛用邏輯模組X之上述第一節點T1，連接至上述L位準(邏輯"0")，且上述第二節點T2及上述第六節點T6會設於未連接(non-connection, N.C)，以形成上述NAND電路。因此，用以上述第三節點T3(A)，及第四節點T4(B)作為輸入端，且上述第五節點T5作為一輸出端(O)，以達成上述雙輸入NAND電路。

於習知技術該段中所述之泛用邏輯模組，上述輸入的信號需通過上述四級或六級之邏輯元件，直到上述信號被輸出。相反地，根據此NAND電路，上述輸入的信號只需通過兩級之邏輯單元，例如一反相器及一傳輸閘。因此它可以減少內部閘極延遲的時間。要注意的是，上述內部閘極延遲的時間，除了發生於一輸出端上之一導線的負載電容、一閘極負載電容及其它之外，大體上是由邏輯元件的級數所決定。

要注意的是，也可以透過第6圖中之型態的上述第一泛用邏輯模組，形成上述NAND電路。於此例中，上述第一



六、申請專利範圍

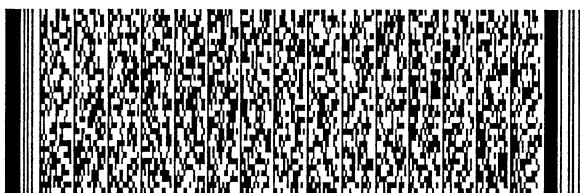
1. 一種泛用邏輯模組，包括：

- 一第一反相器，具有一輸入端連接至一第一節點；
- 一第二節點，連接至上述第一反相器之一輸出端；
- 一第二反相器，具有一輸入端連接至一第三節點；
- 一第三反相器，具有一輸入端連接至一第四節點；
- 一第一傳輸閘，具有一輸入端連接至上述第一反相器之輸出端，一第一控制輸入端連接至上述第四節點，以及一第二控制輸入端連接至上述第三反相器之一輸出端；
- 一第二傳輸閘，具有一輸入端連接至上述第二反相器之輸出端，一第一控制輸入端連接至上述第三反相器之輸出端，以及一第二控制輸入端連接至上述第四節點；以及
- 一第五節點，連接至上述第一傳輸閘之一輸出端，及上述第二傳輸閘之一輸出端。

2. 如申請專利第1項所述之泛用邏輯模組，其中藉由連接上述第一節點至一邏輯"0"，且設置上述第二節點為一非連接狀態，以形成一NAND電路，而上述NAND電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

3. 如申請專利第1項所述之泛用邏輯模組，其中藉由連接上述第三節點至一邏輯"1"，且設置上述第二節點為一非連接狀態，以形成一NOR電路，而上述NOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

4. 如申請專利第1項所述之泛用邏輯模組，其中藉由



六、申請專利範圍

連接上述第二節點至上述第三節點，以形成一EXNOR電路，而上述EXNOR電路上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

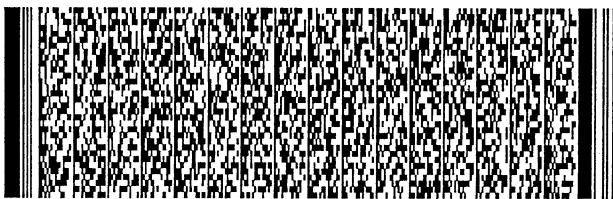
5. 如申請專利第1項所述之泛用邏輯模組，更包括一第六節點，連接至上述第二反相器之一輸出端。

6. 如申請專利第5項所述之泛用邏輯模組，其中藉由連接上述第一節點至上述第六節點，且設置上述第二節點為一非連接狀態，以形成一EXOR電路，而上述EXOR電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

7. 一種單元，包括：

(A) 一第一泛用邏輯模組，包括：

- 一第一反相器，具有一輸入端連接至一第一節點；
- 一第二節點，連接至上述第一反相器之一輸出端；
- 一第二反相器，具有一輸入端連接至一第三節點；
- 一第三反相器，具有一輸入端連接至一第四節點；
- 一第一傳輸閘，具有一輸入端連接至上述第一反相器之輸出端，一第一控制輸入端連接至上述第四節點，以及一第二控制輸入端連接至上述第三反相器之一輸出端；
- 一第二傳輸閘，具有一輸入端連接至上述第二反相器之輸出端，一第一控制輸入端連接至上述第三反相器之輸出端，以及一第二控制輸入端連接至上述第四節點；以及
- 一第五節點，連接至上述第一傳輸閘之一輸出端，及上述第二傳輸閘之一輸出端；



六、申請專利範圍

(B) 一第二泛用邏輯模組，包括：

一第四反相器，具有一輸入端連接至一第七節點，及一輸出端連接至一第八節點；以及

(C) 一第三泛用邏輯模組，包括：

一第五反相器，具有一輸入端連接至一第十一節點；
一第三傳輸閘，具有一輸入端連接至上述第九節點，一第一控制輸入端連接至上述第十一節點，以及一第二控制輸入端連接至上述第五反相器之一輸出端；

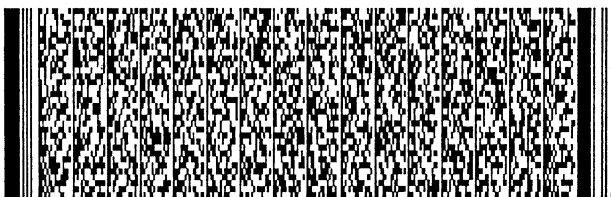
一第四傳輸閘，具有一輸入端連接至上述第十節點，一第一控制輸入端連接至上述第五反相器之輸出端，以及一第二控制輸入端連接至上述第十一節點；

一第六反相器，具有一輸入端連接至上述第三傳輸閘之一輸出端，及上述第四傳輸閘之一輸出端；以及

一第十二節點，連接至上述第六反相器之一輸出端。

8. 如申請專利第7項所述之單元，其中上述第一泛用邏輯模組形成於一NAND電路中，上述NAND電路係藉由連接上述第一節點至一邏輯"0"，且設置上述第二節點為一非連接狀態而形成，而上述NAND電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

9. 如申請專利第7項所述之單元，其中上述第一泛用邏輯模組形成於一NOR電路中，上述NOR電路係藉由連接上述第三節點至一邏輯"1"，且設置上述第二節點為一非連接狀態而形成，而上述NOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。



六、申請專利範圍

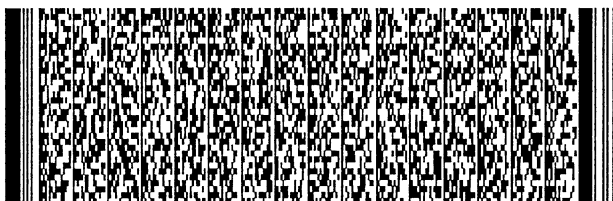
10. 如申請專利第7項所述之單元，其中上述第一泛用邏輯模組形成於一EXNOR電路中，上述EXNOR電路係藉由連接上述第二節點至上述第三節點而形成，而上述EXNOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

11. 如申請專利第7項所述之單元，其中上述第一泛用邏輯模組更包括一第六節點，連接至上述第二反相器之一輸出端。

12. 如申請專利第11項所述之單元，其中上述第一泛用邏輯模組形成於一EXOR電路中，上述EXOR電路係藉由連接上述第一節點至上述第六節點，且設置上述第二節點為一非連接狀態而形成，而EXOR電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

13. 如申請專利第7項所述之單元，其中藉由設置上述第一泛用邏輯模組之上述第二節點為非連接狀態，連接上述第一節點至一第一模組之上述第八節點，以及連接上述第五節點至上述第一模組之上述第七節點及一第二模組之上述第七節點，以形成一栓鎖電路，而上述栓鎖電路以上述第一泛用邏輯模組之上述第三節點作為一資料輸入端，上述第四節點作為一致能輸入端，以及上述第八節點作為一輸出端；其中上述第一模組為一個上述第二泛用邏輯模組，且上述第二模組為另一個上述第二泛用邏輯模組。

14. 如申請專利第7項所述之單元，其中藉由設置一第一模組之上述第二節點為非連接狀態，連接上述第一模組



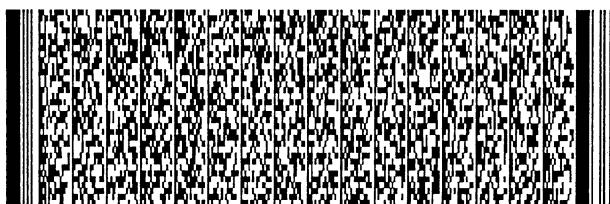
六、申請專利範圍

之上述第一節點至一第二模組之上述第二節點，連接上述第二模組之上述第三節點至一第三模組之上述第八節點，連接上述第五節點至上述第三模組之上述第七節點及一第四模組之上述第七節點，以形成一正反器電路，而上述正反器電路以上述第一模組之上述第三節點作為一資料輸入端，上述第一模組及第二模組之上述第四節點作為致能輸入端，以及上述第四模組之上述第八節點作為一輸出端；其中上述第一模組為一個上述第一泛用邏輯模組，且上述第二模組為另一個上述第一泛用邏輯模組，上述第三模組為一個上述第二泛用邏輯模組，上述第四模組為另一上述第二泛用邏輯模組。

15. 如申請專利第7項所述之單元，其中上述第一泛用邏輯模組、第二泛用邏輯模組及第三泛用邏輯模組具有一2:2:1的比率。

16. 一種泛用邏輯模組，包括：

- 一第一反相器，具有一輸入端連接至一第一節點；
- 一第二反相器，具有一輸入端連接至一第三節點；
- 一第六節點，連接至上述第二反相器之一輸出端；
- 一第三反相器，具有一輸入端連接至一第四節點；
- 一第一傳輸閘，具有一輸入端連接至上述第一反相器之一輸出端，一第一控制輸入端連接至上述第四節點，及一第二控制輸入端連接至上述第三反相器之一輸出端；
- 一第二傳輸閘，具有一輸入端連接至一第二反相器之一輸出端，一第一控制輸入端連接至上述第三反相器之輸



六、申請專利範圍

出端，及一第二控制輸入端連接至上述第四節點；以及一第五節點，連接至上述第一傳輸閘之一輸出端，及上述第二傳輸閘之一輸出端。

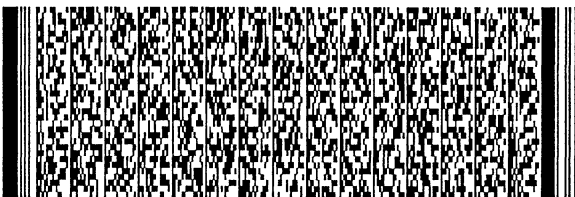
17. 如申請專利第16項所述之泛用邏輯模組，其中藉由連接上述第一節點至一邏輯"0"，且設置上述第六節點為一非連接狀態，以形成一NAND電路，且上述NAND電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

18. 如申請專利第16項所述之泛用邏輯模組，其中藉由連接上述第三節點至一邏輯"1"，且設置上述第六節點為一非連接狀態，以形成一NOR電路，且上述NOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

19. 如申請專利第16項所述之泛用邏輯模組，更包括一第二節點，連接至上述第一反相器之一輸出端；其中藉由連接上述第二節點至上述第三節點，及設置上述第六節點為上述非連接狀態，以形成一EXNOR電路，且上述EXNOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

20. 如申請專利第16項所述之泛用邏輯模組，其中藉由連接上述第一節點至上述第六節點，以形成一EXOR電路，且上述EXOR電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

21. 一種單元，包括：



六、申請專利範圍

(A) 一第一泛用邏輯模組，包括：

- 一第一反相器，具有一輸入端連接至一第一節點；
- 一第二反相器，具有一輸入端連接至一第三節點；
- 一第六節點，連接至上述第二反相器之一輸出端；
- 一第三反相器，具有一輸入端連接至一第四節點；
- 一第一傳輸閘，具有一輸入端連接至上述第一反相器之一輸出端，一第一控制輸入端連接至上述第四節點，及一第二控制輸入端連接至上述第三反相器之一輸出端；
- 一第二傳輸閘，具有一輸入端連接至一第二反相器之一輸出端，一第一控制輸入端連接至上述第三反相器之輸出端，及一第二控制輸入端連接至上述第四節點；以及
- 一第五節點，連接至上述第一傳輸閘之一輸出端，及上述第二傳輸閘之一輸出端；

(B) 一第二泛用邏輯模組包括：

- 一第四反相器，具有一輸入端連接至一第七節點，及一輸出端連接至一第八節點；以及

(C) 一第三泛用邏輯模組包括：

- 一第五反相器，具有一輸入端連接至一第十一節點；
- 一第三傳輸閘，具有一輸入端連接至一第九節點，一第一控制輸入端連接至上述第十一節點，及一第二控制輸入端連接至上述第五反相器之一輸出端；
- 一第四傳輸閘，具有一輸入端連接至一第十節點，一第一控制輸入端連接至上述第五反相器之一輸出端，及一第二控制輸入端連接至上述第十一節點；



六、申請專利範圍

一 第六反相器，具有一輸入端連接至一第三傳輸閘之一輸出端及上述第四傳輸閘之一輸出端；以及

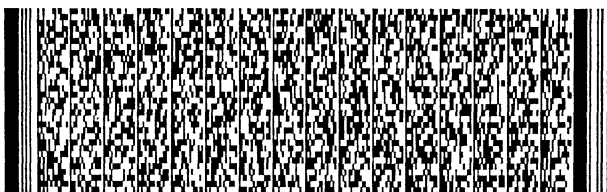
一第十二節點，連接至上述第六反相器之一輸出端。

22. 如申請專利第21項所述之單元，其中上述第一泛用邏輯模組形成於一NAND電路中，上述NAND電路係藉由連接上述第一節點至一邏輯"0"，且設置上述第六節點為一非連接狀態而形成，且上述NAND電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

23. 如申請專利第21項所述之單元，其中上述第一泛用邏輯模組形成於一NOR電路中，上述NOR電路係藉由連接上述第三節點至一邏輯"1"，且設置上述第六節點為一非連接狀態而形成，且上述NOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

24. 如申請專利第21項所述之單元，更包括一第二節點，連接至上述第一反相器之一輸出端；其中上述第一泛用邏輯模組形成於一EXNOR電路中，上述EXNOR電路係藉由連接上述第二節點至上述第三節點而形成，且上述EXNOR電路以上述第一節點及第四節點作為輸入端，且上述第五節點作為一輸出端。

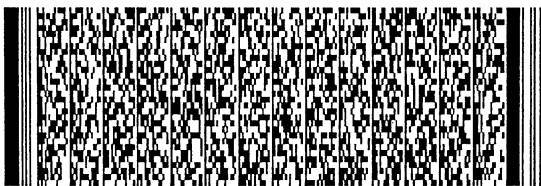
25. 如申請專利第21項所述之單元，其中上述第一泛用邏輯模組形成於一EXOR電路中，上述EXOR電路係藉由連接上述第一節點至上述第六節點而形成，且上述EXOR電路以上述第三節點及第四節點作為輸入端，且上述第五節點作為一輸出端。



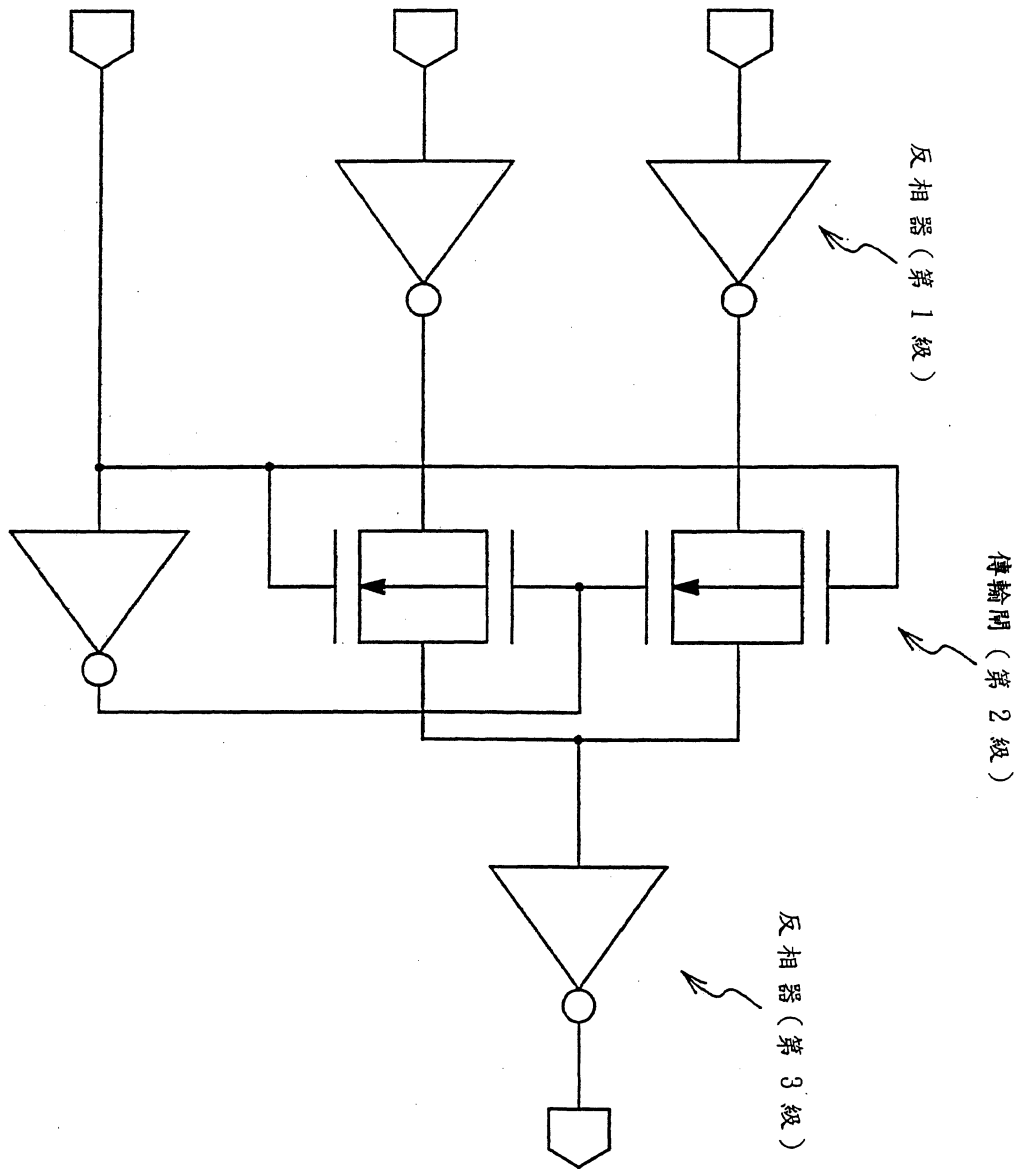
六、申請專利範圍

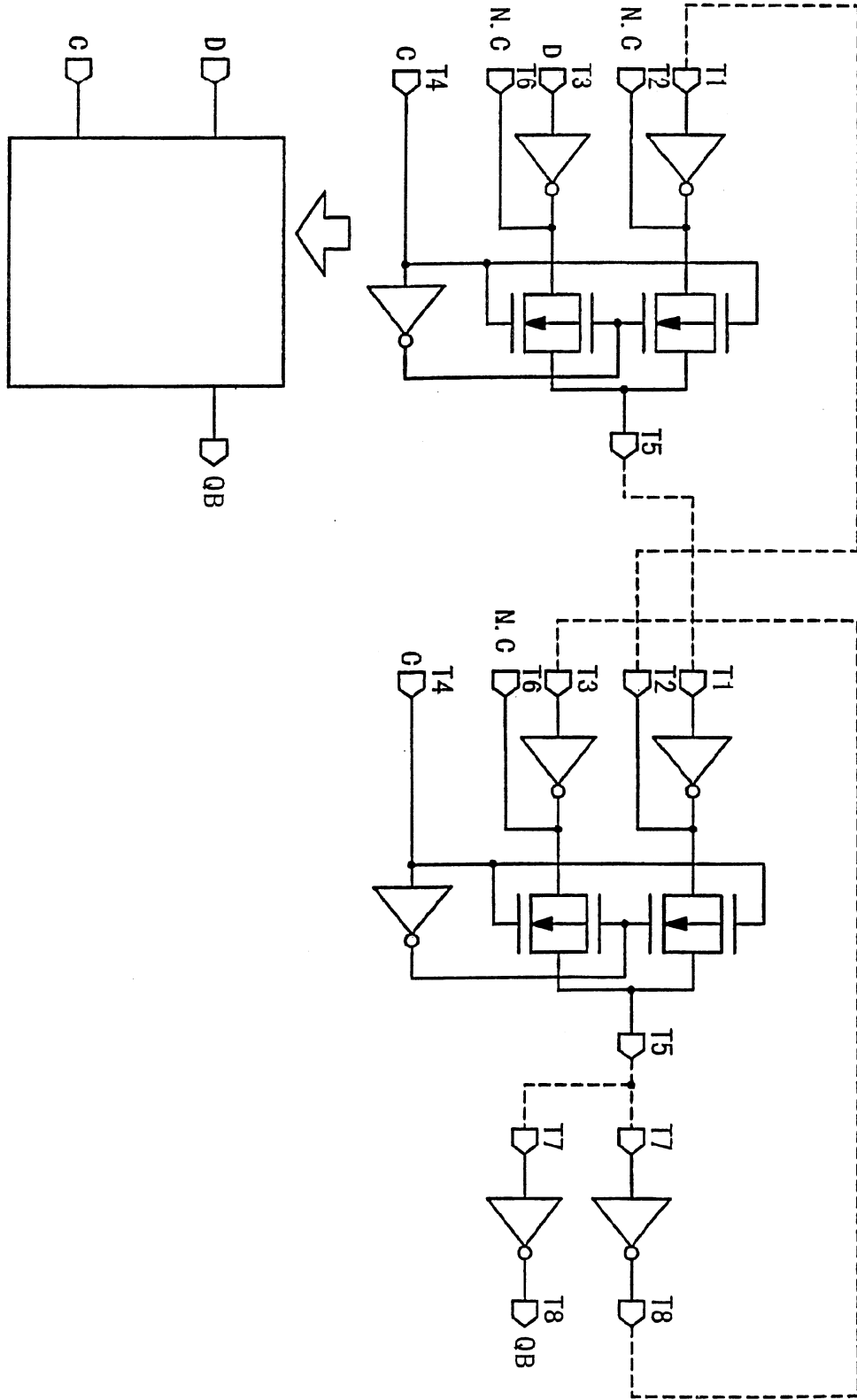
26. 如申請專利第21項所述之單元，其中一栓鎖電路係藉由設置上述第一泛用邏輯模組之上述第六節點為一非連接狀態，連接上述第一節點至一第一模組之上述第八節點，連接上述第一泛用邏輯模組之上述第五節點至上述第一模組之第七節點及一第二模組之第七節點而形成，且上述栓鎖電路以上述第一泛用邏輯模組之上述第三節點作為一資料輸入端，上述第四節點作為一致能輸入端，以及上述第二模組之上述第八節點作為一輸出端來形成；其中上述第一模組為一上述第二泛用邏輯模組，上述第二模組為另一上述第二泛用邏輯模組。

27. 如申請專利第21項所述之單元，其中上述第一泛用邏輯模組、第二泛用邏輯模組及第三泛用邏輯模組具有一2:2:1的比率。



第2圖





第16圖