



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I552312 B

(45)公告日：中華民國 105 (2016) 年 10 月 01 日

(21)申請案號：100138308

(22)申請日：中華民國 100 (2011) 年 10 月 21 日

(51)Int. Cl. : H01L27/108 (2006.01)

G11C11/40 (2006.01)

G11C11/401 (2006.01)

(30)優先權：2010/11/05 日本

2010-249111

2011/05/20 日本

2011-113176

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 特開 2002-319682A

JP 特開 2009-223971A

US 2006/0233038A1

審查人員：黃鼎富

申請專利範圍項數：14 項 圖式數：31 共 137 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

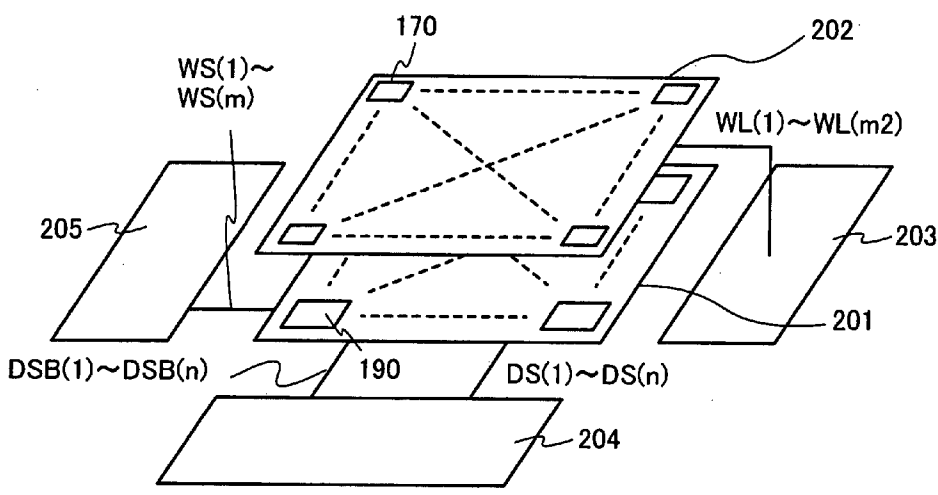
(57)摘要

本發明提供一種新結構的半導體裝置，其中即使在沒有供應電力的情況下也可以保持儲存資料，且對寫入次數也沒有限制。一種半導體裝置，該半導體裝置為將使用氧化物半導體的電晶體(作更廣義解釋，截止電流足夠小的電晶體)的儲存電路和採用使用氧化物半導體以外的材料的電晶體(換言之，能夠進行充分高速工作的電晶體)的驅動電路等的週邊電路形成為一體的半導體裝置。此外，藉由在下部設置週邊電路，在上部設置儲存電路，可以實現半導體裝置的面積的縮小化及小型化。

Provided is a semiconductor device with a novel structure in which stored data can be retained even when power is not supplied, and which does not have a limitation on the number of writing. The semiconductor device includes both a memory circuit including a transistor including an oxide semiconductor (in a broader sense, a transistor whose off-state current is sufficiently small), and a peripheral circuit such as a driver circuit including a transistor including a material other than an oxide semiconductor (that is, a transistor capable of operating at sufficiently high speed). Further, the peripheral circuit is provided in a lower portion and the memory circuit is provided in an upper portion, so that the area and size of the semiconductor device can be decreased.

指定代表圖：

圖1A



符號簡單說明：

- 170 . . . 儲存單元
- 190 . . . 感測門鎖
- 201 . . . 感測門鎖陣列
- 202 . . . 儲存單元陣列
- 203 . . . 第一字線驅動電路
- 204 . . . 資料線驅動電路
- 205 . . . 第二字線驅動電路
- DS(1)~DS(n) . . . 第一資料線
- DSB(1)~DSB(n) . . . 第二資料線
- WL(1)~WL(m2) . . . 第一字線
- WS(1)~WS(m) . . . 第二字線

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100138308

※申請日：100 年 10 月 21 日

※IPC 分類：
H01L 27/108 (2006.01)
G11C 11/40 (2006.01)
G11C 11/401 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明提供一種新結構的半導體裝置，其中即使在沒有供應電力的情況下也可以保持儲存資料，且對寫入次數也沒有限制。一種半導體裝置，該半導體裝置為將使用氧化物半導體的電晶體（作更廣義解釋，截止電流足夠小的電晶體）的儲存電路和採用使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速工作的電晶體）的驅動電路等的週邊電路形成為一體的半導體裝置。此外，藉由在下部設置週邊電路，在上部設置儲存電路，可以實現半導體裝置的面積的縮小化及小型化。

三、英文發明摘要：

Provided is a semiconductor device with a novel structure in which stored data can be retained even when power is not supplied, and which does not have a limitation on the number of writing. The semiconductor device includes both a memory circuit including a transistor including an oxide semiconductor (in a broader sense, a transistor whose off-state current is sufficiently small), and a peripheral circuit such as a driver circuit including a transistor including a material other than an oxide semiconductor (that is, a transistor capable of operating at sufficiently high speed). Further, the peripheral circuit is provided in a lower portion and the memory circuit is provided in an upper portion, so that the area and size of the semiconductor device can be decreased.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

170：儲存單元

190：感測閥鎖

201：感測閥鎖陣列

202：儲存單元陣列

203：第一字線驅動電路

204：資料線驅動電路

205：第二字線驅動電路

DS(1)~DS(n)：第一資料線

DSB(1)~DSB(n)：第二資料線

WL(1)~WL(m2)：第一字線

WS(1)~WS(m)：第二字線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明係關於一種利用半導體元件的半導體裝置及其驅動方法。

【先前技術】

利用半導體元件的儲存裝置大致分為揮發性儲存裝置和非揮發性儲存裝置，揮發性儲存裝置是如果沒有電力供應，儲存資料就消失的儲存裝置，而非揮發性儲存裝置是即使沒有電力供應也保持儲存資料的儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory: 動態隨機存取記憶體)。
DRAM 藉由選擇構成記憶元件的電晶體並將電荷積蓄在電容器內來儲存資料。

根據上述原理，因為當從 DRAM 讀出資料時電容器的電荷消失，所以每次讀出資料時都需要再次進行寫入工作。此外，由於在構成記憶元件的電晶體中因截止狀態下的源極電極與汲極電極之間的洩漏電流（截止電流）等而即使未選擇電晶體，電荷也流出或流入，所以資料保持期間較短。因此，需要按預定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為如果沒有電力供應，儲存資料就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以長期保持儲存資料。

作為揮發性儲存裝置的另一個例子，有 SRAM (

Static Random Access Memory：靜態隨機存取記憶體）。因 SRAM 使用正反器等電路保持儲存資料，而不需要進行刷新工作。在這一點上 SRAM 優越於 DRAM。但是，由於使用正反器等電路，所以存在儲存電容器的單價高的問題。此外，在如果沒有電力供應，儲存資料就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。由於快閃記憶體在電晶體的閘極電極與通道形成區之間包括浮動閘極，並使該浮動閘極保持電荷來進行儲存，因此，快閃儲存器具有其資料保持期間極長（幾乎永久）並且不需要進行揮發性儲存裝置需要進行的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時發生的穿隧電流導致構成記憶元件的閘極絕緣層的劣化，從而發生記憶元件因進行預定次數的寫入而不能發揮其功能的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了實現該方法，需要複雜的週邊電路。另外，即使採用這種方法，也不能解決使用壽命的根本問題。就是說，快閃記憶體不適合於資料的重寫頻度高的用途。

另外，為了對浮動閘極注入電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的注入或去除需要較長時間而難以實現寫入和擦除的高速化的問題。

作為非揮發性儲存裝置的另一個例子，有使用磁性材

料的儲存裝置的 MRAM (Magnetoresistive Random Access Memory : 磁性隨機存取記憶體) 。 MRAM 有如下問題 , 即由於在寫入工作中耗電量較高 , 所以難以對多個儲存單元同時進行寫入工作。

〔專利文獻 1〕 日本專利申請公開 昭 57-105889 號
公報

【發明內容】

鑒於上述問題 , 所公開的發明的一個實施例的目的之一是提供一種即使沒有電力供應也能夠保持儲存資料且對寫入次數也沒有限制的新結構的半導體裝置。

在本發明的一個實施例中 , 使用能夠使電晶體的截止電流足夠小的材料 , 例如使用寬頻隙半導體的氧化物半導體材料 , 來構成儲存裝置。藉由將能夠充分降低電晶體的截止電流的半導體材料用於儲存裝置 , 可以長期保持儲存資料。此外 , 使用氧化物半導體以外的半導體材料構成驅動電路或控制電路等週邊電路。藉由將與氧化物半導體材料相比能夠高速工作的氧化物半導體材料以外的半導體材料用於週邊電路 , 可以使儲存電路高速工作。

本發明的一個實施例是一種半導體裝置 , 該半導體裝置包括 : 設置在半導體基板上的感測門鎖陣列 ; 以及設置在感測門鎖陣列上的儲存單元陣列 , 其中 , 感測門鎖陣列包括配置為矩陣狀的多個感測門鎖 , 儲存單元陣列包括配置為矩陣狀的多個儲存單元 , 多個儲存單元分別包括閘極

電極、源極電極、汲極電極、閘極絕緣層、包含氧化物半導體層的電晶體以及電容元件，並且，感測門鎖的第一端子和第二端子中的至少一個與設置在感測門鎖的上部的電晶體的源極電極或汲極電極電連接。

本發明的一個實施例是一種半導體裝置，該半導體裝置包括：設置在半導體基板上的感測門鎖陣列；以及層疊在感測門鎖陣列上的多個儲存單元陣列，其中，感測門鎖陣列包括配置為矩陣狀的多個感測門鎖，多個儲存單元陣列分別包括配置為矩陣狀的多個儲存單元，多個儲存單元分別包括閘極電極、源極電極、汲極電極、閘極絕緣層、包含氧化物半導體層的電晶體以及電容元件，並且，感測門鎖的第一端子和第二端子中的至少一個在多個儲存單元陣列的每一個中與設置在感測門鎖的上部的電晶體中的每一個的源極電極或汲極電極電連接。

在上述各半導體裝置中，還包括第一字線驅動電路、第二字線驅動電路以及資料線驅動電路，第一字線驅動電路藉由第一字線電連接於多個儲存單元，第二字線驅動電路藉由第二字線電連接於多個感測門鎖，並且，資料線驅動電路藉由第一資料線及第二資料線電連接於多個感測門鎖。

本發明的一個實施例是一種半導體裝置，該半導體裝置包括：設置在半導體基板上的感測門鎖陣列；以及層疊在感測門鎖陣列上的第一儲存單元陣列及第二儲存單元陣列，其中，感測門鎖陣列包括配置為矩陣狀的多個感測門

鎖，第一儲存單元陣列及第二儲存單元陣列分別包括配置為矩陣狀的多個儲存單元，第一儲存單元陣列所具有的多個儲存單元分別包括第一閘極電極、第一源極電極、第一汲極電極、第一閘極絕緣層、包含第一氧化物半導體層的第一電晶體以及第一電容元件，第二儲存單元陣列所具有的多個儲存單元分別包括第二閘極電極、第二源極電極、第二汲極電極、第二閘極絕緣層、包含第二氧化物半導體層的第二電晶體以及第二電容元件，並且，感測門鎖的第一端子和第二端子中的至少一個電連接於設置在感測門鎖的上部的第一電晶體的第一源極電極或第一汲極電極、第二電晶體的第二源極電極或第二汲極電極。

在上述半導體裝置中，還包括第一字線驅動電路、第二字線驅動電路以及資料線驅動電路，第一字線驅動電路藉由第一字線電連接於第一儲存單元陣列及第二儲存單元陣列所具有的多個儲存單元的每一個，第二字線驅動電路藉由第二字線電連接於多個感測門鎖，並且，資料線驅動電路藉由第一資料線及第二資料線電連接於多個感測門鎖。

在上述半導體裝置中，第一氧化物半導體層及第二氧化物半導體層較佳包含相同的氧化物半導體材料。

在上述半導體裝置中，半導體基板較佳包含與氧化物半導體層不同的半導體材料。

另外，雖然在上述半導體裝置中使用氧化物半導體材料構成電晶體，但是所公開的發明不侷限於此。在上述半

導體裝置中也可以使用能夠實現與氧化物半導體材料同等的截止電流特性的材料，例如碳化矽等的寬頻隙材料（更明確而言，例如，能隙 E_g 大於 3eV 的半導體材料）等。

注意，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在……上”或“直接在……下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層與閘極電極之間包括其他構成要素的結構。另外，“上”或“下”只是為了便於說明而使用的。

此外，在本說明書等中，“電極”或“佈線”不在功能上限定這些構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

此外，在採用極性不同的電晶體的情況或電路工作中的電流方向發生變化的情況等下，“源極電極”和“汲極電極”的功能有時互相調換。因此，在本說明書等中，可以互相調換地使用“源極電極”和“汲極電極”。

另外，在本說明書等中，“電連接”也包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以在連接物件之間進行電信號的授受，就沒有特別的限制。

由於使用氧化物半導體材料的電晶體的截止電流極小，所以藉由將該電晶體用於儲存電路，能夠極為長期保持儲存資料。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電

量。另外，即使沒有電力供應（但是，較佳固定電位），也可以在較長期間內保持儲存資料。

另外，在包括使用氧化物半導體材料的電晶體的儲存電路中，在寫入資料時不需要高電壓，從而也沒有記憶元件劣化的問題。例如，與現有的非揮發性記憶體的情況不同，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，包括使用氧化物半導體材料的電晶體的儲存電路對改寫次數沒有限制，該限制是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資料的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資料的工作的優點。

此外，使用氧化物半導體以外的半導體材料的電晶體可以與使用氧化物半導體材料的電晶體相比進行充分高速的工作。因此，藉由將使用氧化物半導體以外的半導體材料的電晶體用於週邊電路（控制電路、驅動電路等），可以適當地實現充分確保高速工作的週邊電路。從而，藉由組合該週邊電路與包括使用氧化物半導體材料的儲存電路，可以充分確保半導體裝置的工作（例如，資料的讀出工作或寫入工作等）的高速性。

像這樣，藉由將使用氧化物半導體以外的半導體材料的電晶體（換言之，可以進行充分的高速工作的電晶體）的週邊電路和使用氧化物半導體材料的電晶體（作更廣義解釋，截止電流足夠小的電晶體）的儲存電路形成為一體

，可以實現具有新穎的特徵的半導體裝置。

【實施方式】

以下，參照圖式對本發明的實施例的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施例所記載的內容中。

另外，圖式等所示的各結構的位置、大小、範圍等為容易理解而有時不表示實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數詞是為避免結構要素的混同而附記的，而不是用於在數目方面上進行的限制。

實施例 1

參照圖 1A 至圖 6 說明有關本發明的一個實施例的半導體裝置的結構。

〈半導體裝置的結構〉

圖 1A 和圖 1B 是示出有關本發明的一個實施例的半導體裝置的結構的一個例子的概念圖。有關本發明的一個實

施例的半導體裝置是在上部具有儲存電路，在下部具有爲了驅動儲存電路需要進行高速工作的驅動電路或控制電路等週邊電路的疊層結構的半導體裝置。此外，驅動電路或控制電路既可以爲邏輯電路，又可以爲包括類比電路的電路。此外，驅動電路或控制電路也可以包括運算電路。

圖 1A 所示的半導體裝置包括：在其下部具有配置爲矩陣狀的多個感測門鎖 190 的感測門鎖陣列 201；在其上部具有配置爲矩陣狀的多個儲存單元 170（也表示爲記憶元件）的儲存單元陣列 202（也表示爲儲存電路）。此外，在下部除了感測門鎖陣列 201 以外還設置有第一字線驅動電路 203、資料線驅動電路 204、第二字線驅動電路 205 等週邊電路。將感測門鎖陣列 201 以外的第一字線驅動電路 203、資料線驅動電路 204 及第二字線驅動電路 205 也表示爲週邊電路。

資料線驅動電路 204 包括讀出電路、寫入電路。此外，資料線驅動電路 204 藉由 n 個第一資料線 $DS(1)$ 至 $DS(n)$ 及第二資料線 $DSB(1)$ 至 $DSB(n)$ 連接於感測門鎖陣列 201 所具有的多個感測門鎖 190。此外，資料線驅動電路 204 根據地址信號選擇感測門鎖陣列 201 中的預定的感測門鎖 190 的行。讀出電路將被選擇的行的感測門鎖 190 的輸出信號用作輸入信號讀出儲存在感測門鎖 190 中的資料。此外，寫入電路輸出對應於對被選擇的行的感測門鎖 190 進行寫入的資料的信號。此外，資料線驅動電路 204 也可以包括預充電電路。預充電電路對被選擇的行

的感測門鎖的輸入輸出端子供應預定的電位（預充電電位 V_{pc} ）。

第一字線驅動電路 203 藉由 m_2 個第一字線 $WL(1)$ 至 $WL(m_2)$ 連接於儲存單元陣列 202 所具有的多個儲存單元 170。此外，第一字線驅動電路 203 根據地址信號選擇儲存單元陣列 202 中的預定的儲存單元 170 的列。既可以選擇一個列，又可以選擇多個列。

第二字線驅動電路 205 藉由 m 個第二字線 $WS(1)$ 至 $WS(m)$ 連接於感測門鎖陣列 201 所具有的多個感測門鎖 190。此外，第二字線驅動電路 205 根據地址信號選擇感測門鎖陣列 201 中的預定的感測門鎖 190 的列。既可以選擇一個列，又可以選擇多個列。

圖 1B 示出其一部分與圖 1A 不同的半導體裝置的例子。圖 1B 所示的半導體裝置包括：在其下部具有配置為矩陣狀的多個感測門鎖 190 的感測門鎖陣列 201；在其上部具有配置為矩陣狀的多個儲存單元 170 的儲存單元陣列 202(1) 至 202(k)。此外，在下部除了感測門鎖陣列 201 以外還設置有第一字線驅動電路 203、資料線驅動電路 204、第二字線驅動電路 205 等週邊電路。此外，圖 1B 所示的半導體裝置的第一層為感測門鎖陣列 201，第二層為儲存單元陣列 202(1)，而第 $(k+1)$ 層為儲存單元陣列 202(k)。在此， k 為自然數。

資料線驅動電路 204 包括讀出電路、寫入電路。此外，資料線驅動電路 204 藉由 n 個第一資料線 $DS(1)$ 至

DS (n) 及第二資料線 DSB (1) 至 DSB (n) 連接於感測門鎖陣列 201 所具有的多個感測門鎖 190。此外，資料線驅動電路 204 根據地址信號選擇感測門鎖陣列 201 中的預定的感測門鎖 190 的行。讀出電路將被選擇的行的感測門鎖 190 的輸出信號用作輸入信號讀出儲存在感測門鎖 190 中的資料。此外，寫入電路輸出對應於對被選擇的行的感測門鎖 190 進行寫入的資料的信號。此外，資料線驅動電路 204 也可以包括預充電電路。預充電電路對被選擇的行的感測門鎖的輸入輸出端子供應預定的電位（預充電電位 V_{pc} ）。

第一字線驅動電路 203 藉由 $k \times m^2$ 個第一字線 WL (1) 至 WL ($k \times m^2$) 連接於儲存單元陣列 202 (1) 至 202 (k) 的每一個所具有的多個儲存單元 170。此外，第一字線驅動電路 203 根據選擇層的位址信號選擇儲存單元陣列 202 (1) 至 202 (k) 中的預定的儲存單元陣列，並根據選擇列的位址信號選擇被選擇的層的儲存單元陣列的預定的儲存單元 170 的列。此外，可以選擇儲存單元 170 的列中的一個列或多個列。

第二字線驅動電路 205 藉由 m 個第二字線 WS (1) 至 WS (m) 連接於感測門鎖陣列 201 所具有的多個感測門鎖 190。此外，第二字線驅動電路 205 根據地址信號選擇感測門鎖陣列 201 中的預定的感測門鎖 190 的列。可以選擇感測門鎖的列中的一個列或多個列。

〈儲存單元及感測門鎖的結構〉

圖 2 是示出在圖 1A 和圖 1B 中的半導體裝置中第 (i_z+1) 層的儲存單元陣列 202 (i_z) 的 i_x 列 i_y 行的儲存單元 170 (i_x 、 i_y 、 i_z) 及第一層的感測門鎖陣列 201 的 i_x 列 i_y 行的感測門鎖 190 (i_x 、 i_y 、1) 的電路結構。

圖 2 所示的儲存單元 170 (i_x 、 i_y 、 i_z) 包括使用氧化物半導體材料的電晶體 162 及電容元件 164。此外，在圖 2 中，爲了表示使用氧化物半導體材料，附上“OS”的符號。

在圖 2 所示的儲存單元 170 (i_x 、 i_y 、 i_z) 中第一字線 WL (i_x 、 i_z) 與電晶體 162 的閘極電極電連接，電容線 CP (i_x 、 i_z) 與電容元件 164 的一方的端子電連接，電容元件 164 的另一方的端子與電晶體 162 的源極電極或汲極電極電連接，電晶體 162 的源極電極或汲極電極與感測門鎖 190 (i_x 、 i_y 、1) 的節點 p 電連接。此外，第一字線 WL (i_x 、 i_z) 在儲存單元陣列 202 (i_z) 中表示第 i_x 列的第一字線 WL，而電容線 CP (i_x 、 i_z) 表示在儲存單元陣列 202 (i_z) 中的第 i_x 列的電容線 CP。

此外，圖 2 所示的感測門鎖 190 (i_x 、 i_y 、1) 由使用氧化物半導體以外的半導體材料的電晶體 181 至 188 構成。此外，作爲氧化物半導體以外的半導體材料，例如可以使用矽等。此外，電晶體 181 至 183 爲 p 通道型電晶體，電晶體 184 至 188 爲 n 通道型電晶體。

在圖 2 所示的感測門鎖 190 (i_x 、 i_y 、1) 中，第一資

料線 $DS(iy)$ 與電晶體 184 的源極電極或汲極電極電連接，第二資料線 $DSB(iy)$ 與電晶體 185 的源極電極或汲極電極電連接。此外，信號線 $Sp(ix)$ 與電晶體 181 的閘極電極電連接，第二字線 $WS(ix)$ 與電晶體 184 的閘極電極及電晶體 185 的閘極電極電連接，信號線 $Sn(ix)$ 與電晶體 188 的閘極電極電連接。

此外，由 p 通道型電晶體的電晶體 182 及 n 通道型電晶體的電晶體 186 構成 CMOS 電路 A。同樣的，由 p 通道型電晶體的電晶體 183 及 n 通道型電晶體的電晶體 187 構成 CMOS 電路 B。CMOS 電路 A 的輸出端子與 CMOS 電路 B 的輸入端子及電晶體 185 的源極電極或汲極電極連接，CMOS 電路 A 的輸入端子與 CMOS 電路 B 的輸出端子及電晶體 184 的源極電極或汲極電極連接。此外，電晶體 182 的源極電極及電晶體 183 的源極電極與電晶體 181 的汲極電極連接，電晶體 186 的源極電極及電晶體 187 的源極電極與電晶體 188 的汲極電極連接。

在此，CMOS 電路 A 的輸出端子與電晶體 184 的源極電極或汲極電極之間的節點為節點 p。此外，CMOS 電路 B 的輸出端子與電晶體 185 的源極電極或汲極電極之間的節點為節點 q。

在圖 2 中說明感測門鎖 190 (ix, iy, l) 的節點 p 與儲存單元 170 (ix, iy, iz) 連接的情況，儲存單元 170 也可以與感測門鎖 190 (ix, iy, l) 的節點 q 連接，儲存單元 170 也可以分別與感測門鎖 190 (ix, iy, l) 的節點 p

及節點 q 連接。在感測閘鎖 $190 (ix, iy, 1)$ 的節點 p 及節點 q 分別與儲存單元連接的情況下，可以提高儲存單元陣列 202 的整合度。

此外，在圖 2 中示出感測閘鎖 $190 (ix, iy, 1)$ 的節點 p 與儲存單元 $170 (ix, iy, iz)$ 連接的情況，但是本發明的一個實施例不侷限於此。感測閘鎖 $190 (ix, iy, 1)$ 的節點 p 也可以與多個儲存單元連接。例如，當在感測閘鎖陣列 201 上層疊有多個儲存單元陣列時，該節點 p 可以與多個儲存單元陣列所具有的儲存單元的每一個連接。明確而言，在層疊 iz 層儲存單元陣列時，感測閘鎖 $190 (ix, iy, 1)$ 的節點 p 可以與儲存單元 $170 (ix, iy, 2)$ 至儲存單元 $170 (ix, iy, iz+1)$ 的每一個連接。此外，節點 q 的情況也與節點 p 的情況同樣。

接著，說明對圖 2 所示的儲存單元 $170 (ix, iy, iz)$ 寫入資料及在該儲存單元中保持資料的情況。

首先，將第一字線 $WL (ix, iz)$ 的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，感測閘鎖 $190 (ix, iy, 1)$ 的節點 p 的電位施加到電容元件 164 的第一端子（寫入）。然後，將第一字線 $WL (ix, iz)$ 的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，從而電容元件 164 的第一端子的電位（或者，儲存在電容元件 164 中的電荷）被保持（保持）。

電晶體 162 的通道形區使用氧化物半導體材料而形成

。將氧化物半導體材料用於通道形成區的電晶體具有截止電流極小的特徵。由此，藉由使電晶體 162 成為截止狀態，可以在極長時間儲存電容元件 164 的第一端子的電位（或者，儲存在電容元件 164 中的電荷）。此外，將氧化物半導體材料用於通道形成區的電晶體 162 有不容易呈現短通道效應的優點。

接著，說明保持在儲存單元 170（ i_x 、 i_y 、 i_z ）中的資料的讀出。首先，將第一字線 WL（ i_x 、 i_z ）的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，處於浮動狀態的節點 p 與電容元件 164 導通，而在節點 p 與電容元件 164 之間再次分配電荷。其結果是，節點 p 的電位變化。節點 p 的電位的變化量根據電容元件 164 的第一端子的電位（或者，儲存在電容元件 164 中的電荷）取不同的值。

例如，以 V 為電容元件 164 的第一端子的電位，以 C 為電容元件 164 的電容，以 C_B 為節點 p 所具有的電容成分（以下，也稱為節點 p 的電容），以 V_{B0} 為再次分配電荷之前的節點 p 的電位，再次分配電荷之後的節點 p 的電位為 $V_p = (C_B \times V_{B0} + C \times V) / (C_B + C)$ 。因此，可知在作為儲存單元 170（ i_x 、 i_y 、 i_z ）的狀態電容元件 164 的第一端子的電位取 V_1 和 V_0 （ $V_1 > V_0$ ）的兩個狀態時，保持電位 V_1 時的節點 p 的電位 $V_{p1} (= (C_B \times V_{B0} + C \times V_1) / (C_B + C))$ 高於保持電位 V_0 時的節點 p 的電位 $V_{p0} (= (C_B \times V_{B0} + C \times V_0) / (C_B + C))$ 。

並且，藉由比較節點 p 的電位與預定的電位，可以讀出資料。在感測門鎖 190 (i_x 、 i_y 、1) 中，比較節點 p 的電位 V_p 與節點 q 的電位 V_q 。節點 q 的電位 V_q 取節點 p 的電位 V_{p0} 與 V_{p1} 之間的值即可。

由於使用氧化物半導體材料的電晶體的截止電流極小，所以藉由將該電晶體用於儲存單元，能夠極為長期保持儲存資料。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供應（但是，較佳固定電位），也可以在較長期間內保持儲存資料。由此，不需要利用磁性材料或光學材料的其他儲存裝置，因此可以實現半導體裝置的小型化。

另外，在包括使用氧化物半導體材料的電晶體的儲存單元中，在寫入資料時不需要高電壓，且也沒有記憶元件劣化的問題。例如，與現有的非揮發性記憶體的情況不同，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，包括使用氧化物半導體材料的電晶體的儲存單元對改寫次數沒有限制，該限制是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資料的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資料的工作的優點。

此外，使用氧化物半導體以外的半導體材料的電晶體可以與使用氧化物半導體材料的電晶體相比進行充分高速

的工作。因此，藉由組合包括使用氧化物半導體以外的半導體材料的電晶體的感測門鎖與包括使用氧化物半導體材料的電晶體的儲存單元來使用，可以充分確保半導體裝置的工作（例如，資料的讀出工作或寫入工作等）的高速性。

〈半導體裝置的驅動方法〉

接著，參照圖 3 至圖 6 說明在圖 2 所示的半導體裝置中，從儲存單元陣列對感測門鎖陣列讀出資料，從感測門鎖陣列對儲存單元陣列寫入資料，在儲存單元陣列中保持資料。此外，在儲存單元中，電容元件的第一端子保持電位 VDD 或電位 VSS 的兩個狀態，以保持電位 VDD 的狀態為資料“1”，而以保持電位 VSS 的狀態為資料“0”。

圖 3 示出資料線驅動電路 204、感測門鎖陣列 201 及儲存單元陣列 202 (iz)。此外，圖 3 示出圖 1B 所示的半導體裝置的一部分。儲存單元陣列 202 (iz) 包括 m 個第一字線 WL (1、iz) 至 WL (m、iz) 及電容線 CP (1、iz) 至 CP (m、iz)、配置為矩陣狀的縱 m 個×橫 n 個儲存單元 170 (1、1、iz) 至 170 (m、n、iz)。此外，感測門鎖陣列 201 包括 m 個信號線 Sp (1) 至 Sp (m)、信號線 Sn (1) 至 Sn (m) 及第二字線 WS (1) 至 WS (m)、配置為矩陣狀的縱 m 個×橫 n 個感測門鎖 190 (1、1、1) 至 190 (m、n、1)。此外，在此，採用第一字線的個數與第二字線的個數都是 m 的結構（圖 1B 中的 m2 記為 m

）。此外，電容線 $CP(1, iz)$ 至 $CP(m, iz)$ 也可以使用共同信號線。

此外，在第 $(1+iz)$ 層的儲存單元陣列 $202(iz)$ 中， ix 列 iy 行儲存單元 $170(ix, iy, iz)$ 在第一層的感測門鎖陣列 201 中與 ix 列 iy 行感測門鎖 $190(ix, iy, 1)$ 的節點 p 連接。其他儲存單元及感測門鎖也是同樣的情況。

此外，資料線驅動電路 204 藉由第一資料線 $DS(1)$ 至 $DS(n)$ 、第二資料線 $DSB(1)$ 至 $DSB(n)$ 連接於感測門鎖陣列 201 。資料線驅動電路 204 包括信號線 ϕ_{pc} 、 n 個讀出電路 $241(1)$ 至 $241(n)$ 、 n 個寫入電路 $242(1)$ 至 $242(n)$ 、 n 個預充電電路 $243(1)$ 至 $243(n)$ 。例如，在 iy 列中，讀出電路 $241(iy)$ 、寫入電路 $242(iy)$ 、預充電電路 $243(iy)$ 、感測門鎖 $190(1, iy, 1)$ 至 $190(m, iy, 1)$ 藉由第一資料線 $DS(iy)$ 及第二資料線 $DSB(iy)$ 彼此電連接。

在此，參照圖 4A 至圖 4D 所示的時序圖對在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中對第 ix 列的儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 進行資料的讀出、寫入及保持的情況進行說明。

圖 4A 是信號線 ϕ_{pc} 及第二字線 $WS(ix)$ 的時序圖，圖 4B 是信號線 $Sp(ix)$ 、信號線 $Sn(ix)$ 及第一字線 $WL(ix, iz)$ 的時序圖，圖 4C 是在讀出或寫入資料“1”時在連接於儲存單元 170 的節點 p 及節點 q 的時序圖，而

圖 4D 是在讀出或寫入資料 “0” 時連接於儲存單元 170 的節點 p 及節點 q 的時序圖。

在儲存單元陣列 202 (iz) 中，爲了第 ix 列的儲存單元 170 (ix、1、iz) 至 170 (ix、n、iz) 讀出資料，首先藉由對信號線 Sp (ix) 施加電位 VDD，對信號線 Sn (ix) 施加電位 VSS，使第 ix 列的感測門鎖 190 (ix、1、1) 至 190 (ix、n、1) 不工作。

此外，藉由對第 ix 列的感測門鎖 190 (ix、1、1) 至 190 (ix、n、1) 的每一個所具有的節點 p 及節點 q 施加電位 Vpc，進行預充電。例如，藉由對信號線 ϕ_{pc} 施加電位 VDD，對第二字線 WS (ix) 施加電位 VDD，對感測門鎖 190 (ix、1、1) 至 190 (ix、n、1) 的每一個所具有的節點 p 及節點 q 施加電位 Vpc。電位 Vpc 例如爲 (VDD/2)。然後，藉由使對信號線 ϕ_{pc} 及第二字線 WS (ix) 施加的電位爲 VSS，結束預充電。

接著，使第 ix 列的第一字線 WL (ix、iz) 工作，而使儲存單元 170 (ix、1、iz) 至 170 (ix、n、iz) 的每一個所具有的電晶體成爲導通狀態。在此，對第一字線 WL (ix、iz) 施加比電位 VDD 高的電位 VDDH。

其結果是，在儲存單元 170 (ix、1、iz) 至 170 (ix、n、iz) 中，連接於儲存資料 “1” 的儲存單元 170 的節點 p 在節點 p 所具有的電容成分與儲存單元 170 所具有的電容元件之間電荷被分配，節點 p 的電位稍微上升。此外，在儲存單元 170 (ix、1、iz) 至 170 (ix、n、iz) 中，

連接於儲存資料“0”的儲存單元 170 的節點 p 所具有的電容成分與儲存單元 170 所具有的電容元件之間分配電荷，因此節點 p 的電位稍微下降。

接著，使第 ix 列的感測門鎖 190 ($ix, 1, 1$) 至 190 ($ix, n, 1$) 工作。明確而言，對信號線 $S_n(ix)$ 施加的電位從電位 V_{SS} 變為電位 V_{DD} ，對信號線 $S_p(ix)$ 施加的電位從電位 V_{DD} 變為電位 V_{SS} 。

其結果是，第 ix 列的感測門鎖 190 ($ix, 1, 1$) 至 190 ($ix, n, 1$) 工作，放大節點 p 與節點 q 之間的電位差。連接於儲存資料“1”的儲存單元 170 的感測門鎖 190 的節點 p 的電位藉由電荷的再次分配與節點 q 相比成為稍微高。由此，該電位差利用感測門鎖被放大，並儲存在感測門鎖中。換言之，對節點 p 施加電位 V_{DD} ，而對節點 q 施加電位 V_{SS} 。此外，連接於儲存在資料“0”的儲存單元 170 的感測門鎖 190 的節點 p 的電位藉由電荷的再次分配與節點 q 相比稍微低。由此，該電位差藉由感測門鎖被放大，並儲存在感測門鎖中。換言之，對節點 p 施加電位 V_{SS} ，而對節點 q 施加電位 V_{DD} 。藉由上述那樣，資料從儲存單元 170 ($ix, 1, iz$) 至 170 (ix, n, iz) 讀出到感測門鎖 190 ($ix, 1, 1$) 至 190 ($ix, n, 1$)。

然後，藉由使第一字線 $WL(ix, iz)$ 不工作（在此，施加電位 V_{SS} ），使儲存單元 170 ($ix, 1, iz$) 至 170 (ix, n, iz) 的每一個所具有的電晶體成為截止狀態。此時，在儲存單元 170 ($ix, 1, iz$) 至 170 (ix, n, iz) 中

再次儲存原來所儲存的資料。

藉由上述步驟，可以將資料從儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 讀出到感測門鎖 $190(ix, 1, 1)$ 至 $190(ix, n, 1)$ 。

接著，參照圖 4A 至圖 4D 所示的時序圖在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，對第 ix 列的儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 寫入儲存在感測門鎖 $190(ix, 1, 1)$ 至 $190(ix, n, 1)$ 中的資料的情況。

在儲存單元陣列 $202(iz)$ 中，為了對第 ix 列的儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 寫入儲存在感測門鎖 $190(ix, 1, 1)$ 至 $190(ix, n, 1)$ 中的資料，使第 ix 列的第一字線 $WL(ix, iz)$ 工作即可。在此，對第一字線 $WL(ix, iz)$ 施加比電位 VDD 高的電位 $VDDH$ 。

其結果是，當在感測門鎖 190 中儲存資料“1”時，對節點 p 施加 VDD ，而對節點 q 施加 VSS 。由此，對與儲存資料“1”的感測門鎖 190 的節點 p 連接的儲存單元 170 的電容元件的第一端子施加 VDD 。另外，當在感測門鎖 190 中儲存資料“0”時，對節點 p 施加 VSS ，而對節點 q 施加 VDD 。由此，對與儲存資料“0”的感測門鎖 190 的節點 p 連接的儲存單元 170 的電容元件的第一端子施加 VSS 。

然後，藉由使第一字線 $WL(ix, iz)$ 不工作（在此，施加電位 VSS ），使儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 的每一個所具有的電晶體成為截止狀態。

如上所述，可以從感測閥鎖 $190(ix, 1, 1)$ 至 $190(ix, n, 1)$ 對儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 寫入資料。

在儲存在儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 中的資料時，使連接於儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 的第一字線 $WL(ix, iz)$ 不工作（在此，施加電位 VSS ）即可。由此，由於儲存單元 $170(ix, 1, iz)$ 至 $170(ix, n, iz)$ 的每一個所具有的電晶體成為截止狀態，所以電容元件的第一端子的電位（或儲存在電容元件中的電荷）被保持。

接著，參照圖 5A 至圖 5D 所示的時序圖對在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，從第一列至第 m 列的儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 讀出、寫入及保持資料的情況進行說明。

圖 5A 是信號線 ϕ_{pc} 及第二字線 $WS(1)$ 至 $WS(m)$ 的時序圖，圖 5B 是信號線 $Sp(1)$ 至 $Sp(m)$ 、信號線 $Sn(1)$ 至 $Sn(m)$ 及第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 的時序圖，圖 5C 是與儲存在資料“1”的儲存單元 170 連接的節點 p 及節點 q 的時序圖，而圖 5D 是與儲存資料“0”的儲存單元 170 連接的節點 p 及節點 q 的時序圖。

在儲存單元陣列 $202(iz)$ 中，為了第一列至第 m 列的儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 讀出資料，首先藉由對信號線 $Sp(1)$ 至 $Sp(m)$ 施加電位 VDD

，對信號線 $S_n(1)$ 至 $S_n(m)$ 施加電位 V_{SS} ，使第一列至第 m 列的儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 不工作。

接著，藉由感測門鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 的每一個所具有的節點 p 及節點 q 施加電位 V_{pc} ，進行預充電。例如，藉由對信號線 ϕ_{pc} 施加電位 V_{DD} ，對第二字線 $WS(1)$ 至 $WS(m)$ 施加電位 V_{DD} ，對感測門鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 的每一個所具有的節點 p 及節點 q 施加電位 V_{pc} 。電位 V_{pc} 例如為 $(V_{DD}/2)$ 。然後，藉由使對信號線 ϕ_{pc} 及第二字線 $WS(1)$ 至 $WS(m)$ 施加的電位為 V_{SS} ，結束預充電。

接著，使第一列至第 m 列的第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 工作，而使儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 的每一個所具有的電晶體成為導通狀態。在此，對第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 施加比電位 V_{DD} 高的電位 V_{DDH} 。

其結果是，在儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 中，連接於儲存資料“1”的儲存單元 170 的節點 p 在節點 p 所具有的電容成分與儲存單元 170 所具有的電容元件之間電荷被分配，節點 p 的電位稍微上升。此外，在儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 中，連接於儲存資料“0”的儲存單元 170 的節點 p 所具有的電容成分與儲存單元 170 所具有的電容元件之間分配電荷，因此節點 p 的電位稍微下降。

接著，使第一列至第 m 列的感測門鎖 190 (1, 1, 1) 至 190 (m , n , 1) 工作。明確而言，對信號線 $S_n(1)$ 至 $S_n(m)$ 施加的電位從電位 V_{SS} 變為電位 V_{DD} ，對信號線 $S_p(1)$ 至 $S_p(m)$ 施加的電位從電位 V_{DD} 變為電位 V_{SS} 。

其結果是，感測門鎖 190 (1, 1, 1) 至 190 (m , n , 1) 工作，放大節點 p 與節點 q 之間的電位差。連接於儲存資料“1”的儲存單元 170 的感測門鎖 190 的節點 p 的電位藉由電荷的再次分配與節點 q 相比成為稍微高。由此，該電位差利用感測門鎖被放大，並儲存在感測門鎖中。換言之，對節點 p 施加電位 V_{DD} ，而對節點 q 施加電位 V_{SS} 。此外，連接於儲存在資料“0”的儲存單元 170 的感測門鎖 190 的節點 p 的電位藉由電荷的再次分配與節點 q 相比稍微低。由此，該電位差利用感測門鎖被放大，並儲存在感測門鎖中。換言之，對節點 p 施加電位 V_{SS} ，而對節點 q 施加電位 V_{DD} 。藉由上述那樣，資料從儲存單元 170 (1, 1, i_z) 至 170 (m , n , i_z) 讀出到感測門鎖 190 (1, 1, 1) 至 190 (m , n , 1)。

然後，藉由使第一字線 $WL(1, i_z)$ 至 $WL(m, i_z)$ 不工作（在此，施加電位 V_{SS} ），使儲存單元 170 (1, 1, i_z) 至 170 (m , n , i_z) 的每一個所具有的電晶體成為截止狀態。此時，在儲存單元 170 (1, 1, i_z) 至 170 (m , n , i_z) 中再次儲存原來所儲存的資料。

藉由上述步驟，可以將資料從儲存單元 170 (1, 1,

iz) 至 $170(m, n, iz)$ 讀出到感測閘鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 。

接著，參照圖 5A 至圖 5D 的時序圖對在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，對第一列至第 m 列的儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 寫入儲存在感測閘鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 中的資料的情況進行說明。

在儲存單元陣列 $202(iz)$ 中，爲了對第一列至第 m 列的儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 寫入儲存在感測閘鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 中的資料，使第一列至第 m 列的第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 工作即可。在此，對第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 施加比電位 VDD 高的電位 $VDDH$ 。

其結果是，當在感測閘鎖 190 中儲存資料“1”時，對節點 p 施加 VDD ，而對節點 q 施加 VSS 。由此，對與儲存資料“1”的感測閘鎖 190 的節點 p 連接的儲存單元 170 的電容元件的第一端子施加 VDD 。另外，當在感測閘鎖中儲存資料“0”時，對節點 p 施加 VSS ，而對節點 q 施加 VDD 。由此，對與儲存資料“0”的感測閘鎖 190 的節點 p 連接的儲存單元 170 的電容元件的第一端子施加 VSS 。

然後，藉由使第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ 不工作（在此，施加電位 VSS ），使儲存單元 $170(1, 1, iz)$ 至 $170(m, n, iz)$ 的每一個所具有的電晶體成爲截止狀態。

如上所述，可以從感測門鎖 190 (1、1、1) 至 190 (m、n、1) 對儲存單元 170 (1、1、iz) 至 170 (m、n、iz) 寫入資料。

在儲存在儲存單元 170 (1、1、iz) 至 170 (m、n、iz) 中的資料時，使連接於儲存單元 170 (1、1、iz) 至 170 (m、n、iz) 的第一字線 WL (1、iz) 至 WL (m、iz) 非工作（在此，施加電位 VSS）即可。由此，由於儲存單元 170 (1、1、iz) 至 170 (m、n、iz) 的每一個所具有的電晶體成為截止狀態，所以電容元件的第一端子的電位（或儲存在電容元件中的電荷）被保持。

接著，圖 6 示出圖 1B 所示的半導體裝置的一部分。圖 6 所示的感測門鎖 190 的一部分與圖 3 所示的感測門鎖 190 不同。換言之，圖 3 所示的感測門鎖 190 包括八個電晶體，而圖 6 所示的感測門鎖 190 包括六個電晶體。此外，圖 6 所示的感測門鎖 190 的結構是在圖 2 中相當於電晶體 181、188 的電晶體設置在各列的結構。藉由採用這種結構，與圖 3 相比可以縮小感測門鎖陣列 201 所占的面積。

此外，採用在圖 6 所示的感測門鎖 190 的節點 p 及節點 q 中分別設置儲存單元的結構。由此，與圖 3 相比，可以使儲存單元陣列 202 高整合化。

在圖 6 中，儲存單元陣列 202 (iz) 包括連接於節點 p 的 m 個第一字線 WL (1、iz、1) 至 WL (m、iz、1) 及連接於節點 p 的電容線 CP (1、iz、1) 至 CP (m、iz、1)。

)、連接於節點 p 的配置為矩陣狀的縱 m 個 $\times$ 橫 n 個儲存單元 $170(1, 1, iz, 1)$ 至 $170(m, n, iz, 1)$ 。此外，儲存單元陣列 $202(iz)$ 包括連接於節點 q 的 m 個第一字線 $WL(1, iz, 2)$ 至 $WL(m, iz, 2)$ 及連接於節點 q 的電容線 $CP(1, iz, 2)$ 至 $CP(m, iz, 2)$ 、連接於節點 q 的配置為矩陣狀的縱 m 個 $\times$ 橫 n 個儲存單元 $170(1, 1, iz, 2)$ 至 $170(m, n, iz, 2)$ 。換言之，儲存單元陣列 $202(iz)$ 包括 $m \times 2$ 個第一字線 WL 、 $m \times 2$ 個電容線 CP 、縱 $(m \times 2)$ 個 $\times$ 橫 n 個儲存單元 170 。此外，感測閘鎖陣列 201 包括 m 個信號線 $Sp(1)$ 至 $Sp(m)$ 、信號線 $Sn(1)$ 至 $Sn(m)$ 、第二字線 $WS(1)$ 至 $WS(m)$ 以及配置為矩陣狀的縱 m 個 $\times$ 橫 n 個感測閘鎖 $190(1, 1, 1)$ 至 $190(m, n, 1)$ 。換言之，在此，採用第一字線 WL 的個數為第二字線 WS 的個數的兩倍的結構（圖 1B 中的 m_2 為 $2 \times m$ ）。另外，電容線 $CP(1, iz, 1)$ 至 $CP(m, iz, 1)$ 及 $CP(1, iz, 2)$ 至 $CP(m, iz, 2)$ 也可以為共同信號線。

此外，在第 $(1+iz)$ 層的儲存單元陣列 $202(iz)$ 中， ix 列 iy 行儲存單元 $170(ix, iy, iz, 1)$ 在第一層的感測閘鎖陣列 201 中與 ix 列 iy 行感測閘鎖 $190(ix, iy, 1)$ 的節點 p 連接。此外， ix 列 iy 行儲存單元 $170(ix, iy, iz, 2)$ 在第一層的感測閘鎖陣列 201 中連接於 ix 列 iy 行感測閘鎖 $190(ix, iy, 1)$ 的節點 q 。其他儲存單元及感測閘鎖也是同樣的情況。

此外，資料線驅動電路 204 藉由第一資料線 $DS(1)$ 至 $DS(n)$ 、第二資料線 $DSB(1)$ 至 $DSB(n)$ 連接於感測門鎖陣列 201。資料線驅動電路 204 包括 n 個讀出電路 $241(1)$ 至 $241(n)$ 、 n 個寫入電路 $242(1)$ 至 $242(n)$ 、 n 個預充電電路 $243(1)$ 至 $243(n)$ 。例如，在 iy 行中，讀出電路 $241(iy)$ 、寫入電路 $242(iy)$ 、預充電電路 $243(iy)$ 、感測門鎖 $190(1, iy, 1)$ 至 $190(m, iy, 1)$ 藉由第一資料線 $DS(iy)$ 及第二資料線 $DSB(iy)$ 彼此電連接。

圖 6 所示的電路的工作與圖 3 所示的電路的工作同樣。換言之，在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，關於從第 ix 列的儲存單元 $170(ix, 1, iz, 1)$ 至 $170(ix, n, iz, 1)$ 讀出、寫入及保持資料時，藉由使用第一字線 $WL(ix, iz, 1)$ 代替第一字線 $WL(ix, iz)$ ，可以應用圖 4A 至圖 4D 所示的時序圖。此外，在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，在從第 ix 列的儲存單元 $170(ix, 1, iz, 2)$ 至 $170(ix, n, iz, 2)$ 讀出、寫入及保持資料時，藉由使用第一字線 $WL(ix, iz, 2)$ 代替第一字線 $WL(ix, iz)$ ，可以應用圖 4A 至圖 4D 所示的時序圖。

此外，在第 $(iz+1)$ 層的儲存單元陣列 $202(iz)$ 中，關於從連接於節點 p 的第一列至第 m 列的儲存單元 $170(1, 1, iz, 1)$ 至 $170(m, n, iz, 1)$ 讀出、寫入及保持資料的情況，藉由使用第一字線 $WL(1, iz, 1)$ 至 WL

(m 、 iz 、 1) 代替第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ ，可以應用圖 5A 至圖 5D 所示的時序圖。此外，在第 ($iz+1$) 層的儲存單元陣列 202 (iz) 中，關於從連接於節點 q 的第一列至第 m 列的儲存單元 170 ($1, 1, iz, 2$) 至 170 ($m, n, iz, 2$) 讀出、寫入及保持資料的情況，藉由使用第一字線 $WL(1, iz, 2)$ 至 $WL(m, iz, 2)$ 代替第一字線 $WL(1, iz)$ 至 $WL(m, iz)$ ，可以應用圖 5A 至圖 5D 所示的時序圖。

此外，在本實施例中，作為第 ($iz+1$) 層的儲存單元陣列 202 (iz) 示出包括縱 m 個 $\times$ 橫 n 個儲存單元的情況及包括縱 ($m \times 2$) 個 $\times$ 橫 n 個儲存單元的情況。根據本發明的一個方式的半導體裝置不侷限於此。作為第 ($iz+1$) 層的儲存單元陣列 202 (iz)，各感測門鎖的節點 p 與 ip 個儲存單元連接，各感測門鎖的節點 q 與 iq 個儲存單元連接 (ip 、 iq 為自然數)。此時，與第 ($iz+1$) 層的儲存單元陣列 202 (iz) 連接的第一字線 WL 的個數為第二字線 WS 的個數的 ($ip+iq$) 倍 (圖 1B 中 $m2 = (ip+iq) \times m$)。

如上所述，藉由根據本發明的一個實施例的半導體裝置包括第一層為使用氧化物半導體以外的半導體材料的感測門鎖陣列、第二層 (或第二層以上) 為使用氧化物半導體材料的感測門鎖陣列，可以進行高速寫入及讀出，且實質上實現非揮發性記憶體。尤其是，如上所述，由於能夠從感測門鎖的個數 (縱 m 個 $\times$ 橫 n 個) 的儲存單元並聯讀出或寫入資料，可以使從儲存單元至感測門鎖的每位元讀

出速度或寫入速度非常快。當然，在從週邊電路寫入到感測門鎖陣列的工作、從感測門鎖陣列讀出到週邊電路的工作時可以實現高速工作。

此外，包括使用氧化物半導體的電晶體的儲存單元與現有的快閃記憶體相比每一位寫入工作非常快，因為它們的工作原理不同。例如，在使用現有的快閃記憶體作為儲存電路，關注一個儲存單元時，在進行利用穿隧電流的寫入的情況下，由於使用微少的電流進行電荷的注入及放出，所以難以進行高速工作。在進行熱電子寫入的情況下，可以進行更高速的寫入，但是耗電量高，所以同時對多個位數進行寫入很困難。此外，在上述任一方式中，由於在寫入工作中需要高電位，所以需要用於產生高電位的升壓電路。此外，使用磁性材料的儲存裝置的 MRAM 有寫入工作中的耗電量較高的問題。從而，在使用 MRAM 作為儲存電路，同時對多個位數進行寫入時，發生耗電量非常高的問題。

針對於此，包括使用氧化物半導體的電晶體的儲存單元不需要使穿隧電流流過的高電壓，並且其耗電量也非常低。由此，根據本發明的一個實施例的半導體裝置可以同時對上層的儲存單元陣列 202 寫入與第一層的感測門鎖陣列 201 相同的位數。由此，可以實現每位元寫入速度非常快的儲存單元陣列。

再者，由於使用氧化物半導體的電晶體的截止電流極小，所以包括該電晶體的儲存裝置不是如現有的 DRAM 那

樣沒有刷新工作就在 1 秒以下消失儲存資料的揮發性。這種儲存裝置可以與現有的 DRAM 相比在極長期間保持儲存資料。由此，藉由採用使用氧化物半導體的電晶體作為儲存單元，可以實現實質上非揮發性的儲存單元。

此外，使用氧化物半導體以外的半導體材料的電晶體可以進行與使用氧化物半導體材料的電晶體相比充分高速的工作。因此，藉由將使用氧化物半導體以外的半導體材料的電晶體用於感測門鎖，可以適當地實現充分確保工作的高速性的感測門鎖陣列及資料線驅動電路等的週邊電路。從而，藉由組合感測門鎖陣列與包括使用氧化物半導體材料的電晶體的儲存單元陣列而使用，可以充分確保半導體裝置的工作（例如，資料的讀出工作及寫入工作等）的高速性。

如上所述，藉由將採用使用氧化物半導體以外的半導體材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的驅動電路等的週邊電路和使用氧化物半導體的電晶體（作更廣義解釋，截止電流足夠小的電晶體）的儲存電路形成為一體，可以實現具有新穎的特徵的半導體裝置。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 2

在本實施例中，參照圖 7 至圖 11B 說明根據本發明的

一個實施例的半導體裝置的結構及其製造方法。

〈半導體裝置的剖面結構〉

圖 7 示出根據本發明的一個實施例的半導體裝置的剖面圖。在圖 7 中，A1-A2 是垂直於電晶體的通道長度方向的剖面圖，B1-B2 是沿著節點 p 的剖面圖。圖 7 所示的半導體裝置的下部具有感測門鎖陣列 201，圖 7 所示的半導體裝置的上部具有儲存單元陣列 202(1) 至 202(k)。下部的感測門鎖陣列 201 具有使用氧化物半導體以外的半導體材料的電晶體 180，上部的儲存單元陣列 202(1) 至 202(k) 具有使用氧化物半導體材料的電晶體 162。

圖 7 所示的半導體裝置的第一層具有包含氧化物半導體以外的半導體材料的電晶體 180。電晶體 180 包括：設置在包含半導體材料（例如，矽等）的基板 100 中的通道形成區 116；夾著通道形成區 116 地設置的雜質區 120；接觸於雜質區 120 的金屬化合物區 124；設置在通道形成區 116 上的閘極絕緣層 108；設置在閘極絕緣層 108 上的閘極電極 110；以及與金屬化合物區 124 電連接的源極電極或汲極電極 130a、130b。另外，以覆蓋電晶體 180 的方式設置有絕緣層 128。藉由形成在絕緣層 128 的開口，源極電極或汲極電極 130a、130b 與金屬化合物區 124 電連接。此外，接觸於源極電極或汲極電極 130a 來在絕緣層 128 上設置有導電層 136a，接觸於源極電極或汲極電極 130b 來在絕緣層 128 上設置有導電層 136b。注意，電晶

體 180 可以是 n 通道型的電晶體，也可以是 p 通道型的電晶體。藉由將包括使用氧化物半導體以外的半導體材料的電晶體 180 的感測閘鎖 190 設置為矩陣狀，可以設置感測閘鎖陣列 201。此外，藉由組合多個包含氧化物半導體以外的半導體材料的電晶體 180，可以構成第一字線驅動電路 203 等的週邊電路。

另外，在基板 100 上圍繞電晶體 180 設置有元件分離絕緣層 106。另外，為了實現高整合化，較佳採用如圖 7 所示的電晶體 180 不具有側壁絕緣層的結構。另一方面，在重視電晶體 180 的特性時，也可以在閘極電極 110 的側面設置側壁絕緣層並設置雜質區 120，該雜質區 120 包括形成在與該側壁絕緣層重疊的區域中的其雜質濃度與雜質區 120 不同的區域。

在感測閘鎖陣列 201 上隔著絕緣層 140 設置有儲存單元陣列 202 (1)。另外，儲存單元陣列 202 (1) 具有儲存單元 170，使用電晶體 162 及電容元件 164 構成儲存單元 170。電晶體 162 包括：設置在絕緣層 140 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極或汲極電極 142a 及源極電極或汲極電極 142b；覆蓋氧化物半導體層 144、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148a。也可以藉由將包括使用氧化物半導體材料的電晶體 162 的儲存單元 170 設置為矩陣狀，設置儲存單元陣列 202 (1)

）。此外，在儲存單元陣列 202 (k) 中的電晶體 172 的結構也與電晶體 162 的結構相同。

在此，用於儲存單元 170 的電晶體的氧化物半導體層 144 較佳藉由被充分去除氫等雜質，或者藉由被供給足夠的氧，來被高純度化。明確而言，例如，氧化物半導體層 144 的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。另外，藉由二次離子質譜分析法 (SIMS: Secondary Ion Mass Spectroscopy) 來測量上述氧化物半導體層 144 中的氫濃度。如此，在氫濃度被充分降低而高純度化並被供應足夠的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，載子濃度為低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳為低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，室溫 (25°C) 下的截止電流 (在此，每單位通道寬度 (1 μm) 的值) 為 100 zA (1 zA (仄普托安培) 等於 $1 \times 10^{-21} \text{ A}$) 以下，較佳為 10 zA 以下。如此，藉由使用 i 型化 (本徵化) 或實質上 i 型化的氧化物半導體材料用於電晶體 (電晶體 162)，可以得到極優良的截止電流特性。

另外，氧化物半導體層 144 較佳為充分降低了鹼金屬及鹼土金屬的濃度的氧化物半導體層。關於利用 SIMS 分析法而測定的鹼金屬或鹼土金屬的濃度，例如，Na 為 $5 \times 10^{16} \text{ cm}^{-3}$ 以下，較佳為 $1 \times 10^{16} \text{ cm}^{-3}$ 以下，更佳為 $1 \times 10^{15} \text{ cm}^{-3}$ 以下，Li 為 $5 \times 10^{15} \text{ cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{ cm}^{-3}$ 以下，K 為 $5 \times 10^{15} \text{ cm}^{-3}$ 以下，較佳為

$1 \times 10^{15} \text{ cm}^{-3}$ 以下。

以往有人指出：氧化物半導體對雜質不敏感，即使在膜中含有多量的金屬雜質也沒有問題，也可以使用包含多量的鹼金屬如鈉的廉價的鈉鈣玻璃（Kamiya, Nomura, Hosono（神穀、野村、細野等人）“非晶氧化物半導體的物性及裝置開發的現狀”，日本固體物理，2009年9月號，Vol.44，p.621-633）。但是，上述指出不合適。因為對於氧化物半導體來說鹼金屬及鹼土金屬是惡性的雜質，所以較佳氧化物半導體所含有的鹼金屬及鹼土金屬量少。尤其是，鹼金屬中的 Na 當與氧化物半導體接觸的絕緣膜是氧化物時擴散到該氧化物中而成爲 Na^+ 。另外，在氧化物半導體內，Na 斷裂金屬與氧的鍵或者擠進鍵之中。其結果，導致電晶體特性的劣化（例如，常導通化（臨界值向負一側偏移）、遷移率的降低等）。並且，還成爲特性偏差的原因。特別在氧化物半導體中的氫濃度充分低時，這些問題變得明顯。由此，當氧化物半導體中的氫濃度是 $5 \times 10^{19} \text{ cm}^{-3}$ 以下，特別是 $5 \times 10^{18} \text{ cm}^{-3}$ 以下時，強烈要求將鹼金屬的濃度設定爲上述值。

電容元件 164 包括：源極電極或汲極電極 142a；閘極絕緣層 146；以及導電層 148b。換言之，源極電極或汲極電極 142a 用作電容元件 164 的一方的電極，導電層 148b 用作電容元件 164 的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保源極電極或汲極電極

142a 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。另外，儲存單元陣列 202 (k) 中的電容元件 174 的結構也與電容元件 164 的結構相同。

在電晶體 162 及電容元件 164 上設置有絕緣層 150 及絕緣層 152。而且，形成在閘極絕緣層 146、絕緣層 150、絕緣層 152 等中的開口中設置電極 154a、電極 154b，在絕緣層 152 上形成與電極 154a、電極 154b 連接的佈線 156。佈線 156 是使儲存單元中的一個與其他儲存單元的佈線連接，也是與形成在第一層的感測門鎖 190 的節點 p 連接的佈線。此外，藉由電極 154b、電極 142c、電極 126，佈線 156 與導電層 136c 連接。由此，可以下層的感測門鎖陣列 201 和上層的儲存單元陣列 202 (1) 連接。另外，圖 7 示出當藉由電極 126 電極 142c 與導電層 136c 電連接的情況，但是也可以採用在絕緣層 140 中設置開口，電極 142c 與導電層 136c 直接接觸的結構。此外，在圖 7 中，說明節點 p 的結構，但是節點 q 的結構也是相同。

另外，在圖 7 中，說明藉由佈線 156 連接感測門鎖 190 的節點 p 與儲存單元 170 的例子，但是，如圖 14 所示那樣，藉由導電層 136c、電極 126 和源極電極或汲極電極 142b 連接，可以連接感測門鎖 190 的節點 p 與儲存單元 170。

此外，在圖 7 中，示出將儲存單元陣列層疊為 k 層的例子。如下，與現有的 DRAM 相比，使用氧化物半導體材

料的儲存單元陣列可以簡化製造製程。

因為現有的 DRAM 的與位元線連接的儲存單元的個數多且具有大位元線電容，所以需要形成大電容元件而用作儲存單元。從而，電容元件成為向高度方向大，其製造製程也成為複雜化。

另一方面，根據本發明的一個實施例的半導體裝置的特徵是：連接到節點 p 或節點 q 的儲存單元的個數少（例如為 64 個以下，更佳為 32 個以下）；以及節點 p 或節點 q 所包含的電容成分小。

此外，在讀出工作中，檢測出電位變動，該電位變動藉由在儲存單元所包含的電容元件和節點 p 或節點 q 所具有的電容之間進行電荷的再次分配而產生。這意味著節點 p 或節點 q 所包含的電容越小，可以使儲存單元所具有的電容元件小。

從而，與現有的 DRAM 相比，根據本發明的一個實施例的半導體裝置可以使製造電容元件的製程變得容易。而且藉由使儲存單元所具有的電容充分小，可以以平面結構形成電容元件。其結果，可以簡化製造電容元件的製程，並且容易層疊儲存單元。

像這樣，由使用氧化物半導體材料形成儲存單元陣列，可以以層疊為兩層以上形成儲存單元陣列。由此，可以實現半導體裝置的高整合化。

〈半導體裝置的製造方法〉

接著，說明上述半導體裝置的製造方法的一個例子。以下，首先參照圖 8A 至圖 8E 及圖 9A 至圖 9D 說明下部電晶體 180 的製造方法，然後，參照圖 10A 至圖 10C 及圖 11A 和圖 11B 說明上部電晶體 162 及電容元件 164 的製造方法。

〈下部電晶體的製造方法〉

首先，準備基板 100（參照圖 8A）。作為基板 100，可以使用矽、碳化矽等的單晶半導體基板；多晶半導體基板；以及矽鍺、鎵砷、磷化銮等的化合物半導體基板。另外，作為基板 100，可以使用 SOI 基板。在此示出當作為基板 100 使用單晶矽基板的情況。注意，一般來說，“SOI 基板”是指具有在絕緣表面上設置有矽半導體層的結構的基板，但是在本說明書等中，還包括具有在絕緣表面上設置有由矽以外的材料構成的半導體層的結構的基板。也就是說，“SOI 基板”所具有半導體層不侷限於矽層。另外，SOI 基板還包括在玻璃基板等的絕緣基板上隔著絕緣層而設置有半導體層的基板的結構。注意，基板 100 不包括氧化物半導體材料，因此也記為包含氧化物半導體以外的半導體材料的基板 100。

作為基板 100，尤其當使用矽等的單晶半導體基板時，可以使實施例 1 所示的感測門鎖陣列 201 等的週邊電路的工作高速化，所以是較佳的。

接著，在基板 100 上，形成保護層 102，保護層 102

是成爲用來形成元件分離絕緣層的掩模的保護層（參照圖 8A）。作爲保護層，例如，可以使用將氧化矽、氮化矽或氮氧化矽等用作材料的絕緣層。另外，在該製程的前後，爲了控制電晶體的臨界值電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到基板 100。在基板 100 爲矽時，作爲賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作爲賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接下來，將上述保護層 102 用作掩模進行蝕刻來去除基板 100 的的一部分的不被保護層 102 覆蓋的區域（露出的區域）。由此，形成與其他半導體區分離的半導體區 104（參照圖 8B）。作爲該蝕刻較佳採用乾蝕刻法，但是也可以採用濕蝕刻法。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接下來，藉由覆蓋半導體區 104 地形成絕緣層，並選擇性地去除與半導體區 104 重疊的區域的絕緣層，來形成元件分離絕緣層 106（參照圖 8C）。作爲該絕緣層，可以使用將氧化矽、氮化矽或氧氮化矽等用作材料的絕緣層。作爲絕緣層的去除方法，有化學機械拋光（CMP:Chemical Mechanical Polishing，以下稱爲 CMP 處理）等的拋光處理或蝕刻處理等，而可以使用其中任何方法。另外，在形成半導體區 104 之後或在形成元件分離絕緣層 106 之後去除上述保護層 102。

在此，CMP 處理是指以被加工物的表面爲標準而根據

該標準藉由化學、機械的複合作用使表面平坦化的方法。更明確而言，CMP 處理是一種方法，其中在拋光臺上貼附砂布，且一邊在被加工物和砂布之間供應漿料（拋光劑），一邊將拋光台和被加工物分別旋轉或搖動，來由漿料和被拋光物之間的化學反應以及砂布和被拋光物的機械拋光的作用對被加工物的表面進行拋光。

另外，作為元件分離絕緣層 106 的形成方法，除了選擇性地去除絕緣層的方法以外，還可以使用藉由導入氧來形成絕緣區的方法等。

接著，在半導體區 104 的表面上形成絕緣層，並且在該絕緣層上形成含有導電材料的層。

絕緣層在後面成為閘極絕緣層，例如可以藉由對半導體區 104 的表面進行熱處理（熱氧化處理或熱氮化處理等）形成。也可以採用高密度電漿處理代替熱處理。例如使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氨、氮、氫等中的任何一個的混合氣體進行高密度電漿處理。當然，也可以利用 CVD 法或濺射法等形成絕緣層。該絕緣層較佳採用含有氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鋁、氧化鋁、矽酸鋁（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鋁（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鋁（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等的單層結構或疊層結構。此外，例如可以將絕緣層的厚度設定為 1nm 以上且 100nm 以下，較佳設定為 10nm 以上且 50nm 以下。

含有導電材料的層在後面成爲閘極電極，例如可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD法、濺射法、旋塗法等各種成膜方法。另外，在本實施例中示出使用金屬材料形成含有導電材料的層時的一個例子。

接著，對絕緣層及含有導電材料的層選擇性地進行蝕刻，形成閘極絕緣層 108 及閘極電極 110（參照圖 8C）。

接著，對半導體區 104 添加磷或砷等形成通道形成區 116 及雜質區 120（參照圖 8D）。在此，當形成 n 型電晶體時，添加磷或砷，當形成 p 型電晶體時添加硼或鋁等雜質元素即可。在此可以適當地設定所添加的雜質元素的濃度，並且當將半導體元件高度微型化時，較佳提高其濃度。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，並形成以不同濃度添加有雜質元素的雜質區。

接著，覆蓋閘極電極 110 及雜質區 120 等地形成金屬層 122（參照圖 8E）。該金屬層 122 可以利用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。金屬層 122 較佳使用與構成半導體區 104 的半導體材料起反應而成爲低電阻金屬化合物的金屬材料形成。作爲這種金屬材料，例如有鈦、鉭、鎢、鎳、鈷、鉑等。

接著，進行熱處理來使上述金屬層 122 與半導體材料起反應。由此，形成與雜質區 120 接觸的金屬化合物區

124 (參照圖 8E)。另外，當使用多晶矽等作為閘極電極 110 時，還在閘極電極 110 的與金屬層 122 接觸的部分中形成金屬化合物區。

作為上述熱處理，可以採用利用閃光燈的照射的熱處理。當然，也可以採用其他熱處理方法，但是，為了提高形成金屬化合物時的化學反應的控制性，較佳採用可以在極短時間內完成熱處理的方法。另外，上述金屬化合物區是因金屬材料與半導體材料起反應而形成的區域，因此是導電性充分得到提高的區域。藉由形成該金屬化合物區，可以充分降低電阻，而可以提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層 122。

接下來，覆蓋藉由上述步驟形成的各結構地形成絕緣層 128 (參照圖 9A)。絕緣層 128 可以使用含有如氧化矽、氮化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是，較佳將低介電常數 (low-k) 材料用於絕緣層 128，因為這樣可以充分降低由於各種電極或佈線重疊而產生的電容。另外，作為絕緣層 128 也可以採用使用上述材料的多孔絕緣層。因為多孔絕緣層的介電常數比高密度的絕緣層的介電常數低，所以若採用多孔絕緣層，則可以進一步降低起因於電極或佈線的電容。此外，絕緣層 128 也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成。注意，在圖 9A 中，示出單層結構的絕緣層 128，但是也可以作為絕緣層 128 採用兩層以上的疊層結構。

接下來，在絕緣層 128 中形成到達金屬化合物區 124

的開口，將含有導電材料的層形成爲嵌入該開口中。含有導電材料的層是後面成爲源極電極或汲極電極 130a、130b 的層，可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。

下面，選擇性地蝕刻含有導電材料的層，來形成源極電極或汲導電層 136a、136b 及導電層 136c（參照圖 9C）。

藉由上述製程，形成使用含有氧化物半導體以外的半導體材料的基板 100 的電晶體 180（參照圖 9C）。此外，藉由形成多個這樣電晶體 180，來可以製造包括感測門鎖陣列 201 的週邊電路。電晶體 180 具有能夠進行高速工作的特徵。因此，藉由將電晶體 180 使用於感測門鎖陣列 201 等的週邊電路，可以使感測門鎖陣列 201 等的週邊電路的工作高速化，所以是較佳的。

接著，以覆蓋由上述製程形成的各結構的方式形成絕緣層 140（參照圖 9D）。也可以使用絕緣層 128 所示的材料及形成方法形成絕緣層 140。

接著，在絕緣層 140 中形成到達導電層 136c 的開口，將含有導電材料的層形成爲嵌入該開口中。可以使用當形成閘極電極 110、源極電極或汲導電層 136a、136b 時示出的材料及形成方法，形成含有導電材料的層。

然後，作爲形成電晶體 162 及電容元件 164 之前的處

理，對絕緣層 140 進行 CMP 處理，以使絕緣層 140 的表面平坦化。由此，形成埋入在絕緣層 140 中的電極 126。此時，較佳使電極 126 的頂面露出（參照圖 9D）。作為使絕緣層 140 平坦化的處理，除了 CMP 處理以外還可以採用蝕刻處理等，但是為了提高電晶體 162 的特性，較佳使絕緣層 140 的表面盡可能地平坦。

另外，也可以在上述各步驟前後還包括形成電極、佈線、半導體層、絕緣層等的步驟。例如，作為佈線的結構也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構，來實現高度整合化的半導體裝置。

〈上部電晶體的製造方法〉

首先，在絕緣層 140、電極 126 等上形成氧化物半導體層。

利用濺射法等，利用至少包含鋅的金屬氧化物靶材，使得到的厚度為 5nm 以上且 50 μ m 以下來形成氧化物半導體層。

這裏使用的氧化物半導體較佳至少包含銦（In）或鋅（Zn）。尤其是，較佳包含 In 和 Zn。另外，除了上述元素以外，較佳還具有鎵（Ga）作為穩定劑（stabilizer），該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑較佳具有錫（Sn）。另外，作為穩定劑較佳具有鈦（Hf）。另外，作為穩定劑較佳具有鋁（Al）。

另外，作為其他穩定劑，可以具有鑷系元素的鑷（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、錒（Tb）、鐿（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鐿（Yb）、鑷（Lu）中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

這裏，例如 In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料。這裏，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n>0$) 表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) 的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。或者，也可以使用其原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

但是，不侷限於上述材料，根據所需要的半導體特性（遷移率、臨界值、偏差等）可以使用適當的組成的材料。另外，為了獲得所需要的半導體特性，較佳適當地設定載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離、密度等的條件。

例如，使用 In-Sn-Zn 類氧化物可以較容易獲得較高的遷移率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由減小塊內缺陷密度來提高遷移率。

在此，例如 In、Ga、Zn 的原子數比為 $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的組成在原子數比為 $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$) 的氧化物的組成的近旁是指 a 、 b 、 c 滿足以下算式 1。

[算式 1]

$$(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$$

r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體既可以為單晶又可以為非單晶。在後一種的情況下，可以為非晶或多晶。另外，也可以利用在非晶體中含有具有結晶性的部分的結構或非非晶結構。

非晶態的氧化物半導體可以較容易形成平坦的表面，因此當使用該非晶態的氧化物半導體形成電晶體時，可以減小介面散射而較容易實現較高的遷移率。

另外，當利用具有結晶性的氧化物半導體時，可以進一步減小塊內缺陷，並藉由提高表面的平坦性可以獲得比非晶態的氧化物半導體更高的遷移率。為了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體。具體來說，較佳在平均面粗糙度 (Ra) 為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

在此，Ra 是為為了可以應用於面而將在 JIS B0601 中定義的中心線平均粗糙度擴大為三維來得到的值，可以將 Ra 表示為“將從基準面到指定面的偏差的絕對值平均來得到的值”，並且 Ra 以如下數式定義。

[算式 2]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

另外，在上述式中，S₀ 表示測定面（由座標 (x₁, y₁)

(x_1, y_1) (x_2, y_1) (x_2, y_2) 表示的四個點圍繞的長方形的區域) 的面積, Z_0 表示測定面的平均高度。藉由利用原子力顯微鏡 (AFM: Atomic Force Microscope) 可以評價 R_a 。

在本實施例中, 說明包含一種結晶 (CAAC: C Axis Aligned Crystal: c 軸配向結晶) 的氧化物, 該結晶進行 c 軸配向, 並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列, 在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀, 而在 ab 面上 a 軸或 b 軸的方向不同 (即, 以 c 軸為中心回轉)。

從更廣義來理解, 含有 CAAC 的氧化物是指非單晶, 並是指包括如下相的氧化物, 在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列, 並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶, 但是也不只由非晶形成。另外, 雖然 CAAC 包括晶化部分 (結晶部分), 但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時, 也可以用氮取代氧的一部分。另外, 構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上 (例如, 垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向) 一致。或者, 構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向 (例如, 垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向)。

CAAC 根據其組成等而成爲導體、半導體或絕緣體。另外，CAAC 根據其組成等而呈現對可見光的透明性或不透明性。

作爲上述 CAAC 的例子，也可以舉出一種結晶，該結晶被形成爲膜狀，並且在該結晶中在從垂直於膜表面或所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 15A 至圖 17C 詳細說明包括在 CAAC 中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 15A 至圖 17C 中，以垂直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面爲邊界時的上一半或下一半。另外，在圖 15A 至 15D 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 15A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱爲四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱爲小組。雖然圖 15A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。另外，在圖 15A 的上一半及下一半中分別具有三個四配位 O 。圖 15A 所示的小組的電荷爲 0。

圖 15B 示出具有有一個五配位 Ga 、靠近 Ga 的三個三配位氧原子（以下稱爲三配位 O ）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 15B 的上

一半及下一半分別具有一個四配位 O。另外，因為 In 也採用五配位，所以也有可能採用圖 15B 所示的結構。圖 15B 所示的小組的電荷為 0。

圖 15C 示出具有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 15C 的上一半具有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以在圖 15C 的上一半具有三個四配位 O，並且在下一半具有一個四配位 O。圖 15C 所示的小組的電荷為 0。

圖 15D 示出具有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 15D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 15D 所示的小組的電荷為 +1。

圖 15E 示出包括兩個 Zn 的小組。在圖 15E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 15E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。圖 15A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 15B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 15C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn

的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子（In 或 Sn）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（Ga 或 In）和四配位金屬原子（Zn）的上一半的四配位 O 中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 16A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 16B 示出由三個中組構成的大組。另外，圖 16C 示出從 c 軸方向上觀察圖 16B 的層結構時的原子排列。

在圖 16A 中，為了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 16A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與

此同樣，在圖 16A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 16A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 15E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 16B 所示的大組來可以得到 In-Sn-Zn 類氧化物的結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得

到的 In-Sn-Zn 類氧化物的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 17A 示出構成 In-Ga-Zn 類氧化物的層結構的中組的模型圖。

在圖 17A 中，構成 In-Ga-Zn 類氧化物層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組

圖 17B 示出由三個中組構成的大組。另外，圖 17C 示出從 c 軸方向上觀察圖 17B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn 類氧化物層結構的中組不侷限於圖 17A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

作為靶材，可以使用四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物等。

此外，作為靶材的一個例子，其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 〔莫耳數比〕的靶材用作包含 In、Ga、及 Zn 的靶材。另外，也可以使用其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 〔莫耳數比〕的靶材、其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ 〔莫耳數比〕的靶材、其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=2:1:8$ 〔莫耳數比〕。藉由濺射法，利用包含 In、Ga、及 Zn 的靶材來得到的氧化物半導體被記載為 In-Ga-Zn-O，使用 ICP-MS（Inductively Coupled Plasma Mass Spectrometry, ICP 質量分析）、盧瑟福背散

射分析 (RBS:Rutherford Back-Scattering) 分析，可以確認到上述半導體材料為 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)， m 不是自然數。

另外，可以將 In-Sn-Zn 類氧化物稱為 ITZO，並且 In-Sn-Zn 類氧化物使用 In:Sn:Zn 的原子數比為 1:2:2、2:1:3、1:1:1 或 20:45:35 等的靶材。

另外，當形成氧化物半導體層時，藉由將濺射裝置的處理室內的壓力設定為 0.4Pa 以下，可以降低對被成膜面及被成膜物的鹼金屬、氫等雜質的混入。注意，包含在被成膜物的氫，除了作為氫原子以外，有時作為氫分子、水、羥基或氫化物被包含。

此外，當形成氧化物半導體層時，將靶材與基板之間的距離 (T-S 間距離) 設定為 40mm 以上且 300mm 以下 (較佳設定為 60mm 以上)。

另外，當使用濺射法形成氧化物半導體層時，將被成膜面的溫度設定為 250℃ 以上且基板的熱處理上限溫度以下。250℃ 是防止氫及水等雜質混入到被成膜物中，將雜質放出到處理室內的氣相的溫度。此外，當使用濺射法形成氧化物半導體層時，將被成膜面的溫度上限設定為基板的熱處理上限溫度，或成膜物的上限溫度 (是當超過該溫度時，成膜物的成分大幅度地變化的溫度)。

一邊去除沉積室中的殘留水分，一邊引入充分地去除了氫、水、羥基、氫化物等雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體層。為了去除沉積室

中的殘留水分，作為排氣單元，較佳使用低溫泵、離子泵、鈦昇華泵等的吸附型的真空泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪分子泵（Turbo Molecular Pump:TMP）。由於利用低溫泵進行了排氣的沉積室中，例如氫、水、羥基、氫化物等雜質（還包括包含碳原子的化合物等）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的氫、水、羥基或氫化物等雜質的濃度。

另外，當形成氧化物半導體層時，藉由將濺射裝置的處理室的洩漏率設定為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{秒}$ 以下，可以減少當藉由濺射法形成膜時鹼金屬、氫化物等雜質混入到氧化物半導體層中。另外，藉由作為排氣系統使用吸附真空泵（例如，低溫泵等），可以降低鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

接著，藉由加工氧化物半導體層，形成氧化物半導體層 144。作為氧化物半導體層的加工，可以在氧化物半導體層上形成所希望的形狀的掩模之後對該氧化物半導體層進行蝕刻。可以藉由光微影法等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。此外，氧化物半導體層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻。

在形成氧化物半導體層之後或在形成氧化物半導體層 144 之後，如果需要，則可以在幾乎不包含氫及水等的氣圍下（氮氣氣圍、氧氣氣圍、乾燥空氣氣圍（例如，水的

露點為 -40°C 以下，較佳為 -60°C 以下）等）進行加熱處理（溫度範圍為 200°C 以上且 700°C 以下）。該加熱處理可以稱為使 H、OH 等從氧化物半導體層中去除的脫水化或脫氫化，當在惰性氣圍下升溫，途中轉換氣圍而在含氧的氣圍下進行加熱處理時，或在氧氣氣圍下進行加熱處理時，也可以稱為加酸化處理。

藉由以上製程，降低雜質，來可以形成 i 型（本徵半導體）或實質上 i 型的氧化物半導體層 144（參照圖 10A）。

接下來，在氧化物半導體層 144 等上形成含有導電材料的層。

含有導電材料的層是後面成為源極電極及汲極電極的層，並且可以使用鋁、鉻、銅、鈦、鉭、鉬、鎢等中的金屬材料形成。此外，也可以使用以上述金屬材料為成分的合金等形成。而且，還可以使用選自錳、鎂、鋅、鈹、鈳、鈮中的一種或多種材料。

含有導電材料的層既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作含有導電材料的層採用鈦膜或氮化鈦膜的單層結構時，有容易將該導電層加工成具有錐形形狀的源極電極或汲極電極 142a、142b 的優點。

此外，作為含有導電層材料的層，也可以使用氧化銦、氧化銦氧化錫（也稱為 ITO）、氧化銦氧化鋅、氧化鋅、添加鎵的氧化鋅、石墨烯（graphene）等。

藉由選擇性地蝕刻含有導電材料的層形成源極電極或汲極電極 142a、142b 及電極 142c（參照圖 10B）。

較佳以使所形成的源極電極或汲極電極 142a、142b 及電極 142c 的端部具有錐形形狀的方式進行含有導電材料的層的蝕刻。這裏，較佳將錐形角設定為 30° 以上且 60° 以下。藉由以使源極電極或汲極電極 142a、142b 及電極 142c 的端部具有錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層的覆蓋性，且防止斷開。

電晶體的通道長度（L）取決於源極電極或汲極電極 142a 的下端部與源極電極或汲極電極 142b 的下端部之間的間隔。另外，在形成通道長度（L）短於 25nm 的電晶體的情況下，較佳利用波長短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且焦距大。因此，可以將後面形成的電晶體的通道長度（L）設定為 10nm 以上且 1000nm（ $1\mu\text{m}$ ）以下，而可以提高電路的工作速度。此外，藉由微型化，可以降低半導體裝置的耗電量。

接著，以覆蓋源極電極或汲極電極 142a、142b 及電極 142c 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 10C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。

此外，閘極絕緣層 146 較佳含有氧化矽、氮化矽、氧氮化矽、氧化鎳、氧化鋁、氧化鉬、氧化鈦、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等。閘極絕緣層 146 既可以採用單層結構又可以採用組合上述材料的疊層結構。此外，雖然對閘極絕緣層 146 的厚度沒有特別的限制，但是當將半導體裝置微型化時，較佳將閘極絕緣層 146 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣層 146 形成為 1nm 以上且 100nm 以下，較佳形成為 10nm 以上且 50nm 以下。

但是，當如上所述那樣將閘極絕緣層形成為較薄時，有發生因隧道效應等而引起的閘極洩漏的問題。為了解決閘極洩漏的問題，較佳作為閘極絕緣層 146 使用氧化鈣、氧化鉬、氧化鈦、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等高介電常數（high-k）材料。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且還可以將閘極絕緣層 146 形成為較厚以抑制閘極洩漏。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

另外，接觸於氧化物半導體層 144 的絕緣層（在本實施例中，閘極絕緣層 146）也可以使用包含第 13 族元素及

氧的絕緣材料形成。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，並且藉由將它用於與氧化物半導體層接觸的絕緣層，可以保持與氧化物半導體層之間的介面的良好的狀態。

在此，包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，氧化鎵鋁是指含鎵量 (at.%) 等於或多於含鋁量 (at.%) 的物質。

例如，當以與包含鎵的氧化物半導體層接觸的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以保持氧化物半導體層和閘極絕緣層之間的良好界面特性。另外，藉由使氧化物半導體層與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體層與絕緣層的界面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到與上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣層也是有效的。另外，由於氧化鋁具有不容易透射水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，作為與氧化物半導體層 144 接觸的絕緣層，較佳採用藉由進行氧氣圍下的熱處理或氧摻雜等包含多於化

學計量組成比的氧的絕緣材料。氧摻雜是指對塊體中添加氧的處理。另外，爲了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以藉由離子植入法或離子摻雜法進行氧摻雜。

例如，當作爲與氧化物半導體層 144 接觸的絕緣層使用氧化鎵時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定爲 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。此外，當作爲與氧化物半導體層 144 接觸的絕緣層使用氧化鋁時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定爲 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。或者，當作爲與氧化物半導體層 144 接觸的絕緣層使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定爲 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理等，可以形成包括包含多於化學計量組成比的氧的區域的絕緣層。藉由使具備這種區域的絕緣層和氧化物半導體層接觸，絕緣層中的過剩的氧被供給到氧化物半導體層中，可以減少氧化物半導體層中或氧化物半導體層和絕緣層之間的介面中的氧不足缺陷，而使氧化物半導體層成爲 i 型化或無限趨近於 i 型的氧化物半導體。

另外，包括包含多於化學計量組成比的氧的區域的絕緣層既可以應用於作爲氧化物半導體層 144 的基底膜形成

的絕緣層（例如，絕緣層 140）代替閘極絕緣層 146，又可以應用於閘極絕緣層 146 及基底絕緣層的兩者。

接著，以由上述製程形成各結構的方式形成含有導電材料的層。作為含有導電材料的層，可以使用鉬、鈦、鉕、鎢、鋁、銅、鈳、釷等金屬材料或以該金屬材料為主要成分的合金材料來形成。選擇性地蝕刻含有導電材料的層，來形成閘極電極 148a 及導電層 148b。另外，閘極電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150 及絕緣層 152（參照圖 11A）。絕緣層 150 及絕緣層 152 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎳、氧化鋁等的無機絕緣材料的材料；以及醯亞胺、丙烯酸樹脂等有機絕緣材料形成。另外，作為絕緣層 150 及絕緣層 152 較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 及絕緣層 152 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。例如，可以作為絕緣層 150 使用含有無機材料的材料，作為絕緣層 152 使用含有有機材料的材料。

接著，在閘極絕緣層 146、絕緣層 150 及絕緣層 152 中形成到達源極電極或汲極電極 142b 及電極 142c 的開口。藉由使用掩模等選擇性地進行蝕刻來形成該開口。然後，形成含有接觸於源極電極或汲極電極 142b 及電極 142c

的導電材料的層。接下來，藉由對含有導電材料的層進行蝕刻或 CMP 處理，形成電極 154a、電極 154b（參照圖 11B）。

接下來，以覆蓋絕緣層 152 且接觸於電極 154a 及電極 154b 的方式形成佈線 156（參照圖 11B）。在使用 PVD 法或 CVD 法形成含有導電材料的層之後，對該含有導電材料的層進行構圖來形成佈線 156。另外，作為含有導電材料的層的材料，可以使用選自鋁、鉻、銅、鈇、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。作為含有導電材料的層的材料，也可以使用選自錳、鎂、鋅、鈹、鈳、釷中的一種或多種材料。

另外，也可以不使用電極 154a、電極 154b 而形成佈線 156。例如，可以在包括絕緣層 150 的開口的區域中藉由 PVD 法形成薄的鈦膜（5nm 左右），並藉由 PVD 法形成薄的鈦膜，然後埋入開口地形成鋁膜。在此藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此源極電極或汲極電極 142a、電極 142c）的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

藉由形成佈線 156，可以連接感測門鎖 190 所具有的節點 p 與儲存單元所具有的電晶體 162 的源極電極或汲極電極 142b（參照圖 11B）。

由此，完成使用高純度化的氧化物半導體層 144 的電

晶體 162 及具有電容元件 164 的儲存單元 170 (參照圖 11B) 。另外，藉由形成多個這樣儲存單元 170，可以製造儲存單元陣列 202 (1) 。

藉由上述製程，可以製造包括將使用氧化物半導體以外的半導體材料而成的電晶體的週邊電路和包括使用氧化物半導體材料而成的電晶體的儲存電路一體具有的半導體裝置。

藉由使用上述製造方法，可以獲得使氫及鹼金屬的雜質極低的氧化物半導體層 144。藉由使用這樣氧化物半導體層 144 製造電晶體 162，可以製造截止電流極小的電晶體。電晶體 162 因為截止電流極小，所以藉由用作儲存單元 170，可以極長期間保持儲存資料。

此外，因為圖 7 所示的儲存單元陣列 202 (1) 至 202 (k) 具有簡單的元件結構，所以容易層疊儲存單元陣列。例如，現有的快閃記憶體為了在浮動閘極保持電荷或者去除該電荷，需要高電壓。由此，被要求其膜質良好的閘極絕緣層，且記憶元件的結構複雜，因此，不容易層疊作為儲存電路。另外，現有的 DRAM 為了得到高整合度，需要向形成高度方向大的電容元件，因此還是不容易層疊作為儲存電路。

另一方面，與快閃記憶體及 DRAM 相比，可以簡化包括使用氧化物半導體的電晶體的儲存單元的製造製程。此外，包括使用氧化物半導體的電晶體的儲存單元因為其截止電流極小，所以保持電荷的電容元件可以小。由這些特

徵，可以層疊地形成包括使用氧化物半導體的電晶體的儲存單元（儲存單元陣列），且使半導體裝置高整合化。

在本實施例中，說明製造到儲存單元陣列 202 (1) 的製程，但是藉由使用儲存單元陣列 202 (1) 的製造方法，可以層疊多個儲存單元陣列 202。例如，藉由使用上述製造方法，將儲存單元陣列層疊為 k 層，可以製造圖 7 所示的半導體裝置。另外，當層疊多個儲存單元陣列時，對各儲存單元陣列使用的氧化物半導體材料較佳分別含有同樣的材料。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 3

參照圖 12A 至圖 12D 說明在上述實施例中可以用於電晶體的通道形成區的氧化物半導體層的一個實施例。

本實施例的氧化物半導體層具有在第一結晶氧化物半導體層上包括比第一結晶氧化物半導體層厚的第二結晶氧化物半導體層的疊層結構。

接下來，在絕緣層 140 上形成厚度為 1nm 以上且 10nm 以下的第一氧化物半導體膜。

在本實施例中，作為絕緣層 140，利用 PCVD 法或濺射法，形成厚度為 50nm 以上且 600nm 以下的氧化物絕緣層。例如，可以使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氮化鋁膜或氮氧化矽膜中的一層或疊層

作為第一氧化物半導體膜的形成方法，利用濺射法，將該利用濺射法的成膜時的基板溫度設定為 200°C 以上且 400°C 以下。在本實施例中，在如下條件下形成厚度為 5nm 的第一氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn 類氧化物半導體用靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 〔莫耳數比〕）；基板與靶材之間的距離為 170mm ；基板溫度為 250°C ；壓力為 0.4Pa ；直流（DC）電源為 0.5kW ；在只有氧、只有氬或氬及氧氣圍下。

接著，將配置基板的處理室的氣圍為氮或乾燥空氣，並進行第一加熱處理。將第一加熱處理的溫度設定為 400°C 以上且 750°C 以下。藉由第一加熱處理形成第一結晶氧化物半導體層 145a（參照圖 12A）。

依據第一加熱處理的溫度，藉由第一加熱處理，從膜表面產生晶化，從膜表面向膜內部進展結晶生長，而可以得到具有 c 軸配向的結晶。藉由第一加熱處理，多量的鋅和氧集中在膜表面，上表面為六角形的包括鋅和氧的石墨烯型的二維結晶在最外表面上以一層或多個層形成，其向膜厚度方向生長並重疊而成為疊層。在上升加熱處理的溫度時，從表面到內部，然後從內部到底部進展結晶生長。

藉由第一加熱處理，將氧化物絕緣層的絕緣層 140 中的氧擴散到與第一結晶氧化物半導體層 145a 的介面或其附近（離介面有 $\pm 5\text{nm}$ ），減少第一結晶氧化物半導體層的氧缺陷。因此，較佳用作第一結晶氧化物半導體層的基底

絕緣層的絕緣層 140 至少在絕緣層 140 中（塊體中）或第一結晶氧化物半導體層 145a 與絕緣層 140 的介面具有超過化學計量比的含量的氧。

接著，在第一結晶氧化物半導體層 145a 上形成厚於 10nm 的第二氧化物半導體膜。作為第二氧化物半導體膜的形成方法利用濺射法，將該成膜時的基板溫度設定為 200℃ 以上且 400℃ 以下。藉由將成膜時的基板溫度設定為 200℃ 以上且 400℃ 以下，在與第一結晶氧化物半導體層的表面上接觸地形成的氧化物半導體膜中產生前驅物（precursor）的排列，可以有所謂秩序性。

在本實施例中，在如下條件下形成厚度為 25nm 的第二氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn 類氧化物半導體用靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 〔莫耳數比〕）；基板與靶材之間的距離為 170mm；基板溫度為 400℃；壓力為 0.4Pa；直流（DC）電源 0.5kW；在只有氧、只有氬或氬及氧氣圍下。

接著，將配置基板的處理室的氣圍為氮、或乾燥空氣，並進行第二加熱處理。將第二加熱處理的溫度設定為 400℃ 以上且 750℃ 以下。藉由第二加熱處理形成第二結晶氧化物半導體層 145b（參照圖 12B）。藉由在氮氣圍下、氧氣圍下或氮和氧的混合氣圍下進行第二加熱處理，實現第二結晶氧化物半導體層的高密度化及減少缺陷數。藉由第二加熱處理，以第一結晶氧化物半導體層 145a 為晶核，向膜厚度方向，即從底部向內部進展結晶生長，形成第

二結晶氧化物半導體層 145b。

另外，較佳不接觸大氣地連續進行從絕緣層 140 的形成到第二加熱處理的製程。從絕緣層 140 的形成到第二加熱處理的製程進行在控制為幾乎不包含氫及水分的氣圍（惰性氣圍、減壓氣圍、乾燥空氣氣圍等）下，例如，水分為露點 -40°C 以下，較佳為露點 -50°C 以下的乾燥氮氣圍。

接著，對包括第一結晶氧化物半導體層 145a 和第二結晶氧化物半導體層 145b 的氧化物半導體疊層進行加工來形成包括島狀的氧化物半導體疊層的氧化物半導體層 145（參照圖 12C）。在圖 12C 中，以虛線表示第一結晶氧化物半導體層 145a 與第二結晶氧化物半導體層 145b 之間的介面而以第一結晶氧化物半導體層及第二結晶氧化物半導體層的疊層結構示出，但是不是存在有明確的介面，而是為了易懂說明圖示的。

可以藉由在氧化物半導體層的疊層上形成所希望的形狀的掩模之後對該氧化物半導體層的疊層進行蝕刻而進行氧化物半導體層的疊層的加工。可以藉由光微影製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。

此外，氧化物半導體層的疊層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

另外，根據上述製造方法來得到的第一結晶氧化物半導體層及第二結晶氧化物半導體層的特徵之一是具有 c 軸配向。但是，第一結晶氧化物半導體層及第二結晶氧化物

半導體層不是具有單晶結構，又不是具有非晶結構，是包含具有 c 軸配向的結晶（C Axis Aligned Crystal；也稱為 CAAC）的氧化物。

反正，爲了得到 CAAC，重要的是在氧化物半導體膜的沉積初期步驟中形成六方晶的結晶且以該結晶爲晶種使結晶生長。爲此，較佳將加熱基板的溫度設定爲 100℃ 至 500℃，更佳設定爲 200℃ 至 400℃，進一步較佳設定爲 250℃ 至 300℃。而且，藉由以比成膜時的加熱基板的溫度高的溫度對沉積的氧化物半導體膜進行熱處理，可以修復包含在膜中的微小缺陷或疊層界面的缺陷。

另外，作爲第一及第二結晶氧化物半導體層，可以使用至少具有 Zn 的氧化物材料，即：四元金屬氧化物的 In-Al-Ga-Zn-O 類材料、In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Al-Zn-O 類材料、In-Sn-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料；以及 Zn-O 類材料等。另外，也可以使用 In-Si-Ga-Zn-O 類材料、In-Ga-B-Zn-O 類材料、In-B-Zn-O 類材料。此外，也可以使上述材料包含 SiO₂。在此，例如，In-Ga-Zn-O 類材料是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，不侷限於在第一結晶氧化物半導體層上形成第

二結晶氧化物半導體層的雙層結構，也可以在形成第二結晶氧化物半導體層之後，反復進行用來形成第三結晶氧化物半導體層的成膜和加熱處理的步驟，形成三層以上的疊層結構。

然後，藉由形成源極電極或汲極電極 142a、142b、閘極絕緣層 146、閘極電極 148a、導電層 148b，完成電晶體 372 及電容元件 374。作為源極電極或汲極電極 142a、142b、閘極絕緣層 146、閘極電極 148a、導電層 148b 的材料及形成方法，可以參照實施例 2。

可以將包括使用上述製造方法形成的氧化物半導體疊層的氧化物半導體層 145 適當地用於本說明書所公開的半導體裝置（實施例 2 所示的電晶體 162 及電晶體 172）。

另外，在作為氧化物半導體層 144 使用本實施例的氧化物半導體疊層的電晶體 372 中，電場不從氧化物半導體層的一方的面施加到另一方的面，此外，電流不向氧化物半導體疊層的厚度方向流過。由於採用電流主要流在氧化物半導體疊層的介面的電晶體結構，即使對電晶體進行光照射或施加 BT 壓力，也抑制或減少電晶體特性的劣化。

藉由將使用氧化物半導體層 145 那樣的第一結晶氧化物半導體層和第二結晶氧化物半導體層的疊層用於電晶體，可以實現具有穩定的電特性且可靠性高的電晶體。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 4

在本實施例中，使用圖 30A 和圖 30B 對將 In-Sn-Zn 類氧化物膜用於氧化物半導體層的電晶體的一個例子進行說明。

圖 30A 和圖 30B 是共面型的頂閘頂接觸結構的電晶體的俯視圖以及剖面圖。圖 30A 示出電晶體的俯視圖。另外，圖 30B 是對應於圖 30A 的虛線 A1-A2 的剖面圖。

圖 30B 所示的電晶體包括：基板 500；設置在基板 500 上的基底絕緣層 502；設置在基底絕緣層 502 附近的保護絕緣層 504；設置在基底絕緣層 502 及保護絕緣層 504 上的具有高電阻區 506a 及低電阻區 506b 的氧化物半導體層 506；設置在氧化物半導體層 506 上的閘極絕緣層 508；以隔著閘極絕緣層 508 與氧化物半導體層 506 重疊的方式設置的閘極電極 510；與閘極電極 510 的側面接觸地設置的側壁絕緣層 512；至少與低電阻區 506b 接觸地設置的一對電極 514；以至少覆蓋氧化物半導體層 506、閘極電極 510 及一對電極 514 的方式設置的層間絕緣層 516；以及以藉由設置在層間絕緣層 516 中的開口部至少與一對電極 514 中的一方連接的方式設置的佈線 518。

另外，雖然未圖示，但是還可以包括覆蓋層間絕緣層 516 及佈線 518 地設置的保護膜。藉由設置該保護膜，可以降低因層間絕緣層 516 的表面傳導而產生的微小洩漏電流，而可以降低電晶體的截止電流。

實施例 5

在本實施例中，示出與上述不同的將 In-Sn-Zn 類氧化物膜用於氧化物半導體層的電晶體的另一個例子。

圖 31A 和圖 31B 是示出在本實施例中製造的電晶體的結構的俯視圖及剖面圖。圖 31A 是電晶體的俯視圖。另外，圖 31B 是對應於圖 31A 的虛線 B1-B2 的剖面圖。

圖 31B 所示的電晶體包括：基板 600；設置在基板 600 上的基底絕緣層 602；設置在基底絕緣層 602 上的氧化物半導體層 606；與氧化物半導體層 606 接觸的一對電極 614；設置在氧化物半導體層 606 及一對電極 614 上的閘極絕緣層 608；以隔著閘極絕緣層 608 與氧化物半導體層 606 重疊的方式設置的閘極電極 610；覆蓋閘極絕緣層 608 及閘極電極 610 地設置的層間絕緣層 616；藉由設置在層間絕緣層 616 中的開口部與一對電極 614 連接的佈線 618；以及以覆蓋層間絕緣層 616 及佈線 618 的方式設置的保護膜 620。

作為基板 600 使用玻璃基板，作為基底絕緣層 602 使用氧化矽膜，作為氧化物半導體層 606 使用 In-Sn-Zn 類氧化物膜，作為一對電極 614 使用鎢膜，作為閘極絕緣層 608 使用氧化矽膜，作為閘極電極 610 使用氮化鉭膜和鎢膜的疊層結構，作為層間絕緣層 616 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 618 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 620 使用聚醯亞胺膜。

另外，在具有圖 31A 所示的結構的電晶體中，將閘極電極 610 與一對電極 614 重疊的部分的寬度稱為 L_{ov} 。同樣地，將一對電極 614 的從氧化物半導體層 606 超出的部分的寬度稱為 dW 。

實施例 6

除了氧化物半導體以外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體與絕緣膜之間的介面的缺陷。當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式表示其關係。

〔算式 3〕

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此， E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式表示其關係。

〔算式 4〕

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 是基本電荷， N 是通道內的每單位面積的平

均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘電壓， t 是通道的厚度。注意，在採用厚度為 30nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。線性區中的汲電流 I_d 可以由下述算式表示。

[算式 5]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10\mu m$ 。此外， V_d 是汲極電壓。當用 V_g 除上述算式的兩邊，且對兩邊取對數時，成為下述算式。

[算式 6]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

算式 6 的右邊是 V_g 的函數。由上述算式可知，可以根據以縱軸為 $\ln(I_d/V_g)$ 以橫軸為 $1/V_g$ 來標繪出測量值而得到的圖表的直線的傾斜度求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 In:Sn:Zn=1:1:1 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/cm^2$ 左右。

基於如上所述那樣求得的缺陷密度等且根據藉由算式 3 及算式 4 可以導出 $\mu_0=120cm^2/Vs$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $35cm^2/Vs$ 左右。但是，可以預測到沒有半導體內部及半導體與絕緣膜之間的介面的缺陷的氧化物半導體的遷移率 μ_0 成為 $120cm^2/Vs$ 。

然而，即使半導體內部沒有缺陷，電晶體的傳輸特

性也受通道與閘極絕緣層之間的介面中的散射的影響。換言之，離閘極絕緣層介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式表示。

[算式 7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在此， D 是閘極方向上的電場，且 B 、 G 是常數。 B 及 G 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{ cm/s}$ ， $G=10 \text{ nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘極電壓增高）時，算式 7 的第二項也增加，所以遷移率 μ_1 降低。

圖 18 示出計算一種電晶體的遷移率 μ_2 而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且作為氧化物半導體，將能隙設定為 2.8 eV ，將電子親和力設定為 4.7 eV ，將相對介電常數設定為 15，並將厚度設定為 15 nm 。上述值藉由測定以濺射法形成的薄膜來得到。

再者，將閘極的功函數設定為 5.5 eV ，將源極電極的功函數設定為 4.6 eV ，並且將汲極電極的功函數設定為 4.6 eV 。另外，將閘極絕緣層的厚度設定為 100 nm ，並將相對介電常數設定為 4.1。通道長度和通道寬度都為 $10 \mu\text{m}$ ，而汲極電壓 V_d 為 0.1 V 。

如圖 18 所示，雖然當閘極電壓為 1 V 多時遷移率示出 $100 \text{ cm}^2/\text{Vs}$ 以上的峰值，但是當閘極電壓更高時，介面散

射變大，並遷移率降低。另外，爲了降低介面散射，較佳在原子級上將半導體層表面設定爲平坦（Atomic Layer Flatness）。

圖 19A 至圖 21C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 22A 和圖 22B 示出用於計算的電晶體的剖面結構。圖 22A 和圖 22B 所示的電晶體在氧化物半導體層中具有呈現 n^+ 導電型的半導體區 1030a 及半導體區 1030c。半導體區 1030a 及半導體區 1030c 的電阻率爲 $2 \times 10^{-3} \Omega \text{cm}$ 。

圖 22A 所示的電晶體形成在基底絕緣層 1010 和以埋入在基底絕緣層 1010 中的方式形成的由氧化鋁形成的埋入絕緣物 1020 上。電晶體包括半導體區 1030a、半導體區 1030c、夾在它們之間且成爲通道形成區的本質半導體區 1030b、閘極 1050。閘極 1050 的寬度爲 33nm。

在閘極 1050 與半導體區 1030b 之間具有閘極絕緣層 1040，在閘極 1050 的雙側面具有側壁絕緣物 1060a 及側壁絕緣物 1060b，並且在閘極 1050 的上部具有用來防止閘極 1050 與其他佈線的短路的絕緣物 1070。側壁絕緣物的寬度爲 5nm。另外，以接觸於半導體區 1030a 及半導體區 1030c 的方式具有源極電極 1080a 及汲極電極 1080b。另外，該電晶體的通道寬度爲 40nm。

圖 22B 所示的電晶體與圖 22A 所示的電晶體的相同之處爲：形成在基底絕緣層 1010 和由氧化鋁形成的埋入絕緣物 1020 上；並且包括半導體區 1030a、半導體區 1030c

、夾在它們之間的本徵半導體區 1030b、寬度為 33nm 的閘極 1050、閘極絕緣層 1040、側壁絕緣物 1060a 及側壁絕緣物 1060b、絕緣物 1070 以及源極電極 1080a 及汲極電極 1080b。

圖 22A 所示的電晶體與圖 22B 所示的電晶體的不同之處為側壁絕緣物 1060a 及側壁絕緣物 1060b 下的半導體區的導電型。在圖 22A 所示的電晶體中側壁絕緣物 1060a 及側壁絕緣物 1060b 下的半導體區為呈現 n^+ 導電型的半導體區 1030a 及半導體區 1030c，而在圖 22B 所示的電晶體中側壁絕緣物 1060a 及側壁絕緣物 1060b 下的半導體區為本質的半導體區 1030b。換言之，在圖 22B 所示的半導體層中，既不與半導體區 1030a（半導體區 1030c）重疊也不與閘極 1050 重疊的寬度為 L_{off} 的區域。將該區域稱為偏置（offset）區，並且將其寬度稱為偏置長度。如圖式所示，偏置長度與側壁絕緣物 1060a（側壁絕緣物 1060b）的寬度相同。

用於計算的其他參數為如上所述的參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 19A 至圖 19C 示出圖 22A 所示的結構的電晶體的汲極電流（ I_d ，實線）及遷移率（ μ ，虛線）的閘極電壓（ V_g ，閘極與源極電極的電位差）依賴性。將汲極電壓（汲極電極與源極電極的電位差）設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。

圖 19A 為閘極絕緣層的厚度為 15nm 時的圖，圖 19B

為閘極絕緣層的厚度為 10nm 時的圖，並且圖 19C 為閘極絕緣層的厚度為 5nm 時的圖。閘極絕緣層越薄，尤其是截止狀態下的汲極電流 I_d （截止電流）越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態時的汲極電流 I_d （導通電流）沒有顯著的變化。可知當閘極電壓為 1V 前後時，汲極電流超過記憶元件等所需要的 10 μ A。

圖 20A 至圖 20C 示出在圖 22B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲極電流 I_d （實線）及遷移率 μ （虛線）的閘極電壓 V_g 依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 20A 為閘極絕緣層的厚度為 15nm 時的圖，圖 20B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 20C 為閘極絕緣層的厚度為 5nm 時的圖。

另外，圖 21A 至圖 21C 示出在圖 22B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲極電流 I_d （實線）及遷移率 μ （虛線）的閘極電壓依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 21A 為閘極絕緣層的厚度為 15nm 時的圖，圖 21B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 21C 為閘極絕緣層的厚度為 5nm 時的圖。

無論在上述任何結構中，都是閘極絕緣層越薄，截止電流越顯著降低，但是遷移率 μ 的峰值或導通電流沒有顯著的變化。

另外，在圖 19A 至圖 19C 中遷移率 μ 的峰值為

$80\text{ cm}^2/\text{Vs}$ 左右，而在圖 20A 至圖 20C 中遷移率 μ 的峰值為 $60\text{ cm}^2/\text{Vs}$ 左右，且在圖 21A 至圖 21C 中遷移率 μ 的峰值為 $40\text{ cm}^2/\text{Vs}$ 左右，並且偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低。另外，截止電流也有同樣的趨勢。另一方面，雖然導通電流也隨著偏置長度 L_{off} 的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。另外，可知當閘極電壓為 1 V 前後時，汲極電流超過記憶元件等所需要的 $10\mu\text{ A}$ 。

此外，包含 In 、 Sn 及 Zn 的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體層之後進行熱處理來可以得到良好的特性。另外，主要成分是指占組成比 $5\text{ atomic\%}$ 以上的元素。

藉由在形成包含 In 、 Sn 及 Zn 的氧化物半導體層之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。另外，藉由使電晶體的臨界值電壓向正方向漂移來可以實現常關閉化。

例如，圖 23A 至圖 23C 示出使用以 In 、 Sn 、 Zn 為主要成分且通道長度 L 為 $3\mu\text{ m}$ 且通道寬度 W 為 $10\mu\text{ m}$ 的氧化物半導體膜以及使用厚度為 100 nm 的閘極絕緣層的電晶體的特性。另外， V_d 為 10 V 。

圖 23A 示出意圖性地不加熱基板藉由濺射法形成包含 In 、 Sn 及 Zn 的氧化物半導體層時的電晶體特性。此時的場效應遷移率為 $18.8\text{ cm}^2/\text{Vsec}$ 。另一方面，藉由意圖性地

加熱基板形成包含 In、Sn 及 Zn 的氧化物半導體層，可以提高場效應遷移率。圖 23B 示出將基板加熱為 200℃ 來形成包含 In、Sn 及 Zn 的氧化物半導體層時的電晶體特性，此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成包含 In、Sn 及 Zn 的氧化物半導體層之後進行熱處理，可以進一步提高場效應遷移率。圖 23C 示出在 200℃ 下藉由濺射形成包含 In、Sn 及 Zn 的氧化物半導體層之後進行 650℃ 的熱處理時的電晶體特性。此時場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體膜中的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體層中釋放而去除氫、羥基或水分，如上述那樣可以提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化、脫氫化去除雜質，而且因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。可以預測到像這樣被高純度化的非單晶氧化物半導體會能夠實現理想的超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對包含 In、Sn 及 Zn 的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，在該熱處理同時或藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還有助於實現電晶體的常關閉化。將不意圖性地加熱基板來形成的包含 In、Sn 及 Zn 的氧化物半導體層用作通道形成區的電晶體有臨界值電壓漂移到負一側的傾向。然而，在採用藉由意圖性地加熱基板來形成的氧化物半導體層時，可以解決該臨界值電壓的負漂移化的問題。換言之，臨界值電壓向電晶體成為常關閉的方向漂移，並且從圖 23A 和圖 23B 的對比也可以確認到該傾向。

另外，也可以藉由改變 In、Sn 及 Zn 的比率來控制臨界值電壓，作為組成比採用 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ 來可以實現電晶體的常關閉化。另外，藉由作為靶材的組成比採用 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ，可以獲得結晶性高的氧化物半導體層。

將意圖性的基板加熱溫度或熱處理溫度設定為 150°C 以上，較佳設定為 200°C 以上，更佳設定為 400°C 以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常關閉化。

另外，藉由意圖性地加熱基板來形成膜及/或在成膜後進行熱處理，可以提高對於閘極偏壓·應力的穩定性。例如，在 $2\text{MV}/\text{cm}$ ， 150°C 且一個小時施加的條件下，可以使漂移分別為小於 $\pm 1.5\text{V}$ ，較佳為小於 1.0V 。

接著，實際上，對在形成氧化物半導體層後不進行加熱處理的樣品 1 和進行了 650°C 的加熱處理的樣品 2 的電晶體進行 BT 測試。此外，關於樣品 1 及樣品 2 的電晶體

的結構，參照圖 31A 和圖 31B 即可。

首先，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，而對電晶體的 V_g-I_d 特性進行測量。另外， V_d 示出汲極電壓（汲極電極和源極電極的電位差）。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣層 608 的電場強度成為 $2\text{MV}/\text{cm}$ 的方式對 V_g 施加 20V ，一直保持該狀態一個小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，而進行電晶體的 V_g-I_d 測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g-I_d 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣層 608 的電場強度成為 $-2\text{MV}/\text{cm}$ 的方式對 V_g 施加 -20V ，一直保持該狀態一個小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g-I_d 進行測量。將該測試稱為負 BT 測試。

圖 24A 示出樣品 1 的正 BT 測試的結果，而圖 24B 示出負 BT 測試的結果。另外，圖 25A 示出樣品 2 的正 BT 測試的結果，而圖 25B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的臨界值電壓變動分別為 1.80V 及 -0.42V 。另外，樣品 2 的因正 BT 測試及負 BT 測試而發生的臨界值電壓變動分別為 0.79V 及 0.76V 。樣品 1 及樣品 2 的 BT 測試前後的臨界值

電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氣圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理之後在含有氧的氣圍中進行熱處理。藉由在首先進行脫水化·脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為後面添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體層中的方法。

雖然在氧化物半導體中及該氧化物半導體與接觸於該氧化物半導體的膜的介面容易產生由氧缺陷導致的缺陷，但是藉由該熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16} / \text{cm}^3$ 以上且 $2 \times 10^{20} / \text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少在氧化物半導體的一部分中含有結晶，可以獲得更穩定的氧化物半導體層。例如，在使用組成比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體層中，藉由利用 X 線衍射（XRD:X-Ray Diffraction）觀察到光暈圖案（halo pattern）。藉由對該所形成的氧化物半導體膜進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，可以利用 X 線衍射觀察到明確的衍射峰值。

實際進行 In-Sn-Zn 類氧化物膜的 XRD 分析。作為

XRD 分析，使用 Bruker AXS 公司製造的 X 線衍射裝置 D8 ADVANCE 並利用平面外（Out-of-Plane）法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。
以下說明樣品 A 及樣品 B 的製造方法。

在完成了脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn 類氧化物膜。

在氧氣圍下使用濺射裝置以 100W（DC）的功率來形成 In-Sn-Zn 類氧化物膜。作為靶材使用原子數比為 In:Sn:Zn=1:1:1 的 In-Sn-Zn 類氧化物靶材。另外，將成膜時的基板加熱溫度設定為 200℃。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以 650℃ 的溫度進行加熱處理。首先，在氮氣圍下進行一個小時的加熱處理，然後不降低溫度地在氧氣圍下再進行一個小時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 26 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀測到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35deg 近旁及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由在形成包含 In、Sn 及 Zn 的氧化物半導體時意圖性地進行加熱及/或在成膜後進行加熱處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使膜中含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的

作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常關閉化，並且藉由氧化物半導體被高純度化來可以使截止電流為 $1\text{ aA}/\mu\text{m}$ 以下。在此，上述截止電流值的每單位示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 27 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 27 所示那樣，當基板溫度為 125°C 時可以將截止電流設定為 $1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{ A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $100\text{ zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下，當室溫（ 27°C ）時設定為 $1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{ A}/\mu\text{m}$ ）以下。較佳地，當 125°C 時可以將其設定為 $0.1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $10\text{ zA}/\mu\text{m}$ （ $1\times 10^{-20}\text{ A}/\mu\text{m}$ ）以下，當室溫時設定為 $0.1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-22}\text{ A}/\mu\text{m}$ ）以下。上述截止電流值比使用 Si 作為半導體膜的電晶體顯著低。

當然，為了防止當形成氧化物半導體層時氫或水分混入到膜中，較佳充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止水分被包含在膜中，作為濺射氣體較佳使用其露點為 -70°C 以下的氣體。另外，較佳使用靶材本身不含有氫或水分等雜質的被高純度化的靶材。包含 In、Sn 及 Zn 的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以

In、Ga、Zn 為主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳形成原本就不含有水分的膜。

另外，在使用形成氧化物半導體層之後進行 650°C 的加熱處理的樣品 B 的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ， L_{ov} 為 $0\mu\text{m}$ ， dW 為 $0\mu\text{m}$ 。另外，將 V_d 設定為 10V 。此外，在基板溫度為 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的部分的寬度稱為 L_{ov} ，並且將一對電極的從氧化物半導體層超出的部分的寬度稱為 dW 。

圖 28 示出 I_d （實線）及場效應遷移率（虛線）的 V_g 依賴性。另外，圖 29A 示出基板溫度與臨界值電壓的關係，而圖 29B 示出基板溫度與場效應遷移率的關係。

根據圖 29A 可知基板溫度越高臨界值電壓越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下臨界值電壓為 0.38V 至 -1.08V 。

此外，根據圖 29B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率為 $37.4\text{cm}^2/\text{Vs}$ 至 $33.4\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的包含 In、Sn 及 Zn 的氧化物半導體用於通道形成區的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為

$30\text{cm}^2/\text{Vsec}$ 以上，較佳設定為 $40\text{cm}^2/\text{Vsec}$ 以上，更佳設定為 $60\text{cm}^2/\text{Vsec}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。另外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。當具有這種特性時，即使在使用 Si 半導體製造的積體電路中混裝有使用氧化物半導體形成的電晶體，也可以在不降低工作速度的情況下實現具有新的功能的積體電路。

實施例 7

在本實施例中，使用圖 13A 至圖 13F 對將上述的實施例所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施例中，對將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝像機、電子紙、電視裝置（也稱為電視或電視接收機）等的電子裝置的情況進行說明。

圖 13A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 以及鍵盤 704 等。在外殼 701 和外殼 702 中的至少一個中設置有之前的實施例所示的半導體裝置。因此，可以實現一種筆記本型個人電腦，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 13B 示出可攜式資訊終端（PDA），其本體 711 包括顯示部 713、外部介面 715 以及操作按鈕 714 等。另外，還包括用於操作可攜式資訊終端的觸屏筆 712 等。在本體 711 中設置有之前的實施例所示的半導體裝置。因此，可以實現一種可攜式資訊終端，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 13C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 及外殼 723 分別設置有顯示部 725 及顯示部 727。外殼 721 和外殼 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源開關 731、操作鍵 733 以及揚聲器 735 等。在外殼 721 和外殼 723 中的至少一個中設置有之前的實施例所示的半導體裝置。因此，可以實現一種電子書閱讀器，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 13D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以從如圖 13D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽能電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在外殼 741 中。在外殼

740 和外殼 741 中的至少一個中設置有之前的實施例所示的半導體裝置。因此，可以實現一種行動電話機，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 13E 示出數位相機，包括本體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 以及電池 766 等。在本體 761 中設置有之前的實施例所示的半導體裝置。因此，可以實現一種數位相機，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

圖 13F 示出電視裝置 770，包括外殼 771、顯示部 773 以及支架 775 等。可以藉由外殼 771 具有的開關和遙控操作機 780 來進行電視裝置 770 的操作。在外殼 771 及遙控操作機 780 中安裝有之前的實施例所示的半導體裝置。因此，可以實現一種電視裝置，其中寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。

如上所述，本實施例所示的電子裝置安裝有根據之前的實施例的半導體裝置。所以，可以實現耗電量被降低的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是半導體裝置的概念圖；

圖 2 是半導體裝置的電路圖；

圖 3 是半導體裝置的電路圖；

圖 4A 至圖 4D 是時序圖；

圖 5A 至圖 5D 是時序圖；

圖 6 是半導體裝置的電路圖；

圖 7 是半導體裝置的剖面圖；

圖 8A 至圖 8E 是有關半導體裝置的製造製程的剖面圖

；

圖 9A 至圖 9D 是有關半導體裝置的製造製程的剖面圖；

圖 10A 至圖 10C 是有關半導體裝置的製造製程的剖面圖；

圖 11A 和圖 11B 是有關半導體裝置的製造製程的剖面圖；

圖 12A 至圖 12D 是有關半導體裝置的製造製程的剖面圖；

圖 13A 至圖 13F 是示出電子裝置的圖；

圖 14 是半導體裝置的剖面圖；

圖 15A 至圖 15E 是說明氧化物材料的結晶結構的圖；

圖 16A 至圖 16C 是說明氧化物材料的結晶結構的圖；

圖 17A 至圖 17C 是說明氧化物材料的結晶結構的圖；

圖 18 是說明藉由計算獲得的遷移率的閘極電壓依賴性的圖；

圖 19A 至圖 19C 是說明藉由計算獲得的汲極電流和遷

移率的閘極電壓依賴性的圖；

圖 20A 至圖 20C 是說明藉由計算獲得的汲極電流和遷移率的閘極電壓依賴性的圖；

圖 21A 至圖 21C 是說明藉由計算獲得的汲極電流和遷移率的閘極電壓依賴性的圖；

圖 22A 和圖 22B 是說明用於計算的電晶體的剖面結構的圖；

圖 23A 至圖 23C 是使用氧化物半導體層的電晶體特性的圖表；

圖 24A 和圖 24B 是示出樣品 1 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 25A 和圖 25B 是示出樣品 2 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 26 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 27 是示出電晶體的截止電流和測量時基板溫度的關係的圖；

圖 28 是示出 I_d 及場效應遷移率的 V_g 依賴性的圖；

圖 29A 和圖 29B 是說明基板溫度和臨界值電壓的關係以及基板溫度和場效應遷移率的關係的圖；

圖 30A 和圖 30B 是半導體裝置的俯視圖及剖面圖；以及

圖 31A 和圖 31B 是半導體裝置的俯視圖及剖面圖。

【主要元件符號說明】

- 100：基板
- 102：保護層
- 104：半導體區
- 106：元件分離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 116：通道形成區
- 120：雜質區
- 122：金屬層
- 124：金屬化合物區
- 126：電極
- 128：絕緣層
- 130a：源極電極或汲極電極
- 130b：源極電極或汲極電極
- 136a：導電層
- 136b：導電層
- 136c：導電層
- 140：絕緣層
- 142a：源極電極或汲極電極
- 142b：源極電極或汲極電極
- 142c：電極
- 144：氧化物半導體層
- 145：氧化物半導體層
- 145a：結晶氧化物半導體層

145b：結晶氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：導電層

150：絕緣層

152：絕緣層

154a：電極

154b：電極

156：佈線

162：電晶體

164：電容元件

170：儲存單元

172：電晶體

174：電容元件

180：電晶體

181：電晶體

182：電晶體

183：電晶體

184：電晶體

185：電晶體

186：電晶體

187：電晶體

188：電晶體

190：感測門鎖

- 201 : 感測閂鎖陣列
- 202 : 儲存單元陣列
- 203 : 第一字線驅動電路
- 204 : 資料線驅動電路
- 205 : 第二字線驅動電路
- 241 : 讀出電路
- 242 : 寫入電路
- 243 : 預充電電路
- 372 : 電晶體
- 374 : 電容元件
- 500 : 基板
- 502 : 基底絕緣層
- 504 : 保護絕緣層
- 506 : 氧化物半導體層
- 506a : 高電阻區
- 506b : 低電阻區
- 508 : 閘極絕緣層
- 510 : 閘極電極
- 512 : 側壁絕緣層
- 514 : 電極
- 516 : 層間絕緣層
- 518 : 佈線
- 600 : 基板
- 602 : 基底絕緣層

606：氧化物半導體層

608：閘極絕緣層

610：閘極電極

614：電極

616：層間絕緣層

618：佈線

620：保護膜

701：外殼

702：外殼

703：顯示部

704：鍵盤

711：本體

712：觸屏筆

713：顯示部

714：操作按鈕

715：外部介面

720：電子書閱讀器

721：外殼

723：外殼

725：顯示部

727：顯示部

731：電源開關

733：操作鍵

735：揚聲器

737 : 軸 部
 740 : 外 殼
 741 : 外 殼
 742 : 顯 示 面 板
 743 : 揚 聲 器
 744 : 麥 克 風
 745 : 操 作 鍵
 746 : 指 向 裝 置
 747 : 照 相 用 透 鏡
 748 : 外 部 連 接 端 子
 749 : 太 陽 能 電 池 單 元
 750 : 外 部 記 憶 體 插 槽
 761 : 本 體
 763 : 取 景 器
 764 : 操 作 開 關
 765 : 顯 示 部
 766 : 電 池
 767 : 顯 示 部
 770 : 電 視 裝 置
 771 : 外 殼
 773 : 顯 示 部
 775 : 支 架
 780 : 遙 控 操 作 機
 1010 : 基 底 絕 緣 層

1020：埋入絕緣物

1030a：半導體區

1030b：半導體區

1030c：半導體區

1040：閘極絕緣層

1050：閘極

1060a：側壁絕緣物

1060b：側壁絕緣物

1070：絕緣物

1080a：源極電極

1080b：汲極電極

七、申請專利範圍：

1. 一種半導體裝置，包含：

藉由使用半導體基板而形成的週邊電路；

在該週邊電路上的儲存單元陣列；以及

在該週邊電路和該儲存單元陣列之間的絕緣層，該絕緣層包含開口，

其中，該週邊電路包含配置為矩陣狀的多個感測門鎖，

其中，該儲存單元陣列包含配置為矩陣狀的多個儲存單元，

其中，每個該多個儲存單元包含：

包含閘極電極、源極電極、汲極電極、閘極絕緣層以及氧化物半導體層的電晶體；以及

電容器，

其中，每個該多個感測門鎖包含第一端子及第二端子，以及

其中，該第一端子和該第二端子中的至少一個經由該絕緣層的該開口中的至少一電極與該電晶體的該源極電極和該汲極電極中的一個電連接。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該週邊電路為感測門鎖陣列。

3. 根據申請專利範圍第 1 項之半導體裝置，還包含：

第一字線驅動電路；

第二字線驅動電路；以及

資料線驅動電路，

其中，該第一字線驅動電路藉由第一字線與該多個儲存單元電連接，

其中，該第二字線驅動電路藉由第二字線與該多個感測門鎖電連接，以及

其中，該資料線驅動電路藉由第一資料線及第二資料線與該多個感測門鎖電連接。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該半導體基板包含除了用於該氧化物半導體層的材料之外的半導體材料。

5. 一種半導體裝置，包含：

藉由使得半導體基板而形成的週邊電路；

重疊在該週邊電路上的多個儲存單元陣列；以及

在該週邊電路和該多個儲存單元陣列之間的絕緣層，該絕緣層包含開口，

其中，該週邊電路包含配置為矩陣狀的多個感測門鎖，

其中，每個該多個儲存單元陣列包含配置為矩陣狀的多個儲存單元，

其中，每個該多個儲存單元包含：

包含閘極電極、源極電極、汲極電極、閘極絕緣層以及氧化物半導體層的電晶體；以及

電容器，

其中，每個該多個感測門鎖包含第一端子及第二端子，以及

其中，該第一端子和該第二端子中的至少一個經由該絕緣層的該開口中的至少一電極與該電晶體的該源極電極和該汲極電極中的一個電連接。

6. 根據申請專利範圍第 5 項之半導體裝置，其中該週邊電路為感測門鎖陣列。

7. 根據申請專利範圍第 5 項之半導體裝置，還包含：

第一字線驅動電路；

第二字線驅動電路；以及

資料線驅動電路，

其中，該第一字線驅動電路藉由第一字線與該多個儲存單元電連接，

其中，該第二字線驅動電路藉由第二字線與該多個感測門鎖電連接，以及

其中，該資料線驅動電路藉由第一資料線及第二資料線與該多個感測門鎖電連接。

8. 根據申請專利範圍第 5 項之半導體裝置，其中在該多個儲存單元陣列中的該電晶體中每個該氧化物半導體層包含相同的氧化物半導體材料。

9. 根據申請專利範圍第 5 項之半導體裝置，其中該半導體基板包含除了用於該氧化物半導體層的材料之外的半導體材料。

10. 一種半導體裝置，包含：

藉由使用半導體基板而形成的週邊電路；

重疊在該週邊電路上的第一儲存單元陣列及第二儲存單元陣列；以及

在該週邊電路和該第一儲存單元陣列之間的絕緣層，該絕緣層包含開口，

其中，該週邊電路包含配置為矩陣狀的多個感測門鎖，

其中，每個該第一儲存單元陣列及該第二儲存單元陣列包含配置為矩陣狀的多個儲存單元，

其中，包括在該第一儲存單元陣列中的每個該多個儲存單元包含：

包含第一閘極電極、第一源極電極、第一汲極電極、第一閘極絕緣層以及第一氧化物半導體層的第一電晶體；以及

第一電容器，

其中，包括在該第二儲存單元陣列中的每個該多個儲存單元包含：

包含第二閘極電極、第二源極電極、第二汲極電極、第二閘極絕緣層以及第二氧化物半導體層的第二電晶體；以及

第二電容器，

其中，每個該多個感測門鎖包含第一端子及第二端子，以及

其中，該第一端子和該第二端子中的至少一個經由該絕緣層的該開口中的至少一電極與該第一電晶體的該第一源極電極和該第一汲極電極中的一個以及該第二電晶體的該第二源極電極和該第二汲極電極中的一個電連接。

11. 根據申請專利範圍第 10 項之半導體裝置，其中該週邊電路為感測門鎖陣列。

12. 根據申請專利範圍第 10 項之半導體裝置，還包含：

第一字線驅動電路；

第二字線驅動電路；以及

資料線驅動電路，

其中，該第一字線驅動電路藉由第一字線與包括在該第一儲存單元陣列及該第二儲存單元陣列中的每個該多個儲存單元電連接，

其中，該第二字線驅動電路藉由第二字線與該多個感測門鎖電連接，以及

其中，該資料線驅動電路藉由第一資料線及第二資料線與該多個感測門鎖電連接。

13. 根據申請專利範圍第 10 項之半導體裝置，其中該第一氧化物半導體層及該第二氧化物半導體層包含相同的氧化物半導體材料。

14. 根據申請專利範圍第 10 項之半導體裝置，其中該半導體基板包含除了用於該第一氧化物半導體層及該第二氧化物半導體層的材料之外的半導體材料。

圖 1A

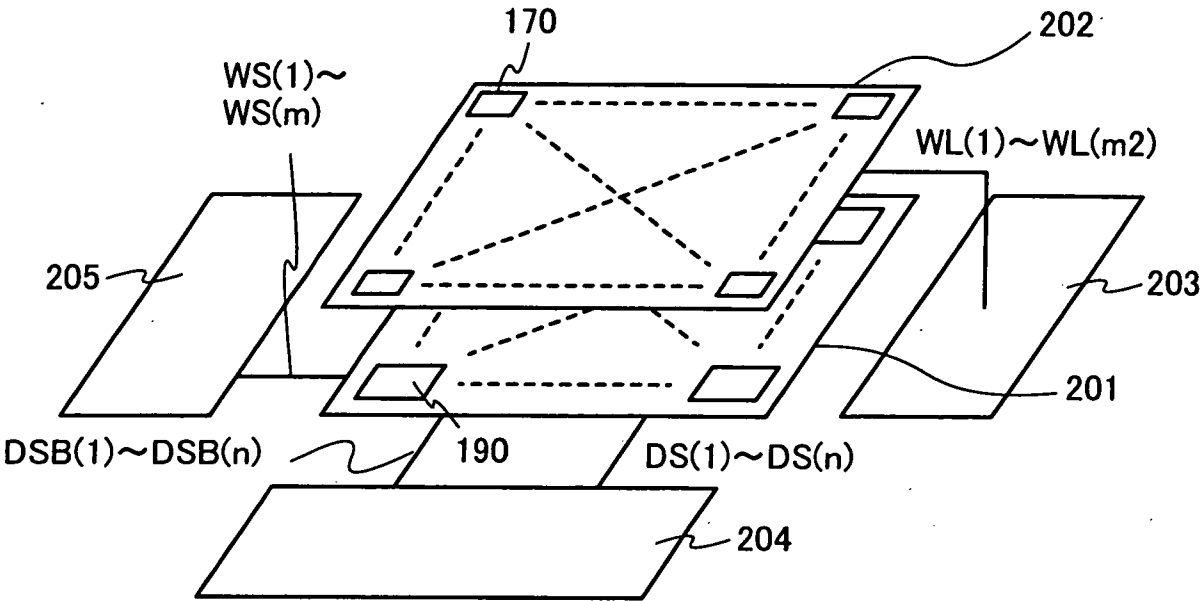
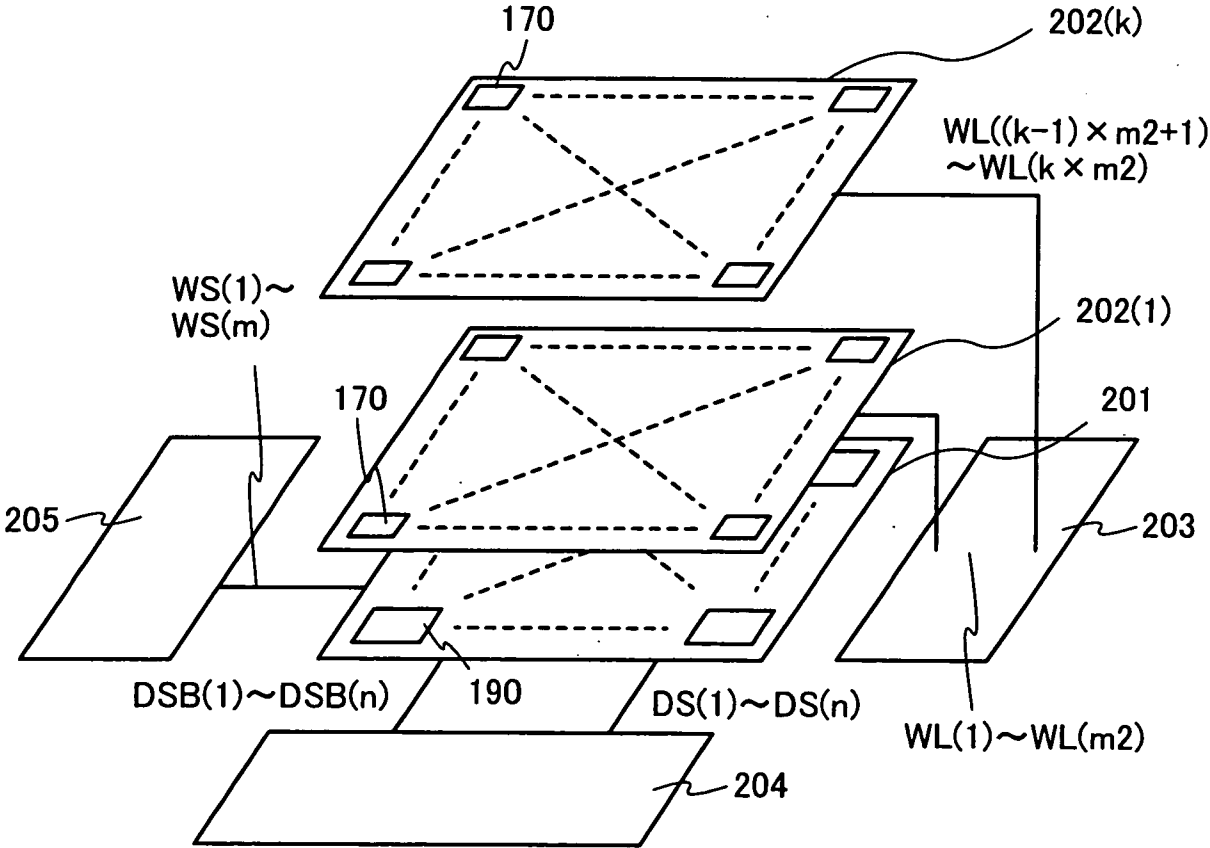


圖 1B



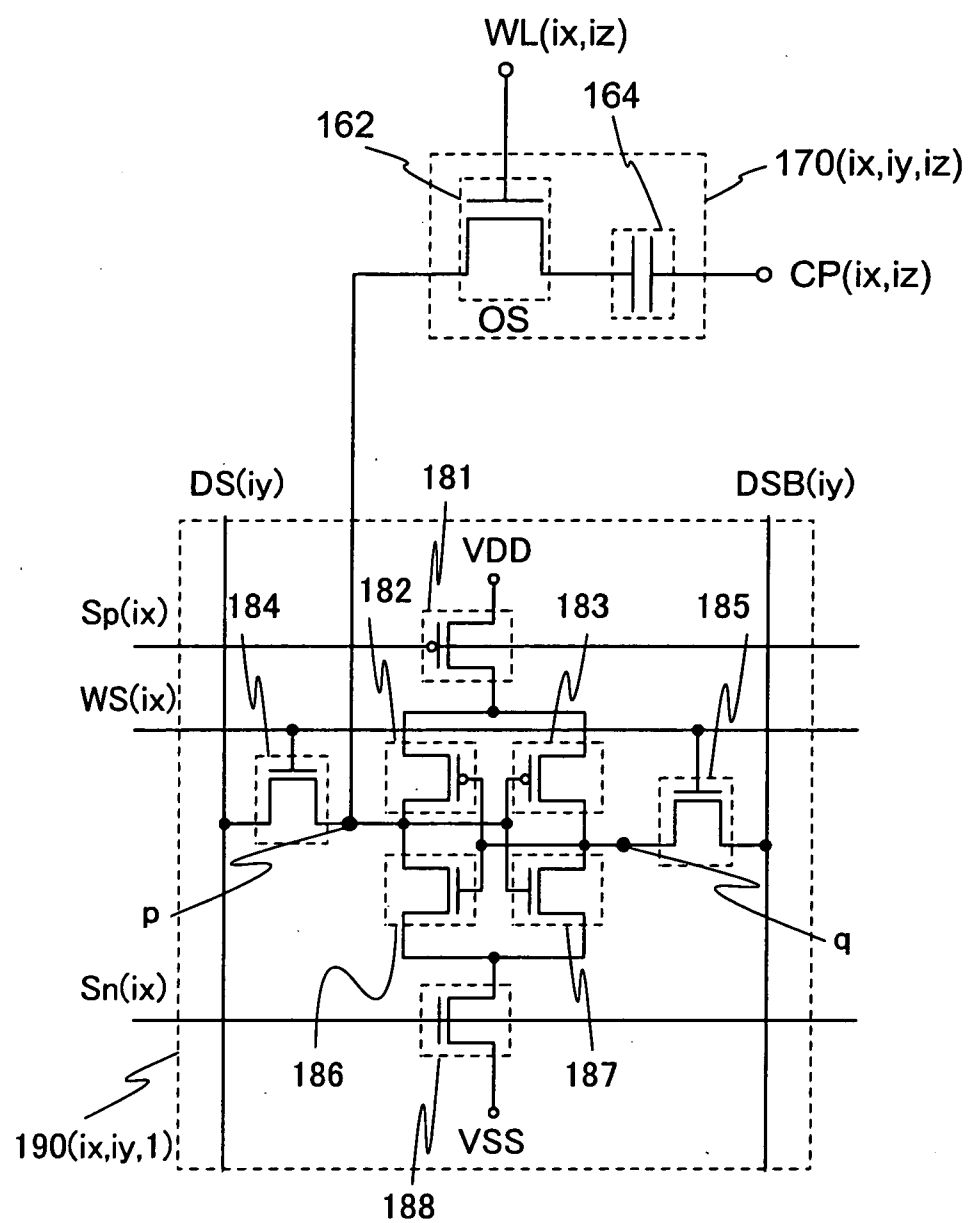


圖3

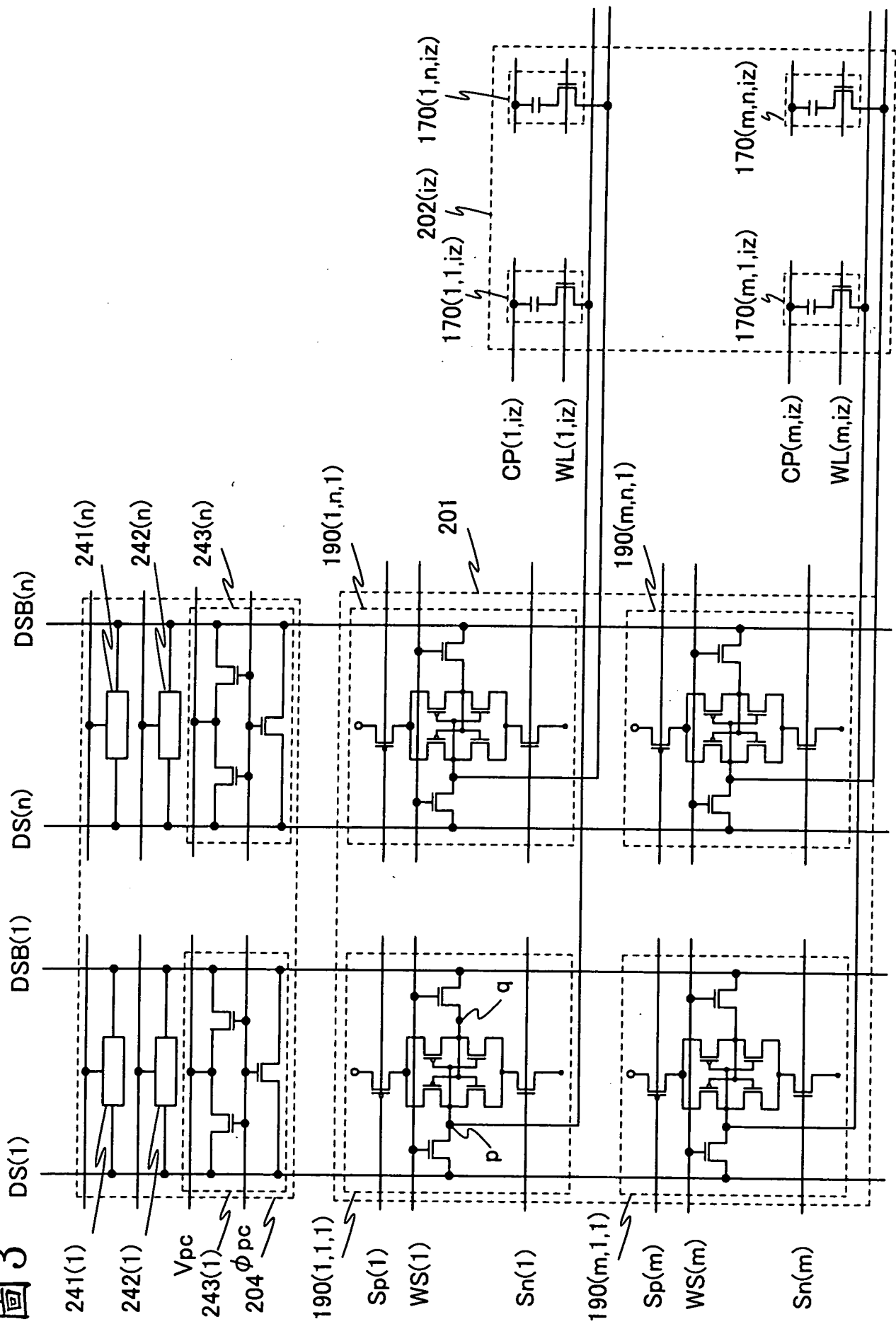


圖 4A

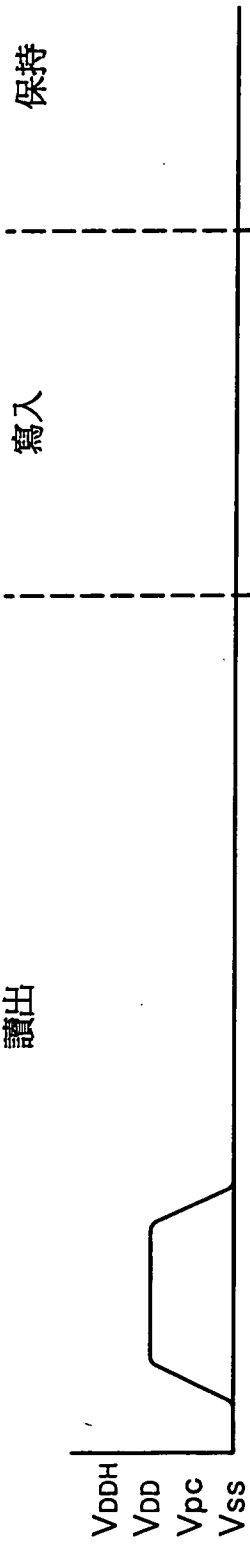


圖 4B

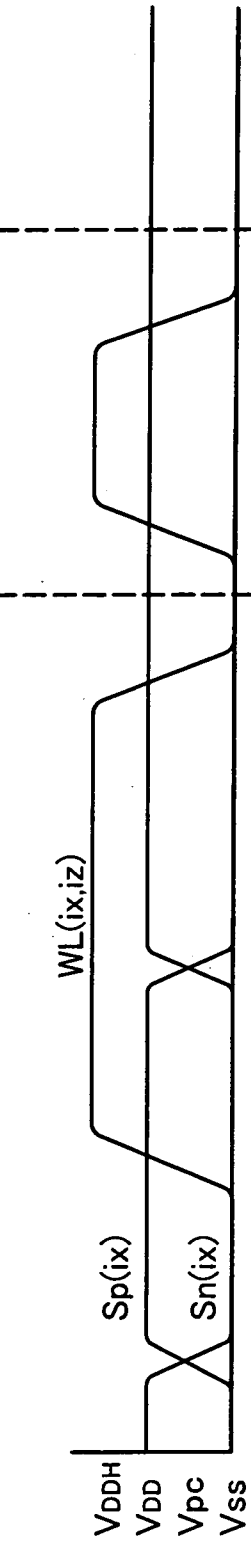


圖 4C

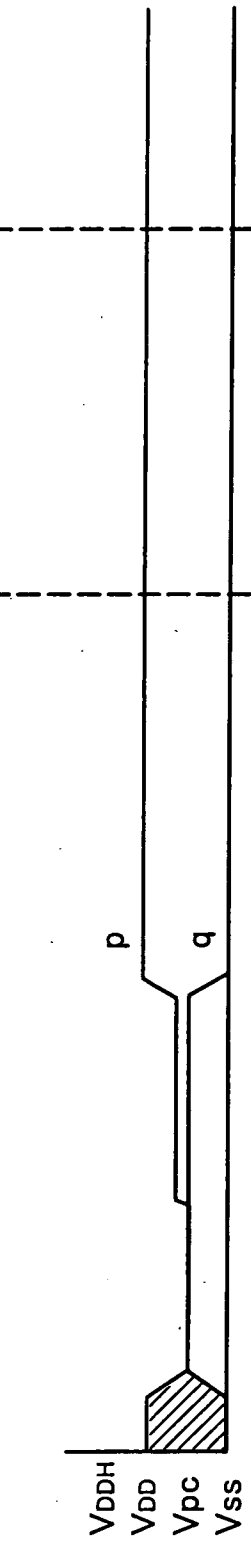


圖 4D

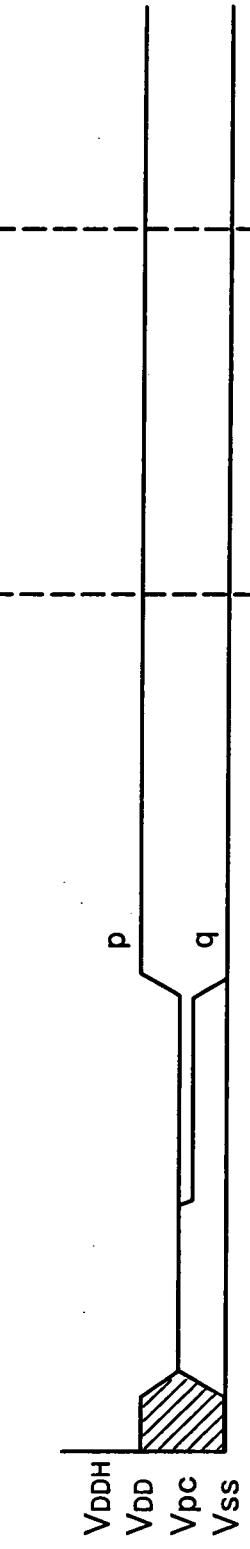


圖5A

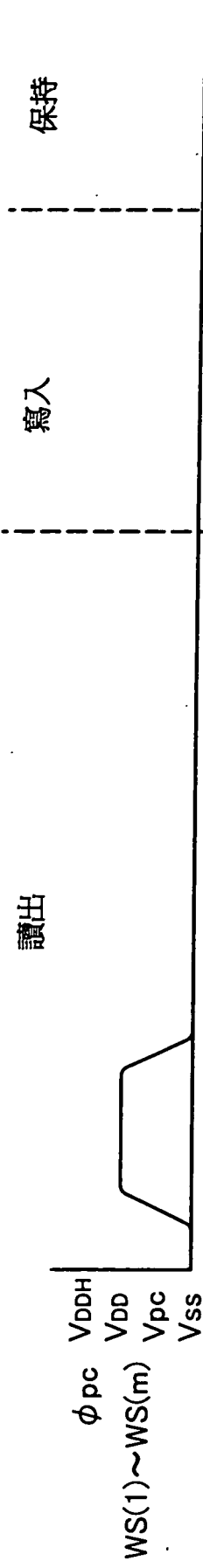


圖5B

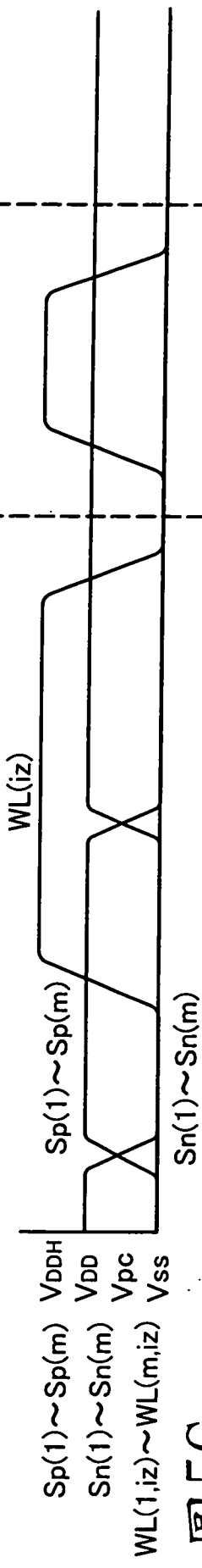


圖5C

其中資料為 "1"

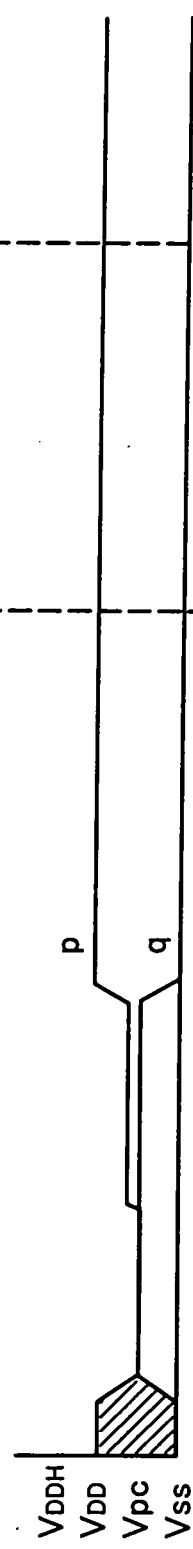


圖5D

其中資料為 "0"

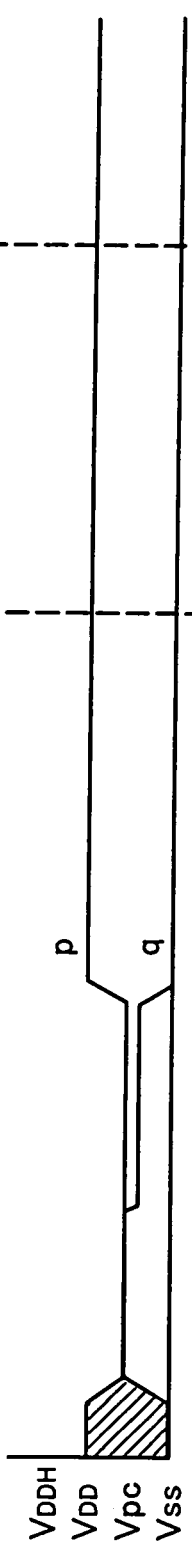


圖6

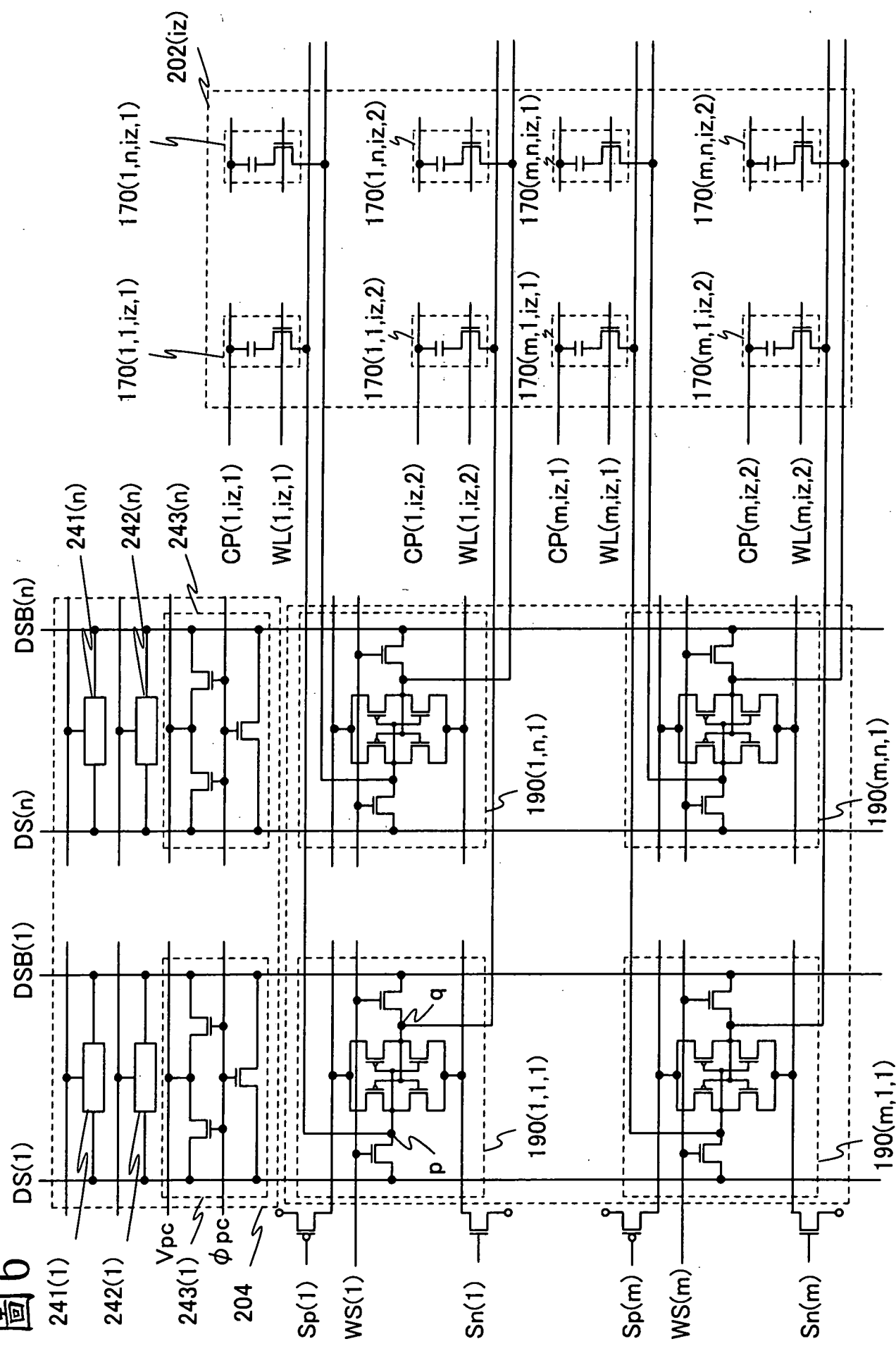


圖 7

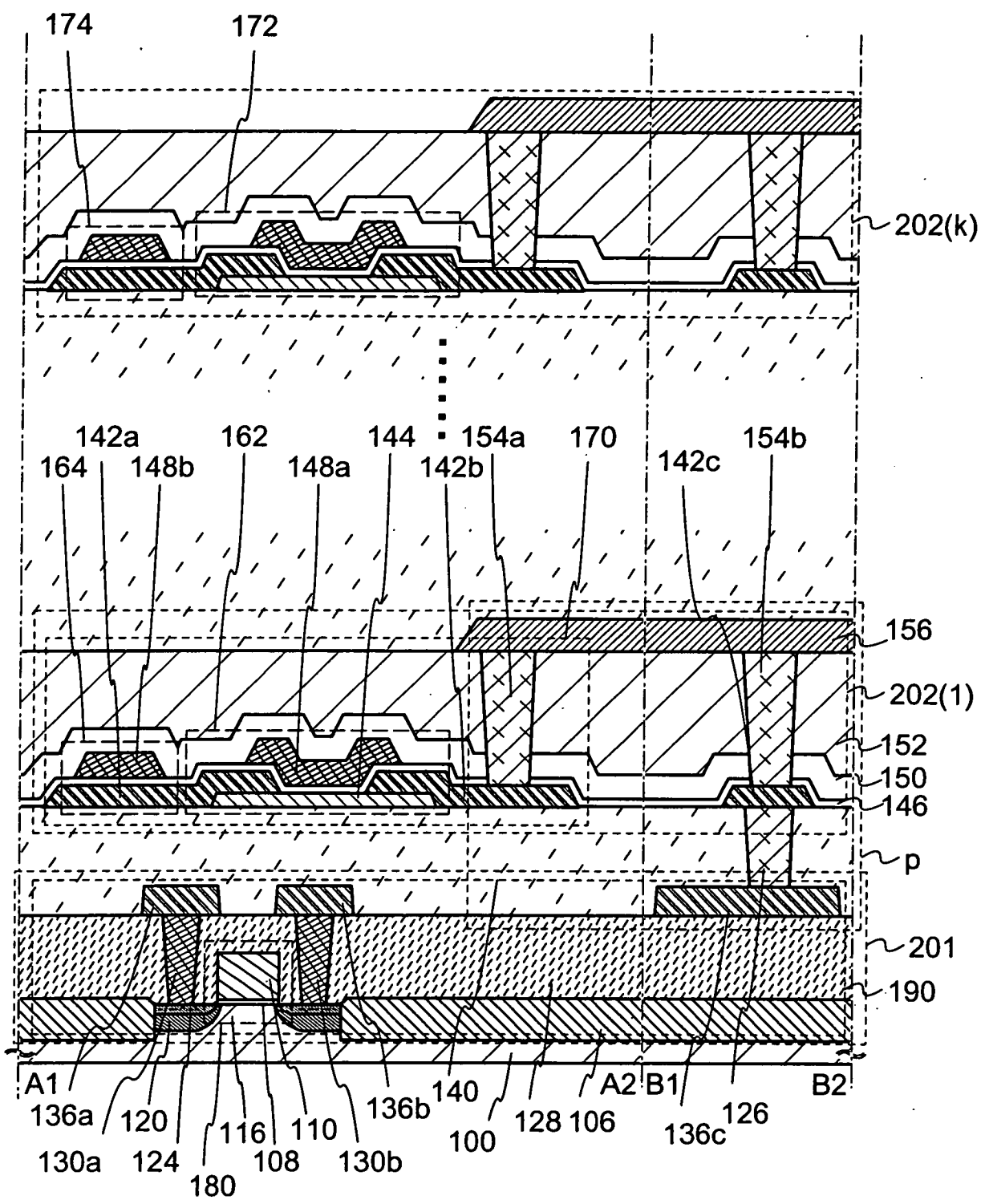


圖 8A

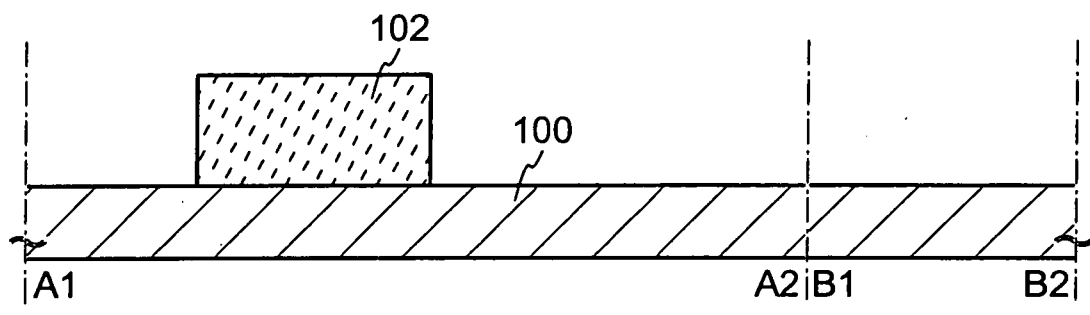


圖 8B

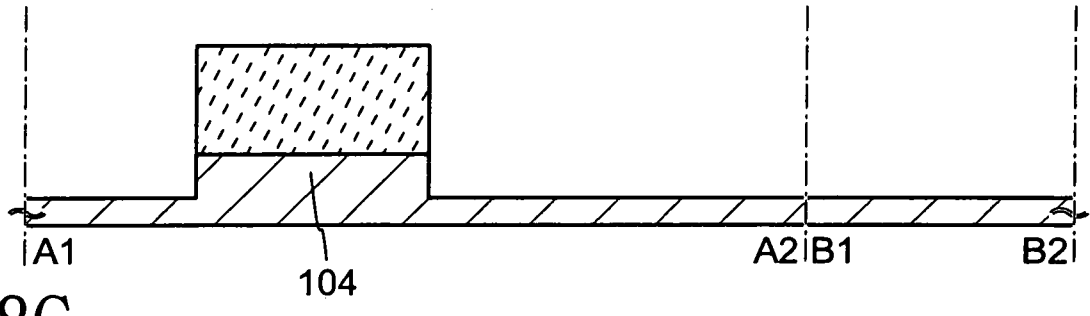


圖 8C

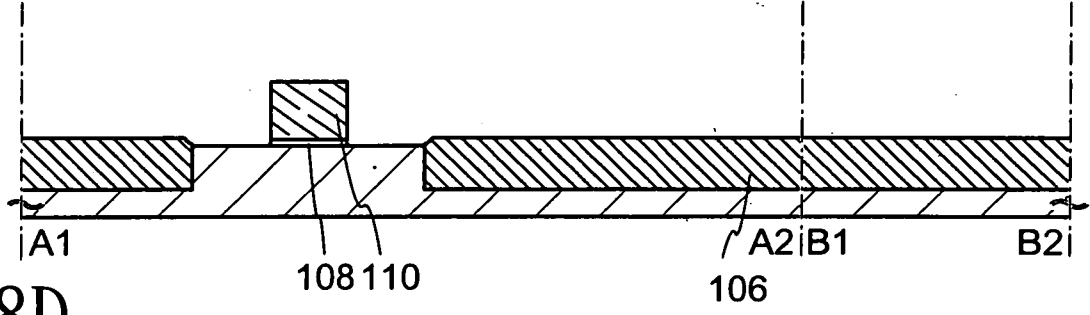


圖 8D

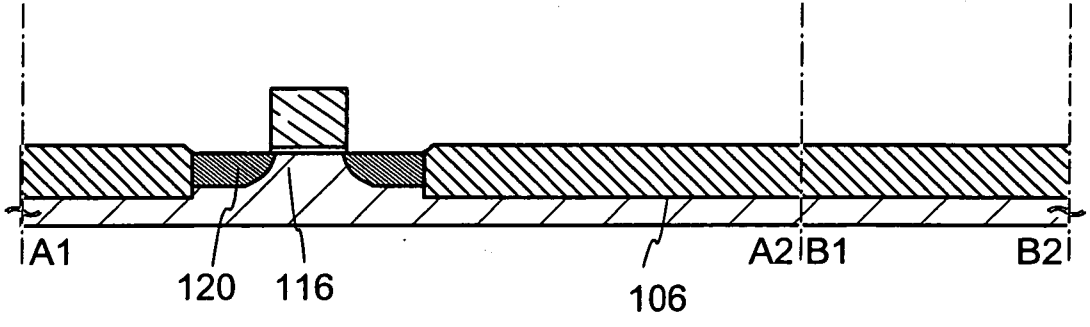


圖 8E

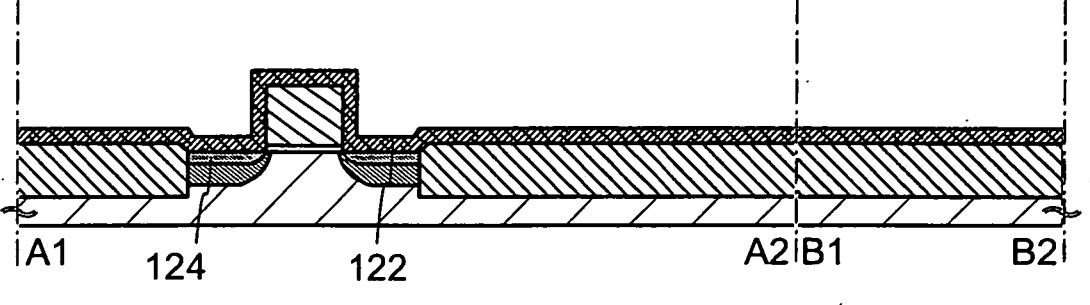


圖 9A

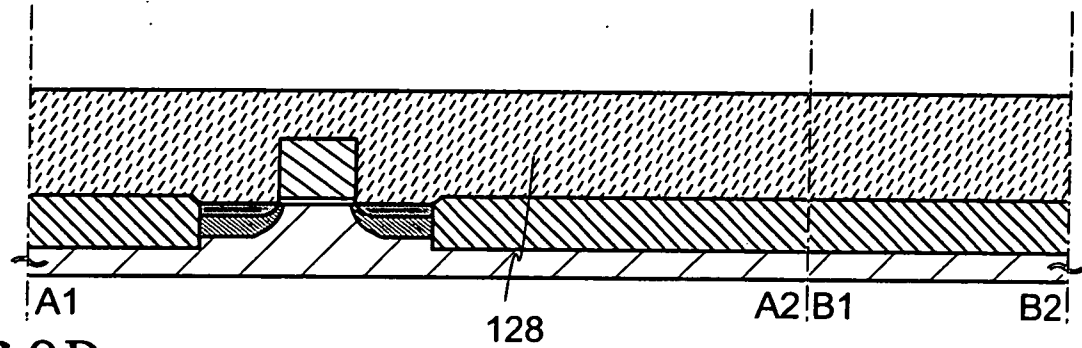


圖 9B

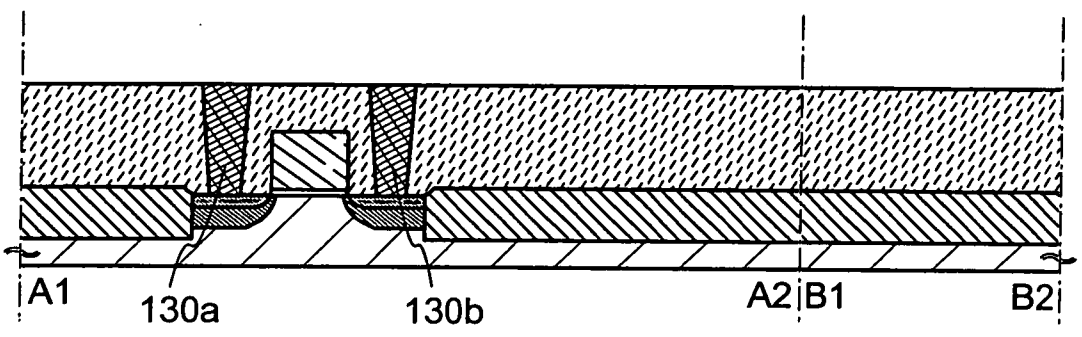


圖 9C

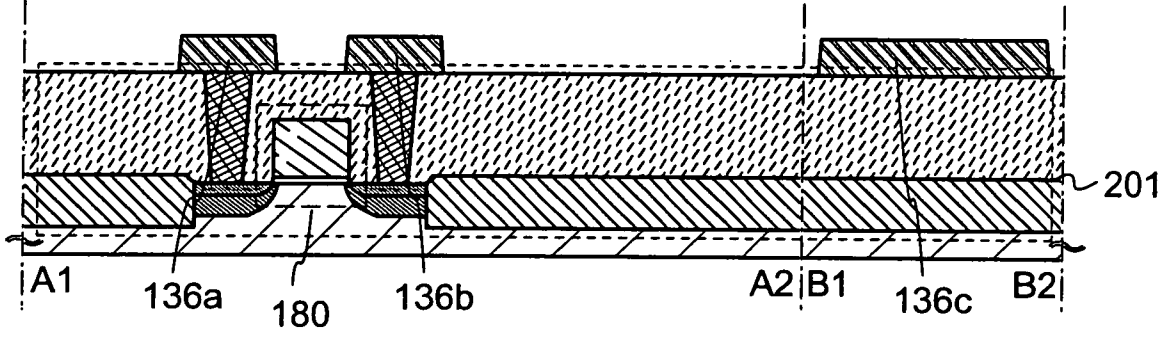


圖 9D

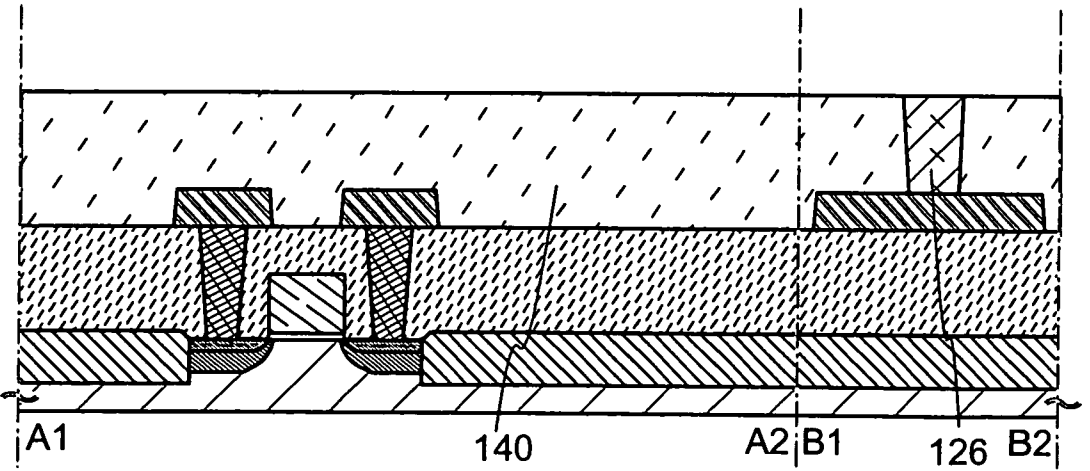


圖 10A

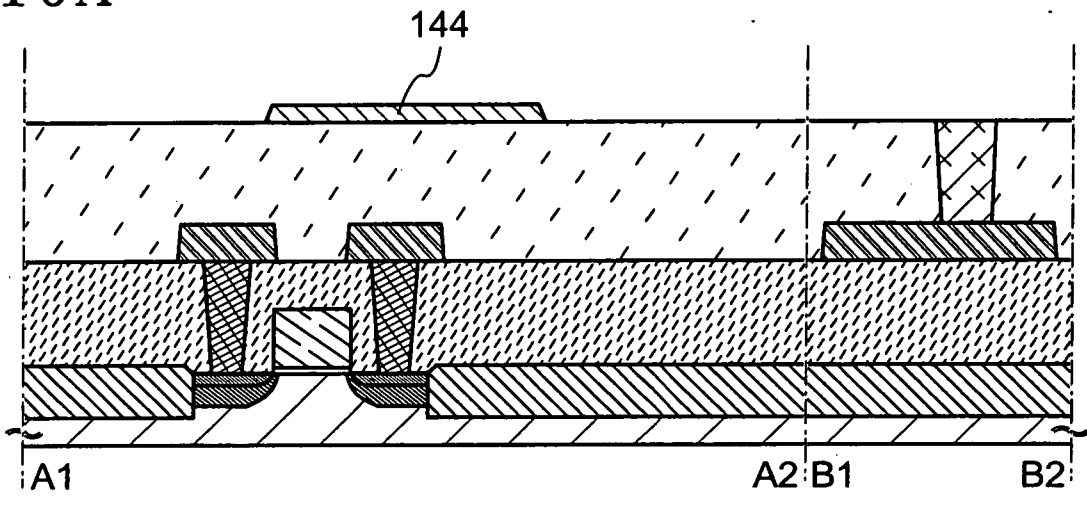


圖 10B

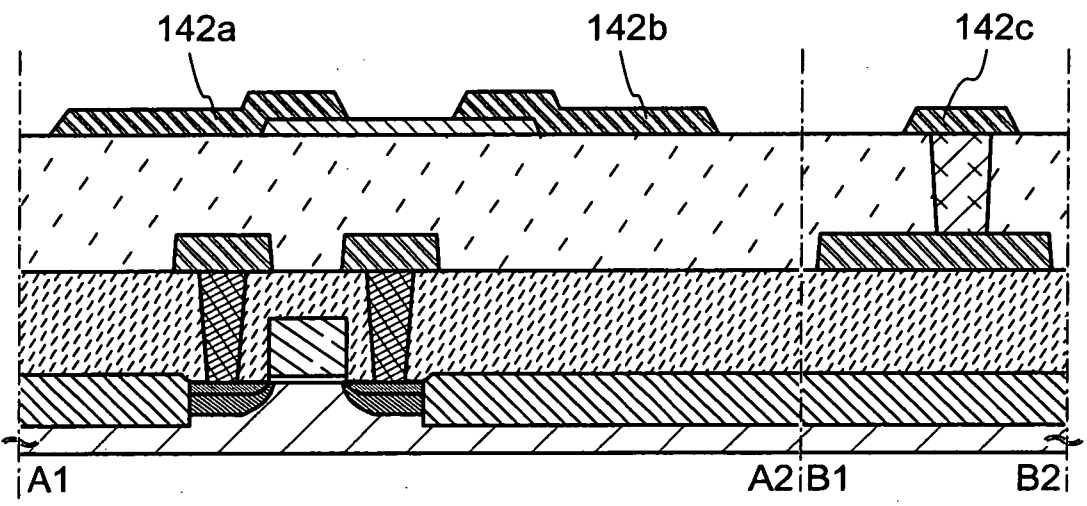


圖 10C

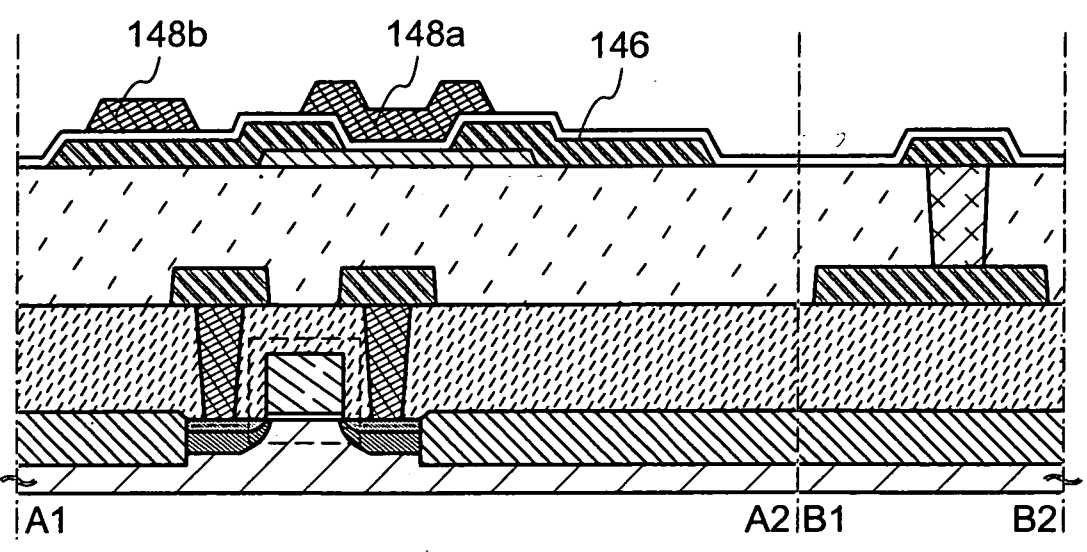


圖 11A

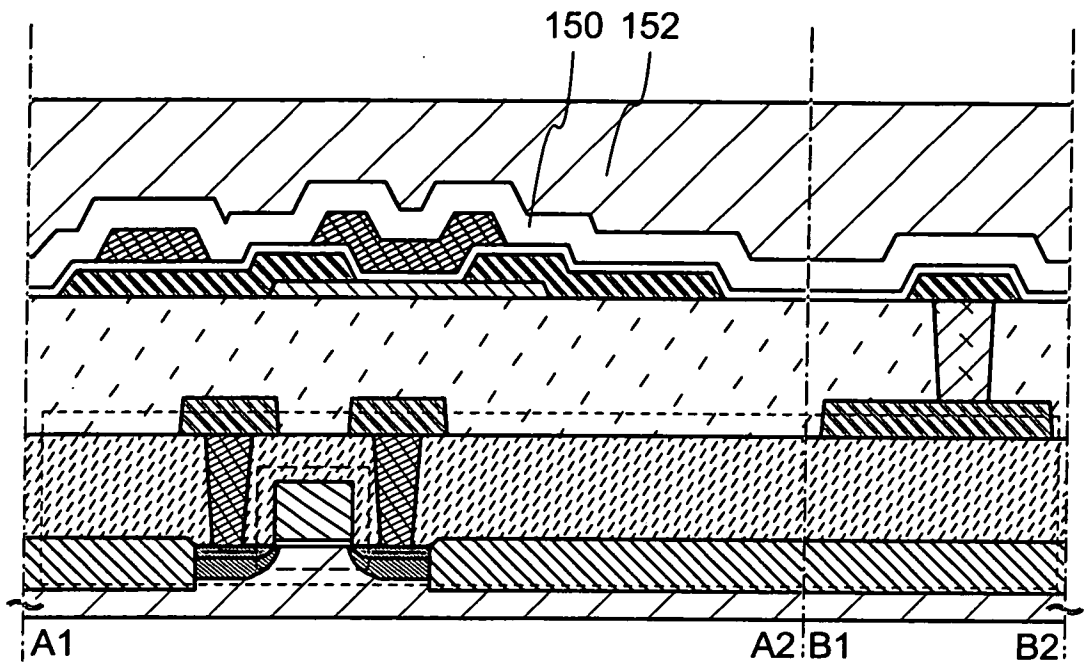


圖 11B

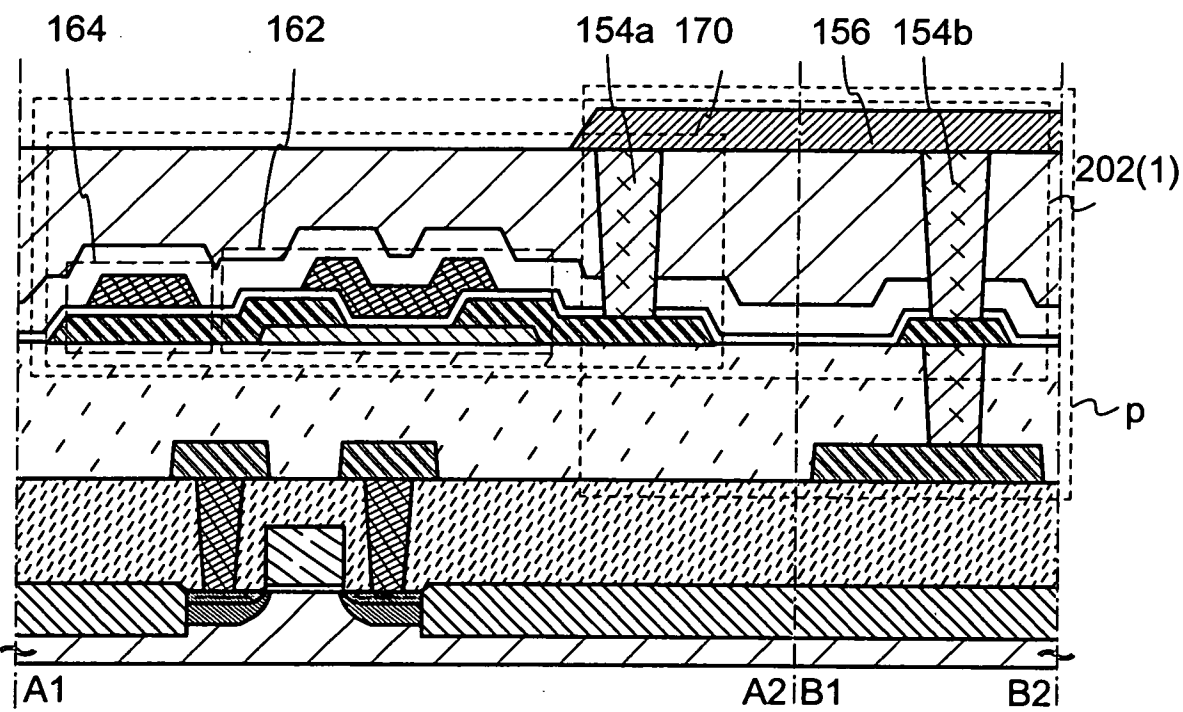


圖 12A

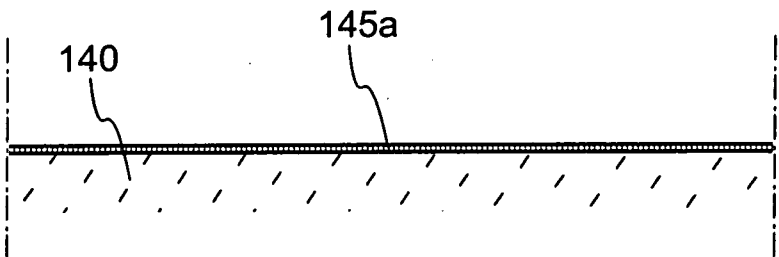


圖 12B

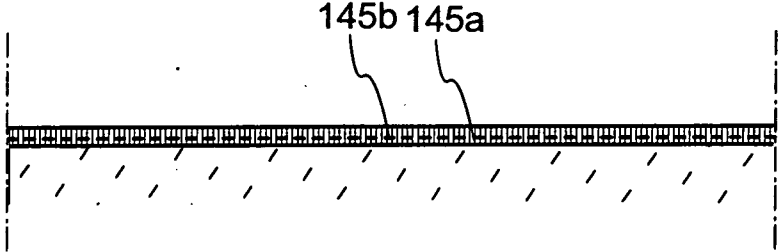


圖 12C

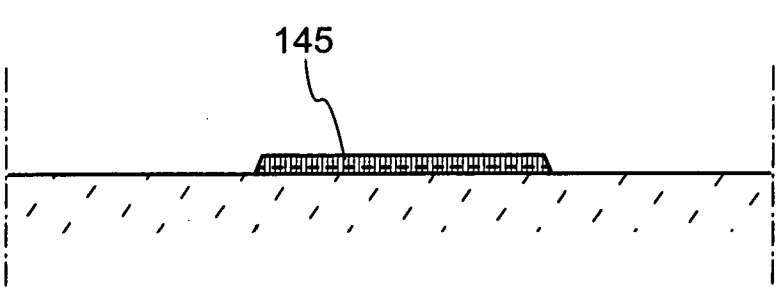


圖 12D

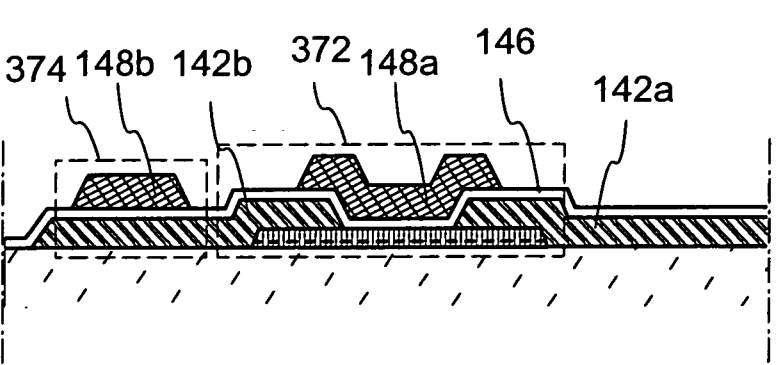


圖 13A

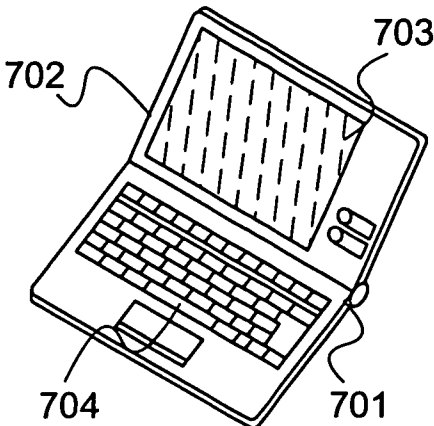


圖 13D

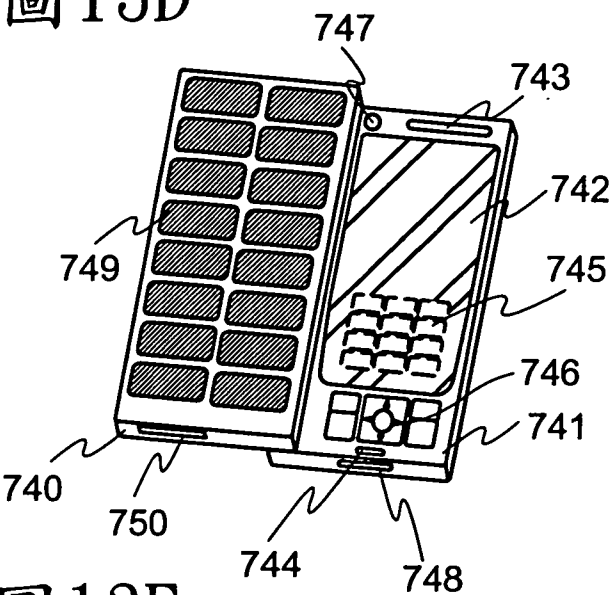


圖 13B

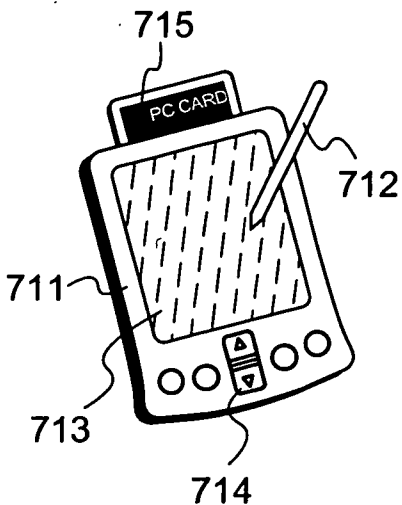


圖 13E

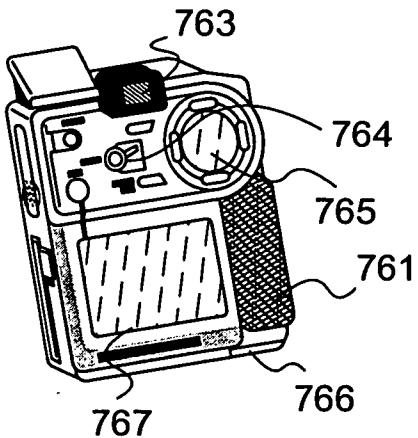


圖 13C

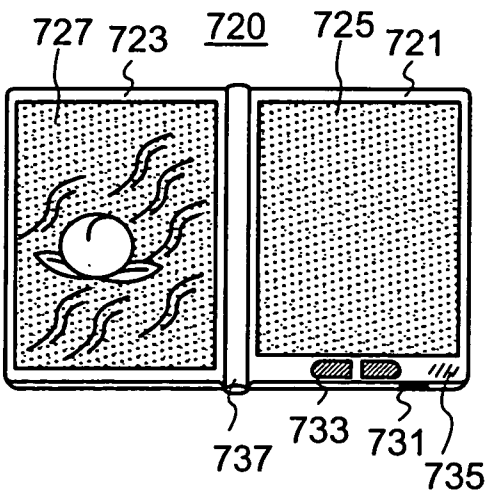


圖 13F

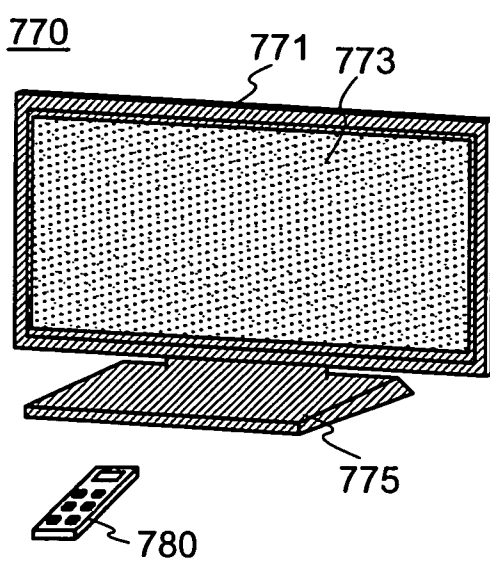


圖 14

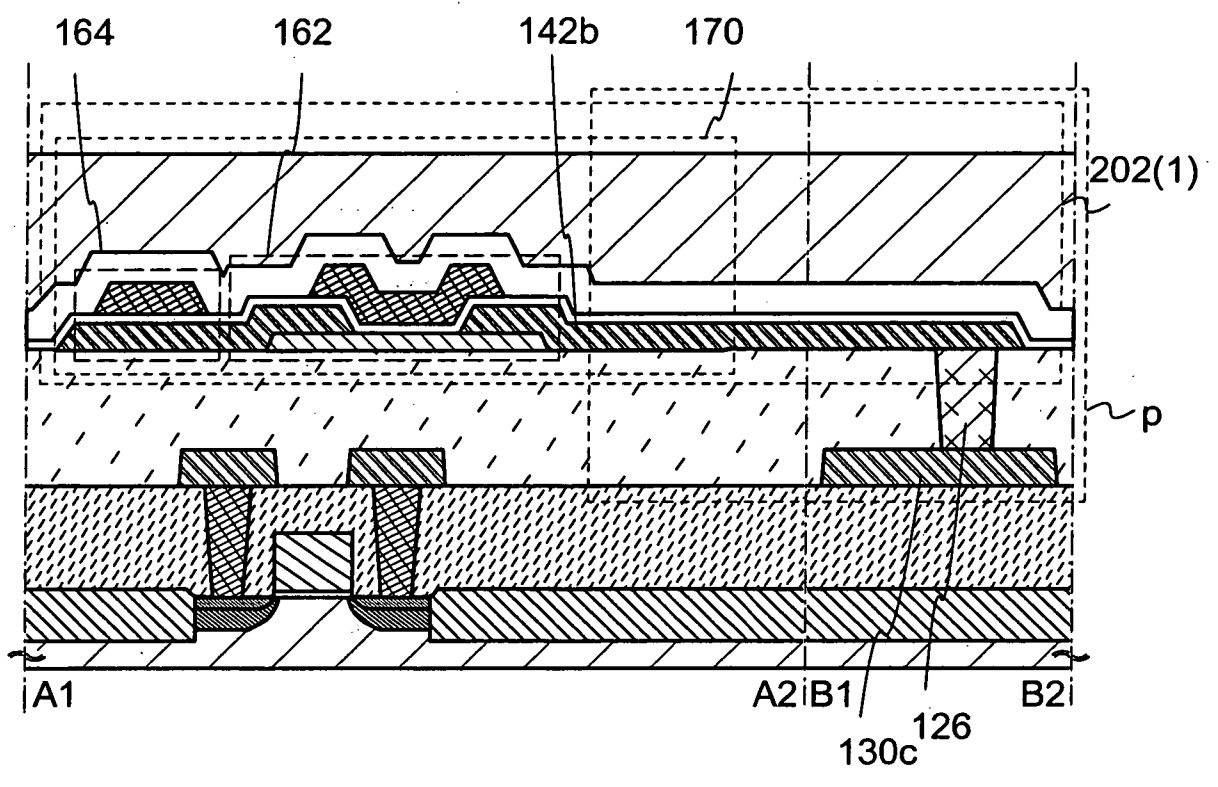


圖 15A

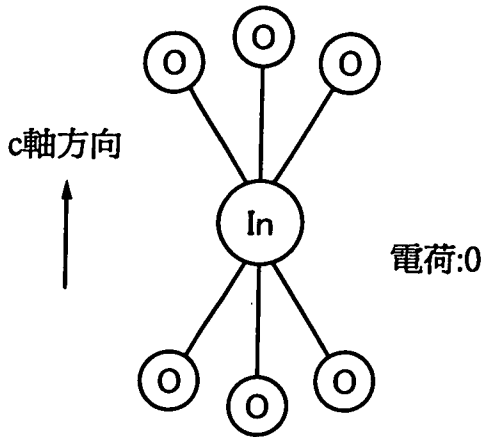


圖 15D

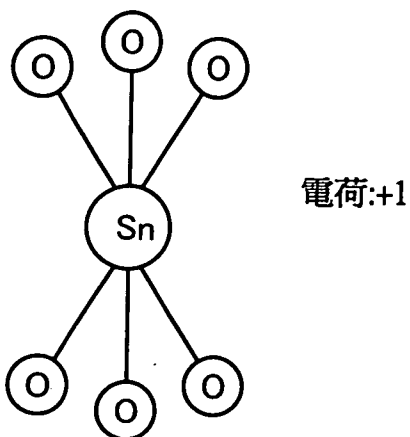


圖 15B

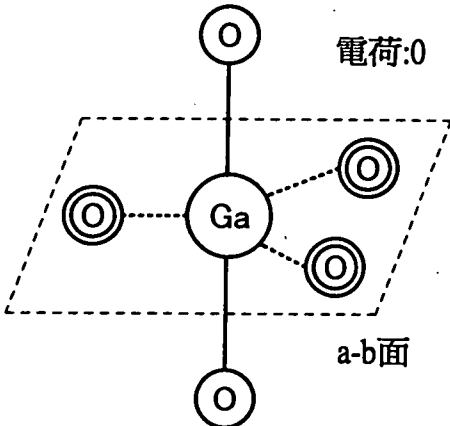


圖 15E

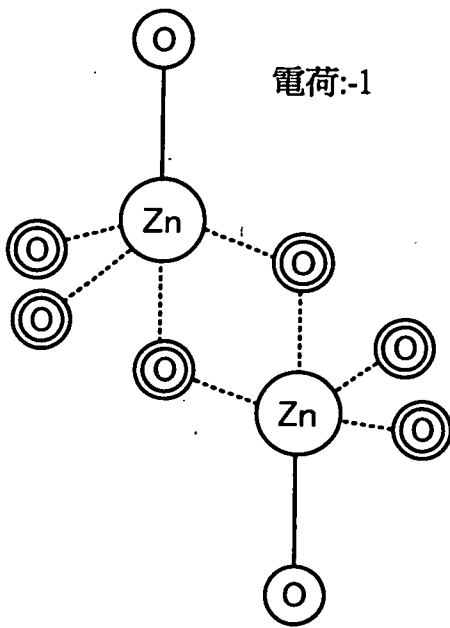


圖 15C

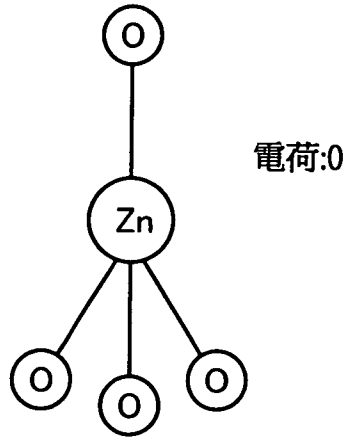


圖 16A

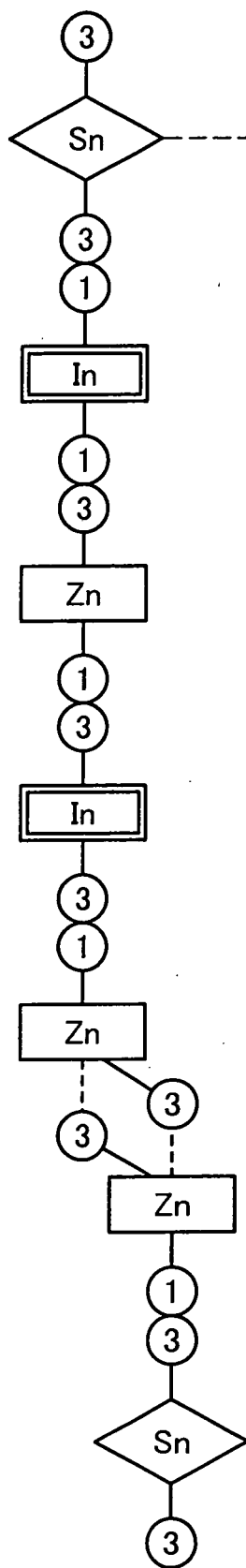


圖 16B



圖 16C

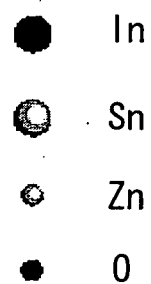
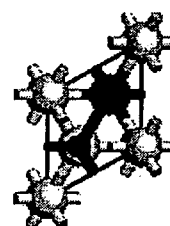


圖 17A

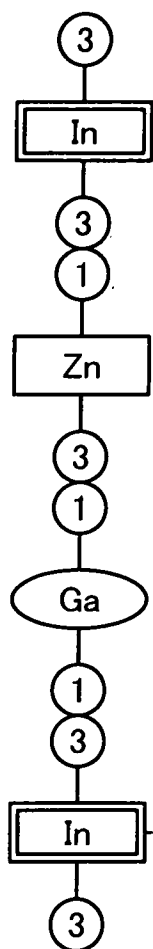


圖 17B

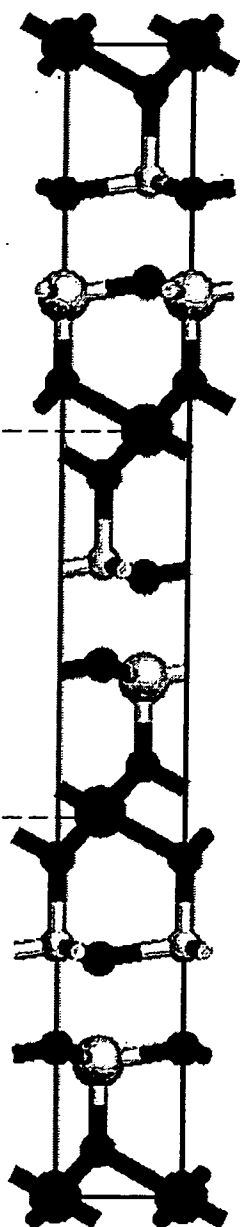


圖 17C

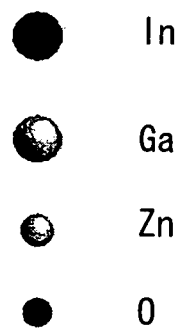
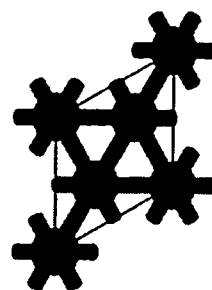


圖 18

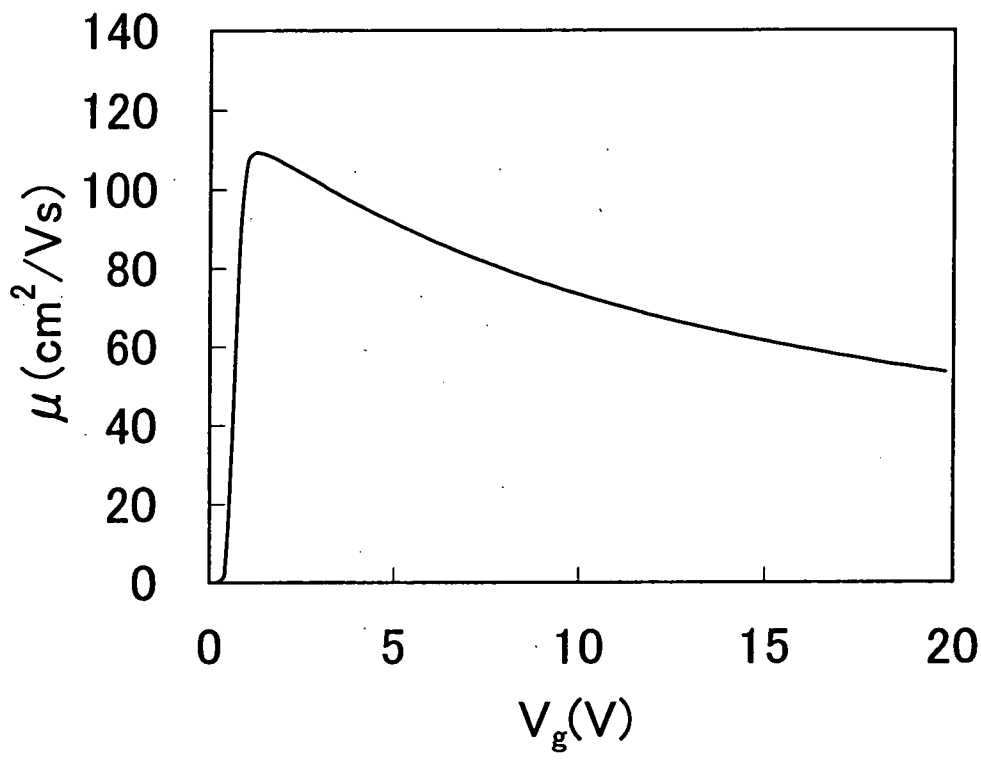


圖 19A

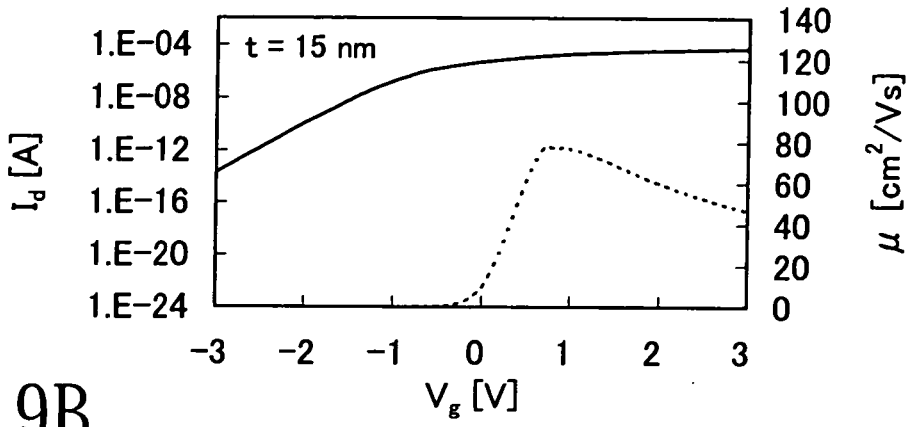


圖 19B

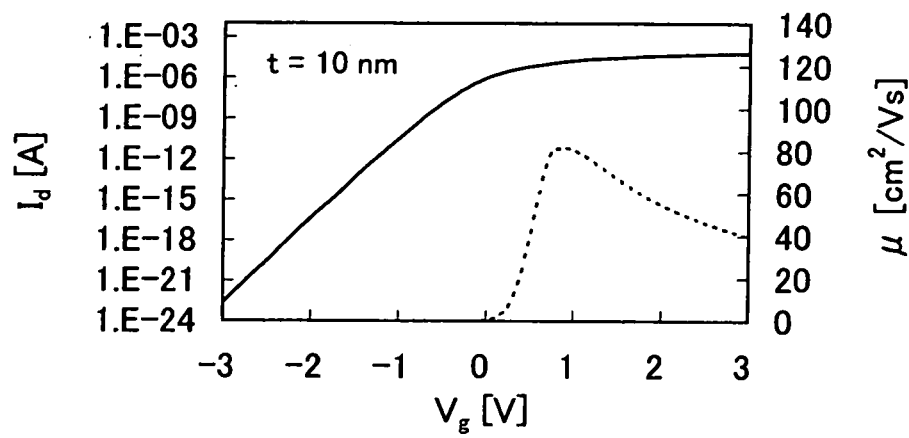


圖 19C

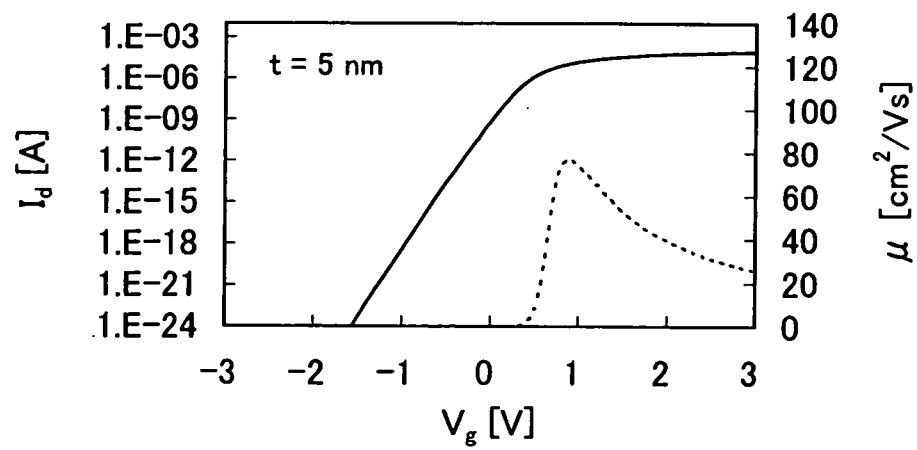


圖 20A

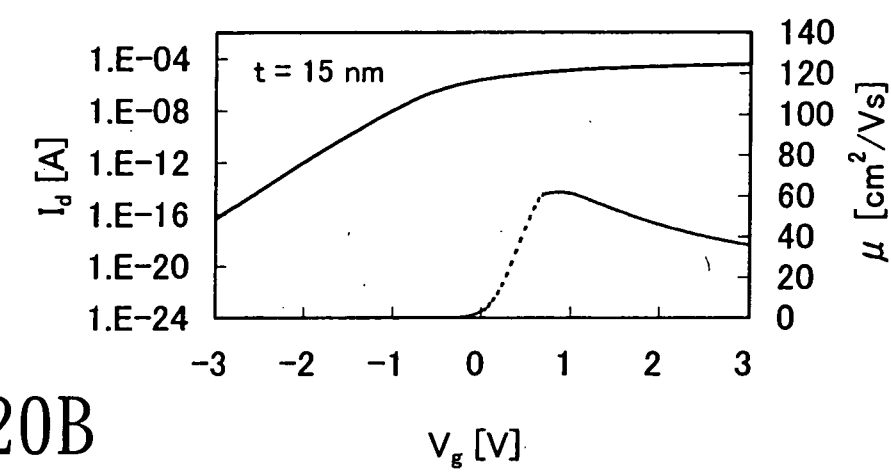


圖 20B

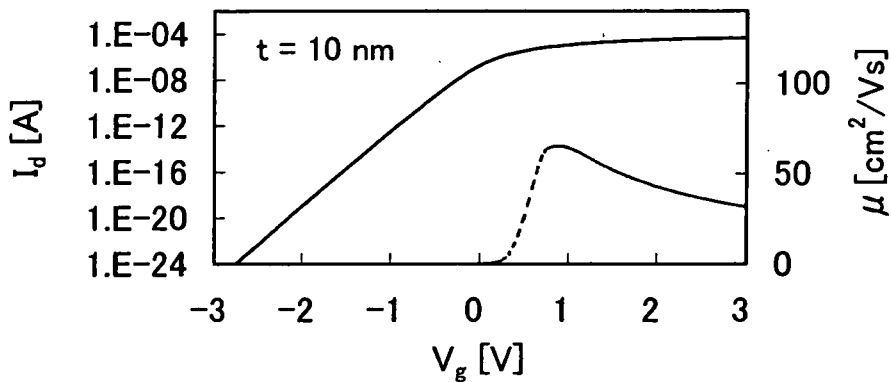


圖 20C

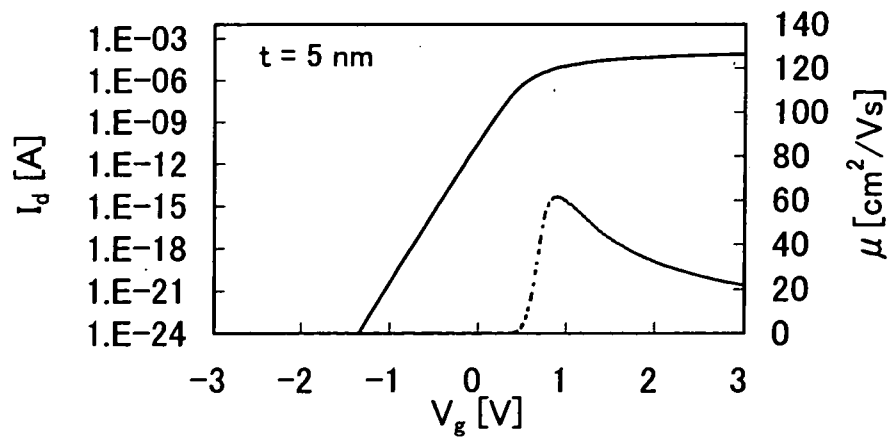


圖 21A

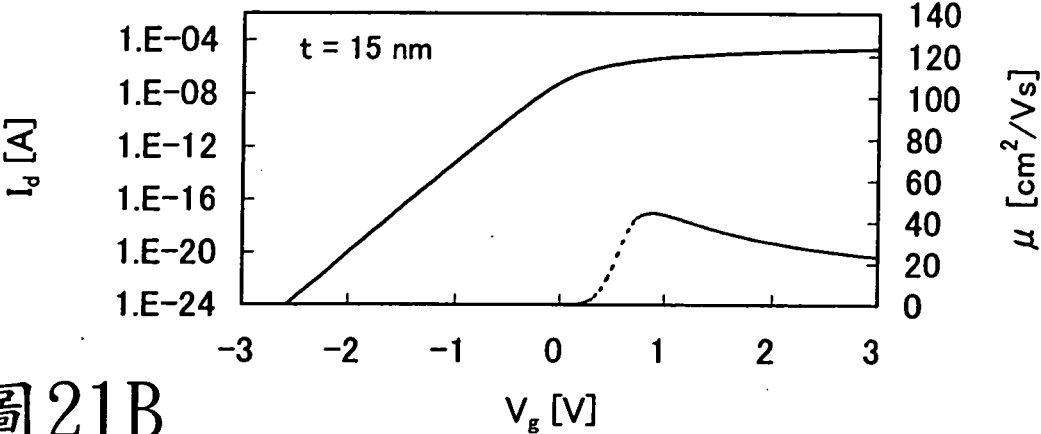


圖 21B

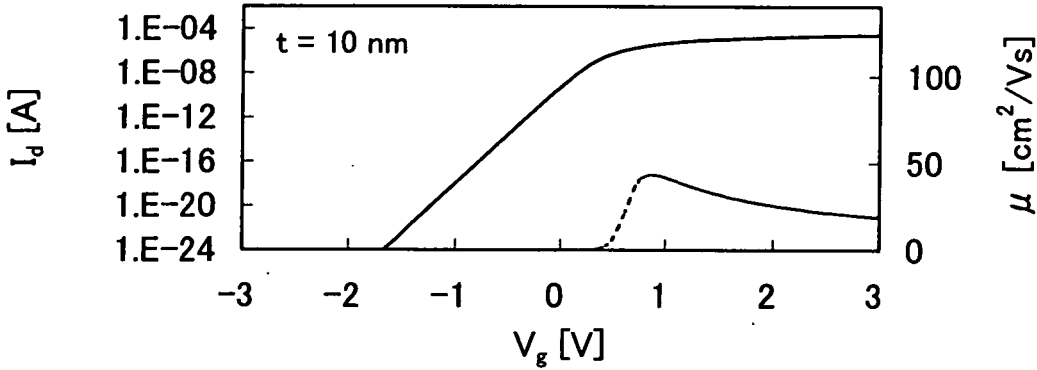
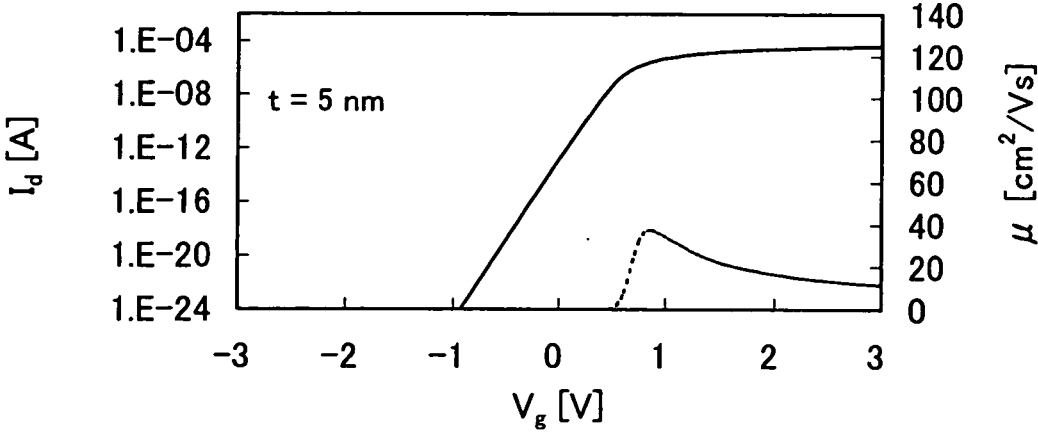


圖 21C



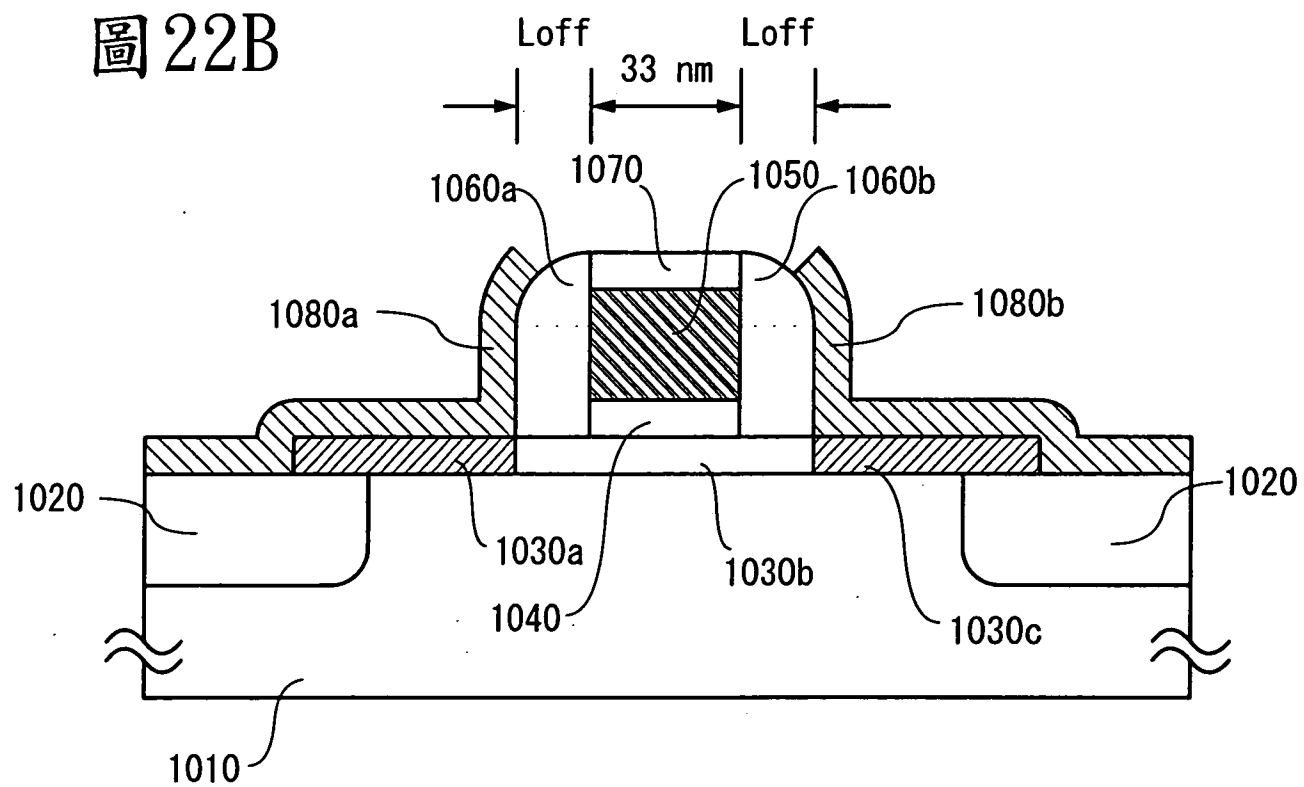
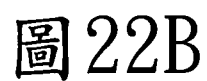


圖 23A

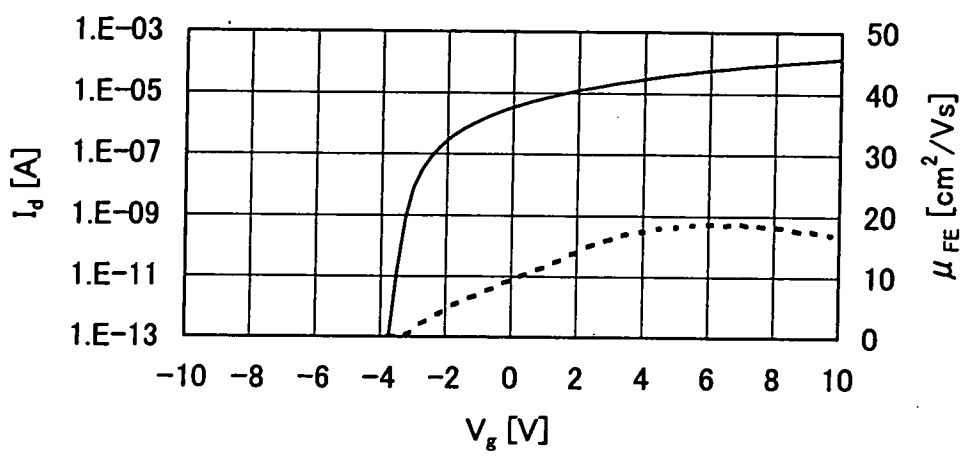


圖 23B

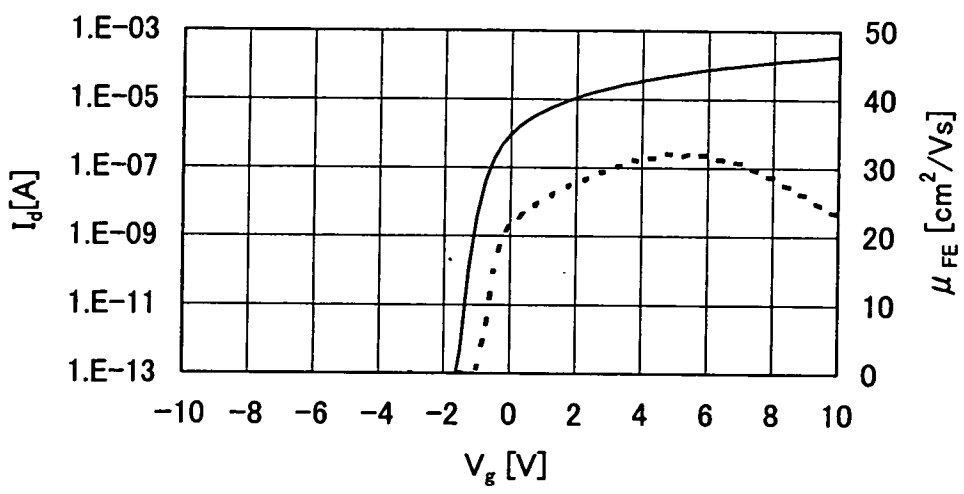


圖 23C

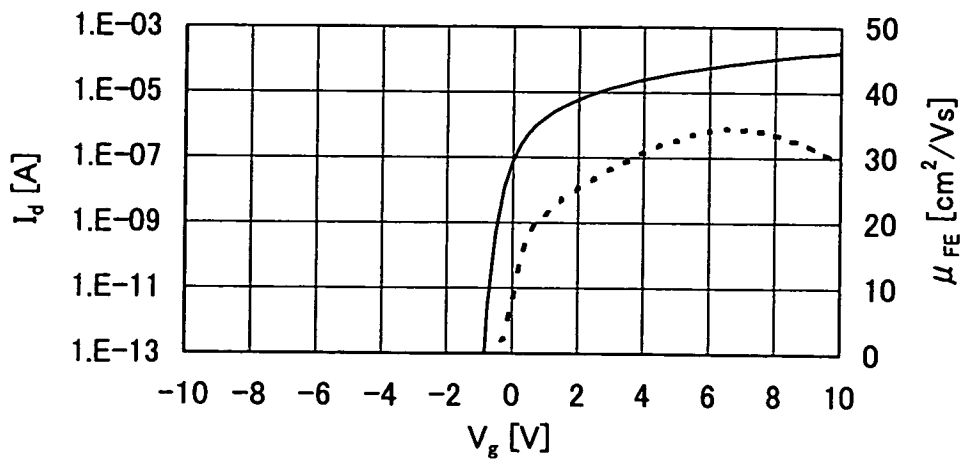


圖 24A

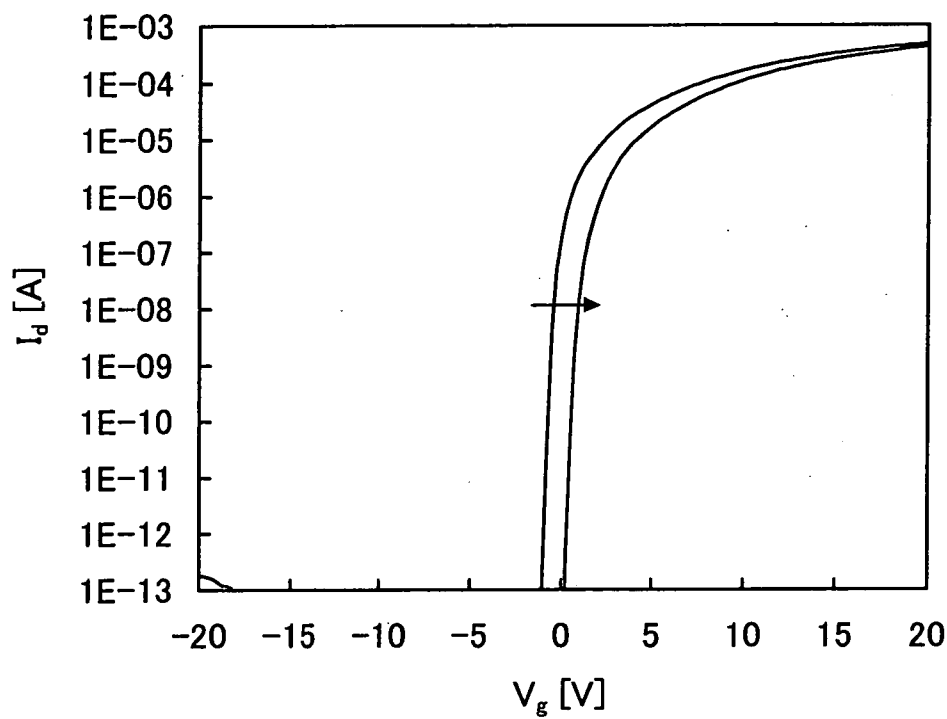


圖 24B

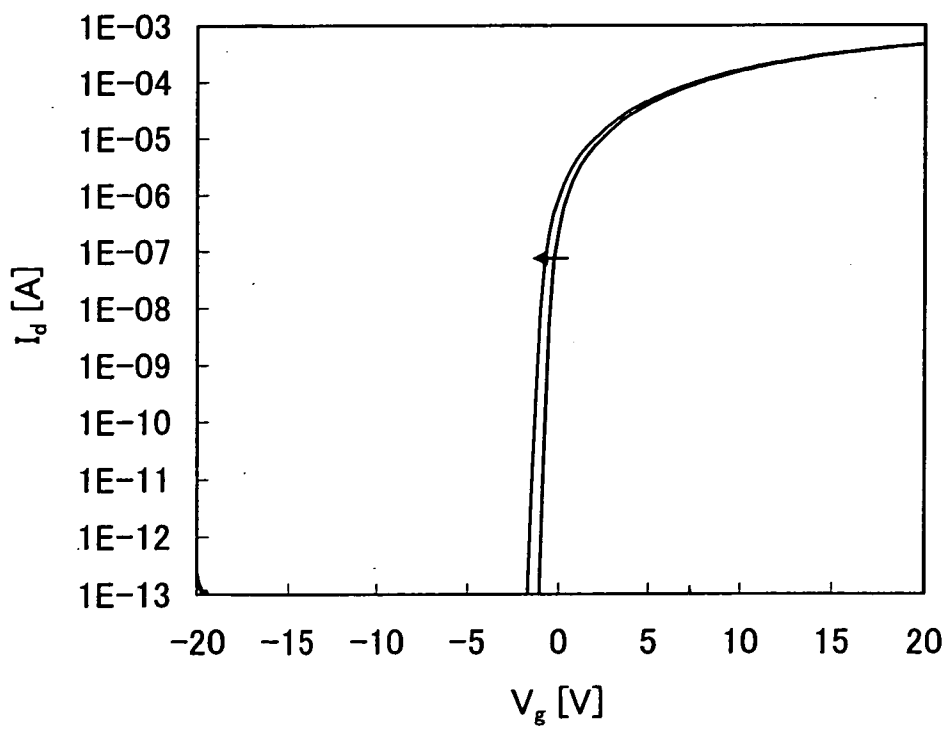


圖 25A

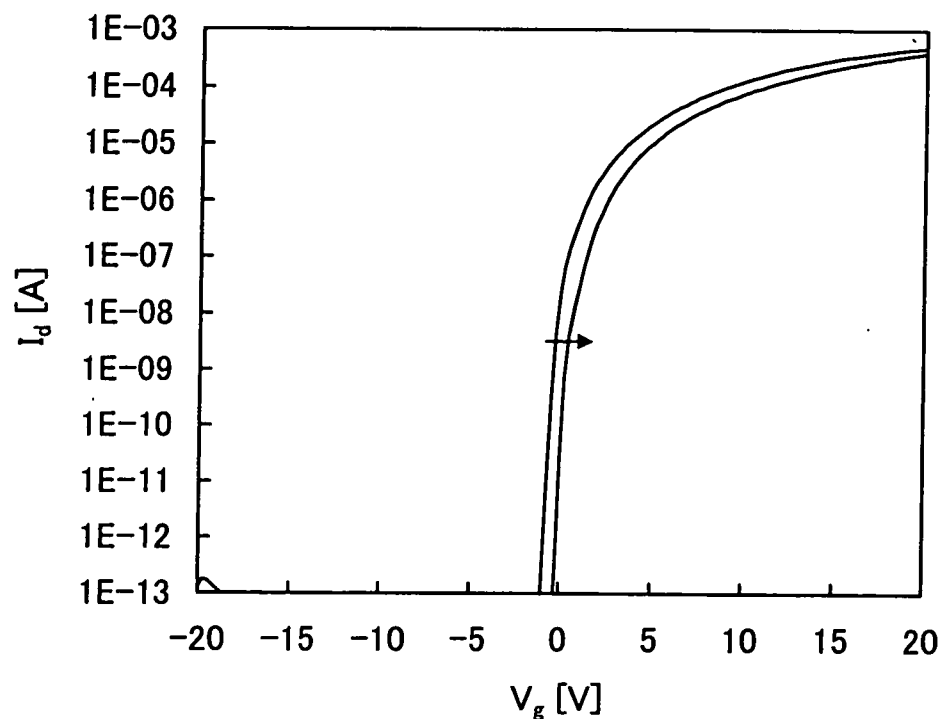


圖 25B

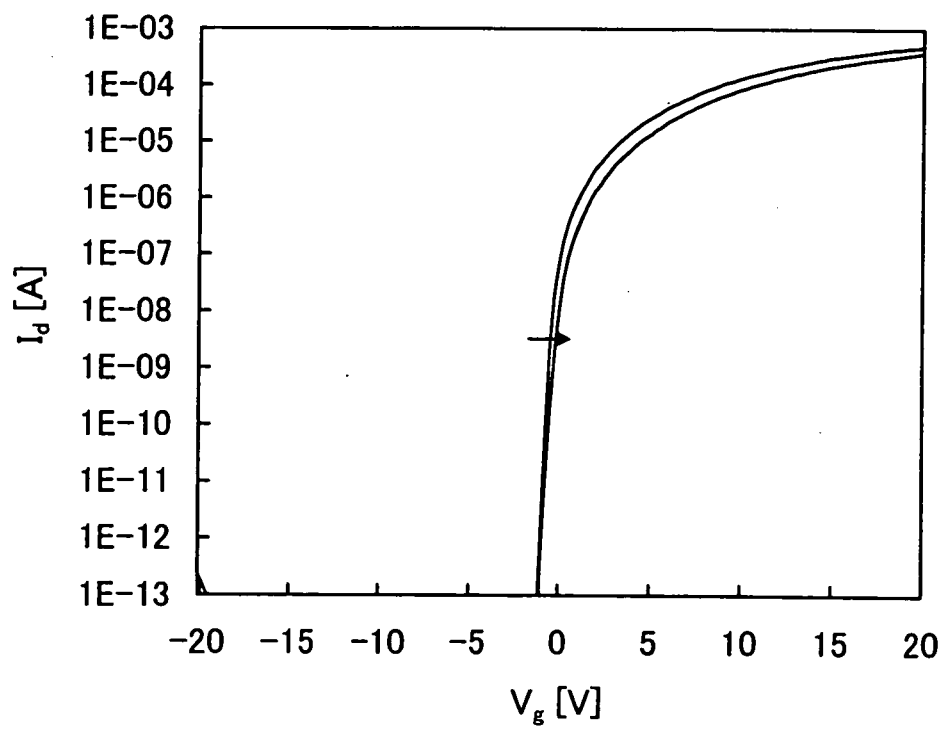


圖 26

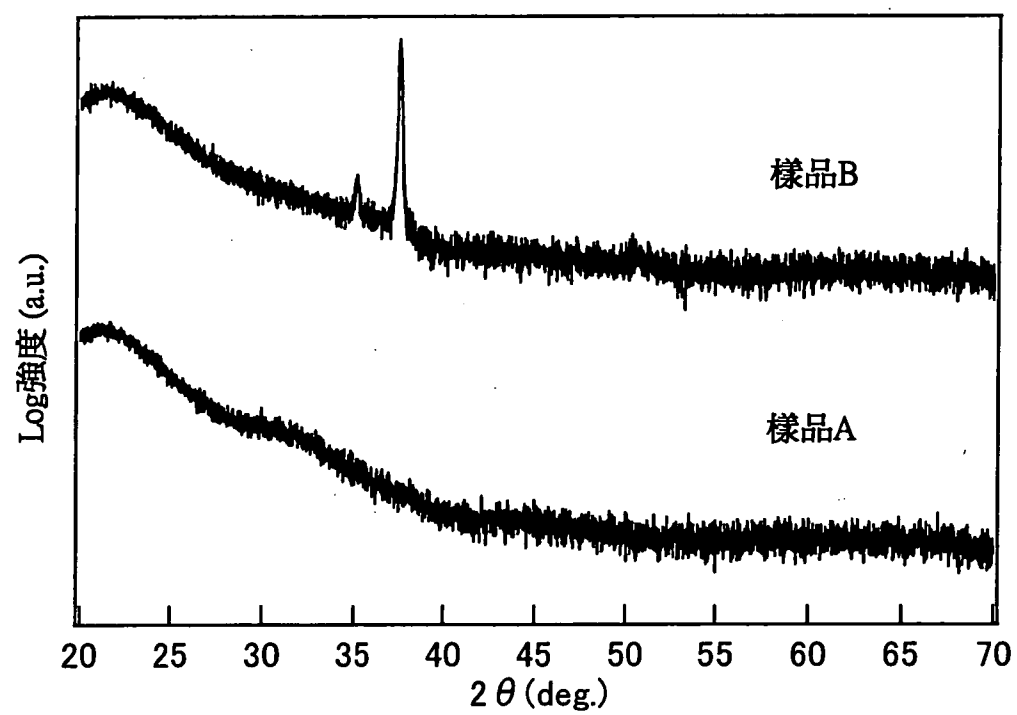


圖27

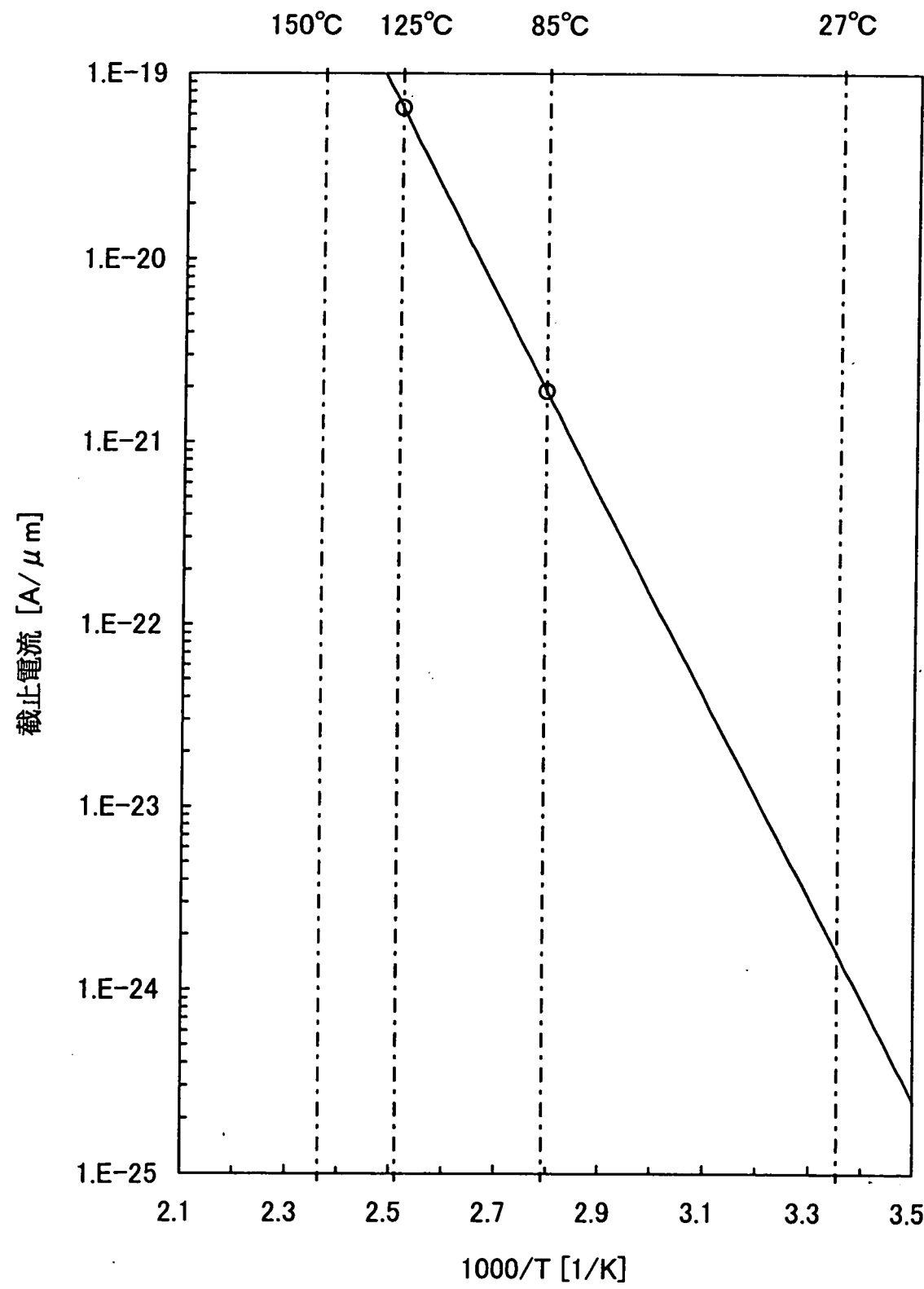


圖 28

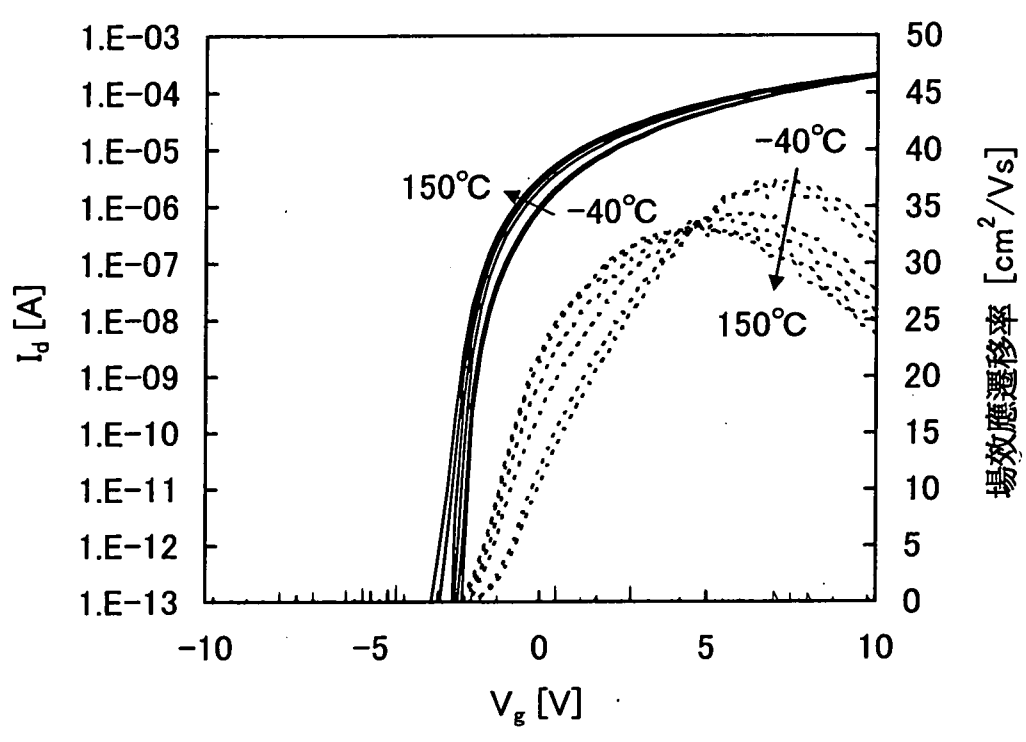


圖 29A

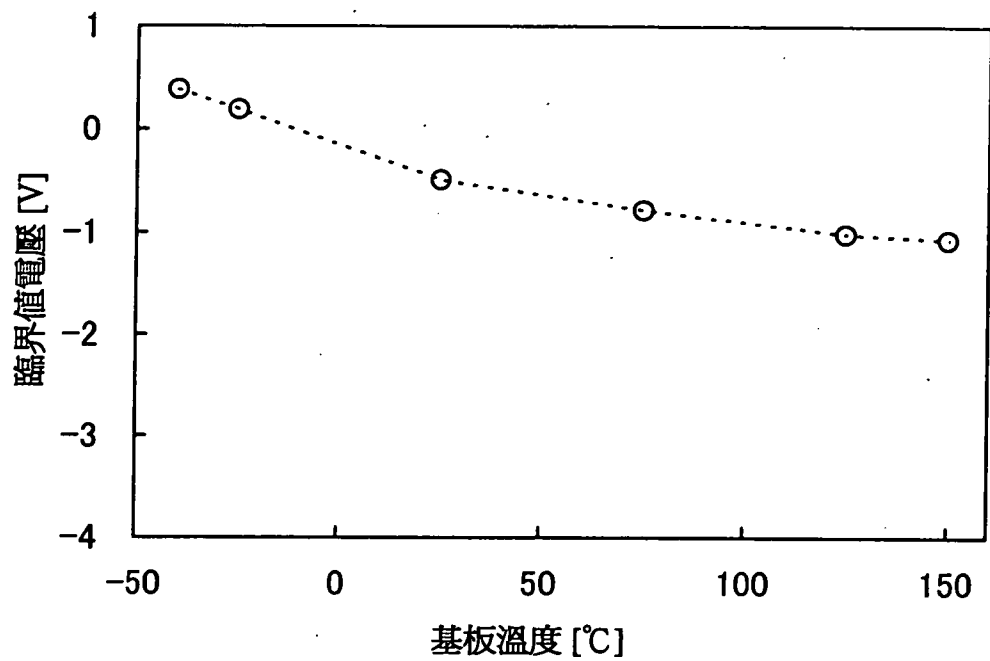


圖 29B

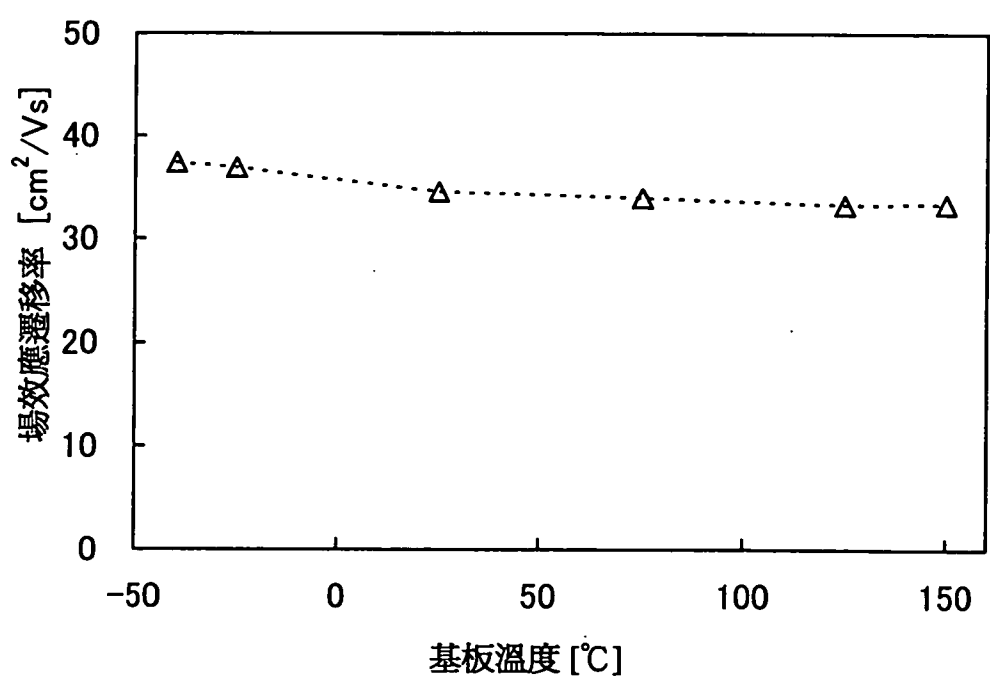


圖 30A

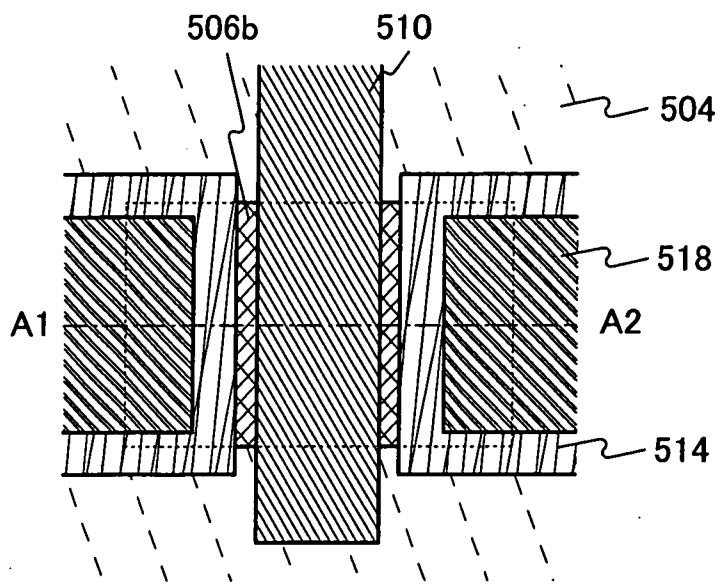


圖 30B

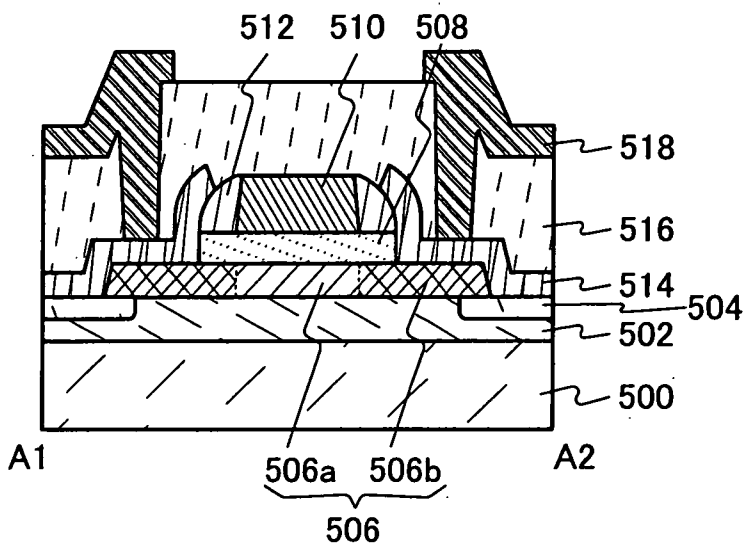


圖31A

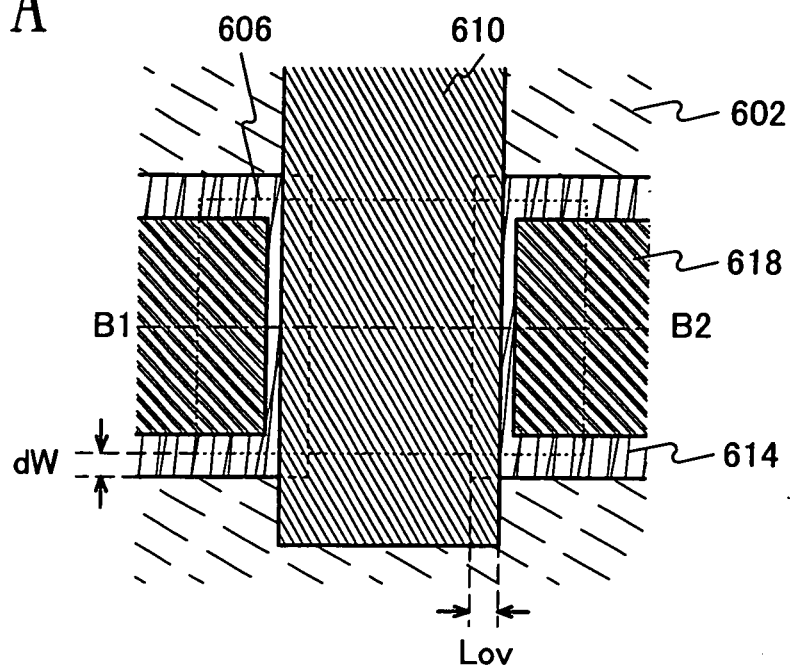


圖31B

