

公告本

發明專利說明書 I222713

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：92. 3. 3 ※IPC分類：H01L 21/82

※ 申請日期：92104408

壹、發明名稱

(中文) 半導體積體電路

(英文) SEMICONDUCTOR INTEGRATED CIRCUIT

貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 江島崇

(英文) Takashi ESHIMA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-
ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 田島正吾
(英文) Shogo TAJIMA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

發明人 3

姓名：(中文)
(英文)

住居所地址：(中文)
(英文)

國籍：(中文) (英文)

發明人 4

姓名：(中文)
(英文)

住居所地址：(中文)
(英文)

國籍：(中文) (英文)

發明人 5

姓名：(中文)
(英文)

住居所地址：(中文)
(英文)

國籍：(中文) (英文)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本； 2002.3.19； 特願 2002-075483
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本案係基於前案日本專利申請案第2002-075483號，
5 申請日2002年3月19日，且請求該案之優先權，該案內容
以引用方式併入此處

【先前技術】

發明背景

本發明係有關一種半導體積體電路，特別係有關一種
10 半導體積體電路之屏蔽結構，其中經由階層式佈局提供為
功能方塊或階層方塊之巨集指令(後文稱作「巨集指令等
」)係由屏蔽佈線所包圍。

於半導體積體電路的設計期，需要獲得佈線及閘之延
遲值，俾便執行延遲模擬。為了達成此項目的，須由佈線
15 間之距離估計佈線間產生的串音及電容影響。當特定佈線
與其它佈線間產生的串音影響及電容影響被消除、且佈線
間之電容經過準確估計時，可沿特定佈線提供屏蔽佈線。
此外經由設置屏蔽層於巨集指令等，可提供佈線於屏蔽層
上層的巨集指令等外側，而無需考慮巨集指令內側與外側
20 佈線間之串音的影響以及佈線間產生的電容。

通常設計半導體積體電路時，設置佈線的區域被劃分
為多區，分開進行巨集指令等內側區之佈局以及巨集指令
等外側區之佈局。若巨集指令之內側區加標記，且欲估計
佈線間產生的串音及電容影響，以及若巨集指令等外側區

玖、發明說明

之實體佈線圖案未明，則其外側區係當作未考慮實體佈線圖案之區域處理，或所謂的「黑盒子」。此外，若巨集指令之外側區被標示，且巨集指令之內側區實體佈線圖案未明，則巨集指令內側區同樣被視為「黑盒子」處理。

- 5 但有一種情況，由於黑盒子的實體佈線圖案未明，其中實體佈線圖案明朗的任何區域被標記用來估計佈線間產生的串音及電容影響。此種情況下若進行估計時，黑盒子存在於標記區附近，則不佳，無法準確估計黑盒子造成的串音對標記區的影響以及佈線間產生的電容。

10 【發明內容】

發明概要

- 本發明之一目的係提供一種半導體積體電路，其具有一種屏蔽結構，該屏蔽結構可就實體佈線圖案明朗區域的佈線準確獲得延遲值，而無需考慮黑盒子進行串音以及佈
15 線間產生的電容的影響，此時巨集指令等之內側區或外側區被視為黑盒子處理，其中之實體佈線圖案未明。

- 根據本發明，提供屏蔽佈線於欲屏蔽之巨集指令目標區邊界，該邊界之一內側、該邊界之一外側或該邊界之一內側及一外側各自作為黑盒子，因而包圍該欲被屏蔽的目標區。此種屏蔽佈線係電連結至巨集指令等之電源供應端
20 子或電源供應佈線，或經由一接觸區段連結至另一佈線層之電源供應佈線等。

 根據本發明，即使巨集指令等內側區為黑盒子，經由估計巨集指令等外側區的佈線與該屏蔽佈線間的串音以及

玖、發明說明

佈線間產生的電容影響，仍可獲得準確延遲值。同理，當巨集指令等之外側區被視為黑盒子處理，且對巨集指令等內側區的佈線估計佈線間的串音以及佈線間產生的電容的影響，基於該估值獲得延遲值時，可獲得準確延遲值。

- 5 此等及其它本發明之目的、特色及優點特別敘述於後文發明之詳細說明部分，由發明之詳細說明連同附圖一起研讀將更為明瞭。

圖式簡單說明

- 第1圖為平面圖，顯示根據本發明之半導體積體電路
10 之屏蔽結構之第一佈局例，

第2圖為平面圖，顯示屏蔽結構之第二佈局例，

第3圖為平面圖，顯示屏蔽結構之第三佈局例，

第4圖為平面圖，顯示屏蔽結構之第四佈局例，

- 第5圖為剖面圖，顯示當第1至4圖所示平面佈局結構
15 之佈線層積層時縱剖面結構之一例，

第6圖為流程圖，顯示供設計根據本發明之半導體積體電路之屏蔽結構所需之佈局設計處理程序，以及

第7圖為流程圖，顯示當設計根據本發明之半導體積體電路之屏蔽結構時，用於屏蔽佈線形成處理之程序。

20 【實施方式】

較佳實施例之詳細說明

後文將參照附圖說明本發明之一具體實施例。該具體實施例之屏蔽結構為佈局結構，其中屏蔽佈線被提供於環繞黑盒子佈線層，巨集指令等之內側區或外側區被視為黑

玖、發明說明

盒子處理，其中實體佈線圖案未明，且決定作為屏蔽目標區。第1至4圖顯示平面佈局結構之具體實施例，第5圖顯示當平面佈局結構之佈線層積層時，結構縱剖面之範例。

第1圖為平面圖，顯示一種佈局結構，其中屏蔽佈線配置於黑盒子邊界，為第一例。第1圖中，參考符號1以虛線表示之矩形內側區為巨集指令2等組成的黑盒子。屏蔽佈線3設置於黑盒子1(虛線表示)邊界，因而包圍黑盒子1內側區。

電連結至巨集指令等2內側之外部連結端子4設置接近於巨集指令等2之外周邊，佈線5係連結至各別外部連結端子4。佈線5係電連結至巨集指令等2外側之電路等(圖中未顯示)。各個外部連結端子4包括電源供應端子，其由外側供應電源供應電壓給巨集指令等2，以及包括一信號端子，其係發送與接收巨集指令等2與外部電路間的信號。

屏蔽佈線3係連結至電源供應端子。若外部連結端子4非為電源供應端子，則屏蔽佈線3於外部連結端子4斷開，且與外部連結端子4及佈線5絕緣。第1圖所示實例中，四個外部連結端子4並非電源供應端子。故屏蔽佈線3係與外部連結端子4絕緣。此外，屏蔽佈線3係電連結至電源供應端子(圖中未顯示)，或電源供應佈線係連結至電源供應端子。雖然屏蔽佈線3之寬度並無特殊限制，但可為例如佈線可界定的最小寬度。

第2圖為平面圖，顯示屏蔽佈線設置於黑盒子邊界內側作為第二範例之佈局結構。同理，第二例中，黑盒子1

玖、發明說明

為虛線指示的矩形內側區之巨集指令等2。屏蔽佈線3係電連結至電源供應端子(圖中未顯示)，或電源供應佈線係連結至電源供應端子。此外，屏蔽佈線3於外部佈線4(其非為電源供應端子)斷路，且與外部電源供應端子4及佈線5絕緣。

第3圖為平面圖，顯示屏蔽佈線設置於黑盒子邊界內側作為第三範例之佈局結構。同理，第三例中，黑盒子1為虛線指示的矩形內側區之巨集指令等2。屏蔽佈線3係於外部佈線4(其非為電源供應端子)斷路，且電連結至電源供應端子(圖中未顯示)，或電源供應佈線係連結至電源供應端子。

第三例中，黑盒子1例如係以成形於屏蔽佈線3上方之佈線層的直條狀屏蔽佈線6覆蓋。覆蓋此黑盒子1之屏蔽佈線6只電連結至特定電位之佈線或端子。覆蓋黑盒子1之屏蔽佈線6例如係電連結至電源供應器。藉此無需考慮於實體佈線圖案未明區，就全部佈線而言來自黑盒子1之佈線串音或佈線間產生的電容的影響。

第4圖為平面圖，顯示屏蔽佈線分別係設置於黑盒子邊界內側及外側之佈局結構作為第四範例。第四例中，巨集指令等2為虛線指示之矩形內側區，黑盒子1為巨集指令等2之外側區。因此此種情況下，電連結至黑盒子1內側之外部連結端子4係設置接近於黑盒子1與巨集指令等2間之邊界，連結至各別外部連結端子4之佈線5係延伸至巨集指令等2之內側。屏蔽佈線3係於外部佈線4(其非為電源供應

玖、發明說明

端子)斷路，且電連結至電源供應端子(圖中未顯示)，或電源供應佈線係連結至電源供應端子。

第4圖所示範例中，有關黑盒子1四邊之一，假設無需考慮巨集指令等2與黑盒子間之串音影響及佈線間產生的電容的影響。因此無屏蔽佈線設置於此邊。無庸待言，屏蔽佈線可設置於無需考慮巨集指令等2與黑盒子1間之串音以及佈線間產生之電容影響之部分。

於帶有多層佈線結構之半導體晶片，具有第1至4圖所示屏蔽佈線結構之佈線層經積層，如第5圖所示。屏蔽佈線3係直接連結至巨集指令等2之電源供應端子7或連結至電源供應端子7之佈線。另外，屏蔽佈線3係經由接觸區段8電連結至另一佈線層之電源供應端子7，或連結至電源供應端子7之佈線。

結果例如藉巨集指令等2之信號端子9而隔離之屏蔽佈線3電位固定，或因視為不必要故被隔離之屏蔽佈線3之電位固定。第5圖中，由於被視為不必要，故無任何屏蔽佈線係設置於第一佈線層部分。此外，第5圖之參考符號10表示半導體基板。

第6圖為流程圖顯示佈局設計處理程序。佈局設計處理中，底板計劃係利用巨集指令·HLB佈局等進行(步驟S61)，以及進行電源供應佈線佈局(步驟S62)。然後形成屏蔽佈線(步驟S63)，進行安置及路由(步驟S64)。

第7圖為流程圖，顯示自動進行屏蔽佈線形成處理之程序。於屏蔽佈線形成處理中，首先辨識其中形成的屏蔽

玖、發明說明

佈線區域(步驟S71)。屏蔽佈線係設置於辨識出的欲屏蔽的目標區，同時避開信號端子等，說明如前(步驟S72)。如此設置的屏蔽佈線連結至屏蔽佈線同一佈線層上的電源供應佈線或電源供應端子，或透過接觸區段連結至不同佈
5 線層的電源供應佈線或電源供應端子，藉此固定屏蔽佈線電位(步驟S73)。

根據本具體實施例，即使存在有黑盒子1，經由估計實體佈線圖案明朗區域的佈線與屏蔽佈線3間之串音及產生的電容影響，就標記佈線而言，可準確估計佈線間的串
10 音及產生的電容影響。因此無需估計由黑盒子1之佈線接收的串音以及佈線間產生的電容影響。此外，當無屏蔽佈線設置於實體佈線圖案明朗區域時，經由假設屏蔽佈線係設置於黑盒子1，以前文說明之相同方式，準確估計佈線間產生的串音及電容影響。

15 此處需注意習知屏蔽結構為意圖防止特定佈線與同一佈線層上的其它佈線間之交互影響之屏蔽結構，或為意圖防止用於巨集指令之最頂層多個未特定佈線與最頂層上方一層佈線間之交互影響之屏蔽結構。相反地，本具體實施例之各個屏蔽結構為意圖防止於黑盒子1之同一佈線層上
20 多個未特定佈線受到一個佈線影響之屏蔽結構。

具體實施例之各別屏蔽結構僅供舉例說明之用，因此本發明絕非囿限於此等結構，反而可做適當改變。

根據本發明，即使存在有一個黑盒子，其中實體佈線圖案未明，經由估計實體佈線圖案明朗區域的佈線與屏蔽

玖、發明說明

佈線間之串音及產生的電容影響，就標記佈線而言，可準確估計佈線間的串音及產生的電容影響。因此無需估計黑盒子佈線進行串音以及佈線間產生電容的影響。因而可準確獲得延遲值。

- 5 雖然已經就特定具體實施例做完整明白的揭示，但隨附之申請專利範圍絕非囿限於此，反而需解譯為熟諳技藝人士已知落入此處所述基本教示範圍內之全部修改及替代組成。

【圖式簡單說明】

- 10 第1圖為平面圖，顯示根據本發明之半導體積體電路之屏蔽結構之第一佈局例，

第2圖為平面圖，顯示屏蔽結構之第二佈局例，

第3圖為平面圖，顯示屏蔽結構之第三佈局例，

第4圖為平面圖，顯示屏蔽結構之第四佈局例，

- 15 第5圖為剖面圖，顯示當第1至4圖所示平面佈局結構之佈線層積層時縱剖面結構之一例，

第6圖為流程圖，顯示供設計根據本發明之半導體積體電路之屏蔽結構所需之佈局設計處理程序，以及

- 20 第7圖為流程圖，顯示當設計根據本發明之半導體積體電路之屏蔽結構時，用於屏蔽佈線形成處理之程序。

【圖式之主要元件代表符號表】

- | | |
|-----------|------------|
| 1...黑盒子 | 4...外部連結端子 |
| 2...巨集指令等 | 5...佈線 |
| 3...屏蔽佈線 | 6...屏蔽佈線 |

玖、發明說明

7...電源供應端子

8...接觸區段

9...信號端子

10...半導體基板

S61-64，S71-73...步驟

肆、中文發明摘要

提供屏蔽佈線於欲屏蔽之巨集指令目標區邊界，該邊界之一內側、該邊界之一外側或該邊界之一內側及一外側各自作為黑盒子，因而包圍該目標區。此種屏蔽佈線係電連結至巨集指令等之電源供應端子或電源供應佈線，或經由一接觸區段連結至另一佈線層之電源供應佈線，藉此固定屏蔽佈線之電位。然後經由估計物理佈線圖案清晰區域的佈線與該屏蔽佈線間之串音影響、以及估計佈線間產生的電容，獲得準確延遲值。

伍、英文發明摘要

A shield wiring is provided on a boundary of a target region to be shielded of macros , an inner side of the boundary, an outer side of the boundary, or an inner side and an outer side of the boundary, each being as a black box, so as to surround the target region. This shield wiring is electrically connected to a power supply terminal or a power supply wiring of the macros or the like, or to a power supply wiring on another wiring layer through a contact section, thereby fixing a potential of the shieldwiring. An accurate delay value is then obtained by estimating an influence of crosstalk between a wiring in a region where the physical wiring pattern is clear and the shield wiring and also estimating a capacitance produced between the wirings.

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1...黑盒子

4...外部連結端子

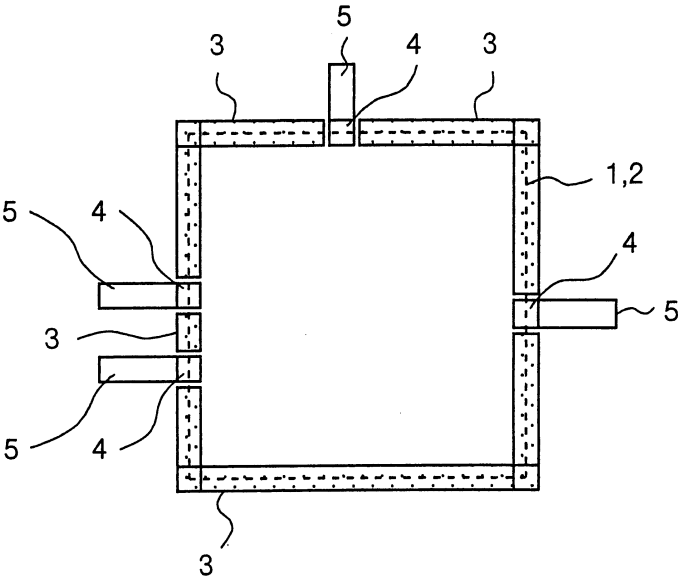
2...巨集指令等

5...佈線

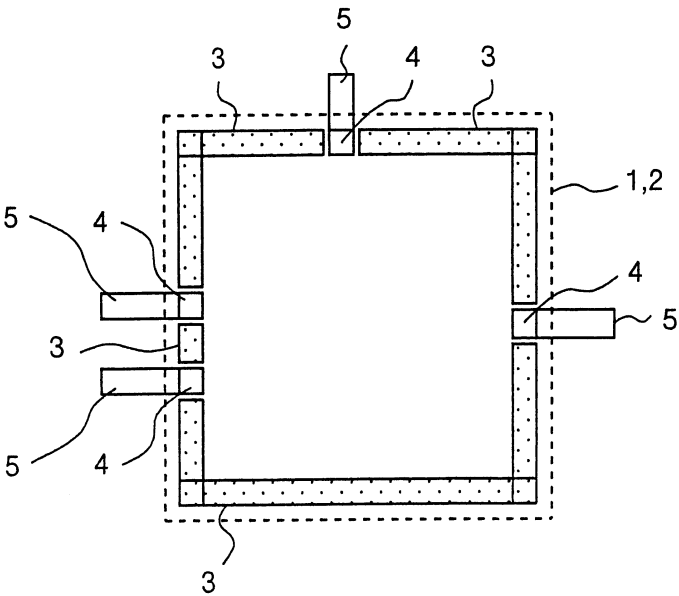
3...屏蔽佈線

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

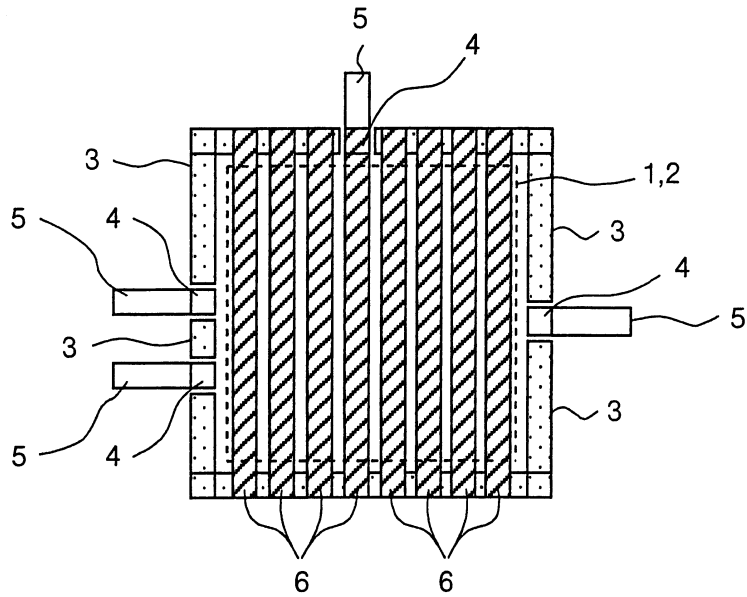
第 1 圖



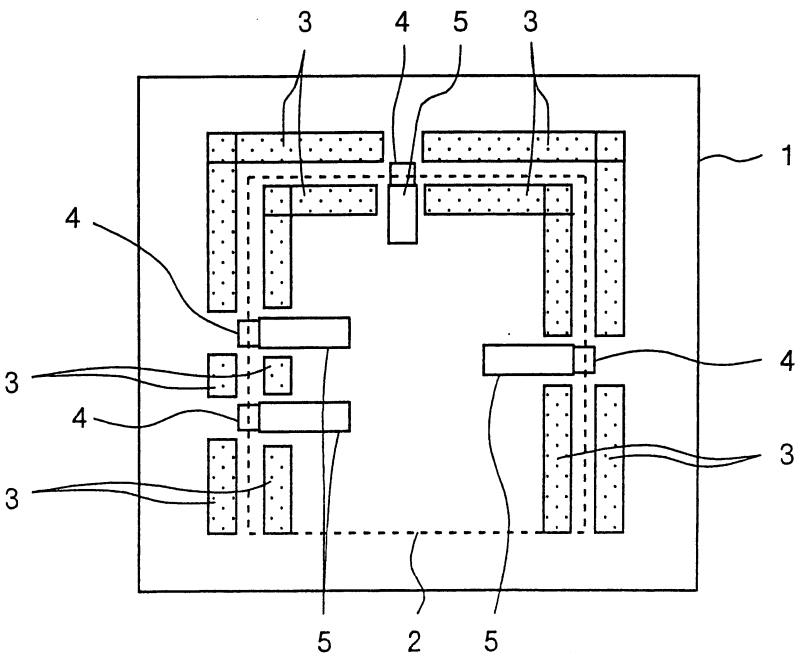
第 2 圖



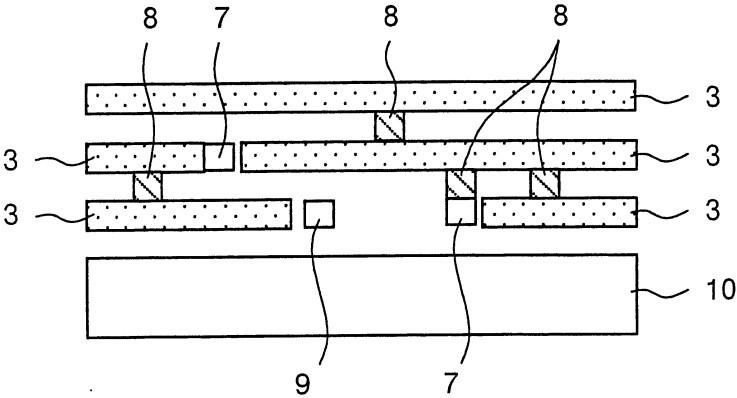
第 3 圖



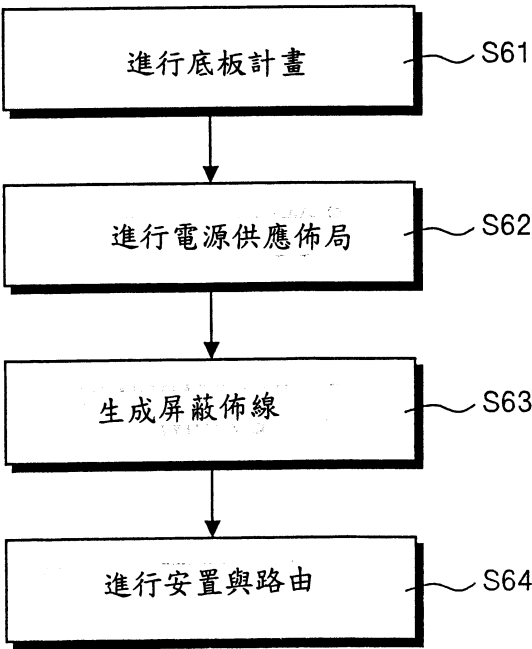
第 4 圖



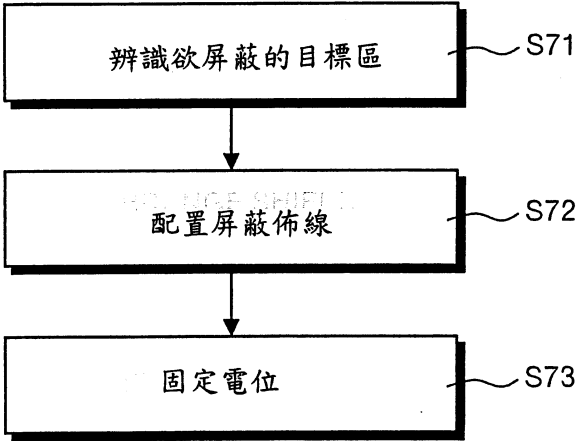
第 5 圖



第 6 圖



第 7 圖



93年4月24日
修正本

拾、申請專利範圍

1. 一種半導體積體電路，包含：

一欲屏蔽的目標區，其係設置於一半導體基板之二主面之一；

5 一外部連結端子，其係設置於接近該目標區之一邊界，以及該外部連結端子係用以傳輸及接收信號介於該目標區內側與外側間；以及

一屏蔽佈線，其係設置於該目標區邊界，同時避開該外部連結端子或一佈線，該佈線係由該目標區外側電連結至外部連結端子。

10 2. 如申請專利範圍第1項之半導體積體電路，其中該屏蔽佈線係連結至電源供應器。

3. 如申請專利範圍第1項之半導體積體電路，其中該屏蔽佈線係透過一接觸區段而電連結至設置屏蔽佈線該層之不同層上的佈線或端子。

15 4. 如申請專利範圍第1項之半導體積體電路，其中該目標區係覆蓋以屏蔽層，該屏蔽層係設置於目標區上方之佈線層。

5. 如申請專利範圍第1項之半導體積體電路，其中該目標區為一巨集指令，其係藉階層式佈局設置之一功能
20 方塊或一階層方塊。

6. 一種半導體積體電路，包含：

一欲屏蔽的目標區，其係設置於一半導體基板之二主面之一；

一外部連結端子，其係設置於接近該目標區之一

拾、申請專利範圍

邊界，以及該外部連結端子係用以傳輸及接收信號介於該目標區內側與外側間；以及

一屏蔽佈線，其係設置於該目標區邊界內側，同時避開該外部連結端子或一佈線，該佈線係由該目標區外側電連結至外部連結端子。

7. 如申請專利範圍第6項之半導體積體電路，其中該屏蔽佈線係連結至電源供應器。
8. 如申請專利範圍第6項之半導體積體電路，其中該屏蔽佈線係透過一接觸區段而電連結至設置屏蔽佈線該層之不同層上的佈線或端子。
9. 如申請專利範圍第6項之半導體積體電路，其中該目標區係覆蓋以屏蔽層，該屏蔽層係設置於目標區上方之佈線層。
10. 如申請專利範圍第6項之半導體積體電路，其中該目標區為一巨集指令，其係藉階層式佈局設置之一功能方塊或一階層方塊。

11. 一種半導體積體電路，包含：

一欲屏蔽的目標區，其係設置於一半導體基板之二主面之一；

一外部連結端子，其係設置於接近該目標區之一邊界，以及該外部連結端子係用以傳輸及接收信號介於該目標區內側與外側間；以及

一屏蔽佈線，其係設置於該目標區邊界外側，同時避開該外部連結端子或一佈線，該佈線係由該目標

拾、申請專利範圍

區外側電連結至外部連結端子。

12. 如申請專利範圍第11項之半導體積體電路，其中該屏蔽佈線係連結至電源供應器。
13. 如申請專利範圍第11項之半導體積體電路，其中該屏蔽佈線係透過一接觸區段而電連結至設置屏蔽佈線該層之不同層上的佈線或端子。
14. 如申請專利範圍第11項之半導體積體電路，其中該目標區係覆蓋以屏蔽層，該屏蔽層係設置於目標區上方之佈線層。
15. 如申請專利範圍第11項之半導體積體電路，其中該目標區為一巨集指令，其係藉階層式佈局設置之一功能方塊或一階層方塊。
16. 一種半導體積體電路，包含：
 - 一欲屏蔽的目標區，其係設置於一半導體基板之二主面之一；
 - 一外部連結端子，其係設置於接近該目標區之一邊界，以及該外部連結端子係用以傳輸及接收信號介於該目標區內側與外側間；以及
 - 一屏蔽佈線，其係設置於該目標區邊界內側及外側，同時避開該外部連結端子或一佈線，該佈線係由該目標區外側電連結至外部連結端子。
17. 如申請專利範圍第16項之半導體積體電路，其中該屏蔽佈線係連結至電源供應器。
18. 如申請專利範圍第16項之半導體積體電路，其中該屏

拾、申請專利範圍

蔽佈線係透過一接觸區段而電連結至設置屏蔽佈線該層之不同層上的佈線或端子。

19. 如申請專利範圍第16項之半導體積體電路，其中該目標區係覆蓋以屏蔽層，該屏蔽層係設置於目標區上方之佈線層。
20. 如申請專利範圍第16項之半導體積體電路，其中該目標區為一巨集指令，其係藉階層式佈局設置之一功能方塊或一階層方塊。
21. 一種巨集指令，其係設置於一半導體基板之主面之一，該巨集指令包含：
 - 一外部連結端子，其係設置於接近巨集指令之一邊界，且係用以傳輸及接收信號介於巨集指令內側與外側間；以及
 - 一屏蔽佈線，其係設置於該巨集指令邊界，同時避開外部連結端子或由巨集指令外側電連結至該外部連結佈線之佈線。
22. 如申請專利範圍第21項之巨集指令，其中該屏蔽佈線係連結至電源供應器。
23. 一種巨集指令，其係設置於一半導體基板之主面之一，該巨集指令包含：
 - 一外部連結端子，其係設置於接近巨集指令之一邊界，且係用以傳輸及接收信號介於巨集指令內側與外側間；以及
 - 一屏蔽佈線，其係設置於該巨集指令邊界內側，

拾、申請專利範圍

同時避開外部連結端子或由巨集指令外側電連結至該外部連結佈線之佈線。

24. 如申請專利範圍第23項之巨集指令，其中該屏蔽佈線係連結至電源供應器。

5 25. 一種巨集指令，其係設置於一半導體基板之主面之一，該巨集指令包含：

一外部連結端子，其係設置於接近巨集指令之一邊界，且係用以傳輸及接收信號介於巨集指令內側與外側間；以及

10 一屏蔽佈線，其係設置於該巨集指令邊界外側，同時避開外部連結端子或由巨集指令外側電連結至該外部連結佈線之佈線。

26. 如申請專利範圍第25項之巨集指令，其中該屏蔽佈線係連結至電源供應器。

15 27. 一種巨集指令，其係設置於一半導體基板之主面之一，該巨集指令包含：

一外部連結端子，其係設置於接近巨集指令之一邊界，且係用以傳輸及接收信號介於巨集指令內側與外側間；以及

20 一屏蔽佈線，其係設置於該巨集指令邊界內側及外側，同時避開外部連結端子或由巨集指令外側電連結至該外部連結佈線之佈線。

28. 如申請專利範圍第27項之巨集指令，其中該屏蔽佈線係連結至電源供應器。

拾、申請專利範圍

29. 一種設計供一半導體積體電路用之屏蔽結構之方法，

該方法包含下列步驟：

辨識一欲屏蔽之目標區，於該處形成屏蔽佈線；

對該辨識出之目標區設置屏蔽佈線；以及

5 固定該被設置的屏蔽佈線電位。