



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0114982
(43) 공개일자 2015년10월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01) H01L 27/12 (2006.01)
H01L 29/739 (2006.01) H01L 29/74 (2006.01)
(52) CPC특허분류
H01L 27/0266 (2013.01)
H01L 27/1203 (2013.01)
(21) 출원번호 10-2015-7023604
(22) 출원일자(국제) 2014년01월29일
심사청구일자 없음
(85) 번역문제출일자 2015년08월28일
(86) 국제출원번호 PCT/US2014/013671
(87) 국제공개번호 WO 2014/120824
국제공개일자 2014년08월07일
(30) 우선권주장
61/758,590 2013년01월30일 미국(US)

(71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 쉐들러 웨스트 쉐들러
블러바드 2355
(72) 발명자
데발, 필리페
스위스, 씨에이치-1095 루트리, 체민 드 라 콤베
3
페르난데즈, 마리아
스위스, 씨에이치-1018 라우산느, 라우트 드 플레
이네스 두 루프 306
(뒷면에 계속)
(74) 대리인
특허법인세신

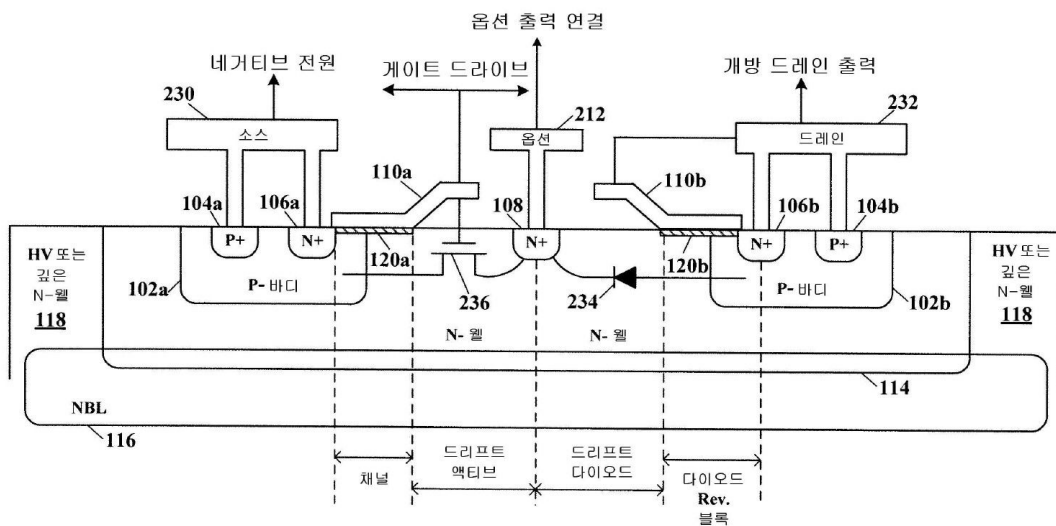
전체 청구항 수 : 총 69 항

(54) 발명의 명칭 ESD 자기-보호 기능을 구비한 DMOS 반도체 디바이스 및 그 기능부를 포함하는 LIN 버스 드라이버

(57) 요약

정전기 방전(ESD) 및 역 전압 차단 다이오드 보호들을 위한 금속 연결들을 필요로 하지 않는 이중 확산형 금속-산화물-반도체(DMOS) 듀얼 구조가 ESD 보호를 갖는 개방 드레인 출력 드라이버로서 구성된다. 한 쌍의 소스 셀들(102b, 104b, 106b) 중 하나가 개방 드레인 출력 셀로 사용되며, 이 개방 드레인 출력 셀은 예를 들어 역 차단 다이오드(234)를 형성하고, 그리고 ESD 자체-보호를 위해 이용되는 온(on)-상태의 빌트-인(built-in) 구조, 예컨대 빌트-인 SCR에서 바이폴라 동작을 달성한다. 역 차단 다이오드에 인접하는 게이트 전극(110b)은 개방 드레인 출력 단자(232)에 연결된다.

대표도



(52) CPC특허분류

H01L 29/7393 (2013.01)

H01L 29/7436 (2013.01)

(72) 발명자

베썬스, 페트릭

스위스, 씨에이치-1185 몬트-수르-롤레, 라우트 드
아이'에트라즈 6

브레이스웨이트, 로한

미국, 애리조나 85295, 길버트, 이스트 브라이들
코트 343

명세서

청구범위

청구항 1

정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀로서,

N-웰(well);

상기 N-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 P-바디(body);

상기 N-웰 내에 확산되고 제 2 P+ 확산부 및 제 2 N+ 확산부를 포함하는 제 2 P-바디;

상기 제 1 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 제 1 게이트 및 제 1 절연 산화막 - 상기 제 1 게이트는 상기 출력 드라이버 셀의 제어를 제공함 -; 및

상기 제 2 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 제 2 게이트 및 제 2 절연 산화막을 포함하고,

상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 상기 출력 드라이버 셀에 소스 및 바디 접촉부를 제공하도록 서로 연결되고,

상기 제 2 P+ 확산부, 상기 제 2 N+ 확산부 및 상기 제 2 게이트는 상기 출력 드라이버 셀에 드레인을 제공하도록 서로 연결되고,

상기 제 1 및 제 2 P-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성되는, 개방 드레인 출력 드라이버 셀.

청구항 2

제 1 항에 있어서,

상기 제 2 게이트는 저항기를 통해 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 3

제 1 항에 있어서,

상기 제 2 게이트는 트리거 회로를 통해 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 4

제 1 항에 있어서,

상기 두 개의 P-바디들의 영역들 사이의 N-웰 영역은 공통 드리프트 영역을 생성하는, 개방 드레인 출력 드라이버 셀.

청구항 5

제 4 항에 있어서,

상기 두 개의 P-바디 영역들 사이의 상기 N-웰 공통 드리프트 영역은 어떠한 확산 접촉부도 구비하지 않고, 따라서 상기 N-웰 공통 드리프트 영역의 구조를 가능한 좁게 만드는, 개방 드레인 출력 드라이버 셀.

청구항 6

제 4 항에 있어서,

N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입되는, 개방 드레인 출력 드라이버 셀.

청구항 7

제 6 항에 있어서,

N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입되어 상기 N-웰 공통 드리프트 영역에의 액세스를 제공하는, 개방 드레인 출력 드라이버 셀.

청구항 8

제 6 항에 있어서,

N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입되고 분산 베이스 연결부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 9

제 1 항에 있어서,

상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 네거티브 전원에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 10

제 1 항에 있어서,

상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 소스 측 분산 베이스에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 11

제 10 항에 있어서,

제 3 P+ 확산부 및 제 3 N+ 확산부를 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 12

제 11 항에 있어서,

상기 제 3 P+ 확산부 및 상기 제 3 N+ 확산부는 네거티브 전원에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 13

제 1 항에 있어서,

상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 개방 드레인 출력부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 14

제 1 항에 있어서,

상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 드레인 측 분산 베이스에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 15

제 14 항에 있어서,

제 4 P+ 확산부 및 제 4 N+ 확산부를 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 16

제 15 항에 있어서,

상기 제 4 P+ 확산부 및 상기 제 4 N+ 확산부는 상기 개방 드레인 출력부에 연결되는, 개방 드레인 출력 드라이버 셀.

버 셀.

청구항 17

제 1 항에 있어서,

상기 N-웰이 N형 매립층(NBL) 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 18

제 1 항에 있어서,

상기 N-웰을 둘러싸는 하이(high) 전압 웰들을 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 19

제 1 항에 있어서,

상기 N-웰이 P형 기관 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 20

제 1 항에 있어서,

상기 N-웰이 P형 웨이퍼 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 21

제 1 항에 있어서,

상기 N-웰이 매립 산화물(BOX) 층 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 22

제 1 항에 따른 개방 드레인 출력 드라이버 셀을 포함하는 로컬 상호연결 네트워크(LIN) 버스 드라이버.

청구항 23

정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀로서,

P-웰;

상기 P-웰 내에 확산되고 제 1 N+ 확산부 및 제 1 P+ 확산부를 포함하는 제 1 N-바디;

상기 P-웰 내에 확산되고 제 2 N+ 확산부 및 제 2 P+ 확산부를 포함하는 제 2 N-바디;

상기 제 1 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 제 1 게이트 및 제 1 절연 산화막 - 상기 제 1 게이트는 상기 출력 드라이버 셀의 제어를 제공함 -; 및

상기 제 2 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 제 2 게이트 구조 및 제 2 절연 산화막을 포함하고,

상기 제 1 N+ 확산부 및 상기 제 1 P+ 확산부는 상기 출력 드라이버 셀에 소스 및 바디 접촉부를 제공하도록 서로 연결되고,

상기 제 2 N+ 확산부, 상기 제 2 P+ 확산부 및 상기 제 2 게이트는 상기 출력 드라이버 셀에 드레인 연결을 제공하도록 서로 연결되고,

상기 제 1 및 제 2 N-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성되는, 개방 드레인 출력 드라이버 셀.

청구항 24

제 23 항에 있어서,

상기 제 2 게이트는 저항기를 통해 상기 제 2 N+ 확산부 및 상기 제 2 P+ 확산부에 연결되는, 개방 드레인 출력

드라이버 셀.

청구항 25

제 23 항에 있어서,

상기 제 2 게이트는 트리거 회로를 통해 상기 제 2 N+ 확산부 및 상기 제 2 P+ 확산부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 26

제 23 항에 있어서,

상기 두 개의 N-바디 영역들 사이의 상기 P-웰 영역은 공통 드리프트 영역을 생성하는, 개방 드레인 출력 드라이버 셀.

청구항 27

제 26 항에 있어서,

상기 두 개의 N-바디 영역들 사이의 상기 P-웰 공통 드리프트 영역은 어떠한 확산 접촉부도 구비하지 않고, 따라서 상기 P-웰 공통 드리프트 영역의 구조를 가능한 좁게 만드는, 개방 드레인 출력 드라이버 셀.

청구항 28

제 26 항에 있어서,

P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입되는, 개방 드레인 출력 드라이버 셀.

청구항 29

제 28 항에 있어서,

P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입되어 상기 P-웰 공통 드리프트 영역에 액세스를 제공하는, 개방 드레인 출력 드라이버 셀.

청구항 30

제 28 항에 있어서,

P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입되고 분산 베이스 연결부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 31

제 23 항에 있어서,

상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 포지티브 전원에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 32

제 23 항에 있어서,

상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 소스 측 분산 베이스에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 33

제 32 항에 있어서,

제 3 P+ 확산부 및 제 3 N+ 확산부를 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 34

제 33 항에 있어서,

상기 제 3 P+ 확산부 및 상기 제 3 N+ 확산부는 포지티브 전원에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 35

제 23 항에 있어서,

상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 개방 드레인 출력부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 36

제 23 항에 있어서,

상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 드레인 측 분산 베이스에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 37

제 36 항에 있어서,

제 4 P+ 확산부 및 제 4 N+ 확산부를 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 38

제 37 항에 있어서,

상기 제 4 P+ 확산부 및 상기 제 4 N+ 확산부는 상기 개방 드레인 출력부에 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 39

제 23 항에 있어서,

상기 P-웰이 N형 매립층(NBL) 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 40

제 23 항에 있어서,

상기 P-웰을 둘러싸는 하이 전압 웰들을 더 포함하는 개방 드레인 출력 드라이버 셀.

청구항 41

제 23 항에 있어서,

상기 P-웰이 N형 기판 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 42

제 23 항에 있어서,

상기 P-웰이 N형 웨이퍼 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 43

제 23 항에 있어서,

상기 P-웰이 매립 산화물(BOX) 층 상에(on) 제조되는, 개방 드레인 출력 드라이버 셀.

청구항 44

집적 회로 디바이스용 보호 회로로서,

두 개의 소스 영역들 및 관련 게이트들을 포함하는 셀을 포함하고,

제 1 소스 영역은 네거티브 전원 전압에 연결되도록 구성되고 상기 제 1 소스 영역의 게이트는 제어 신호에 의해 구동되고, 그리고 제 2 소스 영역은 상기 제 2 소스 영역의 게이트와 연결되고 상기 셀의 드레인 출력의 역할을 하는, 보호 회로.

청구항 45

제 44 항에 있어서,

상기 셀은 하이 전압 웰 내에 배치되는, 보호 회로.

청구항 46

제 45 항에 있어서,

상기 셀 아래에 배치되는 매립층을 더 포함하는 보호 회로.

청구항 47

제 44 항에 있어서,

상기 제 2 소스 영역은 역 차단 다이오드를 형성하고, 상기 제 1 소스 영역은 상기 역 차단 다이오드와 직렬로 결합된 MOS 트랜지스터의 일부분인, 보호 회로.

청구항 48

제 44 항에 있어서,

상기 제 1 및 제 2 소스 영역들은 제 1 도전형의 웰 내에 배치되고 제 2 도전형의 바디를 포함하고, 상기 제 1 도전형 및 상기 제 2 도전형의 접촉 구역들(zones)이 상기 제 2 도전형의 바디 내에 임베드되는(embedded), 보호 회로.

청구항 49

제 48 항에 있어서,

소스 영역의 상기 접촉 구역들은 금속층에 연결되는, 보호 회로.

청구항 50

제 49 항에 있어서,

상기 접촉 구역들은 금속 비어(via)들에 의해 상기 금속층에 연결되는, 보호 회로.

청구항 51

제 44 항에 있어서,

상기 제 1 소스 영역의 게이트 및 상기 제 2 소스 영역의 게이트는 분할(split) 게이트로서 형성되는, 보호 회로.

청구항 52

집적 회로 디바이스용 보호 회로로서,

공통 드레인 영역과 두 개의 소스 영역들 및 관련 게이트들을 갖는 두 개의 래터럴(lateral) MOS 트랜지스터들을 포함하는 셀을 포함하고,

상기 두 개의 래터럴 MOS 트랜지스터들 중 제 1 MOS 트랜지스터는 상기 소스 영역들 중 제 1 소스 영역을 통해 전원 전압에 연결되도록 구성되고, 상기 제 1 MOS 트랜지스터의 게이트는 제어 신호에 의해 구동되고, 상기 두 개의 래터럴 MOS 트랜지스터들 중 제 2 MOS 트랜지스터는 다이오드로서 연결되고,

상기 게이트는 상기 소스 영역들 중 제 2 소스 영역과 결합되고,

상기 제 2 소스/바디 영역은 상기 셀의 드레인 출력의 역할을 하는, 보호 회로.

청구항 53

제 52 항에 있어서,

상기 공통 드레인 영역은 연결되지 않은 채로 유지되는, 보호 회로.

청구항 54

제 52 항에 있어서,

상기 제 2 MOS 트랜지스터는 상기 제 1 MOS 트랜지스터와 직렬인 역 차단 다이오드를 형성하는, 보호 회로.

청구항 55

제 54 항에 있어서,

상기 역 차단 다이오드로서 기능하는 상기 제 2 MOS 트랜지스터와 상기 제 1 MOS 트랜지스터 사이의 중간 지점으로의 액세스를 제공하기 위한 공통 드레인 영역이 구성되는, 보호 회로.

청구항 56

제 52 항에 있어서,

상기 셀은 하이 전압 웰 내에 배치되는, 보호 회로.

청구항 57

제 56 항에 있어서,

상기 셀 아래에(under) 배치되는 매립층을 더 포함하는 보호 회로.

청구항 58

제 52 항에 있어서,

상기 제 1 및 제 2 소스 영역들은 제 1 도전형의 웰 내에 배치되고 제 2 도전형의 바디를 포함하고, 상기 제 1 도전형 및 상기 제 2 도전형의 접촉 구역들이 상기 제 2 도전형의 바디 내에 임베드되는, 보호 회로.

청구항 59

제 58 항에 있어서,

소스 영역의 상기 접촉 구역들은 금속층에 연결되는, 보호 회로.

청구항 60

제 59 항에 있어서,

상기 접촉 구역들은 금속 비어들에 의해 상기 금속층에 연결되는, 보호 회로.

청구항 61

제 52 항에 있어서,

상기 제 1 및 제 2 MOS 트랜지스터들의 상기 게이트들은 분할 게이트로서 형성되는, 보호 회로.

청구항 62

제 52 항에 있어서,

상기 전원 전압은 포지티브인, 보호 회로.

청구항 63

제 52 항에 있어서,
상기 전원 전압은 네거티브인, 보호 회로.

청구항 64

정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀로서,
N-웰;
상기 N-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 P-바디;
상기 N-웰 내에 확산되고 제 2 P+ 확산부를 포함하는 제 2 P-바디; 및
상기 제 1 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 게이트 및 절연 산화막을 포함하고,
상기 게이트는 상기 출력 드라이버 셀의 제어를 제공하고,
상기 제 2 P+ 확산부는 상기 출력 드라이버 셀과의 연결부를 제공하고,
상기 제 1 및 제 2 P-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성되는, 개방 드레인 출력 드라이버 셀.

청구항 65

제 64 항에 있어서,
제 2 N+ 확산부가 상기 제 2 P-바디 내에 구현되는, 개방 드레인 출력 드라이버 셀.

청구항 66

제 65 항에 있어서,
상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 드라이버 셀의 출력부에 연결을 제공하도록 서로 연결되는, 개방 드레인 출력 드라이버 셀.

청구항 67

정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀로서,
P-웰;
상기 P-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 N-바디;
상기 P-웰 내에 확산되고 제 2 N+ 확산부를 포함하는 제 2 N-바디; 및
상기 제 1 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 게이트 및 절연 산화막을 포함하고,
상기 게이트는 상기 출력 드라이버 셀의 제어를 제공하고,
상기 제 2 N+ 확산부는 상기 출력 드라이버 셀과의 연결을 제공하고,
상기 제 1 및 제 2 N-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성되는, 개방 드레인 출력 드라이버 셀.

청구항 68

제 67 항에 있어서,
제 2 P+ 확산부가 상기 제 2 N-바디 내에 구현되는, 개방 드레인 출력 드라이버 셀.

청구항 69

제 68 항에 있어서,
상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 드라이버 셀의 출력부에 연결을 제공하도록 서로 연결되는, 개방 드레인 출력 드라이버 셀.

발명의 설명

기술 분야

[0001] 관련 특허 출원

[0002] 본 출원은, Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의해 2013년 1월 30일 출원된 발명의 명칭이 "ESD-Protection Circuit for Integrated Circuit Device"인 공동 소유의 미국 가출원 번호 61/758,590 호의 우선이익을 주장하며, 상기 미국 가출원은 모든 목적들을 위해 본 출원에 참조로 통합된다.

[0003] 기술 분야

[0004] 본 개시는, 예를 들어 자동차 전자 장비에 사용되는 것과 같은 예를 들어 로컬 상호연결 네트워크(LIN) 버스 등에 인터페이스할 수 있는 집적 회로 디바이스들 내부의 정전기 방전 보호 회로에 관한 것으로, 특히, 취급되거나 또는 LIN 버스 등에 플러그-인 되거나 LIN 버스 등으로부터 떼어낼 때 높은 정전기 방전(ESD) 내성(robustness)을 달성하고, 그리고 LIN 버스 등에서 동작할 때 높은 전자기 간섭(EMI) 면역(immunity)을 갖는 것에 관한 것이다.

배경 기술

[0005] 자동차 전자 장비의 계속 증가하고 있는 중요성으로 인해, 센서들 및 액추에이터들과 인터페이스하는 입-출력 디바이스들을 필요로 하는 저가의 신뢰성 있는 전자 시스템들 및 서브시스템들에 대한 도전과 필요가 증대되고 있다. 이 시스템들 및 서브시스템들은 분리되지 않으며, 서로 통신해야 한다.

[0006] 역사적으로, 자동차 전자 장비들은 분리된 보다 작은 집적 회로들을 사용하여 만들어졌다. 자동차 전자 장비들은 적어도 많은 센서 시스템들에 대해서는 독자적인 전용 유선 통신 방식에 의존하였고, 전력 출력부들을 액추에이터들에 직접 선으로 연결하였다. 이로 인해, 큰 인쇄 회로 기판(PCB)들, 큰 엔진-제어 유닛(ECU) 하우징 사이즈들, 및 과도한 배선 번들(bundle)들이 초래되었다. 배선(wiring)은 공간을 소비하고 무게와 비용을 추가하고 차량의 전자기 노이즈의 영향을 받기 쉽고 그리고 고장 탐구(trouble shoot) 및 유지(maintain)가 어려울 수 있기 때문에 다른 문제점들을 야기한다.

[0007] 다행히도, 차량-네트워킹 표준들과 혼합-신호 반도체 프로세스들의 향상은 이 문제들을 다루고, 차량 전반에 걸쳐 지능형 시스템들을 배포하는 새로운 가능성들을 도입하고 있다. 차량-네트워킹 표준화의 추세는 컨트롤러 영역 네트워크(CAN) 및 로컬 상호연결 네트워크(LIN) 아키텍처의 광범위한 채택을 포함한다.

[0008] 이 네트워크 표준들은 자동차 시스템들에 걸쳐 성능과 비용 최적화 사이에 균형을 제공하고 있다. CAN은 새시, 파워-트레인 및 바디-백본(body-backbone) 통신들에 고속 네트워크를 제공하지만, LIN은 표준화를 통해 비용을 감소하고 견고성을 향상시키는 센서 및 액추에이터 서브시스템들을 위한 단순한 네트워크의 필요성에 응답한다. CAN의 광범위한 이용 및 LIN의 가용성은, 단일 집적 회로(IC) 상에 또는 보다 향상된 시스템들의 몇 IC들 상에 보다 작은 자동차 시스템들에 필요한 모든 기능성을 함께 가져올 수 있는 혼합-신호 반도체-프로세스 기술들의 향상들에 부합한다.

[0009] LIN은 원래 차체 전자 장비들을 대상으로 하였지만, LIN은 차체 전자 장비들 이외의 많은 구현들에 의해 새로운 방식들로 자신의 가치를 증명하고 있다. 이용할 수 있는 자동차-전자 버스 표준들 사이에서, LIN은 통상적으로 단일 시스템 전용인 대부분의 센서들 및 액추에이터들의 통신 요구 사항들에 최선의 해결책을 제공한다. 그 센서들 및 액추에이터들은 서브 시스템들로 간주될 수 있고, 차량 내 서브-네트워크 역할을 수행하도록 정의된 LIN에 의해 도움을 잘 받는다. 초당 20 킬로비트들(20 kbps)의 최대 LIN의 특정 데이터 속도는 대부분의 센서들 및 액추에이터들에 충분하다. LIN은 시간-트리거식 마스터-슬레이브 네트워크이고, 동시 보고 디바이스들 사이의 중재의 필요성을 제거한다. LIN은 배선 및 하네스 요구사항들을 줄이는 단선 통신 버스를 이용하여 구현되고, 따라서 무게, 공간 및 비용을 절약할 수 있게 한다.

[0010] LIN 컨소시엄에 의해 차량 서브-네트워크 애플리케이션들의 저가 구현을 위해 구체적으로 정의되어 있으므로, LIN 표준은 오늘날의 혼합 신호 반도체 공정의 통합 기능에 잘 맞추어져 있다. LIN 프로토콜은 상당한 비용 감소를 달성하는데, 그 이유는 LIN 프로토콜이 매우 단순하고 비동기식 직렬 인터페이스(UART/SCI)를 통해 동작하며, 슬레이브 노드들은 자체-동기식이고 크리스탈들 또는 세라믹 공진기들 대신 온-칩 RC 발진기를 사용할 수 있기 때문이다. 그 결과, 실리콘 구현은 비싸지 않고, 자동차 서브시스템들 위한 신호-컨디셔닝 및 출력 IC들을

제조하는데 전형적으로 사용되는 혼합-신호 프로세스 기술들에 LIN이 매우 적합하도록 한다.

[0011] LIN 마스터 노드는 통상적으로 CAN 네트워크에 대한 LIN 서브-네트워크의 브리지 노드이고, 각 차량은 전형적으로 몇몇 LIN 서브-네트워크들을 구비할 것이다. 마스터 LIN 노드는 더 높은 복잡도 및 제어를 가지지만, 슬레이브 LIN 노드들은 전형적으로 더 단순하여 단일 IC 서브시스템들 내에 그들의 집적화를 가능케 한다. 표준화된 차량-네트워킹 아키텍처들의 이용을 통해서, 3개의 와이어들(LIN, 배터리 및 그라운드)만을 필요로 하는 특징 및 진단이 풍부한 시스템을 구축하는 것이 가능하다.

[0012] 신뢰성 및 안전한 동작의 명백한 이유 때문에 모든 LIN 모듈들에는 ESD(정전기 방전)와 EMI(전자파 간섭) 둘 다에 대한 매우 높은 면역이 필요하다. 이 높은 ESD 및 EMI 면역은 특히 외부 세계에 연결되는 LIN 모듈의 전기 노드들(핀들)(예를 들어, 배터리 핀, LIN 핀 등)에 적용된다. 하지만, ESD 및 EMI에 노출되는 CAN 모듈의 핀들이나 어떠한 다른 핀도 유사한 보호를 필요로 할 수 있다.

[0013] 시스템(외부 세계)에 연결되는 LIN 모듈의 핀들은, 모듈이 취급되거나 시스템에 접속될 때 ESD 방전에 매우 노출된다. LIN 모듈은 누구에 의해서나 안전하게 설치 또는 떼어낼 수 있어야 한다. LIN 및 CAN 스펙은 공급 범위를 벗어난 버스 전압 동작을 필요로 한다. 따라서, LIN 및 CAN 버스 출력 포트들에는 직렬식 역 차단 다이오드들이 필수적이다. LIN 및 CAN 스펙은 버스 포트들에서 높은 에너지의 ESD 견고성(8KV HBM / 6KV ic61000.4) 및 높은 전압 범위의 능력(+/- 45 내지 +/- 60V)을 필요로 한다. 이는 버스 드라이버들 및 직렬식 역 차단 다이오드들을 위한 매우 큰 영역을 초래하므로, 그 결과 고가의 부품이 된다. LIN 및 CAN 드라이버들의 레이아웃 면적을 줄이는 어떠한 해결책이라도 유익하고 제조 비용을 절감할 것이다.

발명의 내용

해결하려는 과제

[0014] 따라서, 제조 동안 구현하기 쉽고, LIN 및 CAN 드라이버들의 레이아웃 면적을 줄임으로써 제조 및 실리콘 다이 비용들을 절감케 하고, 그리고 매우 콤팩트한 구조에 자체-보호 구동 및 역 차단 기능들을 제공하는 집적 회로 디바이스의 외부 전기 연결 노드의 ESD 보호의 집적화가 필요하다.

과제의 해결 수단

[0015] 실시예에 따르면, 정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀은: N-웰(well); 상기 N-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 P-바디(body); 상기 N-웰 내에 확산되고 제 2 P+ 확산부 및 제 2 N+ 확산부를 포함하는 제 2 P-바디; 상기 제 1 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 제 1 게이트 및 제 1 절연 산화막 - 상기 제 1 게이트는 상기 출력 드라이버 셀의 제어를 제공함 -; 및 상기 제 2 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 제 2 게이트 및 제 2 절연 산화막을 포함할 수 있으며, 상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 상기 출력 드라이버 셀에 소스 및 바디 접촉부를 제공하도록 서로 연결될 수 있고, 상기 제 2 P+ 확산부, 상기 제 2 N+ 확산부 및 상기 제 2 게이트는 상기 출력 드라이버 셀에 드레인을 제공하도록 서로 연결될 수 있고, 상기 제 1 및 제 2 P-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성될 수 있다.

[0016] 추가 실시예에 따르면, 상기 제 2 게이트는 저항기를 통해 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 2 게이트는 트리거 회로를 통해 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부에 연결될 수 있다. 추가 실시예에 따르면, 상기 두 개의 P-바디들의 영역들 사이의 N-웰 영역은 공통 드리프트 영역을 생성한다. 추가 실시예에 따르면, 상기 두 개의 P-바디 영역들 사이의 상기 N-웰 공통 드리프트 영역은 어떠한 확산 접촉부도 구비하지 않을 수 있고, 따라서 상기 N-웰 공통 드리프트 영역의 구조를 가능한 좁게 만들 수 있다. 추가 실시예에 따르면, N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입될 수 있다. 추가 실시예에 따르면, N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입되어 상기 N-웰 공통 드리프트 영역에 액세스를 제공할 수 있다. 추가 실시예에 따르면, N+ 확산 접촉부가 상기 N-웰 공통 드리프트 영역에 삽입될 수 있고 분산 베이스 연결부에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 네거티브 전원에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 소스 측 분산 베이스에 연결될 수 있다.

[0017] 추가 실시예에 따르면, 제 3 P+ 확산부 및 제 3 N+ 확산부가 상기 제 1 P-바디에 추가될 수 있다. 추가 실시예에 따르면, 상기 제 3 P+ 확산부 및 상기 제 3 N+ 확산부는 네거티브 전원에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 개방 드레인 출력부에 연결될 수 있다. 추가 실시예

에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 드레인 측 분산 베이스에 연결될 수 있다. 추가 실시예에 따르면, 제 4 P+ 확산부 및 제 4 N+ 확산부가 상기 제 2 P-바디에 추가될 수 있다. 추가 실시예에 따르면, 상기 제 4 P+ 확산부 및 상기 제 4 N+ 확산부는 상기 개방 드레인 출력부에 연결될 수 있다.

[0018] 추가 실시예에 따르면, 상기 N-웰이 N형 매립층(NBL) 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 하이(high) 전압 웰들이 상기 N-웰을 둘러쌀 수 있다. 추가 실시예에 따르면, 상기 N-웰이 P형 기관 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 상기 N-웰이 P형 웨이퍼 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 상기 N-웰이 매립 산화물(BOX) 층 상에(on) 제조될 수 있다.

[0019] 추가 실시예에 따르면, 로컬 상호연결 네트워크(LIN) 버스 드라이버는 위에 설명된 개방 드레인 출력 드라이버 셀을 포함할 수 있다.

[0020] 또 하나의 실시예에 따르면, 정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀은: P-웰; 상기 P-웰 내에 확산되고 제 1 N+ 확산부 및 제 1 P+ 확산부를 포함하는 제 1 N-바디; 상기 P-웰 내에 확산되고 제 2 N+ 확산부 및 제 2 P+ 확산부를 포함하는 제 2 N-바디; 상기 제 1 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 제 1 게이트 및 제 1 절연 산화막 - 상기 제 1 게이트는 상기 출력 드라이버 셀의 제어를 제공함 -; 및 상기 제 2 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 제 2 게이트 구조 및 제 2 절연 산화막을 포함할 수 있으며, 상기 제 1 N+ 확산부 및 상기 제 1 P+ 확산부는 상기 출력 드라이버 셀에 소스 및 바디 접촉부를 제공하도록 서로 연결될 수 있고, 상기 제 2 N+ 확산부, 상기 제 2 P+ 확산부 및 상기 제 2 게이트는 상기 출력 드라이버 셀에 드레인 연결을 제공하도록 서로 연결될 수 있고, 상기 제 1 및 제 2 N-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성될 수 있다.

[0021] 추가 실시예에 따르면, 상기 제 2 게이트는 저항기를 통해 상기 제 2 N+ 확산부 및 상기 제 2 P+ 확산부에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 2 게이트는 트리거 회로를 통해 상기 제 2 N+ 확산부 및 상기 제 2 P+ 확산부에 연결될 수 있다. 추가 실시예에 따르면, 상기 두 개의 N-바디 영역들 사이의 상기 P-웰 영역은 공통 드리프트 영역을 생성한다. 추가 실시예에 따르면, 상기 두 개의 N-바디 영역들 사이의 상기 P-웰 공통 드리프트 영역은 어떠한 확산 접촉부도 구비하지 않을 수 있고, 따라서 상기 P-웰 공통 드리프트 영역의 구조를 가능한 좁게 만들 수 있다. 추가 실시예에 따르면, P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입될 수 있다. 추가 실시예에 따르면, P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입되어 상기 P-웰 공통 드리프트 영역에의 액세스를 제공할 수 있다. 추가 실시예에 따르면, P+ 확산 접촉부가 상기 P-웰 공통 드리프트 영역에 삽입될 수 있고 분산 베이스 연결부에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 포지티브 전원에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 P+ 확산부 및 상기 제 1 N+ 확산부는 소스 측 분산 베이스에 연결될 수 있다.

[0022] 추가 실시예에 따르면, 제 3 P+ 확산부 및 제 3 N+ 확산부가 상기 제 1 N-바디에 추가될 수 있다. 추가 실시예에 따르면, 상기 제 3 P+ 확산부 및 상기 제 3 N+ 확산부는 포지티브 전원에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 개방 드레인 출력부에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 드레인 측 분산 베이스에 연결될 수 있다. 추가 실시예에 따르면, 제 4 P+ 확산부 및 제 4 N+ 확산부가 상기 제 2 N-바디에 추가될 수 있다. 추가 실시예에 따르면, 상기 제 4 P+ 확산부 및 상기 제 4 N+ 확산부는 상기 개방 드레인 출력부에 연결될 수 있다.

[0023] 추가 실시예에 따르면, 상기 P-웰이 N형 매립층(NBL) 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 하이 전압 웰들이 상기 P-웰을 둘러쌀 수 있다. 추가 실시예에 따르면, 상기 P-웰이 N형 기관 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 상기 P-웰이 N형 웨이퍼 상에(on) 제조될 수 있다. 추가 실시예에 따르면, 상기 P-웰이 매립 산화물(BOX) 층 상에(on) 제조될 수 있다.

[0024] 다른 또 하나의 실시예에 따르면, 집적 회로 디바이스용 보호 회로는 두 개의 소스 영역들 및 관련 게이트들을 포함하는 셀을 포함할 수 있으며, 제 1 소스 영역은 네거티브 전원 전압에 연결되도록 구성될 수 있고 상기 제 1 소스 영역의 게이트는 제어 신호에 의해 구동될 수 있고, 그리고 제 2 소스 영역은 상기 제 2 소스 영역의 게이트와 연결될 수 있고 상기 셀의 드레인 출력의 역할을 한다.

[0025] 추가 실시예에 따르면, 상기 셀은 하이 전압 웰 내에 배치될 수 있다. 추가 실시예에 따르면, 상기 셀 아래에는 매립층이 배치될 수 있다. 추가 실시예에 따르면, 상기 제 2 소스 영역은 역 차단 다이오드를 형성할 수 있고, 상기 제 1 소스 영역은 상기 역 차단 다이오드와 직렬로 결합된 MOS 트랜지스터의 일부분일 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 소스 영역들은 제 1 도전형의 웰 내에 배치될 수 있고 제 2 도전형의 바디를

포함할 수 있고, 상기 제 1 도전형 및 상기 제 2 도전형의 접촉 구역들(zones)이 상기 제 2 도전형의 바디 내에 임베드될(embedded) 수 있다. 추가 실시예에 따르면, 소스 영역의 상기 접촉 구역들은 금속층에 연결될 수 있다. 추가 실시예에 따르면, 상기 접촉 구역들은 금속 비어(via)들에 의해 상기 금속층에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 소스 영역의 게이트 및 상기 제 2 소스 영역의 게이트는 분할(split) 게이트로서 형성될 수 있다.

[0026] 다른 또 하나의 실시예에 따르면, 집적 회로 디바이스용 보호 회로는 공통 드레인 영역과 두 개의 소스 영역들 및 관련 게이트들을 갖는 두 개의 래터럴(lateral) MOS 트랜지스터들을 포함하는 셀을 포함할 수 있으며, 상기 두 개의 래터럴 MOS 트랜지스터들 중 제 1 MOS 트랜지스터는 상기 소스 영역들 중 제 1 소스 영역을 통해 전원 전압에 연결되도록 구성될 수 있고, 상기 제 1 MOS 트랜지스터의 게이트는 제어 신호에 의해 구동될 수 있고, 상기 두 개의 래터럴 MOS 트랜지스터들 중 제 2 MOS 트랜지스터는 다이오드로서 연결될 수 있고, 상기 게이트는 상기 소스 영역들 중 제 2 소스 영역과 결합될 수 있고, 그리고 상기 제 2 소스/바디 영역은 상기 셀의 드레인 출력의 역할을 한다.

[0027] 추가 실시예에 따르면, 상기 공통 드레인 영역은 연결되지 않은 채로 유지될 수 있다. 추가 실시예에 따르면, 상기 제 2 MOS 트랜지스터는 상기 제 1 MOS 트랜지스터와 직렬인 역 차단 다이오드를 형성할 수 있다. 추가 실시예에 따르면, 상기 역 차단 다이오드로서 기능하는 상기 제 2 MOS 트랜지스터와 상기 제 1 MOS 트랜지스터 사이의 중간 지점으로의 액세스를 제공하기 위한 공통 드레인 영역이 구성될 수 있다. 추가 실시예에 따르면, 상기 셀은 하이 전압 웰 내에 배치될 수 있다. 추가 실시예에 따르면, 상기 셀 아래에는(under) 매립층이 배치될 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 소스 영역들은 제 1 도전형의 웰 내에 배치될 수 있고 제 2 도전형의 바디를 포함할 수 있고, 상기 제 1 도전형 및 상기 제 2 도전형의 접촉 구역들이 상기 제 2 도전형의 바디 내에 임베드될 수 있다. 추가 실시예에 따르면, 소스 영역의 상기 접촉 구역들은 금속층에 연결될 수 있다. 추가 실시예에 따르면, 상기 접촉 구역들은 금속 비어들에 의해 상기 금속층에 연결될 수 있다. 추가 실시예에 따르면, 상기 제 1 및 제 2 MOS 트랜지스터들의 상기 게이트들은 분할 게이트로서 형성될 수 있다. 추가 실시예에 따르면, 상기 전원 전압은 포지티브일 수 있다. 추가 실시예에 따르면, 상기 전원 전압은 네거티브일 수 있다.

[0028] 또 하나의 실시예에 따르면, 정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀은: N-웰; 상기 N-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 P-바디; 상기 N-웰 내에 확산되고 제 2 P+ 확산부를 포함하는 제 2 P-바디; 및 상기 제 1 P-바디의 일부분 및 상기 N-웰의 일부분 위에(over) 있는 게이트 및 절연 산화막을 포함할 수 있으며, 상기 게이트는 상기 출력 드라이버 셀의 제어를 제공하고, 상기 제 2 P+ 확산부는 상기 출력 드라이버 셀과의 연결부를 제공하고, 상기 제 1 및 제 2 P-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성될 수 있다.

[0029] 추가 실시예에 따르면, 제 2 N+ 확산부가 상기 제 2 P-바디 내에 구현될 수 있다. 추가 실시예에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 드라이버 셀의 출력부에 연결을 제공하도록 서로 연결될 수 있다.

[0030] 다른 또 하나의 실시예에 따르면, 정전기 방전 보호를 갖는 개방 드레인 출력 드라이버 셀은: P-웰; 상기 P-웰 내에 확산되고 제 1 P+ 확산부 및 제 1 N+ 확산부를 포함하는 제 1 N-바디; 상기 P-웰 내에 확산되고 제 2 N+ 확산부를 포함하는 제 2 N-바디; 및 상기 제 1 N-바디의 일부분 및 상기 P-웰의 일부분 위에(over) 있는 게이트 및 절연 산화막을 포함할 수 있으며, 상기 게이트는 상기 출력 드라이버 셀의 제어를 제공하고, 상기 제 2 N+ 확산부는 상기 출력 드라이버 셀과의 연결을 제공하고, 상기 제 1 및 제 2 N-바디들 사이에는 정전기 방전(ESD) 및 역 전압 보호 다이오드가 형성될 수 있다.

[0031] 추가 실시예에 따르면, 제 2 P+ 확산부가 상기 제 2 N-바디 내에 구현될 수 있다. 추가 실시예에 따르면, 상기 제 2 P+ 확산부 및 상기 제 2 N+ 확산부는 상기 드라이버 셀의 출력부에 연결을 제공하도록 서로 연결될 수 있다.

도면의 간단한 설명

[0032] 본 개시는 첨부 도면들과 결합된 이하의 설명을 참조하면 보다 완전하게 이해될 수 있다.

도 1은 종래의 DMOS 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

도 2 및 도 2a는 본 개시의 특정 예시의 실시예들에 따른, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버

셀들의 개략적인 단면의 정면도들을 도시한 도면이다.

도 2b는 본 개시의 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이며, 여기서 래터럴(lateral) PNP 디바이스가 강조된다.

도 2c는 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이며, 여기서 저항기 또는 트리거 회로가 역 전압 차단 다이오드로서 사용된 nDMOS의 게이트를 제안된 디바이스의 출력부(개방 드레인 출력부)인 그의 소스/바디(body)에 연결시킨다.

결합되어 있는 도 2d 및 도 2e는 본 개시의 또 하나의 특정 예시의 실시예에 따른, 멀티-핑거(multi-finger) 구조의 분산 베이스 연결부를 갖는, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀들의 개략적인 단면의 정면도를 도시한 도면이다.

도 3은 본 개시의 또 하나의 특정 예시의 실시예에 따른, 옵션 출력 연결부가 없는, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

결합되어 있는 도 3a 및 도 3b는 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, 멀티-핑거 구조의 분산 베이스 연결부들을 갖는, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

도 4는 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

결합되어 있는 도 4a 및 도 4b는 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, 콤팩트한 드레인 구조가 유지되는 멀티-핑거 구조의 분산 베이스 연결부들을 갖는, ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

도 5는 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, SOI 프로세스를 위한 ESD 보호 및 역 전압 다이오드 차단 nDMOS 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

도 6은 본 개시의 또 하나의 특정 예시의 실시예에 따른, SOI 프로세스를 위한 ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도를 도시한 도면이다.

본 개시는 다양한 변형들 및 대안의 형태들을 허용하지만, 그의 특정 예시의 실시예들이 도면들에 도시되었고 본 명세서에서 상세히 설명된다. 하지만, 그 특정 예시의 실시예들에 대한 설명은 본 개시를 여기에서 개시된 특정 형태들로 한정하고자 하는 것이 아니고, 오히려, 본 개시는 부속 특허청구범위에 의해 정의되는 모든 변형들 및 균등물들을 포괄하는 것으로 이해되어야 한다.

발명을 실시하기 위한 구체적인 내용

[0033] 다양한 실시예들에 따르면, 하이브리드 디바이스는 매우 비용 효율적인 해결책을 가져오는 매우 콤팩트한 구조로 자체-보호 구동 및 역 전압 차단 기능들을 제공할 수 있다. 다양한 실시예들에 따르면, 보호 회로는 중앙 드레인 이중 확산형 금속-산화물-반도체(DMOS) 트랜지스터를 기반으로 할 수 있다. 상기 보호 회로는 또한, 실리콘-온(on)-절연체(SOI) 프로세스의 nDMOS 및 pDMOS(CAN 버스) 둘 다를 위해 동작할 수 있고 벌크 프로세스를 가진 nDMOS(LIN 버스)를 위해 동작할 수 있다. 이후에는 nDMOS (LIN 버스) 집적 회로들에 대한 특정 예시의 실시예들이 설명될 것이다.

[0034] 다양한 실시예들에 따르면, 콤팩트하고 자체 ESD 보호된 출력 단계가 LIN 및 CAN 버스들 또는 유사한 보호를 필요로 하는 다른 디바이스들에 제공될 수 있다. LIN 및 CAN 제품들은 ESD 견고성의 관점에서 매우 높은 요구 사항들을 가지며, 그들의 LIN/CAN 버스 포트들에서 역 차단 기능을 필요로 한다. 또한, 두 제품들은 모두 그들의 LIN/CAN 버스 포트들에서 높은 전압 기능(+/- 45V 내지 +/- 60V)을 필요로 한다. 일반적으로 이것은 구현을 위해 큰 영역을 필요로 하는 복잡한 출력 구조들을 의미한다: 대부분의 경우에는 4개의 독립 디바이스들: 드라이버와 그 드라이버의 ESD 보호부, 및 역 차단 다이오드와 그 다이오드의 전용 ESD 보호부가 필요하다. 모든 이 디바이스들은 특정 제약들(매우 높은 실리콘 온도들(>160°C)까지의 드라이버 및 역 차단 다이오드를 위한 HV 기능 및 낮은 드롭-아웃, 및 보호들을 위한 매우 높은 ESD 견고성)로 인해 크다. 이 디바이스들 사이의 라우팅은 영역 요구사항들을 추가로 증가시킨다.

[0035] 다양한 실시예들에 따른 제안된 해결책은 본질적으로 SCR 구조를 제공하는 콤팩트한 레이아웃 구조로 상기 언급

된 기능들 모두를 포함할 수 있다. 따라서, 그것은 ESD에 대해 매우 효율적이므로, 자체-보호된다. SCR 구조는 역 차단 다이오드가 드라이버의 드레인 내부에 구현되는 방법을 통해 달성될 수 있다(도 3 참조). 따라서, 드라이버와 역 차단 다이오드 사이에는 어떠한 금속 라우팅도 필요하지 않다. 더욱이, 드라이버 및 역 차단 다이오드의 드리프트 영역은 통합될 수 있다. 결과적으로, 디바이스의 직렬 저항은 매우 낮다. 이것은 이 디바이스에 낮은 드롭-아웃 전압을 제공한다.

[0036] 이제 도면들을 보면, 특정한 예시적인 실시예들의 세부사항들이 개략적으로 도시되어 있다. 도면들에서 같은 요소들은 같은 숫자들로 나타내어지며, 유사한 요소들은 같은 숫자들에 다른 소문자 첨자를 붙여서 나타내어질 것이다.

[0037] 도 1을 보면, 종래의 nMOS 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있다. 중앙 드레인 nMOS 셀은 제 1 및 제 2 P-바디(body)들(102(a,b)) - 각 P-바디(102)는 P-바디(102)에의 연결을 위한 P+ 확산(104(a,b)) 및 소스로서의 N+ 확산(106(a,b))을 가짐 -, 중앙 드레인으로서의 N+ 확산(108), 얇은 절연 산화물(120(a,b)), 및 산화물(120(a,b)) 위의(over) 절연 게이트들(110(a,b))을 포함할 수 있다. 전형적으로, 중앙 드레인 nMOS 셀(100)의 소스들(N+ 확산부들)(106) 및 바디들(P+ 확산부들)(104)은 네거티브 전원에 연결되지만, 중앙 드레인 출력 단자(112)는 nMOS 셀(100)의 N+ 확산부(108) 중앙 드레인에 연결되어 개방 드레인 드라이버 출력부로 사용될 수 있다. P-바디들(102)은 N-웰(well)(114)로 확산되고, N-웰(114)은 N형 매립층(NBL)(116) 레이어아웃을 이용하여 제조되고, N-웰(114)의 양측에 HV 또는 깊은 N-웰들(118)을 갖는다. NBL(116) 구조를 이용하면 DMOS ESD 성능이 상당히 향상된다. 이것은 ESD 이벤트 동안 NBL(116)이 표면 채널 영역으로부터 벌크 NBL로의 전류 통과를 스위칭하고, 따라서 채널 영역에서 국부적인 매우 유해한 ESD 전류 흐름을 피할 수 있기 때문이다.

[0038] 도 2 및 도 2a를 보면, 본 개시의 특정 예시의 실시예들에 따른, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀들의 개략적인 단면의 정면도들이 도시되어 있다. 도 1에 도시된 중앙 드레인 N+ 확산부(108)는 사용되지 않을 수 있고, 외부 단자들 중 하나(230)는 메인 소스인 네거티브 전원에 연결될 수 있지만, 제 2 외부 단자(232)는 개방 드레인 출력부가 된다. 실시예에 따르면, "사용되지 않는" 디바이스의 진성(intrinsic) 드레인-대-바디 다이오드가 역 차단 다이오드(234)로 사용될 수 있다. 표준 DMOS 트랜지스터로 사용된 DMOS 트랜지스터의 게이트(110a)는 콤팩트 DMOS 및 역 차단 다이오드(234)의 게이트 단자(110a)로 유지되지만, 역 차단 다이오드(234)로서 사용된 DMOS 트랜지스터의 게이트(110b)는, 이제 개방 드레인 드라이버 디바이스의 출력부(232)인 그의 로컬 바디에 결합될(tied) 수 있다. HVnMOS 디바이스(236) 드레인 출력부와 역 차단 다이오드(234) 사이의 중간 지점을 필요로 하는 애플리케이션들에는 옵션 드레인 출력 연결부(212)가 제공될 수 있다. 위에서 설명된 바와 같이, 매립층은 성능을 향상시킬 수 있다. 하지만, 도 2a에 도시된 바와 같이, 매립층은 필수적인 것은 아니며 제거될 수 있다. 따라서, 이 기술은 또한 매립층을 이용하지 않는 반도체 제조 공정에 적용된다. 이러한 반도체 제조 공정에서는 주변 HV-웰도 또한 불필요할 수 있다.

[0039] 임의의 HV MOS 트랜지스터의 진성 드레인-대-바디 접합은 HV 트랜지스터의 최대 동작 전압보다 본질적으로 더 높은 항복(break-down) 전압을 갖는다. SOI 프로세스의 DMOS 트랜지스터들에 대한 경우인, 이 HV MOS 트랜지스터가 플로팅(floating)할 때에는 이 진성 다이오드(234)가 HV 플로팅 다이오드로 사용될 수 있다. 벌크 또는 표준 CMOS (비(not) SOI) 프로세스들에서는 진성 다이오드가 의사(pseudo) 플로팅될 수 있다. 또한 그것은 벌크 (비 SOI) 프로세스에서의 수직 PNP 바이폴라 트랜지스터의 이미터-베이스 접합으로 고려될 수 있다.

[0040] 하지만, 이 수직 PNP 바이폴라 트랜지스터의 베타 계수(전류 이득)는 대부분의 최근 공정들에서 매우 낮고, 따라서 이 이미터-베이스 접합은 플로팅으로 고려될 수 있다. 한 실시예에 따르면, 두 개의 HVDMOS 트랜지스터들은 드레인들이 금속을 통해 서로 연결되기보다는 오히려 통합되는 안티-직렬 구성으로 결합될 수 있다. DMOS-DMOS 거리가 매우 클 수 있기 때문에 이것은 극적으로 영역을 절약한다.

[0041] 더욱이, 설계자는 독립 DMOS 트랜지스터들의 두 개의 드레인들 사이의 드레인-대-드레인 금속 연결부의 전류 밀도들과 싸울 필요가 없다. 안티-직렬 구성의 이러한 두 개의 HVDMOS 트랜지스터들은 중앙 드레인을 갖는 임의의 DMOS 디바이스에 대해 고유할 수 있다. 보통 두 개의 바디/소스 단자들은 글로벌 소스/바디 단자를 만드는 (레이아웃 규칙들에 의해 요구되는) 강한 금속 연결을 통해 서로 결합될 수 있고, 두 개의 게이트들은 서로 결합되어 게이트 단자를 만들고, 그리고 중앙 드레인은 제 3 단자이다(도 1 참조). 하지만, 두 개의 바디/소스 단자들 중 하나는 다른 하나의 바디/소스 단자로부터 완전히 분리될 때 직렬 역 차단 다이오드(234)로 사용될 수 있다(도 2 참조). 이것은 두 개의 바디/소스 단자들이 강한 금속 연결을 통해 서로 결합될 것을 요구하는 규칙을 위반하지만, 여기에 설명된 다양한 실시예들에 따른 HVnMOS 디바이스(236) 및 역 차단 다이오드(234)를 제공한다.

전기적인 이유들로 인해, 2개의 게이트들도 또한 분리될 수 있다.

[0042] 도 2b를 보면, 본 개시의 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 다이오드 전압 차단 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있으며, 여기서 래터럴(lateral) PNP 디바이스가 강조된다. 플로팅 또는 의사-플로팅 다이오드(234)는 또한 래터럴(lateral) PNP 바이폴라 트랜지스터(244)의 이미터-베이스 접합으로 고려될 수 있으며, 래터럴 PNP 바이폴라 트랜지스터(244)에 대해서는 N-웰이 베이스이고 능동 nMOS 디바이스의 P-바디가 컬렉터이다. 새로운 HVnMOS 디바이스(236) 및 역 차단 다이오드(234)/래터럴 PNP(244)는 본질적으로, 그것을 래치-업(latch-up)에 민감하게 하는 PNPN (SCR) 구조를 갖는다. 역 차단 다이오드(234)/래터럴 PNP(244)에 흐르는 드레인 전류는 이 SCR 구조의 트리거 전류일 수 있다. 따라서, 설계자는 HVnMOS 디바이스(236)의 게이트(110a) 및 역 차단 다이오드(234)/래터럴 PNP(244)를 구동하는데 매우 조심해야 하고, 그것에 흐르는 전류가 항상 SCR 구조의 트리거 전류보다 낮음을 확실하게 할 필요가 있다. 언뜻 보면, 드레인 전류를 제한하는 것은 이러한 접근책의 결점인 것으로 보인다. 하지만 실제적으로는, 래터럴 PNP 바이폴라 트랜지스터(244)의 역 차단 다이오드(234)/이미터-베이스 접합부에 흐르는 이 드레인 전류는 실제로 래터럴 PNP 디바이스(244)의 베이스 전류이다. 능동 nMOS의 바디에 의해 수집되는 이 래터럴 PNP 디바이스(244)의 컬렉터 전류는 능동 nMOS 전류에 추가되어 디바이스의 전체 구동 능력을 부스팅한다. 따라서, 이 새로운 디바이스는 표준 nMOS 디바이스에 비해 매우 효율성 있게 된다. 이것은 SOI 프로세스의 nMOS에 동일하게 적용되지만, SOI 프로세스의 pMOS의 경우에는 바이폴라 트랜지스터가 이제 NPN 타입이다. 따라서, 이 제한은 ESD 이벤트의 경우에 전체 구동 능력 플러스 SCR 구조에 대한 바이폴라 이득의 이점에 비해 미미하다: SCR 구조는 이 디바이스에 우수한 ESD 견고성을 부여하여 그것이 자체-보호되게 한다. 따라서, 새로운 HVnMOS 디바이스(236) 및 역 차단 다이오드(234)는 ESD 보호의 영역을 절약한다. 더욱이, 구조는 대칭이며 포지티브 및 네거티브 ESD 이벤트들 둘다에 대해 자체-보호한다.

[0043] 통상 ESD 보호는 ESD 전류를 접지 노드(핀)에 바이패스한다. 보호를 구현하기 위한 인기있는 해결책은 접지 핀에 결합된 자신의 게이트, 소스 및 바디 노드들을 갖는 와이드 인헨스먼트(enhancement) nMOS 디바이스의 드레인을 사용하는 것이다. 이러한 디바이스는 자신의 게이트가 자신의 소스/바디 노드에 단락되므로 "오프"이다. 따라서, 그것은 표준 ESD 다이오드처럼 보인다. 하지만, 그것은 종종 표준 ESD 다이오드보다 더 좋은 유연성 및/또는 ESD 견고성을 제공한다. 이 때문에 그것은 매우 인기있다. 이러한 ESD 보호에 일반적으로 사용되는 명칭은 접지 게이트 nMOS("GGnMOS")인데, 그 이유는 이 디바이스의 게이트가 자신의 소스/바디 노드뿐만 아니라 접지 노드(핀)에 연결되기 때문이다. 실제로 ESD 보호는 접지 노드(핀)과는 다른 노드(핀)에 ESD 전류를 바이패스할 수 있다. 이전의 설명에 비유하여, ESD 전류를 수집할 공급 노드(핀)에 서로 결합된 자신의 게이트, 소스 및 바디 노드들을 갖는 와이드 nMOS 디바이스의 드레인에 기초하는 어떠한 보호도 GGnMOS 보호라고 칭해진다.

[0044] 확대시키면, nMOS 트랜지스터가 ESD 보호 회로로서 기능하도록 서로 결합된 자신의 게이트 및 소스/바디 노드들을 가질 때에는, GGnMOS의 용어가 여기에 사용될 수 있다. 유사하게, pMOS 또는 pDMOS가 ESD 보호 회로로서 또한 기능하도록 공급 노드(핀)에 서로 결합된 자신의 게이트, 소스 및 바디 노드들을 가질 때에는, GGpMOS 및 GGpDMOS의 용어가 여기에 사용될 수 있다.

[0045] 몇몇 연구들은, 게이트를 직접 소스/바디 노드에 연결하지 않고 오히려 저항기 또는 트리거 회로를 통해 소스/바디 노드에 연결함으로써 GGnMOS 및 GGnDMOS(GGpMOS 및 GGpDMOS)의 효율이 향상될 수 있음을 보여주었다. 이 연구들은 공공 영역에서 이러한 기술에 대한 정보에 관하여 쉽게 입수할 수 있다.

[0046] 도 2c를 보면, 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있으며, 여기서 저항기 또는 트리거 회로(240)가 역 전압 차단 다이오드로서 사용된 nMOS의 게이트를 제안된 디바이스의 출력부(개방 드레인 출력)인 그의 소스/바디에 연결시킨다. 단락 전도체를 역 차단 다이오드로 사용된 nMOS의 게이트(110b) 및 출력부 사이에 단순히 연결하기 보다는 오히려, 역 차단 다이오드로 사용된 nMOS의 게이트(110b)를 저항기 또는 트리거 회로(240)를 통해 출력부에 연결함으로써, 네거티브 ESD 이벤트들을 위한 보호의 견고성을 추가로 개선할 것이다.

[0047] nMOS 및 역 차단 디바이스를 고려하면, 포지티브 ESD 이벤트 동안에는, 새로운 디바이스의 nMOS 부분이 표준 HV ESD 보호에 사용되는 GGnMOS 디바이스의 역할을 한다. 드레인 전압은 트리거 (스냅-백(snap-back)) 보호 임계값에 도달할 때까지 증가한다. 트리거 포인트에 도달하기 전에는, nMOS의 드레인 전류가 너무 작아서 SCR 구조를 트리거할 수 없다. 그러나, 드레인 전압이 트리거 포인트에 도달하자마자 드레인 전류는 극적으로 증가하여, SCR을 트리거하기에 충분히 크게 된다. 이 포인트로부터 SCR은 매우 높은 컨덕턴스로 인해 "온(on)"이 되고, 그리고 ESD 전류를 접지시키도록 클램프한다.

- [0048] 네거티브 ESD 이벤트 동안에는 상황이 반전된다. 새로운 디바이스의 nDMOS 부분은 순방향 바이어스된 다이오드가 될 뿐만 아니라 SCR 디바이스의 트리거 소자가 되지만, 역 차단 다이오드는 능동 GGnDMOS 소자가 된다. 여기서 그것은 실제로 GGnDMOS ESD 보호의 역할을 하는데, 그 이유는 위에 설명한 바와 같이 자신의 게이트가 자신의 소스/바디 노드에 결합하기 때문이다. GGnDMOS 디바이스의 양단 전압이 SCR의 트리거 전압보다 낮은 동안에는 그의 드레인 전류가 SCR의 트리거 전류보다 작아 SCR은 "오프"이다. 그러나, 트리거 전압에 도달하자마자, GGnDMOS의 드레인 전류는 갑자기 증가하여 SCR을 턴 "온"한다.
- [0049] 도 2d 및 도 2e를 보면, 본 개시의 또 하나의 특정 예시의 실시예에 따른, 멀티-핑거(multi-finger) 구조의 분산 베이스 연결부를 갖는, ESD 보호 및 역 전압 차단 다이오드 출력 드라이버 셀들의 개략적인 단면의 정면도가 도 2d 및 도 2e의 결합으로 도시되어 있다. 보통은 콤팩트 구조가 바람직할 것이다. 하지만, ESD 견고성을 추가로 개선하기 위해, 도 2d 및 도 2e는 옵션 출력 연결부(212)가 각각의 핑거와 연관된 각각의 개개의 래터럴 PNP(244)의 모든 베이스들을 서로 연결하는데 어떻게 사용될 수 있는가를 보여준다. 이 연결부는 또한 멀티-핑거 구조의 분산 베이스 연결부라고 불리며, 이는 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 보다 상세히 설명되어 있고, 이 문헌은 모든 목적을 위해 여기에 참조로 통합된다. 공통 드리프트 영역에 대한 옵션 연결부(212)는 도 2b에 도시된 래터럴 PNP 디바이스(244)의 베이스 접촉부이다. 이 래터럴 PNP 디바이스는 멀티 핑거들의 각각의 핑거를 위해 존재한다. 강한 금속 분산 베이스 연결을 통해 PNP 디바이스들(244) 각각의 베이스들을 서로 단락시키는 것은, 첫번째 핑거 트리거가 ESD 이벤트 동안에 이 분산 베이스 연결을 통해 다른 핑거들을 파이어(fire)할 것임을 보증한다.
- [0050] 도 3, 도 3a 및 도 3b를 보면, 본 개시의 다른 또 하나의 특정 예시의 실시예들에 따른, 옵션 출력 연결부가 없는, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀(도 3), 및 멀티-핑거 구조의 분산 베이스 연결부들을 갖는, ESD 보호 및 역 전압 다이오드 차단 출력 드라이버 셀(도 3a 및 도 3b)의 개략적인 단면의 정면도들이 도시되어 있다. 이 실시예들은 HVnMOS 디바이스(236) 드레인 출력부와 역 차단 다이오드(234) 사이의 중간 드레인 N+ 확산부(308)로의 액세스를 요구하지 않는 애플리케이션들에 유리할 수 있다. 이 실시예에서, 사용되지 않는 드레인 N+ 확산부(308)는 제거될 수 있고, P-바디들(102) 사이의 거리는 최소로 설정될 수 있다. 분산 베이스 기술을 구현하기 위한 또 하나의 방법은 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 설명되어 있지만, 콤팩트 구조를 유지하는 것은 도 3a 및 도 3b에 도시되어 있다. 이제 두 개의 분산 베이스 연결부들 - 하나는 소스측을 위한 것이고 하나는 드레인측을 위한 것임 - 이 추가될 수 있다. 일반적으로, 이러한 접근책이 적용될 때에는, 포지티브 및 네거티브 ESD 이벤트들 사이에서 가능한 대칭 동작을 유지하기 위해 두 개의 분산 베이스 연결부들이 구현될 것이다.
- [0051] 소스측에서는, N+ 확산 로컬 소스(106a) 및 P+ 확산부(104a)가 더 이상 네거티브 전원에 연결되지 않고, 소스측 분산 베이스 연결부에 연결된다. ESD 전류의 네거티브 전원으로의 리턴 경로를 구현하기 위해서는, 네거티브 전원에 연결된 N+ 확산부(156a) 및 P+ 확산부(154a)가 로컬 N+ 소스 확산부(106a) 및 P+ 확산부(104a)에 가까이 추가된다. 이 구조의 상세한 동작은 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 설명되어 있다.
- [0052] 드레인측에서는, N+ 확산 로컬 드레인(106b) 및 P+ 확산부(104b)가 더 이상 드레인 출력부에 연결되지 않고, 드레인측 분산 베이스 연결부에 연결된다. 출력 드레인 전류를 모으기 위해서는, 드레인 출력부에 연결된 N+ 확산부(156b) 및 P+ 확산부(154b)가 로컬 N+ 드레인 확산부(106b) 및 P+ 확산부(104b)에 가까이 추가된다. 위에 설명한 바와 같이, 이러한 구조는 네거티브 ESD 방전 동안 활성화된다.
- [0053] 위에 설명된 ESD 향상 기술들의 임의의 병렬 결합이 집적 회로 설계 분야에서 통상의 지식을 가지고 본 개시의 혜택을 갖는 자에 의해 적용될 수 있고, 여기에서 예상된다.
- [0054] 언뜻 보면, 제안된 구조는 대칭이므로, ESD 이벤트들에 대해 동일한 포지티브 및 네거티브 임계값을 가져야 한다. 하지만, 능동 nDMOS 부분 및 역 차단 부분의 게이트 구동은 서로 다르다. 능동 nDMOS는 외부 드라이버를 통해 제어되는 자신의 게이트를 구비하지만, 역 차단 부분에 사용되는 nDMOS는 출력부인 자신의 소스/바디에 직접 또는 저항기나 트리거 회로를 통해 결합되는 자신의 게이트를 갖는다. 따라서, 능동 부분에서 사용된 nDMOS의

게이트에 의해 인식되는 임피던스와 역 차단 부분에서 사용된 nDMOS의 게이트에 의해 인식되는 임피던스는 서로 다르다. 집적 회로 설계 분야에서 통상의 지식을 가지고 본 개시의 혜택을 갖는 자라면, ESD 보호부로 사용된 nMOS 또는 nDMOS(pMOS 또는 pDMOS)의 게이트에 의해 인식되는 임피던스가 보호부의 트리거 포인트에 경미한 영향을 미침을 인지할 것이다. 이 게이트 임피던스 차의 결과로서, 포지티브 및 네거티브 ESD 이벤트들에 대한 트리거 전압은 완전한 대칭은 아니고 약간 다를 것이다.

[0055] 종래의 벌크 공정에 있어서는, 위의 기술이 nDMOS에만 적용될 수 있다. 하지만, 트리플-웰, 멀티-웰 또는 SOI 프로세스에 있어서는, 위의 기술이 pDMOS에도 또한 적용된다. pDMOS에서 이 기술이 어떻게 구현될 수 있는가는 도 4에 도시되고 이하에서 설명된다.

[0056] 도 4를 보면, 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있다. 깊은 P-웰(414)은 N-바디들(402(a,b))로 사용된 제 1 및 제 2 얇은 N-웰들, 얇은 절연 산화막(420(a,b)), 및 산화막(420(a,b)) 위의(over) 절연 게이트(410(a,b))를 포함할 수 있고, 각 N-바디(402)는 N-바디(402(a,b))에의 연결을 위한 N+확산부(404(a,b)) 및 소스로서의 P+ 확산부(406(a,b))를 갖는다. 전형적으로, 도 4에 도시된 pDMOS 셀의 소스들(406a) 및 바디(404a)는 포지티브 전원에 연결될 수 있지만, 바디(404b)(및 소스(406b))는 직렬 역 차단 다이오드(434)의 캐소드 출력부이다. 깊은 P-웰(414) 아래에(below) 형성된 N형 매립층(NBL)(416) 레이어아웃은 pDMOS 셀의 하부를 글로벌 기판으로부터 분리하지만, HV N-웰들(또는 깊은 N-웰)(418)은 그의 양쪽에서의 분리를 제공한다.

[0057] 여기서 다시 콤팩트 구조가 바람직할 수 있다. 하지만, 콤팩트 구조가 nDMOS 구조에 있어서 위에서 설명된 바와 같이, P+ 확산부(408)(접선)는 역 차단 다이오드와 pDMOS 드라이버 사이의 중간 지점으로서 로컬 액세스로서 또는 트리거 기술을 또한 구현할 때, 로컬 분산 베이스 접촉부로서 삽입될 수 있고, 상기 트리거 기술은 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 설명되어 있으며, 이 문헌은 모든 목적을 위해 여기에 참조로 통합된다. 이것은 이제 NPN 디바이스의 베이스 접촉부(접선)이다.

[0058] 도 4a 및 도 4b를 보면, 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, 콤팩트한 드레인 구조가 유지되는 멀티-핑거 구조의 분산 베이스 연결부들을 갖는, ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도가 도 4a 및 도 4b의 결합으로 도시되어 있다. 여기서 다시 이 대안의 방법으로 두 개의 분산 베이스 연결부들이 하나는 소스측에 그리고 하나는 드레인측에 추가될 수 있다. 일반적으로, 이러한 접근책이 적용될 때에는, 포지티브 및 네거티브 ESD 이벤트들 사이에서 가능한 대칭 동작을 유지하기 위해 두 개의 분산 베이스 연결부들이 구현될 것이다.

[0059] 소스측에서는, P+ 확산 로컬 소스(406a) 및 N+ 확산부(404a)는 더 이상 포지티브 전원에 연결되지 않고, 소스측 분산 베이스 연결부에 연결된다. ESD 전류의 포지티브 전원으로의 리턴 경로를 구현하기 위해서는, 포지티브 전원에 연결된 P+ 확산부(456a) 및 N+ 확산부(454a)가 로컬 P+ 소스 확산부(406a) 및 N+ 확산부(404a)에 가까이 추가된다. 이 구조의 상세한 동작은 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 설명되어 있다. 이러한 구조는 네거티브 ESD 방전 이벤트 동안 활성화된다.

[0060] 드레인측에서는, P+ 확산 로컬 드레인(406b) 및 N+ 확산부(404b)가 더 이상 드레인 출력부에 연결되지 않고, 드레인측 분산 드레인 연결부에 연결된다. 출력 드레인 전류를 모으기 위해서는, 드레인 출력부에 연결된 P+ 확산부(456b) 및 N+ 확산부(454b)가 로컬 P+ 드레인 확산부(406b) 및 N+ 확산부(404b)에 가까이 추가된다. 이러한 구조는 포지티브 ESD 방전 이벤트 동안 활성화된다.

[0061] 다시, 위에 설명된 ESD 향상 기술들의 임의의 병렬 결합이 적용될 수 있고, 여기에서 예상된다.

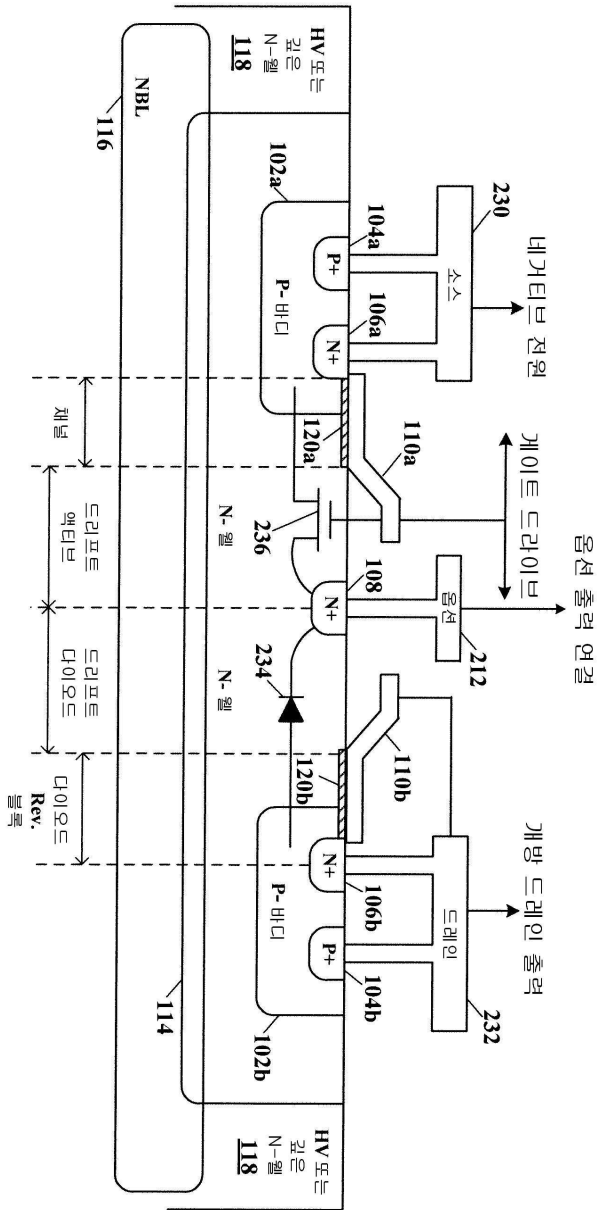
[0062] 벌크 공정들에 관한 위의 설명들은 현재 사용되고 있는 P형 웨이퍼들을 참조한다. 하지만, 집적 회로 설계 분야에서 통상의 지식을 가지고 본 개시의 혜택을 갖는 자가 그것들을 N형 웨이퍼들에 적용할 수 있음이 예상되고 본 개시의 범위 내에 있다.

[0063] 도 5를 보면, 본 개시의 다른 또 하나의 특정 예시의 실시예에 따른, SOI 프로세스를 위한 ESD 보호 및 역 전압 다이오드 차단 nDMOS 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있다. 도 5에 도시된 nDMOS 출력 드라이버 셀은 도 2 및 도 3에 도시된 그리고 여기에서 설명된 셀들과 실질적으로 동일하게 동작하지만, 이제

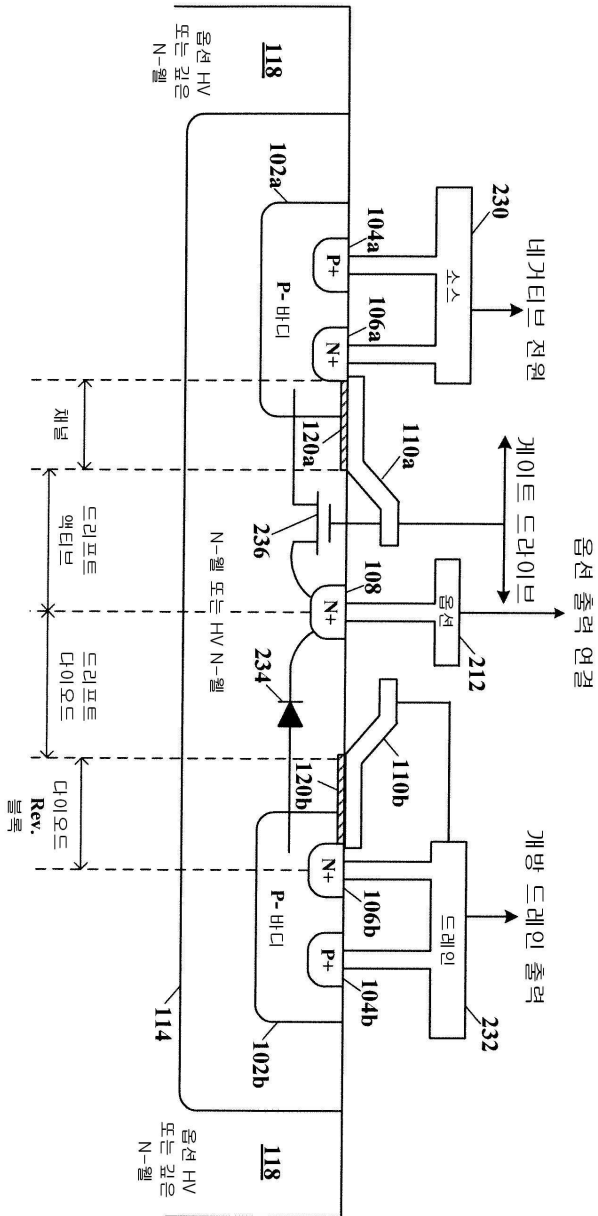
NBL(116)은 매립된 산화물(BOX) 층(516)으로 교체되는 반면, HV N-웰 벽들(118)은 깊은 트렌치 분리(DTI; Deep Trench Isolation)(518)로 교체된다.

- [0064] 도 6을 보면, 본 개시의 또 하나의 특정 예시의 실시예에 따른, SOI 프로세스를 위한 ESD 보호 및 역 전압 다이오드 차단 pDMOS 출력 드라이버 셀의 개략적인 단면의 정면도가 도시되어 있다. 도 6에 도시된 pDMOS 출력 드라이버 셀은 도 4에 도시된 그리고 여기에서 설명된 셀들과 실질적으로 동일하게 동작하지만, 이제 NBL(116)은 BOX 층(516)으로 교체되는 반면, HV N-웰 벽들(118)은 깊은 트렌치 분리(DTI)(518)로 교체된다.
- [0065] 보통은 콤팩트 구조가 바람직할 것이다. 하지만, ESD 견고성을 추가로 개선하기 위해서는, 로컬 분산 베이스 접촉부(점선의 N+ 확산부(308) 또는 P+ 확산부(408))가 트리거 기술을 또한 구현할 때 로컬 분산 베이스 접촉부로서 삽입될 수 있고, 상기 트리거 기술은 발명의 명칭이 "Multi-Channel Homogenous Path for Enhancing Mutual Triggering of Electrostatic Discharge Fingers"이고 Philippe Deval, Marija Fernandez 그리고 Patrick Besseux에 의한 공동 소유의 미국 공개 번호 2013/0020646 A1 호에 설명되어 있으며, 이 문헌은 모든 목적을 위해 여기에 참조로 통합된다.
- [0066] 비(non)-SOI 디바이스들에 대해 위에 설명된 상호 핑거 트리거 향상 기술들뿐만 아니라 모든 게이트 트리거 향상 기술들이 SOI 디바이스들에 대해서도 또한 적용될 수 있다.
- [0067] 단순화를 위해, 위의 도면들 및 설명들에서, 멀티-핑거 구조의 제안된 ESD 해결책의 예지들에서의 종단 바디(termination body)는 항상 소스 바디 종단이다. 레이아웃 규칙들 및 설계 제약들에 의존하여, 멀티-핑거 구조의 제안된 ESD 해결책의 예지들에서의 종단 바디는 드레인과 소스 종단 중 어느 하나일 수 있음에 유의해야 한다.
- [0068] 위에 설명된 모든 실시예들에 있어서, 접지된 게이트 구성의 DMOS의 진성 드레인-대-바디 다이오드는 역 차단 다이오드를 구현하는데 사용된다. 이 목적은 ESD 이벤트들 동안 GG MOS의 성능을 유익하게 향상시키는 것이다. 하지만, DMOS는 항상 오프이므로 제거될 수 있다. 따라서, 역 차단 nDMOS에 있어서는, 게이트(110b)와 N+ 확산부(106b) 둘 다가 또는 게이트(110b)만이 제거될 수 있다. 이것으로 인해 제조 영역이 절약되겠지만, ESD 성능은 나빠질 수 있다. 더 큰 영역 절약은 게이트(110b)와 N+ 확산부(106b) 둘 다가 제거될 때 달성될 것이다. 하지만, N+ 확산부(106b)를 유지하는 것은 양호한 ESD 성능을 유지하는데 도움이 될 수 있다.
- [0069] 유사하게, 역 차단 pDMOS에 있어서는, 게이트(410b)와 N+ 확산부(406b) 둘 다가 또는 게이트(410b)만이 제거될 수 있다. 다시, 더 큰 제조 영역 절약은 게이트(410b)와 P+ 제조(406b) 둘 다가 제거될 때 달성될 것이다. 하지만, P+ 확산부(406b)를 유지하는 것은 양호한 ESD 성능을 유지하는데 도움이 될 수 있다.
- [0070] DMOS 트랜지스터를 부동(floating) 다이오드(234)로 사용하는 것은 전체적으로 예외인 경우이며, 심지어는 설계 규칙들에서 종종 금지된다. 따라서, 종래의 설계들은 공정에서 기존 다이오드들을 사용할 것이다. 다양한 실시예들에 따르면, ESD 이벤트들 동안 GGnDMOS(GGpMOS) 기능으로부터 혜택을 얻기 위해, 제안된 보호 회로는 이러한 설계 규칙들을 위반한다. 여기에 개시된 다양한 실시예들에 따르면, 드라이브 기능, 대칭 SCR 동작 및 매우 콤팩트한 구조를 얻기 위해, 중앙 드레인 DMOS의 드레인-대-바디 접합부들 중 하나를 역 차단 다이오드로 이용하는 추가 단계는 훨씬 더 비자명하다.
- [0071] 글로벌 직렬 저항값, 즉 HVnMOS 디바이스(236) 및 역 차단 다이오드(234)의 저항값은 미미하다. 실리콘-제어-정류기(SCR) 동작은 이 구조에 고유하고, 그리고 그 결과 양호한 ESD 견고성을 갖는 자체-보호 셀이 된다. 게다가, 포지티브 및 네거티브 ESD 이벤트들을 위한 대칭 구조가 제공될 수 있다. HVnMOS 디바이스(236)와 역 차단 다이오드(234) 사이에는 필요한 루팅(routing)이 없고, 단일 드리프트 영역이 HVnMOS 디바이스(236)와 역 차단 다이오드(234) 둘 다에 제공될 수 있고, 그리고 HVnMOS 디바이스(236)와 역 차단 다이오드(234) 사이의 어떠한 간격도 필요치 않다. 게다가, 그 결과 이러한 레이아웃은 매우 콤팩트하고 비용 효율적인 구조가 생성된다. 이 구조는 SOI 프로세스들과 호환성이 있어, SOI 제조 프로세스들을 갖는 nDMOS와 pDMOS 둘 다에 적용될 수 있다.
- [0072] 다양한 실시예들에 따른 다음의 이점들이 제공될 수 있다. 매우 콤팩트한 하이브리드 ESD 보호가 ESD 자체-보호 셀에 의해 제공될 수 있고, 소정 폭(최소 드리프트 간격)에 비해 최소 드레인 및 역 차단 다이오드(234) 직렬 저항을 갖는 메인 오픈 드레인 드라이버 출력부(232) 및 역 차단 다이오드(234)를 포함할 수 있다. 셀은 포지티브 및 네거티브 ESD 이벤트들 둘 다에 대해 거의 대칭이다. 보호 회로는 잘 정의된 DC 동작 및 ESD 견고성을 갖는 매우 비용 효과적인 셀에서 매우 콤팩트할 수 있다.
- [0073] 본 개시의 실시예들은 본 개시의 예시적인 실시예들을 참조하여 도시되고 설명되고 정의되었지만, 이러한 참조

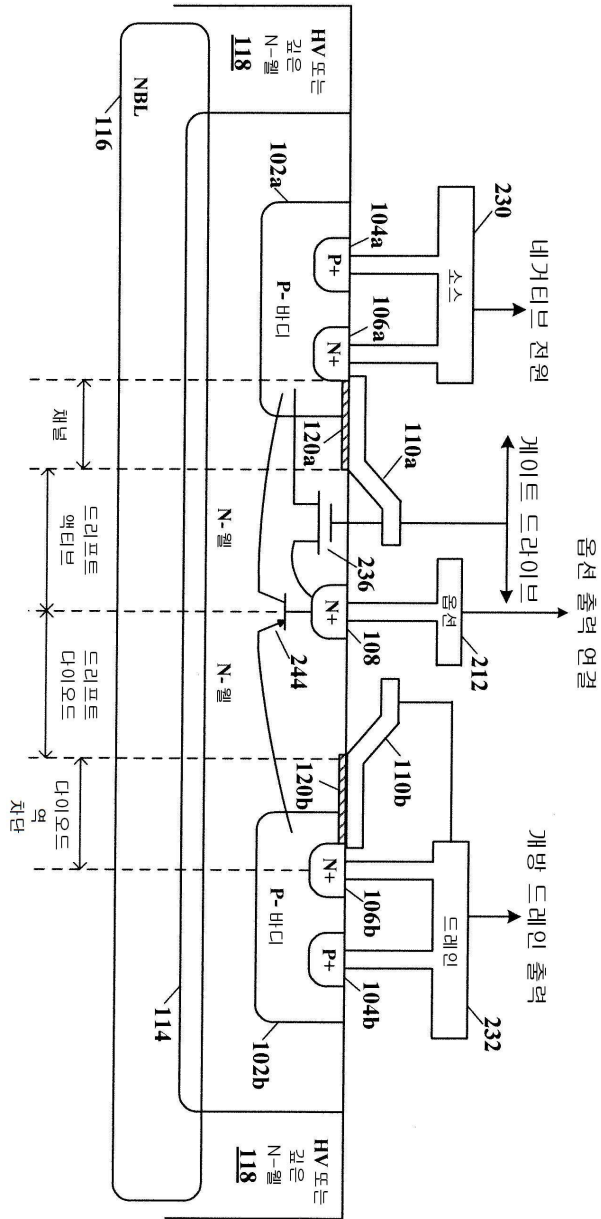
도면2



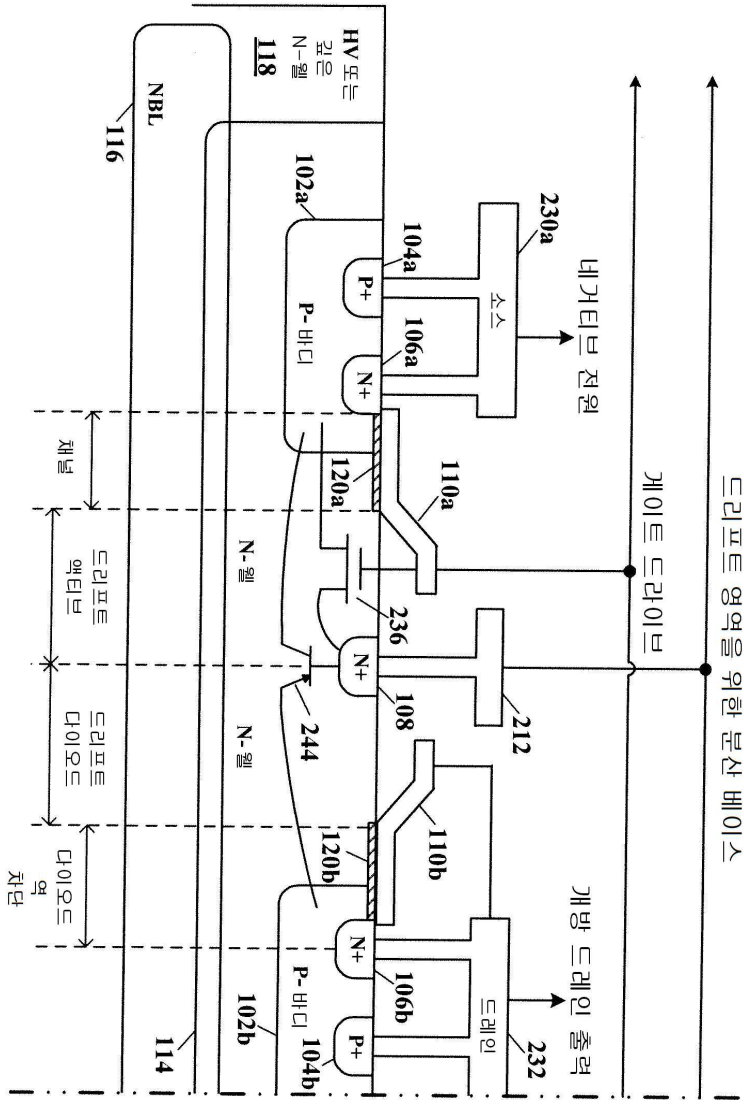
도면2a



도면2b

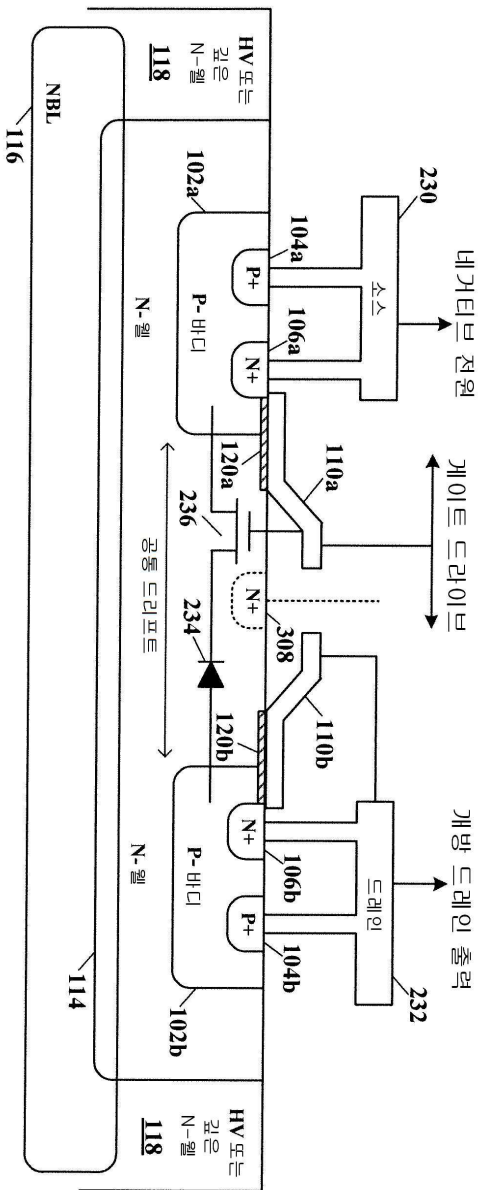


도면2d

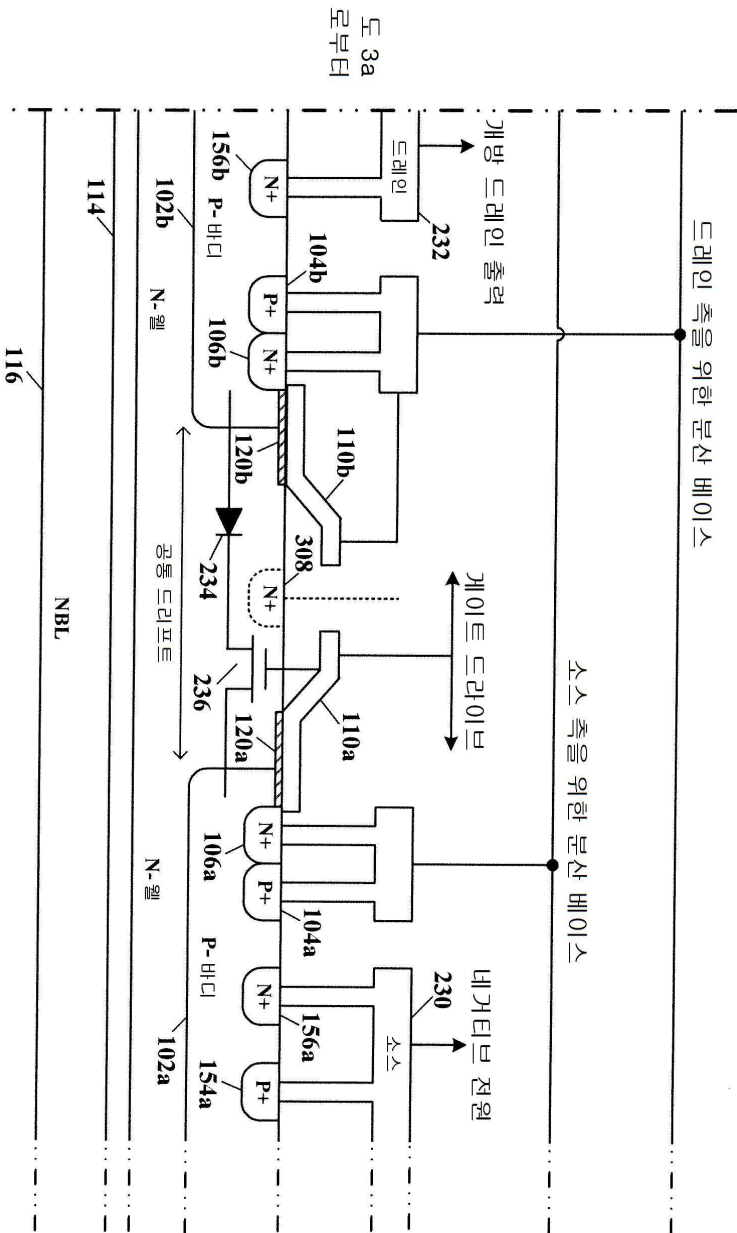


도 2e

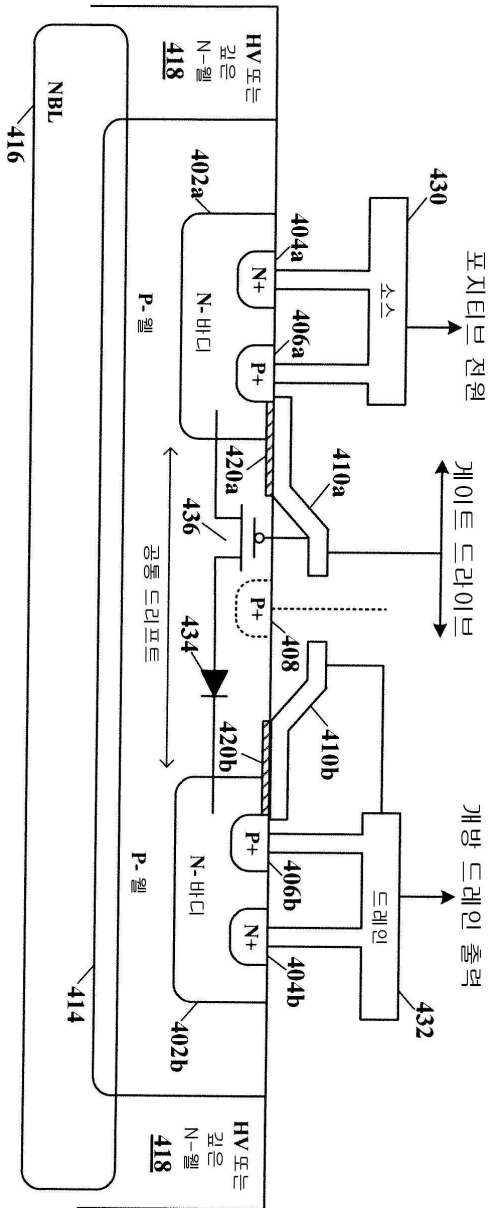
도면3



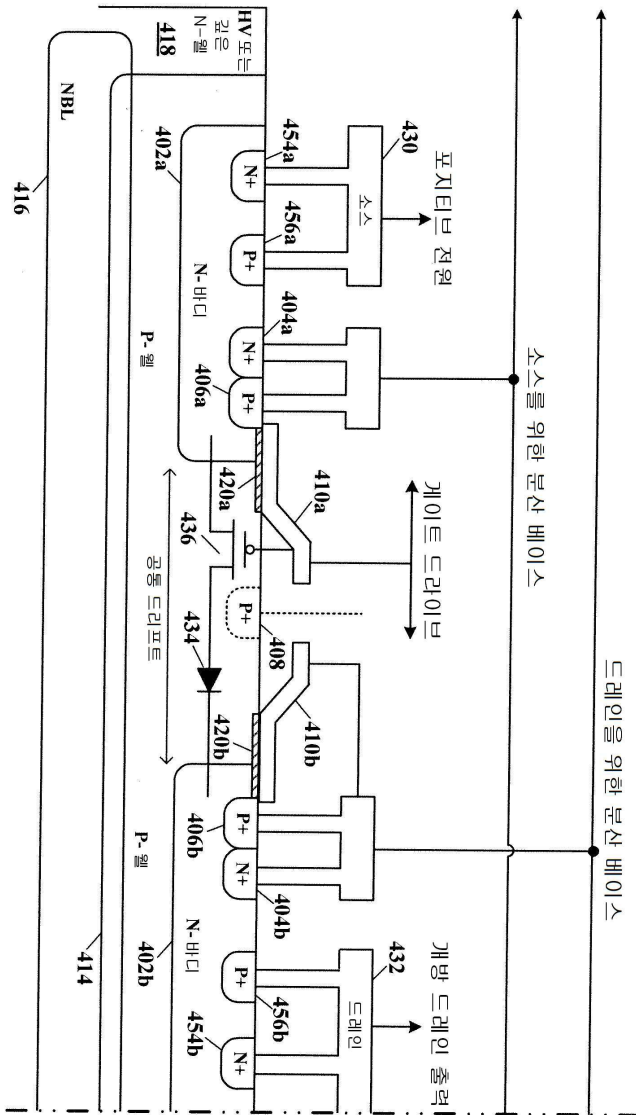
도면3b



도면4

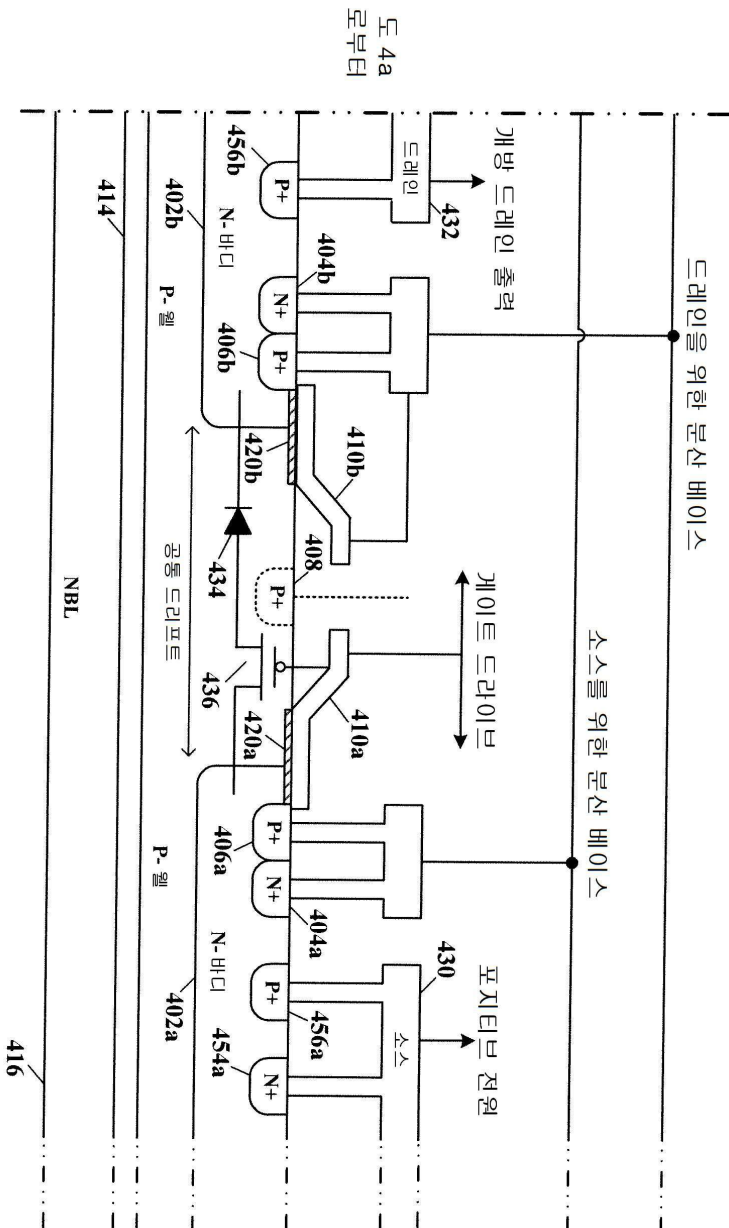


도면4a



도 4b문

도면4b



도면5

