

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月27日(27.05.2021)



(10) 国際公開番号

WO 2021/100627 A1

(51) 国際特許分類:

H04N 5/232 (2006.01) H04N 5/225 (2006.01)
H04L 12/955 (2013.01) H04N 21/238 (2011.01)
H04L 29/08 (2006.01) H04N 21/24 (2011.01)

(21) 国際出願番号: PCT/JP2020/042423

(22) 国際出願日: 2020年11月13日(13.11.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-209579 2019年11月20日(20.11.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

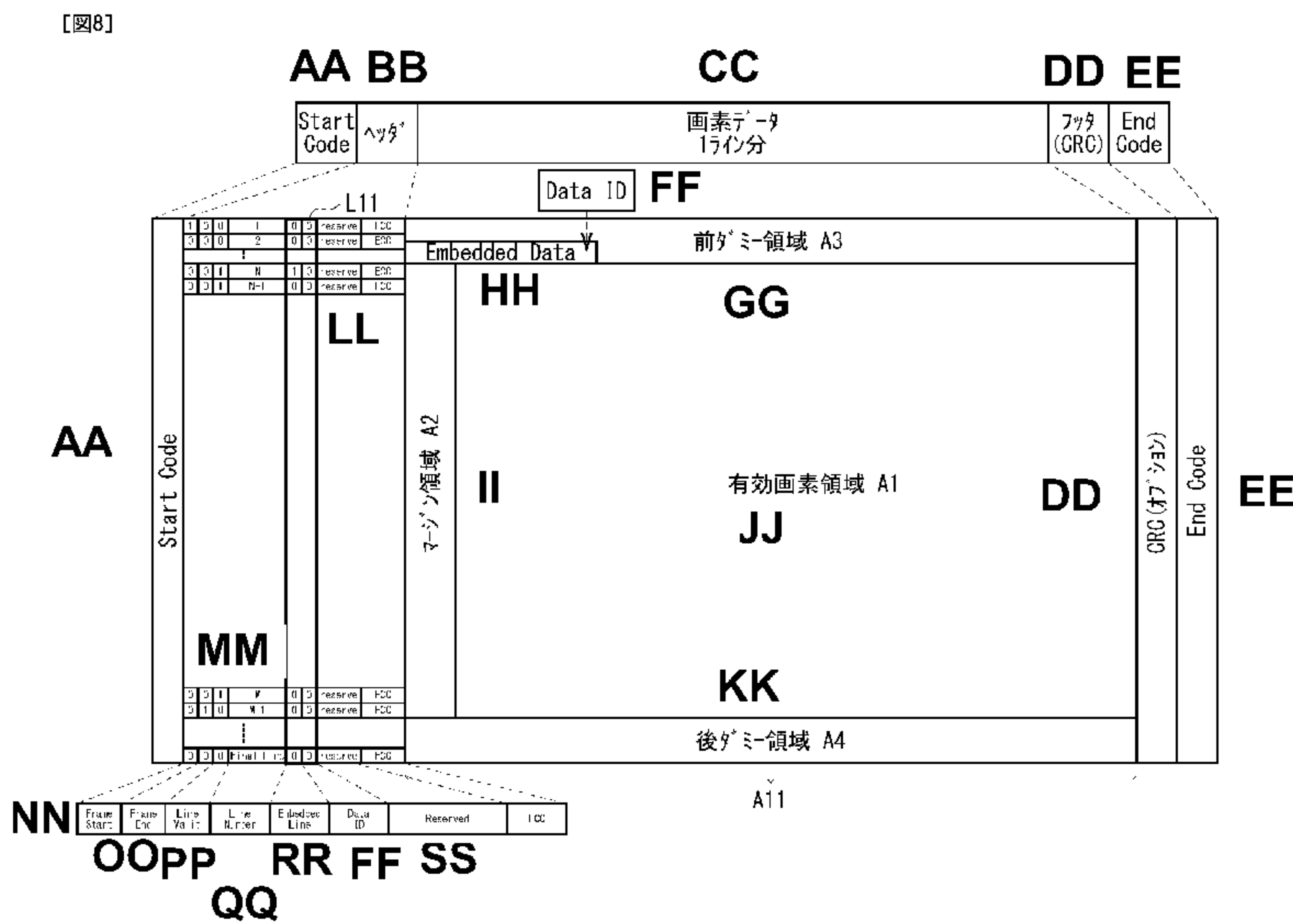
(72) 発明者: 小澤 美穂(OZAWA, Miho); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: TRANSMISSION DEVICE, RECEPTION DEVICE, AND TRANSMISSION SYSTEM

(54) 発明の名称: 送信装置、受信装置、および伝送システム



AA Start code
BB Header
CC Pixel data for one line
DD Footer (CRC)
EE End code
FF Data ID
GG Pre-dummy area A3
HH Embedded data
II Margin area A2
JJ Effective pixel area A1
KK Post-dummy area A4
LL Reserve
MM Final line
NN Frame start
OO Frame end
PP Line valid
QQ Line number
RR Embedded line
SS Reversed

(57) Abstract: A transmission device of the present disclosure comprises: a transmission unit that can output, to a transmission path, a plurality of packets which include, in a payload, pixel data for one line constituting an image of one frame, and in which a header is added to the payload; and an identification information addition unit that adds identification information of the pixel data to at least a partial area of the payload.

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : 本開示の送信装置は、 1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、画素データの識別情報を、少なくともペイロードの一部の領域に付加する識別情報付加部とを備える。

明 細 書

発明の名称：送信装置、受信装置、および伝送システム

技術分野

[0001] 本開示は、画像データの送信を行う送信装置、画像データの受信を行う受信装置、および画像データの送受信を行う伝送システムに関する。

背景技術

[0002] 伝送システムには、複数ライン分の画素データを含む画像データを送受信するものがある。特許文献1には、制御情報を含むヘッダと、1ライン分の画素データを含むペイロードとを有するパケットを生成し、このパケットを用いて画像データを送受信する伝送システムが開示されている。特許文献1に記載の技術では、送受信される画素データの種類等を示す画素データの識別情報を格納する領域としてData IDをヘッダに付加することが可能となっている。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-120158号公報

発明の概要

[0004] 識別情報を格納する領域がヘッダのData IDのみでは、画素データの種類が増加するに伴い、領域が不足し、識別情報を確実に伝送することが困難になる可能性がある。

[0005] 画素データの識別情報を確実に伝送することが可能となる送信装置、受信装置、および伝送システムを提供することが望ましい。

[0006] 本開示の一実施の形態に係る送信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、画素データの識別情報を、少なくともペイロードの一部の領域に付加する識別情報付加部とを備える。

[0007] 本開示の一実施の形態に係る受信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部を備え、受信部は、少なくともペイロードの一部の領域に画素データの識別情報が付加されたパケットを、送信装置から受信可能である。

[0008] 本開示の一実施の形態に係る伝送システムは、送信装置と、受信装置とを含み、送信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、画素データの識別情報を、少なくともペイロードの一部の領域に付加する識別情報付加部とを備える。

[0009] 本開示の一実施の形態に係る送信装置、受信装置、または伝送システムでは、画素データの識別情報を、少なくともペイロードの一部の領域に付加することが可能となる。

図面の簡単な説明

[0010] [図1]本開示の一実施の形態に係る伝送システムの第1の構成例を示すブロック図である。

[図2]一実施の形態に係る伝送システムの第2の構成例を示すブロック図である。

[図3]一実施の形態に係る伝送システムにおけるフレームフォーマットの一例を示す説明図である。

[図4]図3に示したフレームフォーマットの1パケットのヘッダ構造の一例を示す説明図である。

[図5]図4に示したヘッダ構造におけるヘッダ情報の内容の一例を示す説明図である。

[図6]一実施の形態に係る伝送システムにおける送信部の一構成例を示すブロック図である。

[図7]一実施の形態に係る伝送システムにおける受信部の一構成例を示すブロック図である。

[図8] Data IDの拡張された格納先の第1の例を示す説明図である。

[図9] Data IDの拡張された格納先の第2の例を示す説明図である。

[図10] Data IDの構成例を示す説明図である。

[図11] Embedded DataにData IDを付加した場合のデータ構成例の第1の例を示す説明図である。

[図12] Embedded DataにData IDを付加した場合のデータ構成例の第2の例を示す説明図である。

[図13] ペイロードにData IDを付加した場合のデータ構成例の第1の例を示す説明図である。

[図14] ペイロードにData IDを付加した場合のデータ構成例の第2の例を示す説明図である。

[図15] ペイロードにData IDを付加した場合のデータ構成例の第3の例を示す説明図である。

[図16] Data IDで表される識別情報の具体例を示す説明図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 一実施の形態

1. 1 一実施の形態に係る伝送システムの構成および動作（図1～図7）

1. 2 一実施の形態に係る伝送システムの改善例（図8～図16）

1. 3 効果

2. その他の実施の形態

[0012] <1. 一実施の形態>

[1. 1 一実施の形態に係る伝送システムの構成および動作]

[伝送システムの構成例]

図1は、本開示の一実施の形態に係る伝送システム1の第1の構成例を示している。

- [0013] 図1に示した伝送システム1は、センサモジュール11とDSP (Digital Signal Processor) 12とを備えている。センサモジュール11とDSP 12は、例えば、それぞれ異なるLSI (Large Scale Integrated Circuit) により構成され、デジタルカメラや携帯電話機などの、撮像機能を有する同じ撮像装置内に設けられる。
- [0014] センサモジュール11は、撮像部21と送信部22とを有している。また、センサモジュール11は、システム制御部51と、レジスタ53とを有している。また、センサモジュール11は、後述するフレームデータ入力部52 (図6) を有している。システム制御部51とレジスタ53は、撮像部21と送信部22とに接続されている。
- [0015] DSP 12は、受信部31と画像処理部32とを有している。また、DSP 12は、レジスタ142と、システム制御部143とを有している。また、DSP 12は、後述するフレームデータ出力部141 (図7) を有している。レジスタ142とシステム制御部143は、受信部31と画像処理部32とに接続されている。
- [0016] センサモジュール11におけるシステム制御部51およびレジスタ53と、DSP 12におけるレジスタ142およびシステム制御部143は、制御線13により互いに接続され、センサモジュール11とDSP 12との間で、制御データ等の通信が可能となっている。
- [0017] 撮像部21は、CMOS (Complementary Metal Oxide Semiconductor) などの撮像素子を有し、レンズを介して受光した光の光電変換を行う。また、撮像部21は、光電変換によって得られた信号のA/D変換などを行い、1フレームの画像を構成する画素データを、1画素のデータずつ順に送信部22に出力する。
- [0018] 送信部22は、撮像部21から供給された各画素のデータを、例えば撮像部21から供給された順に複数の伝送路に割り当て、複数の伝送路を介して並列にDSP 12に送信する。図1の例においては、8本の伝送路を用いて画素データの伝送が行われている。センサモジュール11とDSP 12の間

の伝送路は有線の伝送路であってもよいし、無線の伝送路であってもよい。
以下、適宜、センサモジュール 1 1 と DSP 1 2 の間の伝送路をレーン（Lane）という。

[0019] DSP 1 2 の受信部 3 1 は、8 本のレーンを介して送信部 2 2 から伝送されてきた画素データを受信し、各画素のデータを順に画像処理部 3 2 に出力する。

[0020] 画像処理部 3 2 は、受信部 3 1 から供給された画素データに基づいて 1 フレームの画像を生成し、生成した画像を用いて各種の画像処理を行う。センサモジュール 1 1 から DSP 1 2 に伝送される画像データは RAW データであり、画像処理部 3 2 においては、画像データの圧縮、画像の表示、記録媒体に対する画像データの記録などの各種の処理が行われる。

[0021] 図 2 は、一実施の形態に係る伝送システム 1 の第 2 の構成例を示している。

[0022] 撮像部 2 1 からは、同一画素につき、互いに種類の異なる複数の画素データが出力されるように構成されてもよい。例えば図 2 に示したように、同一画素のデータとして、種類の異なる 2 つの画素データ（第 1 画素データ DATA 1、第 2 画素データ DATA 2）が出力されるように構成されてもよい。例えば、同一画素について、ゲインの異なる 2 つの画素データが出力されるように構成されてもよい。この場合、送信部 2 2 と受信部 3 1 との間で、例えば 2 つの画素データを並列的に伝送するように構成されてもよい。例えば、Lane 0～7 のうち Lane 0～3 を第 1 画素データ DATA 1 を伝送する第 1 分割伝送路（LINK 0）として割り当て、Lane 4～7 を第 2 画素データ DATA 2 を伝送する第 2 分割伝送路（LINK 1）として割り当てるように構成してもよい。このように、送信部 2 2 と受信部 3 1 との間で、例えば種類の異なる画素データを並列的に伝送するために、複数のレーンを、画素データの種類ごとの複数の分割伝送路（LINK）に分割した構成にしてもよい。

[0023] なお、伝送システム 1 において、送信部 2 2 と受信部 3 1 とが、それぞれ

複数設けられていてもよい。この場合、例えば、1つの撮像部21で撮像された1フレームまたは複数フレームの画像データを分割して、複数の送信部に並列的に入力し、その並列的に入力された1フレームまたは複数フレームの画像データを、複数の受信部31に並列的に送信するようにしてもよい。そして、並列的に受信した複数の受信部31からの1フレームまたは複数フレームの画像データを並列的にDSP12に出力するようにしてもよい。

[0024] 以上のように、伝送システム1のセンサモジュール11には、撮像された1フレームまたは複数フレームの画像データを伝送する送信部22を1つまたは複数設けることが可能となっている。一方、DSP12には、センサモジュール11の送信部22に対応して、センサモジュール11から伝送されてきた1フレームまたは複数フレームの画像データを受信する受信部31が1つまたは複数設けることが可能となっている。

[0025] 以下、センサモジュール11に1つの送信部22が設けられ、DSP12に1つの受信部31が設けられる図1の伝送システム1におけるデータ伝送を基本にして説明する。複数の送信部22のそれぞれと複数の受信部31のそれぞれとの間においても同様にしてデータ伝送が行われる。

[0026] [フレームフォーマット]

図3は、センサモジュール11とDSP12との間で1フレームの画像データを伝送するのに用いられるフレームフォーマットの一例を示している。

[0027] 有効画素領域A1は、撮像部21により撮像された1フレームの画像の有効画素の領域である。有効画素領域A1の左側には、垂直方向の画素数が有効画素領域A1の垂直方向の画素数と同じであるマージン領域A2が設定される。

[0028] 有効画素領域A1の上側には、水平方向の画素数が、有効画素領域A1とマージン領域A2全体の水平方向の画素数と同じである前ダミー領域A3が設定される。図3の例においては、前ダミー領域A3にはEmbedded Dataが挿入されている。Embedded Dataは、シャッタスピード、絞り値、ゲインなどの、撮像部21による撮像に関する設定値の情

報が含まれる。後ダミー領域 A 4 に E m b e d d e d D a t a が挿入されることもある。

[0029] 有効画素領域 A 1 の下側には、水平方向の画素数が、有効画素領域 A 1 とマージン領域 A 2 全体の水平方向の画素数と同じである後ダミー領域 A 4 が設定される。

[0030] 有効画素領域 A 1、マージン領域 A 2、前ダミー領域 A 3、および後ダミー領域 A 4 から画像データ領域 A 1 1 が構成される。

[0031] 画像データ領域 A 1 1 を構成する各ラインの前にはヘッダが付加され、ヘッダの前には S t a r t C o d e が付加される。また、画像データ領域 A 1 1 を構成する各ラインの後ろにはフッタがオプションで付加され、フッタの後ろには E n d C o d e などの後述する制御コードが付加される。フッタが付加されない場合、画像データ領域 A 1 1 を構成する各ラインの後ろに E n d C o d e などの制御コードが付加される。

[0032] 撮像部 2 1 により撮像された 1 フレームの画像をセンサモジュール 1 1 から D S P 1 2 に伝送する毎に、図 3 に示すフォーマットのデータ全体が伝送データとして伝送される。

[0033] 図 3 の上側の帯は下側に示す伝送データの伝送に用いられるパケットの構造を示している。水平方向の画素の並びをラインとすると、パケットのペイロードには、画像データ領域 A 1 1 の 1 ラインを構成する画素のデータが格納される。1 フレームの画像データ全体の伝送は、画像データ領域 A 1 1 の垂直方向の画素数以上の数のパケットを用いて行われることになる。

[0034] 1 ライン分の画素データが格納されたペイロードに、ヘッダとフッタが付加されることによって 1 パケットが構成される。後に詳述するように、ヘッダには、F r a m e S t a r t, F r a m e E n d, L i n e V a l i d, L i n e N u m b e r, R e s e r v e d, E C C などの、ペイロードに格納されている画素データの付加的な情報が含まれる。また、ヘッダには、太線 L 1 1 で囲んだように、E m b e d d e d L i n e, D a t a I D が含まれる。各パケットには、制御コードである S t a r t C o d

eとEnd Codeが少なくとも付加される。

[0035] このように、1フレームの画像を構成する画素データをライン毎に伝送するフォーマットを採用することによって、ヘッダ等の付加的な情報やStart Code, End Codeなどの制御コードをライン毎のブランキング期間中に伝送することが可能になる。

[0036] 図4は、図3に示したフレームフォーマットの1パケットのヘッダ構造の一例を示している。図5は、図4に示したヘッダ構造におけるヘッダ情報の内容の一例を示している。

[0037] 上述したように、1つのパケットは、ヘッダと、1ライン分の画素データであるペイロードデータとを含む。パケットにはフッタが付加されることもある。ヘッダは、ヘッダ情報とHeader ECCとを含む。各パケットの先頭にはStart Codeが付加され、後ろにはEnd Codeが付加される。

[0038] ヘッダ情報には、Frame Start, Frame End, Line Valid, Line Number, Reservedが含まれる。ヘッダ情報には、さらに、ライン情報としてのEmbedded Line、およびデータ識別としてのData IDが含まれる。各情報の内容と情報量を図5に示す。

[0039] Frame Startは、フレームの先頭を示す1ビットの情報である。図3の画像データ領域A11の1ライン目の画素データの伝送に用いられるパケットのヘッダのFrame Startには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのFrame Startには0の値が設定される。

[0040] Frame Endは、フレームの終端を示す1ビットの情報である。有効画素領域A1の終端ラインの画素データをペイロードに含むパケットのヘッダのFrame Endには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのFrame Endには0の値が設定される。

- [0041] `Frame Start`と`Frame End`が、フレームに関する情報であるフレーム情報となる。
- [0042] `Line Valid`は、ペイロードに格納されている画素データのラインが有効画素のラインであるのか否かを表す1ビットの情報である。有効画素領域A1内のラインの画素データの伝送に用いられるパケットのヘッダの`Line Valid`には1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダの`Line Valid`には0の値が設定される。
- [0043] `Line Number`は、ペイロードに格納されている画素データにより構成されるラインのライン番号を表す13ビットの情報である。
- [0044] `Line Valid`と`Line Number`が、ラインに関する情報であるライン情報となる。
- [0045] `Embedded Line`は、`Embedded Data`が挿入されているラインの伝送に用いられるパケットであるのか否かを表す1ビットの情報である。例えば、`Embedded Data`を含むラインの伝送に用いられるパケットのヘッダの`Embedded Line`には1の値が設定され、他のラインの伝送に用いられるパケットのヘッダの`Embedded Line`には0の値が設定される。上述したように、撮像に関する設定値の情報が、`Embedded Data`として前ダミー領域A3や後ダミー領域A4の所定のラインに挿入される。
- [0046] `Data ID`は、ペイロードに格納されている画素データの番号を示すPビットの情報である。Pビットは1ビット以上の所定の数のビットを表す。
- [0047] `Reserved`は拡張用の $31 - P$ ビットの領域である。ヘッダ情報全体のデータ量は6バイトになる。
- [0048] 図4に示すように、ヘッダ情報に続けて配置される`Header ECC`には、6バイトのヘッダ情報に基づいて計算された2バイトの誤り検出符号であるCRC (`Cyclic Redundancy Check`) 符号が

含まれる。また、Header ECCには、CRC符号に続けて、ヘッダ情報とCRC符号の組である8バイトの情報と同じ情報が2つ含まれる。

[0049] すなわち、1つのパケットのヘッダには、同じヘッダ情報とCRC符号の組が3つ含まれる。ヘッダ全体のデータ量は、1組目のヘッダ情報とCRC符号の組の8バイトと、2組目のヘッダ情報とCRC符号の組の8バイトと、3組目のヘッダ情報とCRC符号の組の8バイトとの、あわせて24バイトになる。

[0050] [送信部22と受信部31の構成]

図6は、伝送システム1における送信部22の一構成例を示している。図7は、伝送システム1における受信部31の一構成例を示している。

[0051] 送信部22と受信部31は、それぞれ、リンクレイヤの構成と物理レイヤの構成からなる。図6および図7において、実線L2より上側に示す構成がリンクレイヤの構成であり、実線L2より下側に示す構成が物理レイヤの構成である。

[0052] なお、実線L1の上を示す構成はアプリケーションレイヤの構成である。アプリケーションレイヤには、システム制御部51、フレームデータ入力部52、およびレジスタ53と、フレームデータ出力部141、レジスタ142、およびシステム制御部143とが含まれる。フレームデータ入力部52は、例えば撮像部21に設けられる。フレームデータ出力部141は、例えば画像処理部32に設けられる。

[0053] システム制御部51は、送信部22のLINK-TXプロトコル管理部61と通信を行い、フレームフォーマットに関する情報を提供するなどして画像データの伝送を制御する。

[0054] フレームデータ入力部52は、ユーザによる指示などに応じて撮像を行い、撮像を行うことによって得られた画像を構成する各画素のデータを送信部22のPixel to Byte変換部62に供給する。

[0055] レジスタ53は、Pixel to Byte変換のビット数やLane数等の情報を記憶する。レジスタ53に記憶されている情報に従って画像デ

ータの送信処理が行われる。

[0056] フレームデータ出力部 141 は、受信部 31 から供給された各ラインの画素データに基づいて 1 フレームの画像を生成し、出力する。フレームデータ出力部 141 から出力された画像を用いて各種の処理が行われる。

[0057] レジスタ 142 は、Byte to Pixel 変換のビット数や Lane 数などの、画像データの受信に関する各種の設定値を記憶する。レジスタ 142 に記憶されている情報に従って画像データの受信処理が行われる。

[0058] システム制御部 143 は、LINK-RX プロトコル管理部 121 と通信を行い、モードチェンジ等のシーケンスを制御する。

[0059] [送信部 22 のリンクレイヤの構成]

図 6 に示したように、送信部 22 には、リンクレイヤの構成として、LINK-TX プロトコル管理部 61、Pixel to Byte 変換部 62、ペイロード ECC 挿入部 63、パケット生成部 64、およびレーン分配部 65 が設けられている。LINK-TX プロトコル管理部 61 は、状態制御部 71、ヘッダ生成部 72、データ挿入部 73、およびフッタ生成部 74 を有している。

[0060] LINK-TX プロトコル管理部 61 の状態制御部 71 は、送信部 22 のリンクレイヤの状態を管理する。

[0061] ヘッダ生成部 72 は、例えば図 4 に示したような、1 ライン分の画素データが格納されたペイロードに付加されるヘッダを生成し、パケット生成部 64 に出力する。

[0062] ヘッダ生成部 72 は、システム制御部 51 による制御に従ってヘッダ情報を生成する。例えば、システム制御部 51 からは、フレームデータ入力部 52 が出力する画素データのライン番号を表す情報や、フレームの先頭、終端を表す情報がヘッダ生成部 72 に供給される。

[0063] また、ヘッダ生成部 72 は、ヘッダ情報を生成多項式に適用して CRC 符号を計算する。ヘッダ情報に付加される CRC 符号の生成多項式は例えば下式 (1) により表される。

$$\text{CRC 16} = X^{16} + X^{15} + X^2 + 1 \quad \dots\dots (1)$$

[0064] ヘッダ生成部 7 2 は、ヘッダ情報に C R C 符号を付加することによってヘッダ情報と C R C 符号の組を生成し、同じヘッダ情報と C R C 符号の組を 3 組繰り返して配置することによってヘッダを生成する。ヘッダ生成部 7 2 は、生成したヘッダをパケット生成部 6 4 に出力する。

[0065] データ挿入部 7 3 は、スタッフィング (s t u f f i n g) に用いられるデータを生成し、 P i x e l t o B y t e 変換部 6 2 とレーン分配部 6 5 とに出力する。 P i x e l t o B y t e 変換部 6 2 に供給されたスタッフィングデータであるペイロードスタッフィングデータは、 P i x e l t o B y t e 変換後の画素データに付加され、ペイロードに格納される画素データのデータ量の調整に用いられる。また、レーン分配部 6 5 に供給されたスタッフィングデータであるレーンスタッフィングデータは、レーン割り当て後のデータに付加され、レーン間のデータ量の調整に用いられる。

[0066] フッタ生成部 7 4 は、システム制御部 5 1 による制御に応じて、適宜、ペイロードデータを生成多項式に適用して 3 2 ビットの CRC 符号を計算し、計算により求めた CRC 符号をフッタとしてパケット生成部 6 4 に出力する。フッタとして付加される CRC 符号の生成多項式は例えば下式 (2) により表される。

$$\text{CRC32} = X^{32} + X^{31} + X^4 + X^3 + X + 1 \quad \dots\dots (2)$$

[0067] Pixel to Byte変換部62は、フレームデータ入力部52から供給された画素データを取得し、各画素のデータを1バイト単位のデータに変換するPixel to Byte変換を行う。例えば、撮像部21により撮像された画像の各画素の画素値（RGB）は、8ビット、10ビット、12ビット、14ビット、16ビットのうちのいずれかのビット数で表される。

[0068] Pixel to Byte変換部62は、Pixel to Byte変換を例えばラインの左端の画素から順に各画素を対象として行う。また、Pixel to Byte変換部62は、Pixel to Byte変

換によって得られたバイト単位の画素データに、データ挿入部 7 3 から供給されたペイロードスタッフィングデータを付加することによってペイロードデータを生成し、ペイロード ECC 挿入部 6 3 に出力する。

[0069] Pixel to Byte 変換後の画素データは、変換によって得られた順に、所定の数のグループにグループ化される。送信部 2 2 のリンクレイヤにおいては、このようにしてグループ化が行われた後、クロック信号によって規定される期間毎に、各グループにおいて同じ位置にある画素データを対象として処理が並行して行われる。例えば 1 6 のグループに画素データが割り当てられた場合、各列に並ぶ 1 6 の画素データを同じ期間内に処理するようにして画素データの処理が進められる。

[0070] 上述したように、1つのパケットのペイロードには1ラインの画素データが含まれる。ここでは、図3の有効画素領域A1の画素データの処理について説明しているが、マージン領域A2等の他の領域の画素データについても有効画素領域A1の画素データとともに処理される。

[0071] 1ライン分の画素データがグループ化された後、各グループのデータ長が同じ長さになるように、ペイロードスタッフィングデータが付加される。ペイロードスタッフィングデータは1バイトのデータである。

[0072] このような構成を有するペイロードデータがPixel to Byte 変換部 6 2 からペイロード ECC 挿入部 6 3 に供給される。

[0073] ペイロード ECC 挿入部 6 3 は、Pixel to Byte 変換部 6 2 から供給されたペイロードデータに基づいて、ペイロードデータの誤り訂正に用いられる誤り訂正符号を計算し、計算により求めた誤り訂正符号であるパリティをペイロードデータに挿入する。誤り訂正符号として、例えばリードソロモン符号が用いられる。なお、誤り訂正符号の挿入はオプションであり、例えば、ペイロード ECC 挿入部 6 3 によるパリティの挿入と、フッタ生成部 7 4 によるフッタの付加はいずれか一方のみを行うことが可能とされる。

[0074] ペイロード ECC 挿入部 6 3 においては、基本的に、例えば 2 2 4 個の画

素データに基づいて2バイトのパリティが生成され、224個の画素データに続けて挿入される。

[0075] ペイロードECC挿入部63は、パリティを挿入したペイロードデータをパケット生成部64に出力する。パリティの挿入が行われない場合、Pixel to Byte変換部62からペイロードECC挿入部63に供給されたペイロードデータは、そのままパケット生成部64に出力される。

[0076] パケット生成部64は、ペイロードECC挿入部63から供給されたペイロードデータに、ヘッダ生成部72により生成されたヘッダを付加することによってパケットを生成する。フッタ生成部74によりフッタの生成が行われている場合、パケット生成部64は、ペイロードデータにフッタを付加することも行う。

[0077] パケット生成部64は、生成した1パケットを構成するデータであるパケットデータをレーン分配部65に出力する。レーン分配部65に対しては、ヘッダデータとペイロードデータからなるパケットデータ、ヘッダデータとペイロードデータとフッタデータからなるパケットデータ、または、ヘッダデータと、パリティが挿入されたペイロードデータからなるパケットデータが供給されることになる。図4のパケット構造は論理的なものであり、リンクレイヤ、物理レイヤにおいては、図4の構造を有するパケットのデータがバイト単位で処理される。

[0078] レーン分配部65は、パケット生成部64から供給されたパケットデータを、先頭のデータから順に、Lane 0~7のうちのデータ伝送に用いる各レーンに割り当てる。

[0079] レーン分配部65は、各レーンに割り当てたパケットデータを物理レイヤに出力する。以下、Lane 0~7の8レーンを用いてデータを伝送する場合について主に説明するが、データ伝送に用いるレーンの数が他の数の場合であっても同様の処理が行われる。

[0080] [送信部22の物理レイヤの構成]

図6に示したように、送信部22には、物理レイヤの構成として、PHY

PHY-TX状態制御部81、クロック生成部82、および信号処理部83-0～83-Nが設けられている。信号処理部83-0は、制御コード挿入部91、8B10Bシンボルエンコーダ92、同期部93、および送信部94を有している。レーン分配部65から出力された、Lane0に割り当てられたパケットデータは信号処理部83-0に入力され、Lane1に割り当てられたパケットデータは信号処理部83-1に入力される。また、LaneNに割り当てられたパケットデータは信号処理部83-Nに入力される。

[0081] このように、送信部22の物理レイヤには、信号処理部83-0～83-Nがレーンの数と同じ数だけ設けられ、各レーンを用いて伝送するパケットデータの処理が、信号処理部83-0～83-Nのそれぞれにおいて並行して行われる。信号処理部83-0の構成について説明するが、信号処理部83-1～83-Nも同様の構成を有する。

[0082] PHY-TX状態制御部81は、信号処理部83-0～83-Nの各部を制御する。例えば、信号処理部83-0～83-Nにより行われる各処理のタイミングがPHY-TX状態制御部81により制御される。

[0083] クロック生成部82は、クロック信号を生成し、信号処理部83-0～83-Nのそれぞれの同期部93に出力する。

[0084] 信号処理部83-0の制御コード挿入部91は、レーン分配部65から供給されたパケットデータに対して制御コードを付加する。制御コードは、予め用意された複数種類のシンボルの中から選択された1つのシンボルにより、または複数種類のシンボルの組み合わせにより表されるコードである。制御コード挿入部91により挿入される各シンボルは8ビットのデータである。後段の回路で8B10B変換が施されることによって、制御コード挿入部91により挿入された1シンボルは10ビットのデータになる。一方、受信部31においては後述するように受信データに対して10B8B変換が施されるが、受信データに含まれる10B8B変換前の各シンボルは10ビットのデータであり、10B8B変換後の各シンボルは8ビットのデータになる。

[0085] 制御コードには、図4に示したStart Code, End Code等が含まれる。また、制御コードには、Idle Code, Pad Code, Sync Code, Deskew Code, Standby Codeが含まれる。

[0086] 制御コード挿入部91は、制御コードを付加したパケットデータを8B10Bシンボルエンコーダ92に出力する。

[0087] 8B10Bシンボルエンコーダ92は、制御コード挿入部91から供給されたパケットデータ（制御コードが付加されたパケットデータ）に対して8B10B変換を施し、10ビット単位のデータに変換したパケットデータを同期部93に出力する。

[0088] 同期部93は、8B10Bシンボルエンコーダ92から供給されたパケットデータの各ビットを、クロック生成部82により生成されたクロック信号に従って送信部94に出力する。

[0089] 送信部94は、Lane 0を構成する伝送路を介して、同期部93から供給されたパケットデータを受信部31に送信する。8レーンを用いてデータ伝送が行われる場合、Lane 1～7を構成する伝送路をも用いてパケットデータが受信部31に送信される。

[0090] [受信部31の物理レイヤの構成]

図7に示したように、受信部31には、物理レイヤの構成として、PHY-RX状態制御部101、および信号処理部102-0～102-Nが設けられている。信号処理部102-0は、受信部111、クロック生成部112、同期部113、シンボル同期部114、10B8Bシンボルデコーダ115、スキュー補正部116、および制御コード除去部117を有している。Lane 0を構成する伝送路を介して送信されてきたパケットデータは信号処理部102-0に入力され、Lane 1を構成する伝送路を介して送信されてきたパケットデータは信号処理部102-1に入力される。また、Lane Nを構成する伝送路を介して送信されてきたパケットデータは信号処理部102-Nに入力される。

- [0091] このように、受信部 3 1 の物理レイヤには、信号処理部 1 0 2 - 0 ~ 1 0 2 - N がレーンの数と同じ数だけ設けられ、各レーンを用いて伝送されてきたパケットデータの処理が、信号処理部 1 0 2 - 0 ~ 1 0 2 - N のそれぞれにおいて並行して行われる。信号処理部 1 0 2 - 0 の構成について説明するが、信号処理部 1 0 2 - 1 ~ 1 0 2 - N も同様の構成を有する。
- [0092] 受信部 1 1 1 は、Lane 0 を構成する伝送路を介して送信部 2 2 から伝送されてきたパケットデータを表す信号を受信し、クロック生成部 1 1 2 に出力する。
- [0093] クロック生成部 1 1 2 は、受信部 1 1 1 から供給された信号のエッジを検出することによってビット同期をとり、エッジの検出周期に基づいてクロック信号を生成する。クロック生成部 1 1 2 は、受信部 1 1 1 から供給された信号を、クロック信号とともに同期部 1 1 3 に出力する。
- [0094] 同期部 1 1 3 は、クロック生成部 1 1 2 により生成されたクロック信号に従って、受信部 1 1 1 において受信された信号のサンプリングを行い、サンプリングによって得られたパケットデータをシンボル同期部 1 1 4 に出力する。クロック生成部 1 1 2 と同期部 1 1 3 により C D R (Clock Data Recovery) の機能が実現される。
- [0095] シンボル同期部 1 1 4 は、パケットデータに含まれる制御コードを検出することによって、または制御コードに含まれる一部のシンボルを検出することによってシンボル同期をとる。例えば、シンボル同期部 1 1 4 は、Start Code, End Code, Deskew Code に含まれる K 2 8 . 5 のシンボルを検出し、シンボル同期をとる。シンボル同期部 1 1 4 は、各シンボルを表す 1 0 ビット単位のパケットデータを 1 0 B 8 B シンボルデコーダ 1 1 5 に出力する。
- [0096] また、シンボル同期部 1 1 4 は、パケットデータの伝送が開始される前のトレーニングモード時に送信部 2 2 から繰り返し送信されてくる Sync Code に含まれるシンボルの境界を検出することによってシンボル同期をとる。

- [0097] 10B8Bシンボルデコーダ115は、シンボル同期部114から供給された10ビット単位のパケットデータに対して10B8B変換を施し、8ビット単位のデータに変換したパケットデータをスキュー補正部116に出力する。
- [0098] スキュー補正部116は、10B8Bシンボルデコーダ115から供給されたパケットデータからDeskew Codeを検出する。スキュー補正部116によるDeskew Codeの検出タイミングの情報はPHY-RX状態制御部101に供給される。
- [0099] また、スキュー補正部116は、Deskew Codeのタイミングを、PHY-RX状態制御部101から供給された情報により表されるタイミングに合わせるようにしてレーン間のData Skewを補正する。PHY-RX状態制御部101からは、信号処理部102-0~102-Nのそれぞれにおいて検出されたDeskew Codeのタイミングのうち、最も遅いタイミングを表す情報が供給されてくる。
- [0100] スキュー補正部116は、Data Skewを補正したパケットデータを制御コード除去部117に出力する。
- [0101] 制御コード除去部117は、パケットデータに付加された制御コードを除去し、Start CodeからEnd Codeまでの間のデータをパケットデータとしてリンクレイヤに出力する。
- [0102] PHY-RX状態制御部101は、信号処理部102-0~102-Nの各部を制御し、レーン間のData Skewの補正などを行わせる。また、PHY-RX状態制御部101は、所定のレーンで伝送エラーが起きて制御コードが失われた場合、失われた制御コードに代えて、他のレーンで伝送されてきた制御コードを付加することによって制御コードの誤り訂正を行う。
- [0103] [受信部31のリンクレイヤの構成]

図7に示したように、受信部31には、リンクレイヤの構成として、LINK-RXプロトコル管理部121、レーン統合部122、パケット分離部

123、ペイロードエラー訂正部124、およびByte to Pixel変換部125が設けられている。LINK-RXプロトコル管理部121は、状態制御部131、ヘッダエラー訂正部132、データ除去部133、およびフッタエラー検出部134を有している。

[0104] レーン統合部122は、物理レイヤの信号処理部102-0~102-Nから供給されたパケットデータを、送信部22のレーン分配部65による各レーンへの分配順と逆順で並び替えることによって統合する。

[0105] 各レーンのパケットデータの統合時、データ除去部133による制御に従って、レーンスタッフィングデータがレーン統合部122により除去される。レーン統合部122は、統合したパケットデータをパケット分離部123に出力する。

[0106] パケット分離部123は、レーン統合部122により統合された1パケット分のパケットデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータとに分離する。パケット分離部123は、ヘッダデータをヘッダエラー訂正部132に出力し、ペイロードデータをペイロードエラー訂正部124に出力する。

[0107] また、パケット分離部123は、パケットにフッタが含まれている場合、1パケット分のデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータとフッタデータを構成するパケットデータとに分離する。パケット分離部123は、ヘッダデータをヘッダエラー訂正部132に出力し、ペイロードデータをペイロードエラー訂正部124に出力する。また、パケット分離部123は、フッタデータをフッタエラー検出部134に出力する。

[0108] ペイロードエラー訂正部124は、パケット分離部123から供給されたペイロードデータにパリティが挿入されている場合、パリティに基づいて誤り訂正演算を行うことによってペイロードデータのエラーを検出し、検出したエラーの訂正を行う。

[0109] ペイロードエラー訂正部124は、各Basic Block, Extr

a B l o c k を対象として誤り訂正を行うことによって得られた誤り訂正後の画素データを B y t e t o P i x e l 変換部 1 2 5 に出力する。パケット分離部 1 2 3 から供給されたペイロードデータにパリティが挿入されていない場合、パケット分離部 1 2 3 から供給されたペイロードデータはそのまま B y t e t o P i x e l 変換部 1 2 5 に出力される。

[0110] B y t e t o P i x e l 変換部 1 2 5 は、ペイロードエラー訂正部 1 2 4 から供給されたペイロードデータに含まれるペイロードスタッフィングデータをデータ除去部 1 3 3 による制御に従って除去する。

[0111] また、B y t e t o P i x e l 変換部 1 2 5 は、ペイロードスタッフィングデータを除去して得られたバイト単位の各画素のデータを、8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データに変換する B y t e t o P i x e l 変換を行う。B y t e t o P i x e l 変換部 1 2 5 においては、送信部 2 2 の P i x e l t o B y t e 変換部 6 2 による P i x e l t o B y t e 変換と逆の変換が行われる。

[0112] B y t e t o P i x e l 変換部 1 2 5 は、B y t e t o P i x e l 変換によって得られた8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データをフレームデータ出力部 1 4 1 に出力する。フレームデータ出力部 1 4 1 においては、例えば、ヘッダ情報の L i n e V a l i d により特定される有効画素の各ラインが B y t e t o P i x e l 変換部 1 2 5 により得られた画素データに基づいて生成され、ヘッダ情報の L i n e N u m b e r に従って各ラインが並べられることによって1フレームの画像が生成される。

[0113] L I N K - R X プロトコル管理部 1 2 1 の状態制御部 1 3 1 は、受信部 3 1 のリンクレイヤの状態を管理する。

[0114] ヘッダエラー訂正部 1 3 2 は、パケット分離部 1 2 3 から供給されたヘッダデータに基づいてヘッダ情報と C R C 符号の組を3組取得する。ヘッダエラー訂正部 1 3 2 は、ヘッダ情報と C R C 符号の組の各組を対象として、ヘ

ッダ情報のエラーを検出するための演算である誤り検出演算を、そのヘッダ情報と同じ組のCRC符号を用いて行う。

[0115] また、ヘッダエラー訂正部132は、それぞれの組のヘッダ情報の誤り検出結果と、誤り検出演算により求められたデータの比較結果とのうちの少なくともいずれかに基づいて正しいヘッダ情報を推測し、正しいと推測したヘッダ情報と復号結果を出力する。誤り検出演算により求められたデータは、ヘッダ情報にCRCの生成多項式を適用することによって求められた値である。また、復号結果は、復号成功または復号失敗を表す情報である。

[0116] ヘッダ情報とCRC符号の3つの組をそれぞれ組1、組2、組3とする。この場合、ヘッダエラー訂正部132は、組1を対象とした誤り検出演算によって、組1のヘッダ情報にエラーがあるか否か（誤り検出結果）と、誤り検出演算により求められたデータであるデータ1を取得する。また、ヘッダエラー訂正部132は、組2を対象とした誤り検出演算によって、組2のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ2を取得する。ヘッダエラー訂正部132は、組3を対象とした誤り検出演算によって、組3のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ3を取得する。

[0117] また、ヘッダエラー訂正部132は、データ1とデータ2が一致するか否か、データ2とデータ3が一致するか否か、データ3とデータ1が一致するか否かをそれぞれ判定する。

[0118] 例えば、ヘッダエラー訂正部132は、組1、組2、組3を対象としたいずれの誤り検出演算によっても誤りが検出されず、誤り検出演算によって求められたデータのいずれの比較結果もが一致した場合、復号結果として、復号成功を表す情報を選択する。また、ヘッダエラー訂正部132は、いずれのヘッダ情報も正しいと推測し、組1のヘッダ情報、組2のヘッダ情報、組3のヘッダ情報のうちのいずれかを出力情報として選択する。

[0119] 一方、ヘッダエラー訂正部132は、組1を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選

択するとともに、組 1 のヘッダ情報が正しいと推測し、組 1 のヘッダ情報を出力情報として選択する。

[0120] また、ヘッダエラー訂正部 1 3 2 は、組 2 を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組 2 のヘッダ情報が正しいと推測し、組 2 のヘッダ情報を出力情報として選択する。

[0121] ヘッダエラー訂正部 1 3 2 は、組 3 を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組 3 のヘッダ情報が正しいと推測し、組 3 のヘッダ情報を出力情報として選択する。

[0122] ヘッダエラー訂正部 1 3 2 は、以上のようにして選択した復号結果と出力情報をレジスタ 1 4 2 に出力し、記憶させる。このように、ヘッダエラー訂正部 1 3 2 によるヘッダ情報の誤り訂正は、複数のヘッダ情報の中から、エラーのないヘッダ情報を CRC 符号を用いて検出し、検出したヘッダ情報を出力するようにして行われる。

[0123] データ除去部 1 3 3 は、レーン統合部 1 2 2 を制御してレーンスタッフィングデータを除去し、Byte to Pixel 変換部 1 2 5 を制御してペイロードスタッフィングデータを除去する。

[0124] フッタエラー検出部 1 3 4 は、パケット分離部 1 2 3 から供給されたフッタデータに基づいて、フッタに格納された CRC 符号を取得する。フッタエラー検出部 1 3 4 は、取得した CRC 符号を用いて誤り検出演算を行い、ペイロードデータのエラーを検出する。フッタエラー検出部 1 3 4 は、誤り検出結果を出力し、レジスタ 1 4 2 に記憶させる。

[0125] [センサモジュール 1 1 と DSP 1 2 の動作の概要]

次に、センサモジュール 1 1 と DSP 1 2 の動作の概要を説明する。伝送システム 1 を有する撮像装置の動作を例に説明する。

[0126] センサモジュール 1 1 の撮像部 2 1 では、例えば、撮像装置に設けられたシャッターボタンが押されるなどして撮像の開始が指示された場合に撮像を行

う。撮像部 2 1 のフレームデータ入力部 5 2 (図 6) は、撮像によって得られた 1 フレームの画像を構成する画素データを、1 画素のデータずつ順に、送信部 2 2 に出力する。

[0127] 送信部 2 2 によるデータ送信処理により、1 ライン分の画素データをペイロードに格納したパケットが生成され、パケットを構成するパケットデータが受信部 3 1 に対して送信される。

[0128] 受信部 3 1 では、データ受信処理が行われる。データ受信処理により、送信部 2 2 から送信されてきたパケットデータが受信され、ペイロードに格納されている画素データが画像処理部 3 2 に出力される。

[0129] 送信部 2 2 により行われるデータ送信処理と受信部 3 1 により行われるデータ受信処理は、1 ライン分の画素データを対象として交互に行われる。すなわち、ある 1 ラインの画素データがデータ送信処理によって送信されたとき、データ受信処理が行われ、データ受信処理によって 1 ラインの画素データが受信されたとき、次の 1 ラインの画素データを対象としてデータ送信処理が行われる。送信部 2 2 によるデータ送信処理と受信部 3 1 によるデータ受信処理は、適宜、時間的に並行して行われることもある。

[0130] 1 フレームの画像を構成する全てのラインの画素データの送受信が終了した場合、画像処理部 3 2 のフレームデータ出力部 1 4 1 は、受信部 3 1 から供給された画素データに基づいて 1 フレームの画像を生成する。

[0131] [1. 3 一実施の形態に係る伝送システム 1 の改善例]

図 4 および図 5 を用いて説明したように、一実施の形態に係る伝送システム 1 では、ヘッダに Data ID という領域があり、Data ID を利用することで、画素データの種類等の識別情報を付加することが可能である。一方、近年では、画素データの種類が増加しており、このまま増加すると Data ID がヘッダ領域に収まりきらない可能性がある。識別情報としては、ROI (Region of Interest) や画素データを伝送する伝送路の種類 (LINK) 等がある。

[0132] 一実施の形態に係る伝送システム 1 では、Data ID を格納する領域

はヘッダの `Reserved` の領域を使用すれば、ある程度拡大することが可能である。近年、画素データの種類等が増えてきているので、`Reserved` の領域も含め、このヘッダの領域だけでは識別情報が収まらなくなる可能性がある。

[0133] そこで、以下では、一実施の形態に係る伝送システム 1 の改善例として、画素データの識別情報を格納する領域を拡大し、識別情報を確実に伝送することが可能となる技術を説明する。

[0134] 図 8 は、`Data ID` の拡張された格納先の第 1 の例を示している。

[0135] 図 8 に示したように、`Data ID` は例えば `Embedded Data` の領域に付加することが可能である。なお、図 8 では、前ダミー領域 A 3 に `Embedded Data` の領域がある例を示しているが、後ダミー領域 A 4 に `Embedded Data` の領域が挿入されていてもよい。この場合、`Embedded Data` には、`Data ID` として、複数ライン分の識別情報を示すデータを付加することが可能である。この場合、パケット生成部 6 4 は、例えば `Embedded Data` の領域に `Data ID` が付加されたパケットを生成する。

[0136] 図 9 は、`Data ID` の拡張された格納先の第 2 の例を示している。

[0137] 図 9 に示したように、`Data ID` は例えば画素データを含むペイロードの一部の領域に付加することが可能である。この場合、ペイロードには、`Data ID` として、1 ライン分の識別情報を示すデータを付加することが可能である。この場合、パケット生成部 6 4 は、例えば画素データを含むペイロードの領域の一部に `Data ID` が付加されたパケットを生成する。

[0138] なお、`Data ID` の格納先を拡張する場合には、ヘッダにある通常の `Data ID` の領域を併用することが可能である。また、`Data ID` の格納先を拡張するにあたって、ヘッダにおける `Reserved` の領域を、`Data ID` の拡張された格納先を示す領域等として利用するようにしてもよい。

[0139] 図10は、Data IDの構成例を示している。

[0140] Data IDは、例えば、識別Codeと、Data種類と、Dataとを含む。識別Codeは、Data ID以外のデータを付加することとも考慮し、拡張性を持たせて4bitとしている。Data IDは、Data IDであることを示すコードであり、例えば「0001」等の値となる。Data種類は、Data IDのData種類を示す。Data種類は、例えばLINK番号等を示す。Dataは、Data IDのDataを示す。Dataは、例えば「0001」であればLINK0であること等を示す。

[0141] 図11～図12は、Data IDをEmbedded Dataの領域に付加する場合のデータ構成例を示している。

[0142] 図11は、Embedded DataにData IDを付加した場合のデータ構成例の第1の例を示している。

[0143] 図11では、例えば、2種類の画素データをそれぞれLINK0、LINK1に振り分ける場合のData IDの構成例を示す。図11の例では、識別Codeの値が「0001」であり、Data IDであることが示されている。また、Data種類の値が「0001」であり、DataがLINK番号であることが示されている。また、Dataの値が「0001」であり、LINK0からの出力であることが示されている。

[0144] 図12は、Embedded DataにData IDを付加した場合のデータ構成例の第2の例を示している。

[0145] 図12では、例えば、ROIの個数を示すData IDの構成例を示す。図12の例では、識別Codeの値が「0001」であり、Data IDであることが示されている。また、Data種類の値が「0010」であり、DataがROIの個数であることが示されている。また、Dataの値が「1000」であり、ROIの個数が示されている。

[0146] 図13～図15は、1ラインごとにData IDを付加する場合のデータ構成例を示している。

[0147] 図13は、ペイロードにData IDを付加した場合のデータ構成例の第1の例を示している。図13では、ヘッダのData IDは使わず、別の領域（ペイロード）だけにData IDを付加する場合の例を示している。ヘッダのData IDの値は「1111」とし、Data IDがペイロードにあることを示す。図13の例では、ペイロードにData種類と、Dataと、通常の1ライン分の画素データとを含む。図13の例では、Data種類の値が「0001」であり、DataがLINK番号であることが示されている。また、Dataの値が「0001」であり、LINK0からの出力であることが示されている。

[0148] 図14は、ペイロードにData IDを付加した場合のデータ構成例の第2の例を示している。図14では、ヘッダのData IDを併用し、別の領域（ペイロード）にもData IDを付加した場合の第1の例を示している。

[0149] 図14の例では、ペイロードにもData IDがあることを示すために、ヘッダのData IDの最上位ビットを使用する場合の例を示している。

例えば、ヘッダのData ID = 1***とし、

1の場合：Data IDがペイロード領域にもあることを示す。

0の場合：Data IDがヘッダ領域のみにあることを示す。

[0150] 図14の例では、ペイロードにData種類と、Dataと、通常の1ライン分の画素データとを含む。図14の例では、Data種類の値が「0001」であり、DataがLINK番号であることが示されている。また、Dataの値が「0001」であり、LINK0からの出力であることが示されている。

[0151] 図15は、ペイロードにData IDを付加した場合のデータ構成例の第3の例を示している。図15では、ヘッダのData IDを併用し、別の領域（ペイロード）にもData IDを付加した場合の第2の例を示している。

[0152] 図15の例では、ペイロードにもData IDがあることを示すために、ヘッダのReservedの領域を使用してData IDがペイロードにもあることを示す。例えば、Reservedの領域内の1ビットをData IDの拡張ビットとして使用する。例えば、Reservedの値が1の場合、0の場合、以下のことを示す。

1の場合：Data IDがペイロード領域にもあることを示す。

0の場合：Data IDがヘッダ領域のみにあることを示す。

[0153] 図15の例では、ペイロードにData種類と、Dataと、通常の1ライン分の画素データとを含む。図15の例では、Data種類の値が「0001」であり、DataがLINK番号であることが示されている。また、Dataの値が「0001」であり、LINK0からの出力であることが示されている。

[0154] 図16は、Data IDで表される識別情報の具体例を示している。

[0155] 図16に示したように、Data種類としては、例えば、Gain、露光時間、ROI ID、ROI位置情報、AD bit数、画素の種類情報、シャッタースピード、画素位置、およびECC有無などがある。

[0156] Data種類がGainの場合、Dataとしては、Gain設定値を含む。Data記載例としては、例えば0[dB]、6[dB]、1[倍]、2[倍]などであってもよい。

[0157] Data種類が露光時間の場合、Dataとしては、露光時間情報を含む。Data記載例としては、例えば1[ms]などであってもよい。

[0158] Data種類がROI IDの場合、Dataとしては、領域ID番号を含む。Data記載例としては、例えば1、2、3・・・などであってもよい。

[0159] Data種類がROI位置情報の場合、Dataとしては、左上座標等を含む。Data記載例としては、例えば左上画素のX座標などであってもよい。

[0160] Data種類がAD bit数の場合、Dataとしては、bit数を含む。Data記載例としては、例えば10 [bit] , 12 [bit] などであってもよい。

[0161] Data種類が画素の種類情報の場合、Dataとしては、RGB、IR、その他を示す値を含む。Data記載例としては、例えばR = 11 , G = 10などであってもよい。

[0162] Data種類がシャッタースピードの場合、Dataとしては、フレームレートを含む。Data記載例としては、例えば60 [fps] , 120 [fps] などであってもよい。

[0163] Data種類が画素位置の場合、Dataとしては、上下左右を示す値、座標等を含む。Data記載例としては、例えば左上 = 11 , X座標などであってもよい。

[0164] Data種類がECC有無の場合、Dataとしては、ECC有無を示す値を含む。Data記載例としては、例えばECCあり = 1、ECCなし = 0などであってもよい。

[0165] [1. 3 効果]

以上説明したように、一実施の形態に係る伝送システム1の改善例によれば、画素データの識別情報を、少なくともペイロードの一部の領域に付加することが可能となるように構成したので、画素データの識別情報を確実に伝送することが可能となる。

[0166] また、一実施の形態に係る伝送システム1の改善例によれば、画素データの種類等の増加に伴い、ヘッダのData ID領域のみでは識別情報を付加するところが困難になった場合においても、画素データの識別情報を確実に伝送することが可能となる。

[0167] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の他の実施の形態の効果についても同様である。

[0168] <2. その他の実施の形態>

本開示による技術は、上記一実施の形態の説明に限定されず種々の変形実施が可能である。

[0169] 例えば、本技術は以下のような構成を取ることにもできる。

以下の構成の本技術によれば、画素データの識別情報を、少なくともペイロードの一部の領域に付加することが可能となるように構成したので、画素データの識別情報を確実に伝送することが可能となる。

[0170] (1)

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記画素データの識別情報を、少なくとも前記ペイロードの一部の領域に付加する識別情報付加部と

を備える

送信装置。

(2)

前記複数のパケットのうち、一部のパケットは、前記画素データに代えてダミー領域を前記ペイロードに含むパケットであり、

前記識別情報付加部は、前記ダミー領域に前記識別情報を示すデータを付加する

上記 (1) に記載の送信装置。

(3)

前記識別情報付加部は、前記ダミー領域に複数ライン分の前記識別情報を示すデータを付加する

上記 (2) に記載の送信装置。

(4)

前記識別情報付加部は、前記複数のパケットにおけるそれぞれの前記ペイロードの一部の領域に、1 ラインごとの識別情報を付加する

上記 (1) に記載の送信装置。

(5)

前記識別情報付加部は、前記ヘッダと、少なくとも前記ペイロードの一部の領域とに前記識別情報を付加する

上記(1)ないし(4)のいずれか1つに記載の送信装置。

(6)

前記識別情報付加部は、前記ヘッダに、前記識別情報を付加した領域に関する情報を付加する

上記(1)ないし(5)のいずれか1つに記載の送信装置。

(7)

1フレームの画像を構成する1ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部

を備え、

前記受信部は、少なくとも前記ペイロードの一部の領域に前記画素データの識別情報が付加されたパケットを、前記送信装置から受信可能である

受信装置。

(8)

送信装置と、

受信装置と

を含み、

前記送信装置は、

1フレームの画像を構成する1ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記画素データの識別情報を、少なくとも前記ペイロードの一部の領域に付加する識別情報付加部と

を備える

伝送システム。

(9)

前記受信装置は、

前記複数のパケットを前記伝送路を介して、前記送信装置の前記送信部から受信可能な受信部

を備え、

前記受信部は、少なくとも前記ペイロードの一部の領域に前記画素データの識別情報が付加されたパケットを、前記送信装置から受信可能である

上記(8)に記載の伝送システム。

[0171] 本出願は、日本国特許庁において2019年11月20日に出願された日本特許出願番号第2019-209579号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0172] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、
- 前記画素データの識別情報を、少なくとも前記ペイロードの一部の領域に付加する識別情報付加部と
- を備える
- 送信装置。
- [請求項2] 前記複数のパケットのうち、一部のパケットは、前記画素データに代えてダミー領域を前記ペイロードに含むパケットであり、
- 前記識別情報付加部は、前記ダミー領域に前記識別情報を示すデータを付加する
- 請求項 1 に記載の送信装置。
- [請求項3] 前記識別情報付加部は、前記ダミー領域に複数ライン分の前記識別情報を示すデータを付加する
- 請求項 2 に記載の送信装置。
- [請求項4] 前記識別情報付加部は、前記複数のパケットにおけるそれぞれの前記ペイロードの一部の領域に、 1 ラインごとの識別情報を付加する
- 請求項 1 に記載の送信装置。
- [請求項5] 前記識別情報付加部は、前記ヘッダと、少なくとも前記ペイロードの一部の領域とに前記識別情報を付加する
- 請求項 1 に記載の送信装置。
- [請求項6] 前記識別情報付加部は、前記ヘッダに、前記識別情報を付加した領域に関する情報を付加する
- 請求項 1 に記載の送信装置。
- [請求項7] 1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部

を備え、

前記受信部は、少なくとも前記ペイロードの一部の領域に前記画素データの識別情報が付加されたパケットを、前記送信装置から受信可能である

受信装置。

[請求項8]

送信装置と、

受信装置と

を含み、

前記送信装置は、

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記画素データの識別情報を、少なくとも前記ペイロードの一部の領域に付加する識別情報付加部と

を備える

伝送システム。

[請求項9]

前記受信装置は、

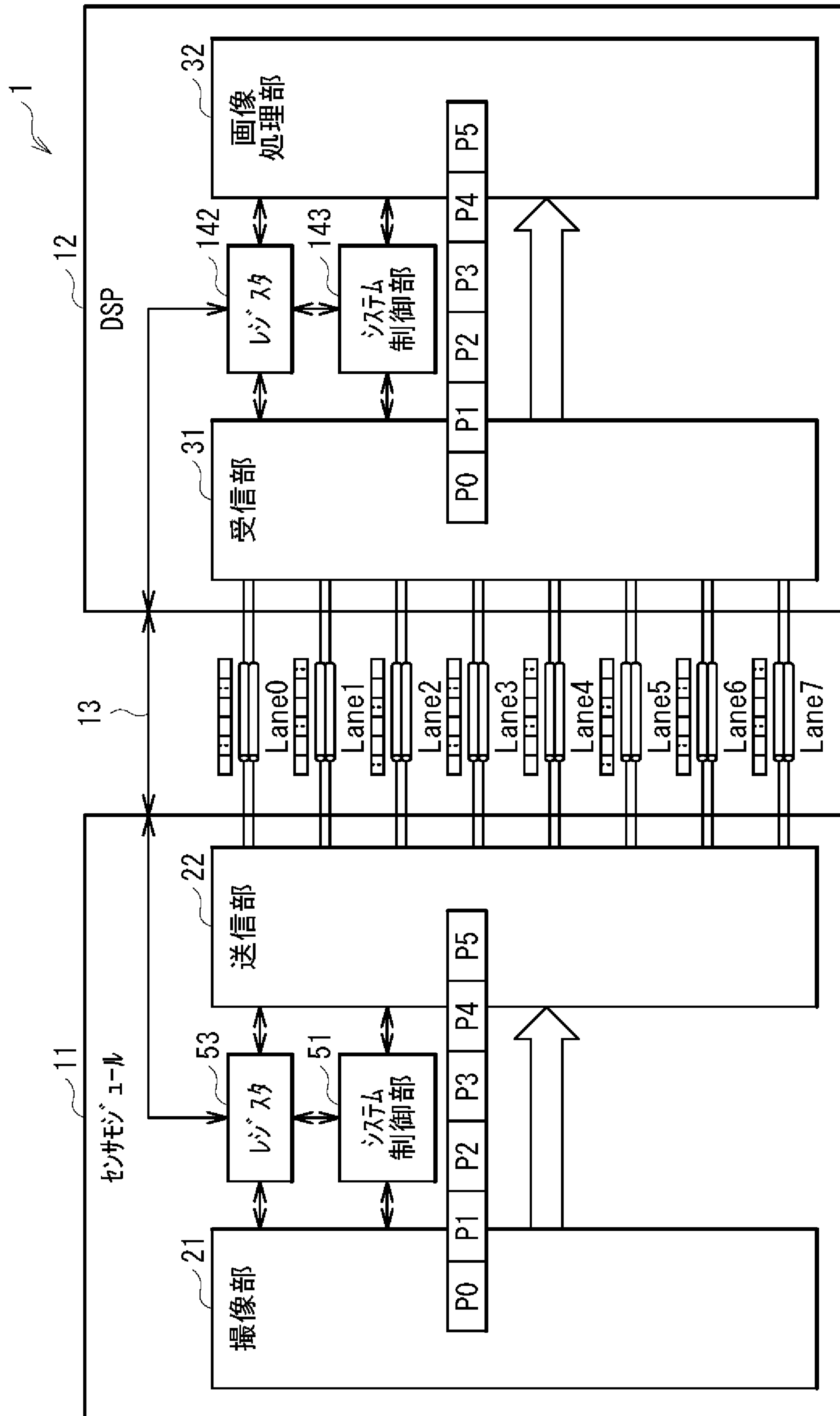
前記複数のパケットを前記伝送路を介して、前記送信装置の前記送信部から受信可能な受信部

を備え、

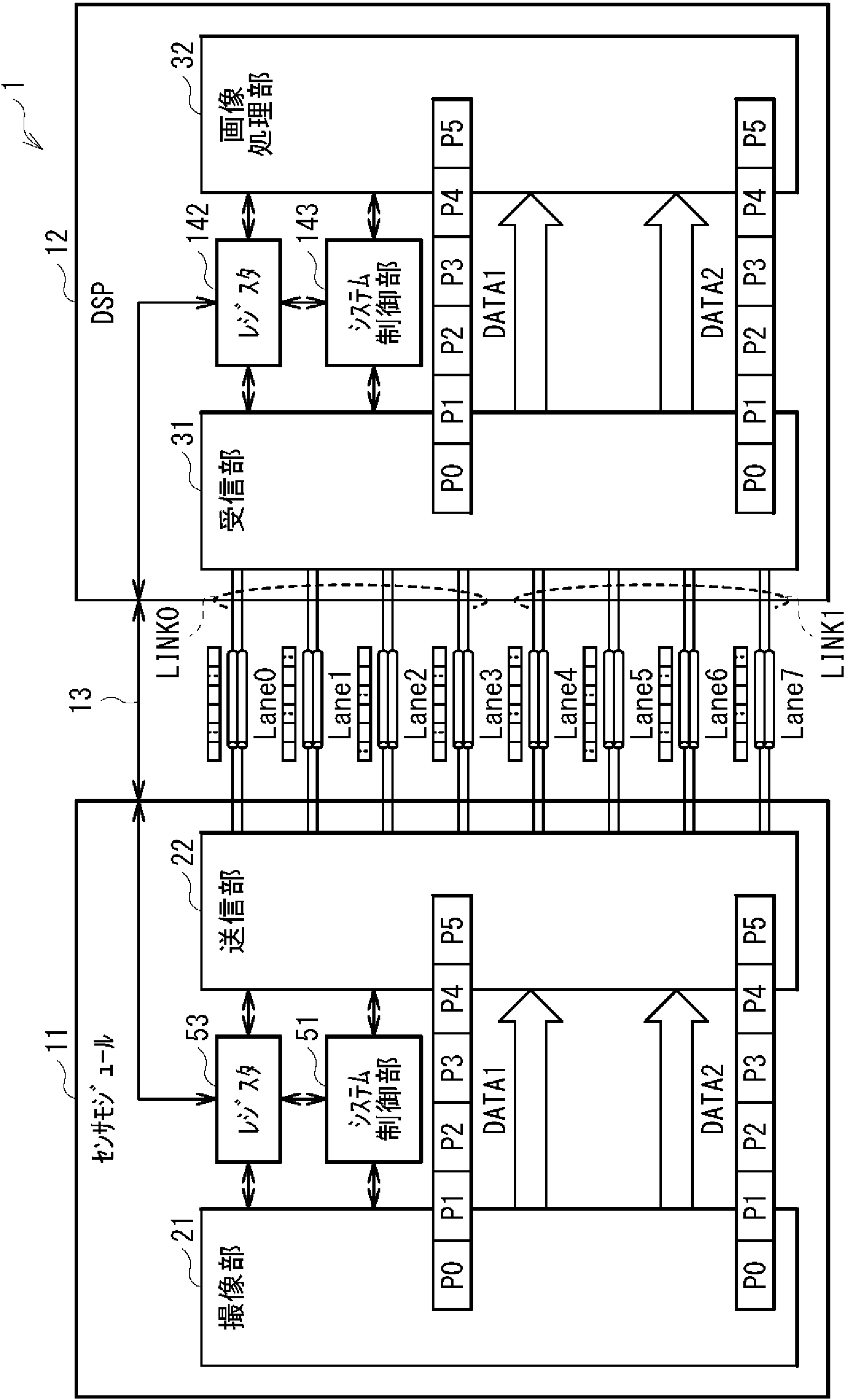
前記受信部は、少なくとも前記ペイロードの一部の領域に前記画素データの識別情報が付加されたパケットを、前記送信装置から受信可能である

請求項 8 に記載の伝送システム。

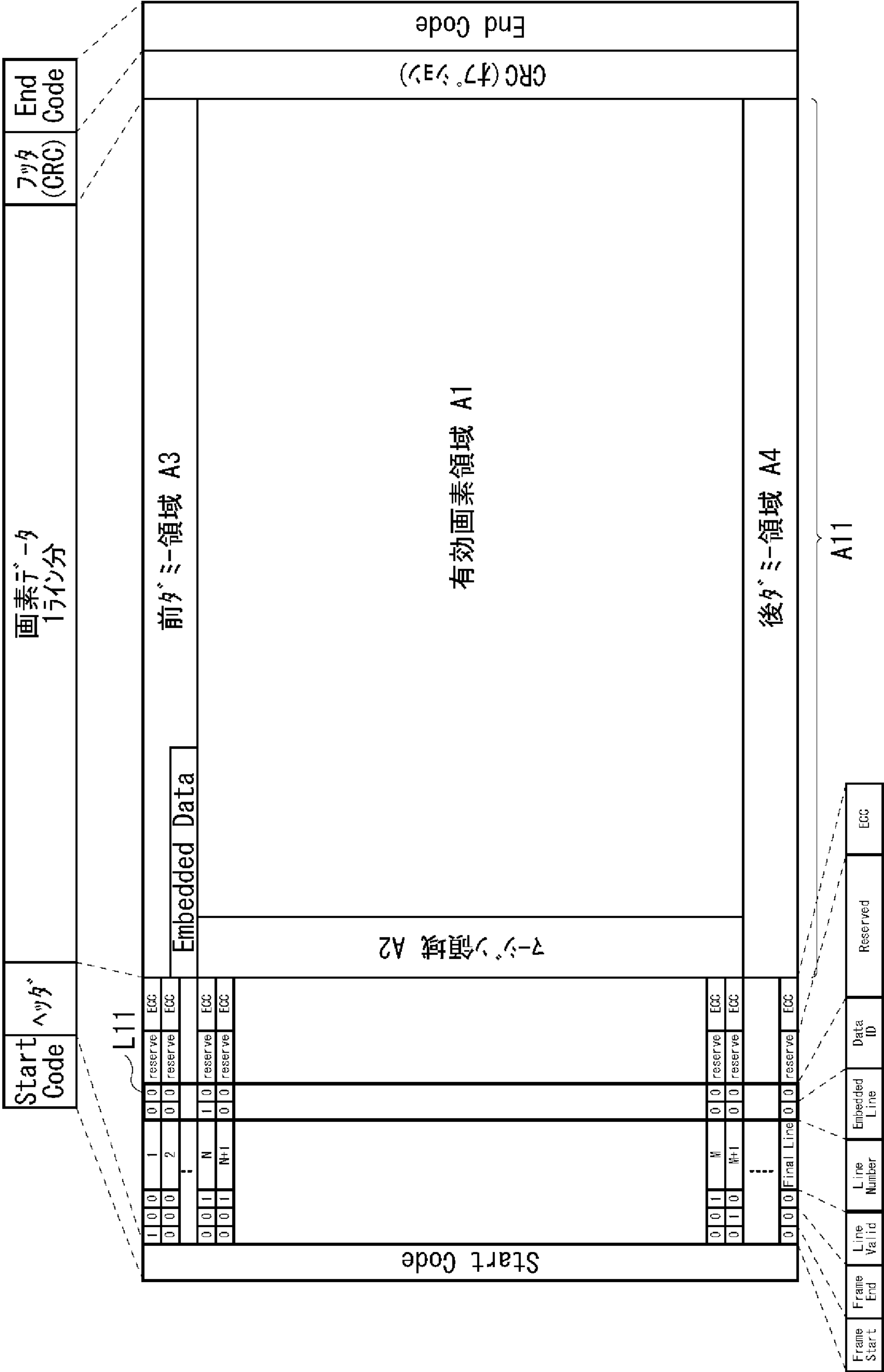
[図1]



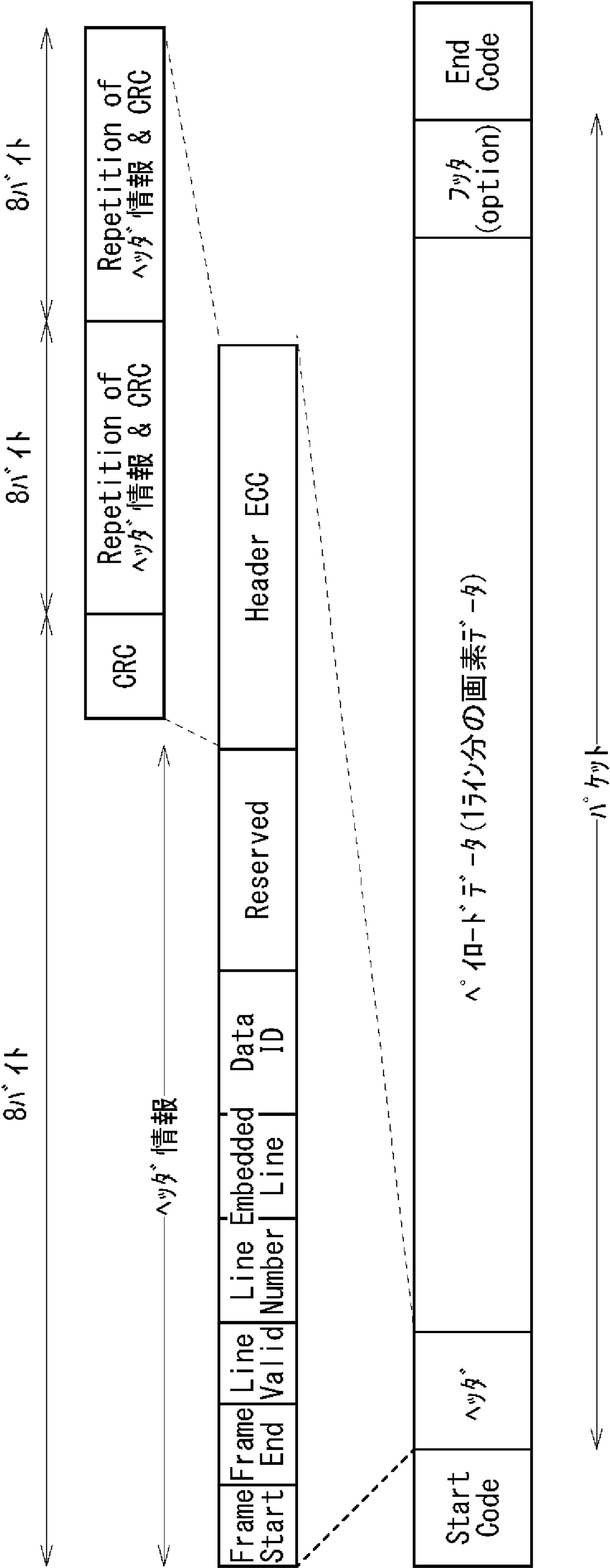
[図2]



[図3]



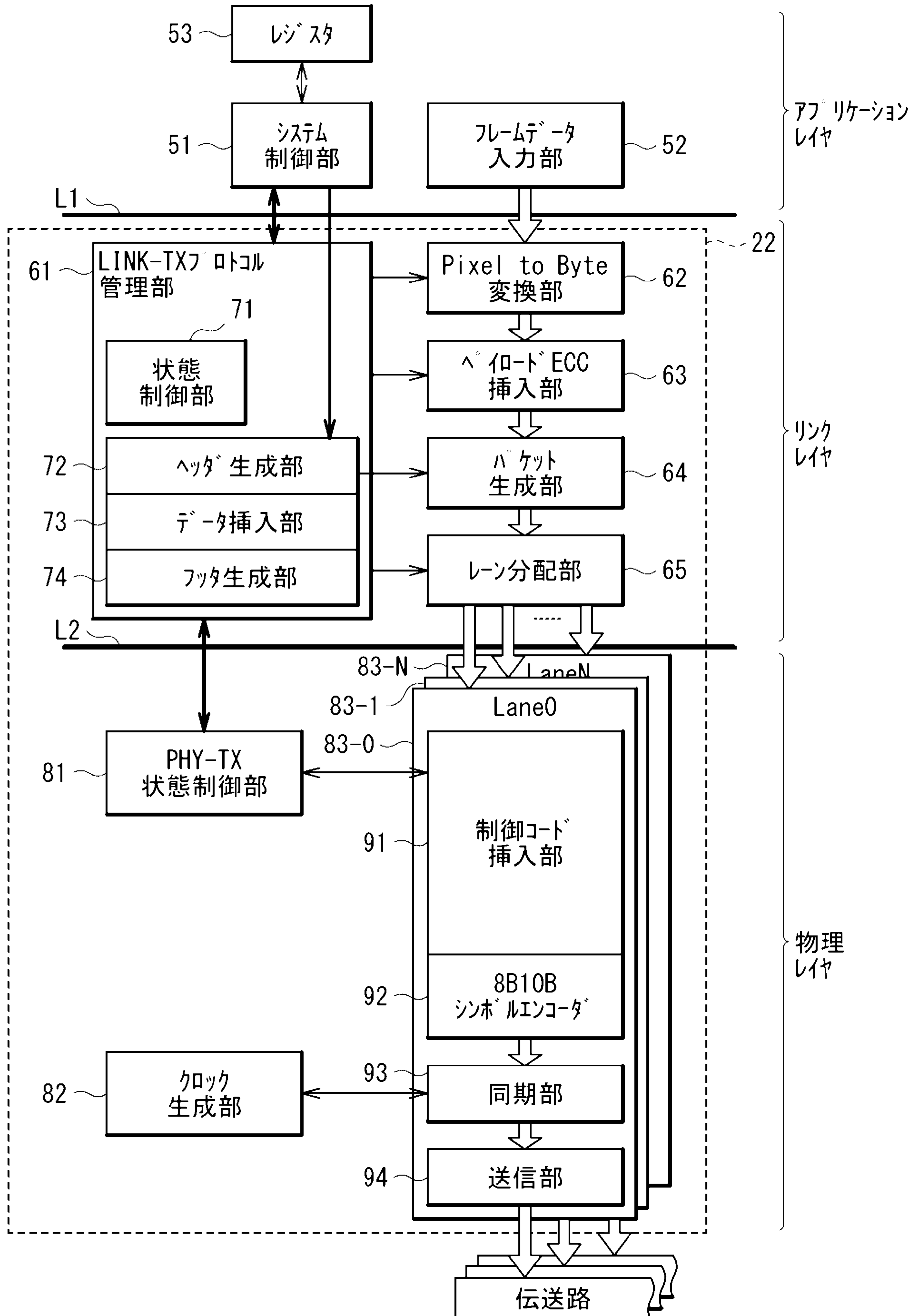
[図4]



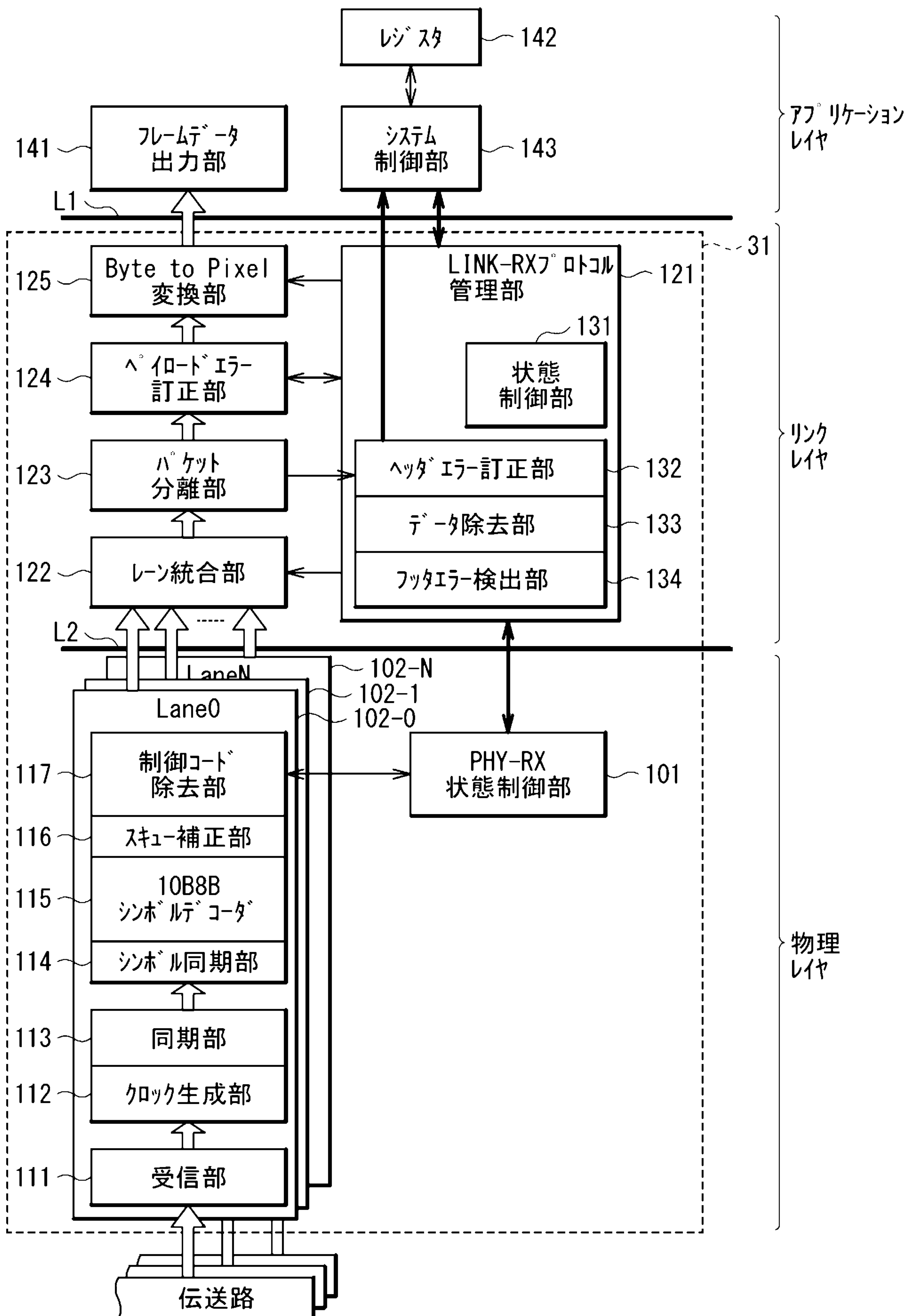
[図5]

大項目	小項目	情報量	内容
フレーム情報	Frame Start	1bit	フレーム先頭を示す(例:1ライン目)
	Frame End	1bit	フレーム終端を示す(例:後ダミー前ライン)
ライン情報	Line Valid	1bit	ラインの有効・無効を示す
	Line Number	13bit	ライン番号を示す
	Embedded Line	1bit	エンベデッドライン番号を示す
データ情報	Data ID	Pbit	データ識別を示す
その他	Reserved	31-Pbit	将来の拡張性のため確保
	Header ECC	18byte	ヘッダ情報のECC

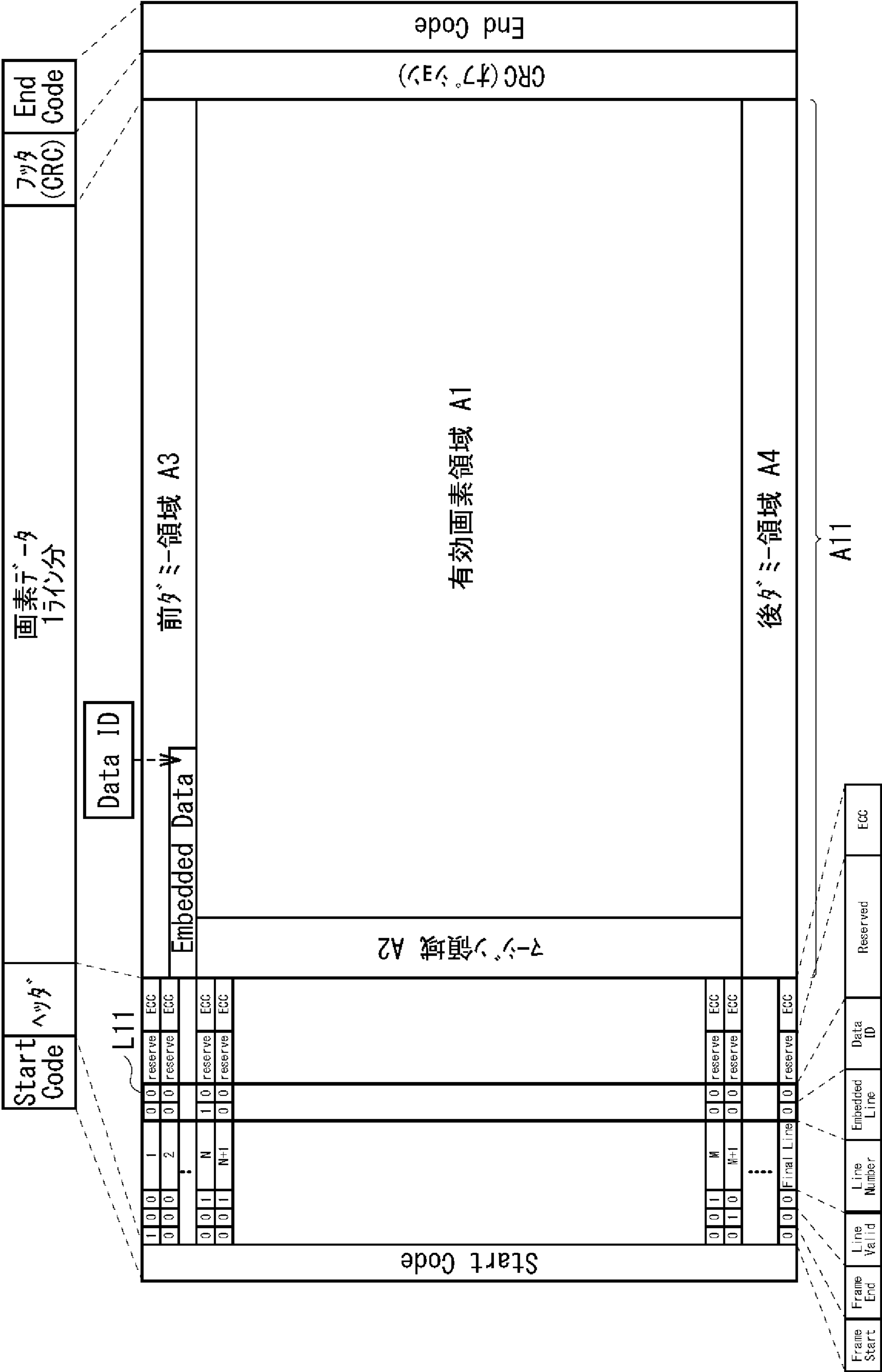
[図6]



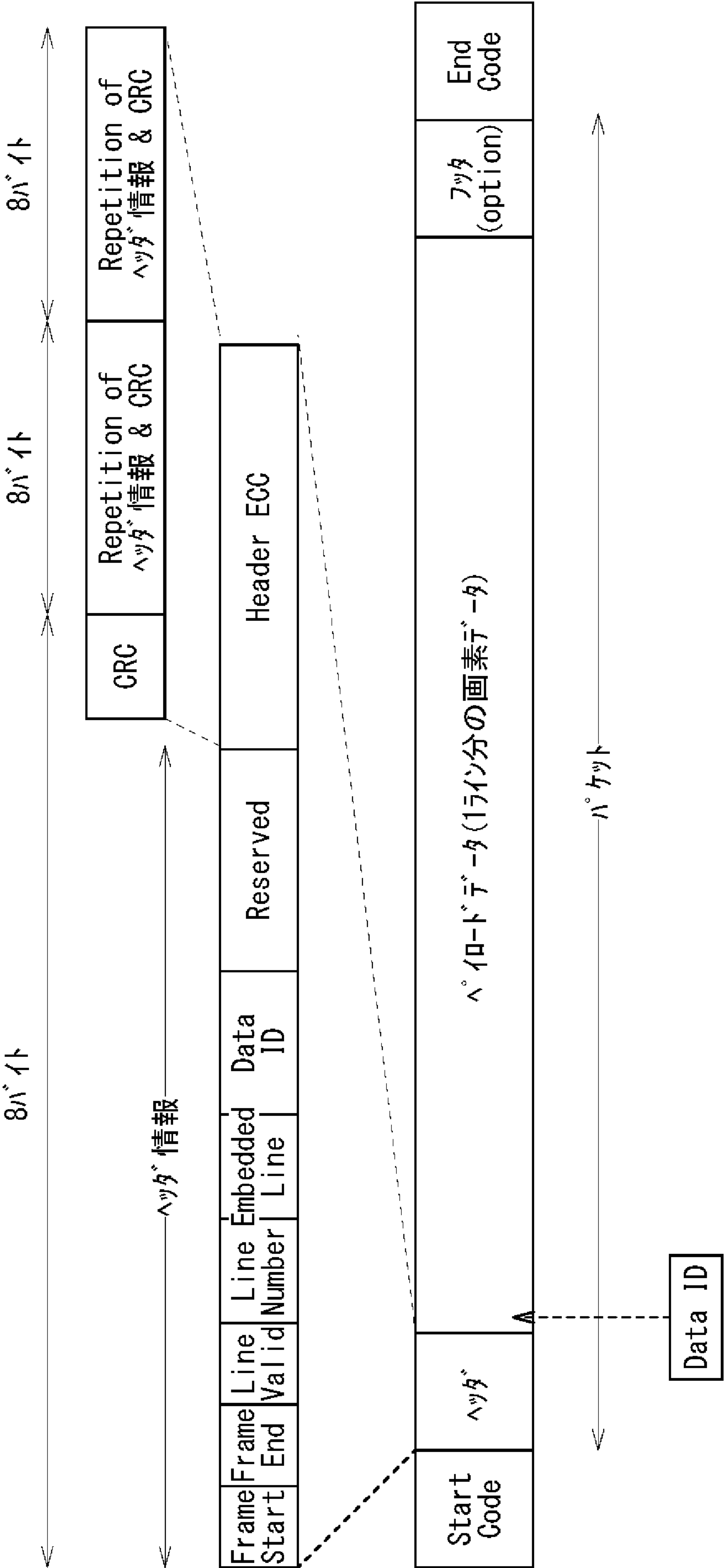
[図7]



[図8]



[図9]



[図10]

■Data IDの構成例

識別Code[4bit]	Data種類[7:4]	Data[3:0]
Data IDであることを示すコード 例) 0001	Dataの種類を示す 例) LINK 番号	そのData 例) 0001はLINK0 等

[図11]

■Embedded Dataとして付加する場合のデータ構成例1

識別Code[4bit]	Data種類[7:4]	Data[3:0]
0001	0001	0001

↑ ↑ ↑
 Data IDであることを示すコード DataがLINK番号であることを示すコード LINK0からの出力であることを示すコード

[図12]

■Embedded Dataとして付加する場合のデータ構成例2

識別Code[4bit]	Data種類[7:4]	Data[3:0]
0001	0001	1000

↑ ↑ ↑
 Data IDであることを示すコード DataがROIの個数であることを示すコード ROIの個数を示すコード

[図13]

■1ラインごとに付加する場合のデータ構成例1

ヘッダのData IDは使わず、別の領域(Payload)だけに付加する場合。
Data ID=1111(Data IDはPayloadにあることを示すコード。)

Payload data

Data種類[7:4]	Data[3:0]	通常の画素データ
0001	0001	10111.....

↑
DataがLINK番号
であることを
示すコード

↑
LINK0からの出力
であることを
示すコード

[図14]

■1ラインごとに付加する場合のデータ構成例2

Data IDを併用し、別の領域(Payload)に付加する場合1

(Data IDをPayloadにもあることを示すために最上位ビットを使用する
場合の例)

Data ID=1***

1の場合:Data IDはPayload領域にあることを示す。

0の場合:Data IDはHeader領域のみ。

Payload data

Data種類[7:4]	Data[3:0]	通常の画素データ
0001	0001	10111.....

↑
DataがLINK番号
であることを
示すコード

↑
LINK0からの出力
であることを
示すコード

[図15]

- 1ラインごとに付加する場合のデータ構成例3
 Data IDを併用し、別の領域(Payload)に付加する場合2
 (Reserved領域を使用してData IDがPayloadにもあることを示す例)
 Reserved領域内の1bitをData ID拡張bitとして使用
 1の場合:Data IDはPayload領域にあることを示す。
 0の場合:Data IDはHeader領域のみ。

Payload data

Data種類[7:4]	Data[3:0]	通常の画素データ
0001	0001	10111.....

↑
 DataがLINK番号
 であることを
 示すコード

↑
 LINK0からの出力
 であることを
 示すコード

[図16]

Data種類	Data	Data記載例
Gain	Gain設定値	0[dB], 6[dB] 1[倍], 2[倍]など
露光時間	露光時間情報を示す値	1[ms]など
ROI ID	領域ID番号	1, 2, 3・・・など
ROI位置情報	左上座標等	左上画素のX座標など
AD Bit数	bit数	10[bit], 12[bit]など
画素の種類情報	RGB、IR、その他を示す値	R=11, G=10など
シャッタースピード	フレームレート	60[fps], 120[fps]など
画素位置	上下左右を示す値、座標等	左上=11, X座標など
ECC有無	ECC有無を示す値	ECCあり=1、 ECCなし=0など

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/042423

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/232(2006.01)i; H04L 12/955(2013.01)i; H04L 29/08(2006.01)i; H04N 5/225(2006.01)i; H04N 21/238(2011.01)i; H04N 21/24(2011.01)i
 FI: H04N5/232 300; H04N21/24; H04L12/955; H04L13/00 307Z; H04N21/238;
 H04N5/225

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/232; H04L12/955; H04L29/08; H04N5/225; H04N21/238; H04N21/24

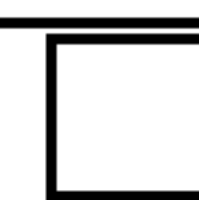
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/225449 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 13 December 2018 (2018-12-13) paragraphs [0015]-[0099], fig. 1-14	1-9
X	WO 2018/225534 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 13 December 2018 (2018-12-13) paragraphs [0017]-[0062], [0316]-[0324], [0374]-[0380], fig. 1-6, 37	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
 02 February 2021 (02.02.2021)

Date of mailing of the international search report
 09 February 2021 (09.02.2021)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/042423

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/225449 A1	13 Dec. 2018	US 2020/0186841 A1 paragraphs [0031]- [0115], fig. 1-14 EP 3637784 A1 CN 110710222 A KR 10-2020-0016229 A	
WO 2018/225534 A1	13 Dec. 2018	EP 3637716 A1 paragraphs [0017]- [0062], [0316]- [0324], [0374]- [0380], fig. 1-6, 37 KR 10-2020-0016205 A CN 110692222 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 5/232(2006.01)i; H04L 12/955(2013.01)i; H04L 29/08(2006.01)i; H04N 5/225(2006.01)i;
H04N 21/238(2011.01)i; H04N 21/24(2011.01)i
FI: H04N5/232 300; H04N21/24; H04L12/955; H04L13/00 307Z; H04N21/238; H04N5/225

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N5/232; H04L12/955; H04L29/08; H04N5/225; H04N21/238; H04N21/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2021年

日本国実用新案登録公報1996 - 2021年

日本国登録実用新案公報1994 - 2021年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/225449 A1（ソニーセミコンダクタソリューションズ株式会社）13.12.2018 (2018 - 12 - 13) 段落[0015]-[0099], 図1-14	1-9
X	WO 2018/225534 A1（ソニーセミコンダクタソリューションズ株式会社）13.12.2018 (2018 - 12 - 13) 段落[0017]-[0062], [0316]-[0324], [0374]-[0380], 図1-6, 37	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日02.02.2021

国際調査報告の発送日09.02.2021

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

▲徳▼田 賢二 5P 9654

電話番号 03-3581-1101 内線 3581

引用文献			公表日	パテントファミリー文献	公表日
W0	2018/225449	A1	13.12.2018	US 2020/0186841 A1	
				段落[0031]-[0115], 図1-14	
				EP 3637784 A1	
				CN 110710222 A	
W0	2018/225534	A1	13.12.2018	KR 10-2020-0016229 A	
				EP 3637716 A1	
				段落[0017]-[0062], [0316]-[0324], [0374]-[0380], 図1-6, 37	
W0	2018/225534	A1	13.12.2018	KR 10-2020-0016205 A	
				CN 110692222 A	