

公告本

發明專利說明書

102年4月19日修正補充

P1~26

中文說明書替換本(102年4月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095124361

※ 申請日期：95.07.04 ※IPC 分類：~~G02F~~ H01L 29/186
(2006.01)

一、發明名稱：(中文/英文)

薄膜電晶體基板及其製造方法

THIN FILM TRANSISTOR SUBSTRATE AND FABRICATION
THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星顯示器有限公司

SAMSUNG DISPLAY CO., LTD.

代表人：(中文/英文)

申相澈

SHIN, SANG CHEOL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市器興區三星二路95號

95, SAMSUNG 2 RO, GIHEUNG-GU, YONGIN-CITY, GYEONGGI-DO,
446-711 KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 金一坤

KIM, IL-GON

2. 朴泰炯

PARK, TAE-HYEONG

3. 文國哲

MOON, KOOK-CHUL

4. 金喆鎬

KIM, CHUL-HO

5. 金京勳

KIM, KYUNG-HOON

6. 金修京

KIM, SU-KYOUNG

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA

2. 韓國 REPUBLIC OF KOREA

3. 韓國 REPUBLIC OF KOREA

4. 韓國 REPUBLIC OF KOREA

5. 韓國 REPUBLIC OF KOREA

6. 韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005年08月18日；10-2005-0075690

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種薄膜電晶體基板，其具有一包括一低濃度區域及處於由多晶矽製成之一通道區域之兩側的接近該低濃度區域的一源極區域/汲極區域的半導體層；於該基板上的一閘極絕緣層及一傳導層，該傳導層經圖案化以形成一閘電極。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

110	透明絕緣基板
111	阻斷層
124d	閘電極
140	閘極絕緣層
141d	第一接觸孔
142d	第二接觸孔
143	接觸孔
150d	半導體層
152d	低濃度區域
153d	源極區域
154d	通道區域
155d	汲極區域
173d	源電極
175d	汲電極
190	像素電極
601	第一層間絕緣層
602	第二層間絕緣層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種薄膜電晶體基板且更具體言之本發明係關於一種製造其之方法。

【先前技術】

當前，LCD(液晶顯示器)已用作諸如筆記型電腦或攜帶型裝置之廣泛範圍內之應用中的顯示裝置。驅動LCD的方法從簡單轉到主動矩陣型，其中形成於玻璃基板上的複數個薄膜電晶體(TFT)用於驅動LCD的像素電極。TFT包括一半導體層、一連接至閘極線的閘電極、一連接至資料線的源電極及一連接至像素電極的汲電極。TFT用作根據經由閘極線施加之掃描訊號控制經由資料線施加的圖像訊號傳輸至像素電極或自像素電極阻斷的切換元件。半導體層由非晶矽或多晶矽製成。TFT根據其相對於閘電極之位置劃分為頂閘極型及底閘極型。在具有由多晶矽製成之半導體層的TFT中，廣泛使用了頂閘極型，其中閘電極安置於半導體層上。

與非晶矽TFT相比較，多晶矽TFT具有高速切換能力且具有像素及驅動器TFT可形成於一起之優勢。然而，多晶矽TFT可經受"沖穿"，其使得於通道區域與源極及汲極區域之間形成輕度摻雜區域以減少沖穿效應係必要的。用於產生輕度摻雜汲極(LDD)區域的光蝕刻製程及用於重度摻雜汲極(HDD)區域的光蝕刻製程需要獨立執行。另外，光蝕刻期間所發生之未對準可導致接近源極及汲極區域的

LDD區域之間之尺寸差異，藉此劣化TFT特性。

【發明內容】

本發明提供一種具有改良特性之薄膜電晶體基板及更佳製造方法，其中半導體層具有一低濃度區域及一處於由多晶矽製成之通道區域之兩側的接近低濃度區域的源極區域/汲極區域。根據本發明之一態樣，提供一種薄膜電晶體(TFT)基板，其包括第一半導體層，該第一半導體層形成於該基板上且包括第一傳導類型的一低濃度區域及處於由多晶矽製成之通道區域之兩側的接近低濃度區域的第一傳導類型的源極區域/汲極區域。第二半導體層包括處於其兩側處之第一傳導類型的低濃度區域。閘極絕緣層形成於第一及第二半導體層上。第一閘電極與第一半導體層之一部分相重疊且第二閘電極與形成於第二半導體層中之通道區域相重疊。低濃度區域、源極區域及汲極區域可使用單一光罩形成於半導體層內。高濃度雜質離子直接摻雜入半導體層中，從而以相對低之離子植入能量來執行離子植入。此閘極相重疊之輕度摻雜汲極(GOLDD)結構得以達成而並無額外製程步驟，藉此簡化了製造方法且降低了生產成本。

【實施方式】

整個說明書中相同參考數字指示相同元件。現將參看圖1描述根據本發明之一實施例的薄膜電晶體(TFT)基板。圖1為根據本發明之一實施例之TFT基板的示意性方塊圖。參看圖1，TFT基板包括一像素區10、一閘極驅動器20、一資

料驅動器30及一時序控制器30(未顯示)。像素區10包括連接至複數個閘極線G1至Gn及複數個資料線D1至Dm的複數個像素，複數個像素包括連接至複數個閘極線G1至Gn及複數個資料線D1至Dm的複數個切換元件M、連接至其之液晶電容器Clc及儲存電容器Cst。

於列方向上排列的複數個閘極線G1至Gn傳輸閘極訊號至切換元件M。複數個資料線D1至Dm傳輸對應於資料訊號的灰度電壓至切換元件M。切換元件M為三端子元件，其具有連接至閘極線G1至Gn的控制端子、連接至資料線D1至Dm的輸入端子及連接至液晶電容器Clc或連接至儲存電容器Cst的輸出端子。液晶電容器Clc可連接於切換元件M之輸出端子與共同電極(未圖示)之間，且儲存電容器Cst可獨立布線於切換元件M之輸出端子與共同電極之間，或其可連接於切換元件M之輸出端子與前述閘極線G1至Gn中之每一者之間。

閘極驅動器20連接至複數個閘極線G1至Gn，且向複數個閘極線G1至Gn提供啟用切換元件M的掃描訊號。資料驅動器30連接至複數個資料線D1至Dm。MOS(金氧半導體)薄膜電晶體可用作切換元件M。MOS電晶體可亦用作閘極驅動器20或資料驅動器30。在該等MOS電晶體中，可使用非晶矽或多晶矽來形成通道區域。

參看圖2及圖3，現將描述根據本發明之一實施例之具有使用多晶矽形成之通道區域的TFT基板。圖2為TFT基板之像素區的橫截面圖且圖3為TFT基板之驅動區的橫截面圖，

其說明了具有一PMOS(P通道金氧半導體)及NMOS(N通道金氧半導體)之CMOS(互補金氧半導體)裝置的結構。

如圖2及圖3所示，由二氧化矽(SiO_2)或氮化矽(SiN)製成之阻斷層111形成於透明絕緣基板110上。由多晶矽製成之半導體層150d形成於像素區中的阻斷層111上。半導體層150d包括摻雜有標識為N⁺之高濃度n型雜質的源極區域153d及汲極區域155d，一安置於源極區域153d與汲極區域155d之間的未摻雜通道區域154d。

類似地，用於包括NMOS及PMOS之CMOS裝置之由多晶矽製成之半導體層150n及150p形成於驅動區中。半導體層150n及150p中之每一者包括分別摻雜有標識為N⁺及P⁺之高濃度n型及p型雜質的源極區域153n、153p、汲極區域155n、155p，及一安置於源極區域153n、153p與汲極區域155n、155p之間的未摻雜通道區域154n、154p。

在NMOS中，摻雜有標識為N⁻之n型雜質的低濃度區域152n形成於源極區域153n與通道區域154n之間及形成於通道區域154n與汲極區域155n之間。同時，在PMOS中，摻雜有標識為N⁻之n型雜質的低濃度區域形成於半導體層150p之兩側。

一由多晶矽製成之閘極絕緣層140形成於具有半導體層150d、150n及150p的基板110上。閘極絕緣層140可形成為(例如)由二氧化矽或氮化矽製成的單層或包括順序堆疊之二氧化矽及氮化矽區的多層(未圖示)。閘極絕緣層140完全覆蓋半導體層150d、150n及150p且包括第一及第二接觸孔

141d、141n、141p、142d、142n及142p，該等接觸孔用於電連接像素區中之半導體層150d之源極及汲極區域153n及155n、驅動區中之半導體層150n及150p之源極及汲極區域153n、153p、154n及154p與源電極及汲電極173d、173n、173p、175d、175n及175p(稍後將加以描述)。

閘極線(未圖示)於像素區中之閘極絕緣層140上於一方向上延伸，且閘極線之一部分分枝且與半導體層150d之通道區域154d及低濃度區域152d相重疊。閘極線之部分用作TFT的閘電極124d。閘極線之一端可形成為寬於閘極線之寬度以與外部電路(未圖示)連接或與閘極驅動器電路之輸出端直接連接。

另外，形成於驅動區中之閘極絕緣層140上的NMOS閘電極124n與形成於半導體層150n上的通道區域154n及低濃度區域152n相重疊。PMOS閘電極124p與形成於半導體層150p上的通道區域154p相重疊。以此方式，達成了一與輕度摻雜汲極結構(GOLDD)相重疊的閘極。具有此種GOLDD結構的TFT可減輕施加於源極或汲極區域接面中的電場，藉此藉由有效地擴散熱載子而改良歸因於通道區域中所產生之熱載子的TFT劣化。

第一層間絕緣層601形成於具有閘電極124d、124n及124p之所得結構上。第一層間絕緣層601包括第一及第二接觸孔141d、141n、141p、142d、142n及142p所組成的接觸孔，以用於電連接源極及汲極區域153d、153n、153p、155d、155n、155p與源極及汲極區域173d、173n、173p、

175d、175n及175p。

界定像素區且與閘極線相交的資料線(未圖示)形成於第一層間絕緣層601上。資料線之部分或分枝穿過第一接觸孔141d與源極區域153d相連接。與源極區域153d相連接之資料線之部分用作TFT之源電極173d。汲電極175d與源電極173d間隔一預定距離而分離且安置於與源電極173d相同的位準處且穿過第二接觸孔142d與汲極區域155d相連接。資料線之一端可形成為較寬以促進與外部電路(未圖示)的連接或資料線可與資料驅動器電路之輸出端直接連接。

在第一層間絕緣層601之驅動區中，NMOS TFT及PMOS TFT之源電極173n及173p經形成以分別穿過第一接觸孔141n及141p與源極區域153n及153p電連接。汲電極175n及175p分別穿過第二接觸孔142n及142p相對於通道區域154n及154p與源電極173n及173p分離且相對。NMOS TFT之汲電極175n與PMOS TFT之源電極173p相連接。

第二層間絕緣層602形成於具有源電極173d、173n及173p、汲電極175d、175n及175p以及資料線之第一層間絕緣層601上。穿過第三接觸孔143與汲極175d相連接的像素電極190形成於像素區中之第二層間絕緣層602上提供的每一像素區域中。

下文將參看圖4及圖5描述根據本發明之另一實施例之具有使用多晶矽形成之通道區域的TFT基板。圖4為TFT基板中之像素區的橫截面圖且圖5為TFT基板中之驅動區的橫截面圖。參看圖4及圖5，除了像素區中之閘電極124d及驅動

區中之NMOS閘電極124n分別與形成於個別半導體層150d及150n中之通道區域154d及154n相重疊之外，TFT基板與前述之TFT基板相同，且因此不再給予任何重複描述。

現將參看隨附圖式描述製造上述TFT基板之方法。圖6、圖8、圖10、圖12、圖14、圖16、圖18及圖20為製造TFT基板之多個步驟中像素區中之中間結構的橫截面圖，且圖7、圖9、圖11、圖13、圖15、圖17、圖19及圖21為製造TFT基板之多個步驟中驅動區中之中間結構的橫截面圖。參看圖6及圖7，阻斷層111形成於透明絕緣基板110上。透明絕緣基板110可由玻璃、石英、藍寶石等製成。阻斷層111經形成以防止雜質擴散至半導體層150d、150n及150p中。藉由沈積約5000埃之厚度之二氧化矽(SiO_2)或氮化矽(SiN_x)至絕緣基板110上來形成阻斷層111。隨後，清潔表面以自阻斷層111移除諸如自然氧化層的雜質。

沈積一本質非晶矽層達約500埃之厚度以形成一非晶矽層。隨後，藉由準分子雷射退火(ELA)、連續側向凝固(SLS)、金屬誘發結晶(MIC)或金屬誘發側向結晶(MILC)使非晶矽層結晶。接著，於結晶多晶矽層上形成一光阻層。隨後，使用狹縫光罩或半階光罩(未圖示)經由光微影曝光且顯影所得光阻層來形成具有預定形狀的光阻圖案51、52、53。舉例而言，可藉由以預定形狀圖案化光阻層、加熱且收縮而形成光阻圖案51、52及53，以使得光阻圖案51、52及53之截面形狀為梯形的。或者，可加熱熔融光阻層，接著以包括半球形截面的各種截面形狀來加以圖案

化。光阻圖案51、52及53不但用作圖案化多晶矽層為半導體層的蝕刻光罩且亦用作植入n型雜質離子的離子植入光罩。

形成於像素區中之多晶矽層上的光阻圖案51具有一由具有第一厚度的 $d1$ 的高位準部分51a及具有第二厚度 $d2$ 的低位準部分51b及51c組成的雙層結構。光阻圖案51之高位準部分51a之寬度 $w1$ 根據待形成於半導體層(意即，圖2之150d)中之通道區域及低濃度區域(意即，圖2之154d及152d)之寬度而變化。另外，光阻圖案51之總寬度(意即， $w1+w2+w3$)根據待形成之半導體層(意即，圖2之150d)之寬度而變化。

在形成於驅動區中之多晶矽層上的光阻圖案52及52中，用於圖案化NMOS半導體層的光阻圖案52具有一由具有第一厚度 $d1$ 的高位準部分52a及具有第二厚度 $d2$ 的低位準部分52b及52c組成的雙層結構，且低位準部分52b及52c安置於高位準部分52a之兩側。用於圖案化PMOS半導體層的光阻圖案53具有一由具有第一厚度 $d1$ 之高位準部分組成的單層結構。如同像素區中，用於圖案化NMOS半導體層之光阻圖案52之高位準部分52a之寬度 $w4$ 根據待形成於NMOS半導體層(意即，圖2之150d)中之通道區域(意即，圖2之154d)之寬度以及低濃度區域152n之寬度而變化。另外，光阻圖案52之總寬度(意即， $w4+w5+w6$)根據待形成之NMOS半導體層(意即，圖2之150n)之寬度而變化。隨後，將形成於多晶矽層上之光阻圖案51、52及53用作蝕刻光罩

來圖案化多晶矽層，藉此完成半導體層 150d、150n 及 150p 之形成。

參看圖 8 及圖 9，經由氧電漿處理而藉由灰化來蝕刻光阻圖案直至移除低位準部分 51b、51c、52b 及 52c 為止。隨後，將灰化光阻圖案 51'、52' 及 53' 用作離子植入光罩來植入標識為 N^+ 之高濃度 n 型雜質至像素區以及 NMOS 之半導體層 150d 及 150n 中以分別形成源極區域 153d、153n、汲極區域 155d 及 155n 以及通道區域 154d 及 154n。此處，通道區域 154d 及 154n 對應於覆蓋有光阻圖案 51' 及 52' 的半導體層 150d 及 150n，使得雜質離子並不注入通道區域 154d 及 154n 中，從而用於使源極區域 153d 及 153n 與汲極區域 155d 及 155n 互相隔離。

光阻圖案 53' 阻止雜質離子被注入覆蓋有光阻圖案 53' 的 PMOS 半導體層 150p 中。舉例而言，以氫氣稀釋之磷化氫 (PH_3) 可用作離子植入的源氣體，且其劑量及離子植入能量可根據裝置特性適當調整。雖然根據本發明習知地將高濃度 n 型雜質 (N^+) 植入具有閘極絕緣層的半導體基板中，但可對並不具有上層之半導體基板執行高濃度雜質離子植入，從而使得可以相對低的離子植入能量執行雜質離子植入。

參看圖 10 及圖 11，經由氧電漿處理來移除光阻圖案 (圖 8 之 51' 及圖 9 之 52' 及 53') 之側壁的預定部分。預定部分對應於待分別形成於半導體層 150d、150n 及 150p 中之低濃度區域 152d、152n 及 152p 的寬度。隨後，將灰化光阻圖案

51"、52"及53"用作離子植入光罩來植入標識為N-之低濃度n型雜質至半導體層150d、150n及150p中以形成低濃度區域152d、152n及152p。最終，使灰化光阻圖案51"、52"及53"中之每一者之側壁與低濃度區域152d、152n及152p以及通道區域154d、154n及154p之邊界平面大體上對準。舉例而言，以氫氣稀釋之磷化氫(PH₃)可用作離子植入的源氣體，且其劑量及離子植入能量可根據裝置特性適當調整。

在PMOS源極區域(圖3之153p)及汲極區域(圖3之155p)之形成過程中，高濃度p型雜質(P⁺)(意即，高於已植入PMOS半導體層150p之低濃度區域152p之n型雜質的濃度近似十倍)植入低濃度區域152p中。由於n型雜質濃度與p型雜質濃度之間存在大的差異，因此PMOS半導體層150p之低濃度區域152p稍微影響CMOS裝置的特性。

參看圖12及圖13，移除了形成於半導體層150d、150n及150p上的光阻圖案(圖10之51"及圖11之52"及53")，且閘極絕緣層140經形成以覆蓋具有半導體層150d、150n及150p的基板110。閘極絕緣層140可形成為(例如)由二氧化矽或氮化矽製成的單層或包括順序堆疊之二氧化矽及氮化矽區的多層(未圖示)。此處，閘極絕緣層140可具有處於近似(但並不限於)600至近似1200埃之範圍內的厚度。

隨後，一由Al、Cr及Mo或其合金製成的單層或一多層沈積於閘極絕緣層140上以形成一閘極傳導層。在此狀況下，閘極傳導層可形成為近似3200埃(但並不限於)的厚

度，且可具有廣泛範圍內的厚度。

接著，於閘極傳導層上形成一光阻層。隨後，使用狹縫光罩或半階光罩(未圖示)經由光微影曝光且顯影所得光阻層來形成具有預定形狀的光阻圖案61、62、63。舉例而言，可藉由以預定形狀圖案化光阻層、加熱且收縮而形成光阻圖案61、62及63，以使得光阻圖案61、62及63之截面形狀為梯形的。或者，可加熱熔融光阻層，接著以包括半球形截面的各種截面形狀來加以圖案化。光阻層61、62及63不但用作圖案化閘極傳導層為閘電極的蝕刻光罩且亦用作植入p型雜質離子的離子植入光罩。

形成於像素區中之閘極傳導層上的光阻圖案61具有一由具有第三厚度d3的高位準部分61a及具有第四厚度d4的低位準部分61b及61c組成的雙層結構，且低位準部分61b及61c安置於高位準部分61a之兩側。光阻圖案61之高位準部分61a與形成於半導體層150d內的通道區域154d及低濃度區域152d相重疊。低位準部分61b及61c與形成於半導體層150d內的源極區域153d及汲極區域155d相重疊。

在形成於驅動區中之閘極傳導層上的光阻圖案62及63中，用於圖案化NMOS半導體層150n的光阻圖案62具有一由具有第三厚度d3的高位準部分62a及具有第四厚度d4的低位準部分62b及62c組成的雙層結構，且低位準部分62b及62c安置於高位準部分62a之兩側。與PMOS半導體層150p之一部分相重疊的光阻圖案63具有一由具有第三厚度d3之高位準部分組成的單層結構。雙層光阻圖案62之高位

準部分62a與形成於NMOS半導體層150n內的通道區域154n及低濃度區域152n相重疊。單層光阻圖案63之寬度根據待最終形成於PMOS半導體層150p中之目標通道區域(意即，通道區域154p)的寬度而變化。

隨後，將形成於閘極傳導層上的光阻圖案61、62及63用作蝕刻光罩來圖案化閘極傳導層以形成像素區中之一閘極圖案120d以及驅動區中之一NMOS閘極圖案120n及一PMOS閘電極124p。此處，閘極圖案120d及120n以及PMOS閘電極124p之側壁可逐漸縮減以確保相對於待形成於後續製程中之覆蓋層的黏附。

接著，將所得產物用作離子植入光罩來植入標識為P+之高濃度p型雜質至PMOS之半導體層150p中以形成一源極區域153p及一汲極區域155p。此處，覆蓋半導體層150d的雙層光阻圖案61阻止雜質離子被注入像素區中之半導體層150d中，而覆蓋驅動區中之NMOS半導體層150n及PMOS半導體層150p的雙層光阻圖案62及單層光阻圖案63阻止雜質離子被注入NMOS半導體層150n及PMOS半導體層150p中。此處，(例如)二硼烷可用作離子植入的源氣體，且其劑量及離子植入能量可根據裝置特性適當調整。

參看圖14及圖15，經由氧電漿處理而藉由灰化來蝕刻光阻圖案(圖12之61及圖13之62及63)直至移除低位準部分(圖12之61b及61c及圖13之62b及62c)為止。隨後，將灰化光阻圖案61'、62'及63'用作蝕刻光罩來圖案化閘極圖案(圖12之120d及圖13之120n)以形成一像素區及一NMOS閘電極

124d及124n。此處，NMOS閘電極124d及124n可能與形成於覆蓋有閘電極124d及124n之半導體層150d及150n中的通道區域154d及154n相重疊，且其側壁可逐漸縮減以確保相對於待形成於後續製程中之覆蓋層的黏附。

參看圖16及圖17，移除了形成於閘電極124d、124n及124p上的光阻圖案(圖14之61'及圖15之62'及63')，且閘極絕緣層經形成以覆蓋具有閘電極124d、124n及124p的基板110，以形成第一層間絕緣層601。接著，使用光罩而藉由光微影來圖案化第一層間絕緣層601以形成暴露源極及汲極區域153n、153p、155n及155p的第一及第二接觸孔141n、141p、142n及142p。

參看圖18及圖19，於第一層間絕緣層601上形成一資料傳導層，接著使用光罩經由光微影來圖案化以形成一資料線(未圖示)、源電極173d、173n及173p以及汲電極175d、175n及175p。源電極173n及173p分別穿過第一接觸孔141n及141p與源極區域153n及153p相連接，且汲電極175n及175p分別穿過第二接觸孔142n及142p與汲極區域155n及155p相連接。

參看圖20及圖21，藉由電漿增強化學氣相沈積(PECVD)形成之具有良好平坦特性之感光有機材料或低介電絕緣材料(諸如，a-Si:C:O及a-Si:O:F)沈積於具有源電極173d、173n及173p以及汲電極175d、175n及175p的第一層間絕緣層601上，以形成第二層間絕緣層602。隨後，使用光罩經由光微影來圖案化第二層間絕緣層602以形成一暴露像素

區中之汲電極175d的第三接觸孔143。

最終，返回參看圖2及圖3，諸如氧化銦錫(ITO)或氧化銦鋅(IZO)之透明傳導材料沈積於具有第三接觸孔143的第二層間絕緣層602上且其經圖案化以形成一像素電極190及用於複數個訊號線之電連接的輔助襯墊(未圖示)。像素電極190穿過第三接觸孔143與汲電極175d電連接。輔助襯墊分別穿過形成於第一層間絕緣層601及第二層間絕緣層602以及閘極絕緣層140之上的第四及第五接觸孔(未圖示)與對應資料線及閘極線電連接。

接著將描述製造根據本發明之另一實施例之薄膜電晶體(TFT)基板的方法。除了像素區中之閘電極及驅動區中之NMOS閘電極與形成於每一個別半導體層中的通道區域相重疊之外，此製造TFT基板之方法與前述TFT基板之製造方法相同。現將參看圖4至圖11及圖22至圖31僅描述兩個實施例之間之差異。圖22、圖24、圖26、圖28及圖30為製造根據本發明之另一實施例之TFT基板之多個步驟中像素區中之中間結構的橫截面圖，且圖23、圖25、圖27、圖29及圖31為製造根據本發明之另一實施例之TFT基板之多個步驟中驅動區中之中間結構的橫截面圖。

首先，參看圖6至圖11，於透明絕緣基板110上形成一阻斷層111。於像素區及驅動區中之NMOS阻斷層111上形成n型低濃度區域152d及152n，及與n型低濃度區域152d及152n相連接且包括植入有高濃度n型雜質標識之源極區域153d及153n以及汲極區域155d及155n的半導體層150d及

150n。於驅動區中之PMOS阻斷層111上形成摻雜至通道區域154p之側壁中的p型高濃度源極區域153p及汲極區域155p，及與源極區域153p及汲極區域155p相連接且包括n型低濃度區域152p的半導體層150p。參看圖22，閘極絕緣層140及閘極傳導層經順序形成以覆蓋具有半導體層150d、150n及150p的基板110。

隨後，於閘極傳導層上形成一光阻層。接著，使用狹縫光罩或半階光罩(未圖示)經由光微影曝光且顯影所得光阻層來形成具有預定形狀的光阻圖案71、72、73。形成於像素區中之閘極傳導層上的光阻圖案71具有一由具有第三厚度d3的高位準部分71a及具有第四厚度d4的低位準部分71b及71c組成的雙層結構，且低位準部分71b及71c安置於高位準部分71a之兩側。光阻圖案71之高位準部分71a與形成於半導體層150d中的通道區域154d相重疊。低位準部分71b及71c與形成於半導體層150d中的低濃度區域152d及源極及汲極區域153d及155d相重疊。

在形成於驅動區中之閘極傳導層上的光阻圖案72及73中，與NMOS半導體層150n相重疊的光阻圖案72具有一由具有第三厚度d3的高位準部分72a及具有第四厚度d4的低位準部分72b及72c組成的雙層結構，且低位準部分72b及72c安置於高位準部分72a之兩側。與PMOS半導體層150p之一部分相重疊的光阻圖案73具有一由具有第三厚度d3之高位準部分組成的單層結構。光阻圖案72之高位準部分72a與形成於NMOS半導體層150n中的通道區域154n相重

疊，低位準部分72b及72c分別與形成於半導體層150n中的低濃度區域152n，以及源極及汲極區域153n及155n相重疊。另外，單層光阻圖案73根據待最終形成於PMOS半導體層150p中之目標通道區域(意即，通道區域154p)的寬度而變化。

隨後，將形成於閘極傳導層上的光阻圖案71、72及73用作蝕刻光罩來圖案化閘極傳導層以形成像素區中之閘極圖案120d及驅動區中之NMOS閘極圖案120n及PMOS閘電極124p。此處，閘極圖案120d及120n以及PMOS閘電極124p之側壁可逐漸縮減以便確保相對於待形成於後續製程中之覆蓋層的黏附。

接著，將所得產物用作離子植入光罩來植入標識為P+之高濃度p型雜質至PMOS之半導體層150p中以形成源極區域153p及汲極區域155p。參看圖24及圖25，經由氧電漿處理而藉由灰化來蝕刻光阻圖案(圖22之71及圖23之72及73)直至移除低位準部分(圖22之71b及71c及圖23之72b及72c)為止。

隨後，將灰化光阻圖案71'、72'及73'用作蝕刻光罩來圖案化閘極圖案(圖22之120d及圖23之120n)以分別形成像素區以及NMOS閘電極125d及125n。此處，閘電極125d及125n可與覆蓋有閘電極125d及125n之半導體層150d及150n中形成的通道區域154d及154n相重疊，且其側壁可逐漸縮減以便確保相對於待形成於後續製程中之覆蓋層的黏附。

接著，參看圖26及圖27，自閘電極125d、125n及124p移

除光阻圖案(圖24之71'以及圖25之72'及73')，且於並不具有光阻圖案之所得閘電極125d、125n及124p上形成第一層間絕緣層601，以形成第一及第二接觸孔141n、141p、142n及142p。

參看圖28及圖29，於第一層間絕緣層601上形成一資料傳導層，接著使用光罩經由光微影來圖案化以形成一資料線(未圖示)、分別穿過第一接觸孔141n及141p以及第二接觸孔142n及142p與源極區域153n及153p以及汲極區域155n及155p相連接的源電極173d、173n及173p以及汲電極175d、175n及175p。

參看圖30及圖31，於具有資料線、源電極173d、173n及173p以及汲電極175d、175n及175p之第一層間絕緣層601上形成第二層間絕緣層602，且其經圖案化以形成暴露像素區中之汲電極175d的第三接觸孔143。

最終，返回參看圖4及圖5，諸如氧化銦錫(ITO)或氧化銦鋅(IZO)之透明傳導材料沈積於具有第三接觸孔143的第二層間絕緣層602上且其經圖案化形成一像素電極190及用於複數個訊號線之電連接的輔助襯墊(未圖示)。

雖然本發明展示且描述注入驅動區中之低濃度區域、源極及汲極區域以及NMOS半導體層中的n型雜質離子，以及注入PMOS半導體層中之源極及汲極區域中的p型雜質離子，但顯而易見的是本發明亦可應用於注入相反類型之雜質離子至個別區域的狀況。

如上所述，根據本發明，可使用單一光罩來將低濃度區

域、源極區域及汲極區域形成於一半導體層內。另外，由於直接將高濃度雜質離子摻雜入半導體層中，所以可以相對低的離子植入能量來執行離子植入。另外，閘極相重疊之輕度摻雜汲極(GOLDD)結構可得以達成而並未額外製程步驟，藉此簡化了製造方法且降低了生產成本。

雖然已參看本發明之例示性實施例來特別展示且描述本發明，但一般熟習此項技術者將瞭解，可在並不偏離如隨附申請專利範圍所界定之本發明之精神及範疇的情況下進行形式及細節上的各種改變。因此，應瞭解，上述實施例僅以描述性意義來提供且不將理解為對本發明之範疇進行任何限制。

【圖式簡單說明】

圖1為根據本發明之一實施例之TFT基板的示意圖；

圖2為說明根據本發明之一實施例之TFT基板中的像素區的橫截面圖；

圖3為具有一PMOS及一NMOS之CMOS裝置的橫截面圖，其說明根據本發明之一實施例之TFT基板的驅動區；

圖4為說明根據本發明之另一實施例之TFT基板中之像素區的橫截面圖；

圖5為具有一PMOS及一NMOS之CMOS裝置的橫截面圖，其說明根據本發明之另一實施例之TFT基板的驅動區；

圖6、圖8、圖10、圖12、圖14、圖16、圖18及圖20為製造根據本發明之一實施例之TFT基板的多個步驟中像素區

中之中間結構的橫截面圖；

圖 7、圖 9、圖 11、圖 13、圖 15、圖 17、圖 19 及圖 21 為製造根據本發明之一實施例之 TFT 基板的多個步驟中驅動區中之中間結構的橫截面圖；

圖 22、圖 24、圖 26、圖 28 及圖 30 為製造根據本發明之另一實施例之 TFT 基板的多個步驟中像素區中之中間結構的橫截面圖；及

圖 23、圖 25、圖 27、圖 29 及圖 31 為製造根據本發明之另一實施例之 TFT 基板的多個步驟中像素區中之中間結構的橫截面圖。

【主要元件符號說明】

10	像素區
20	閘極驅動器
30	資料驅動器/時序控制器
51、52、53	圖案
51'、52'、53'	光阻圖案
51"、52"、53"	光阻圖案
51a	高位準部分
51b	低位準部分
51c	低位準部分
52a	高位準部分
52b	低位準部分
52c	低位準部分
61、62	光阻圖案

61'、62'、63'	光阻圖案
61a	高位準部分
61b	低位準部分
61c	低位準部分
62a	高位準部分
62b	低位準部分
62c	低位準部分
71、72	光阻圖案
71'、72'、73'	光阻圖案
71a	高位準部分
71b	低位準部分
71c	低位準部分
72a	高位準部分
72b	低位準部分
72c	低位準部分
110	透明絕緣基板
111	阻斷層
120d	閘極圖案
120n	閘極圖案
124d	閘電極
124n	閘電極
124p	閘電極
125d	閘電極
125n	閘電極

140	閘極絕緣層
141d、141n、141p	第一接觸孔
142d、142n、142p	第二接觸孔
143	接觸孔
150d	半導體層
150n	半導體層
150p	半導體層
152d	低濃度區域
152n	低濃度區域
152p	低濃度區域
153d	源極區域
153n	源極區域
153p	源極區域
154d	通道區域
154n	通道區域
154p	通道區域
155d	汲極區域
155n	汲極區域
155p	汲極區域
173d、173n、173p	源電極
175d、175n、175p	汲電極
190	像素電極
601	第一層間絕緣層
602	第二層間絕緣層

十、申請專利範圍：

1. 一種製造一薄膜電晶體(TFT)基板的方法，其包含：

提供一具有一半導體層的基板，該半導體層包括一低濃度區域及處於由多晶矽製成之一通道區域之兩側的接近該低濃度區域的一源極區域/汲極區域；及

然後於該基板上順序地形成一閘極絕緣層及一傳導層且圖案化該傳導層以形成一閘電極。

2. 如請求項1之方法，其中該提供該基板包含：

於具有一多晶矽層之該基板上形成一光阻圖案，該光阻圖案包括一與該通道區域及該低濃度區域相重疊的高位準部分及一安置於接近該高位準部分之兩側且與該源極區域/汲極區域相重疊的低位準部分；

將該光阻圖案用作一蝕刻光罩來圖案化該多晶矽層以形成該半導體層；

移除該光阻圖案之該低位準部分以形成一第一離子植入光罩結構；

將該第一離子植入光罩結構用作一離子植入光罩來植入高濃度雜質離子至該半導體層中以形成該源極區域/汲極區域；

將該光阻圖案之側壁與該半導體層之該低濃度區域及該通道區域之間的邊界實質上相對準以形成一第二離子植入光罩結構，該低位準部份已自該光阻圖案之側壁移除；及

將該第二離子植入光罩結構用作一離子植入光罩來植

入低濃度雜質離子至該半導體層中以形成該低濃度區域。

3. 如請求項2之方法，其中該形成該閘電極包含：

於該傳導層上形成與形成於該半導體層中之該通道區域及該低濃度區域相重疊的該光阻圖案；及

將該光阻圖案用作一蝕刻光罩來圖案化該傳導層以形成該閘電極。

4. 如請求項2之方法，其中該形成該閘電極包含：

於該傳導層上形成與形成於該半導體層中之該通道區域相重疊的該光阻圖案；及

將該光阻圖案用作一蝕刻光罩來圖案化該傳導層以形成該閘電極。

5. 如請求項1之方法，進一步包含於該半導體層與該基板之間形成一阻斷層。

6. 一種製造一薄膜電晶體(TFT)基板的方法，其包含：

提供一具有一第一半導體層及一第二半導體層的基板，該第一半導體層包括一第一傳導類型的一低濃度區域及處於由多晶矽製成之一通道區域之兩側的接近一第一傳導類型之該低濃度區域之一第一傳導類型的一源極區域/汲極區域，且該第二半導體層包括處於其兩側處之一第一傳導類型的低濃度區域；

然後於該基板上順序地形成一閘極絕緣層及一傳導層且形成一與該第一半導體層相重疊的光阻圖案及一與形成於該傳導層上之該第二半導體層中之一通道區域相重

疊的光阻圖案；

將該等個別光阻圖案用作蝕刻光罩來圖案化該傳導層以形成第一及第二閘電極；及

將該等所得產物用作離子植入光罩來植入一第二傳導類型之高濃度雜質離子至該第二半導體層中以形成源極及汲極區域。

7. 如請求項6之方法，其中該提供該基板包含：

於具有一多晶矽層之該基板上形成一第一光阻圖案及一第二光阻圖案，該第一光阻圖案包括一與該第一半導體層之該通道區域及該低濃度區域相重疊的高位準部分及一安置於接近該高位準部分之兩側且與該源極區域/汲極區域相重疊的低位準部分；

將該第一及該第二光阻圖案用作蝕刻光罩來圖案化該多晶矽層以形成該第一及該第二半導體層；

灰化該第一及該第二光阻圖案直至移除該第一光阻圖案之該低位準部分以形成該第一離子植入光罩結構；

將該第一離子植入光罩結構用作離子植入光罩來植入一第一傳導類型之該高濃度雜質離子至該第一半導體層中以形成一第一傳導類型之該源極區域/汲極區域；

灰化該第一及該第二光阻圖案直至該灰化第一光阻圖案之兩個側壁與一第一傳導類型之該低濃度區域與該通道區域之間的邊界大體上相對準以形成一第二離子植入光罩結構；及

將該第二離子植入光罩結構用作一離子植入光罩來植

- 入一第一傳導類型之該低濃度雜質離子至該第一及該第二半導體層中以形成該低濃度區域。
8. 如請求項7之方法，其中該第一光阻圖案之該高位準部分具有與該第二光阻圖案之該高位準部分大體上相同的高度。
 9. 如請求項6之方法，其中與該第一半導體層相重疊的該光阻圖案包括一與該第一半導體層之該通道區域及一第一傳導類型之該低濃度區域相重疊的高位準部分及一安置於接近該高位準部分之兩側且與該源極區域/汲極區域相重疊的低位準部分。
 10. 如請求項9之方法，於該第二半導體層中形成該源極區域/汲極區域之後，進一步包含藉由移除與安置於接近該高位準部分之兩側的該第一半導體層相重疊且與該半導體層相重疊的該光阻圖案之該低位準部分且圖案化第一閘極圖案為一蝕刻光罩來形成一第一閘電極。
 11. 如請求項6之方法，其中與該第一半導體層相重疊的該光阻圖案包括一與該第一半導體層之該通道區域相重疊的高位準部分及一安置於接近該高位準部分之兩側且與一第一傳導類型之該低濃度區域相重疊且與該源極區域/汲極區域相重疊的低位準部分。
 12. 如請求項11之方法，於該第二半導體層中形成該源極區域/汲極區域之後，進一步包含藉由移除與安置於接近該高位準部分之兩側的該第一半導體層相重疊且與該半導體層相重疊的該光阻圖案之該低位準部分且圖案化第一

閘極圖案為一蝕刻光罩來形成一第一閘電極。

13. 如請求項6之方法，其中該第一傳導性為一n型且該第二傳導類型為一p型。

14. 如請求項6之方法，進一步包含於該第一及該第二半導體層中之每一者與該基板之間形成一阻斷層。

十一、圖式：

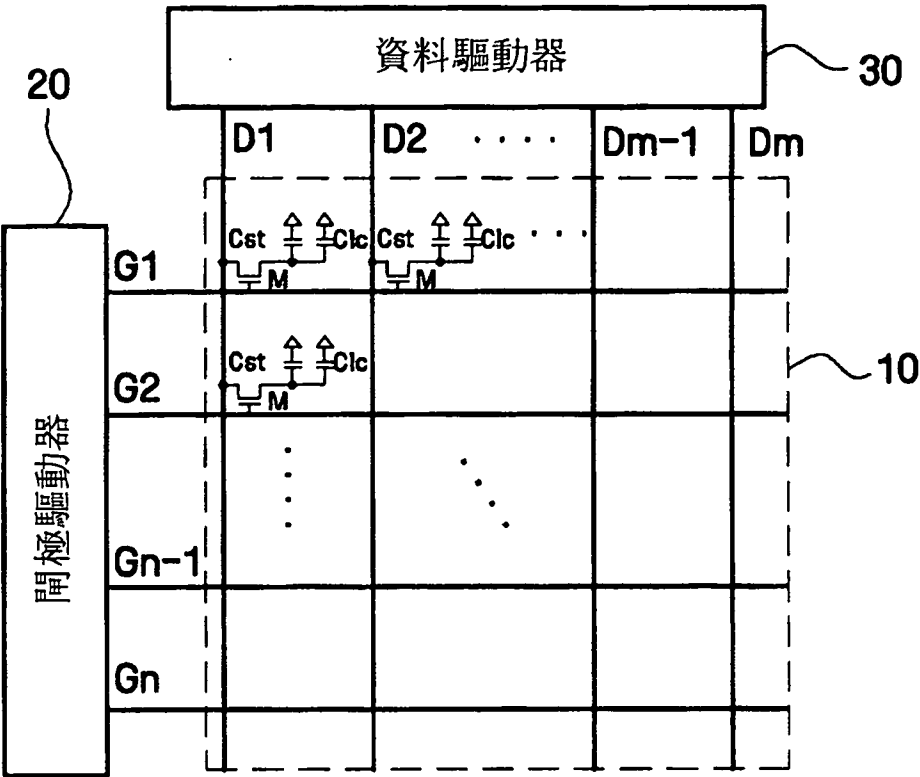


圖 1

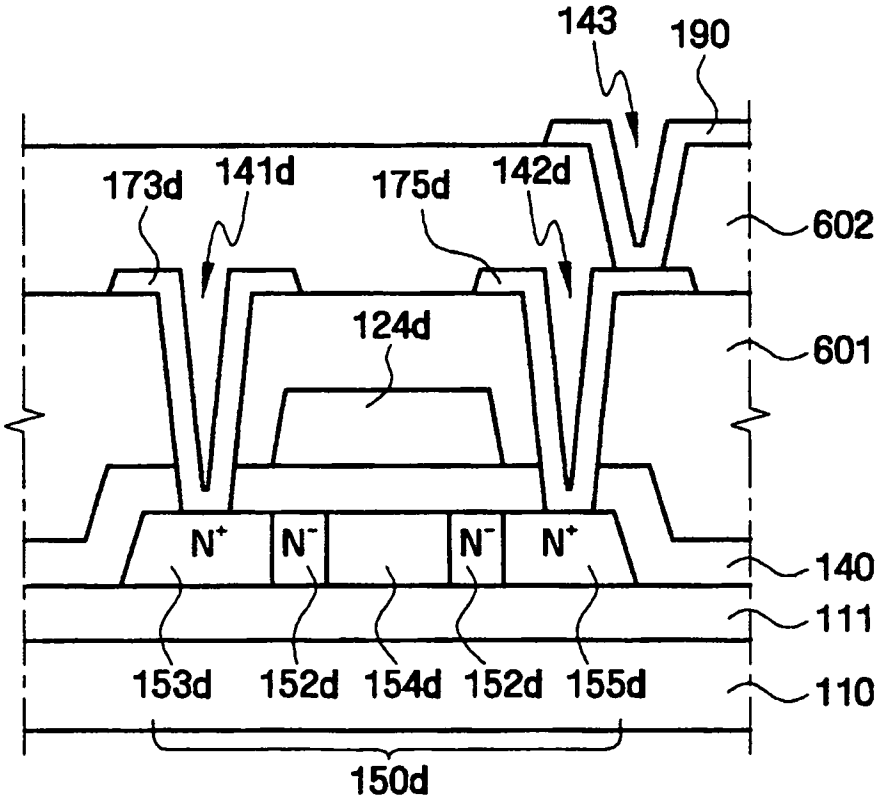


圖 2

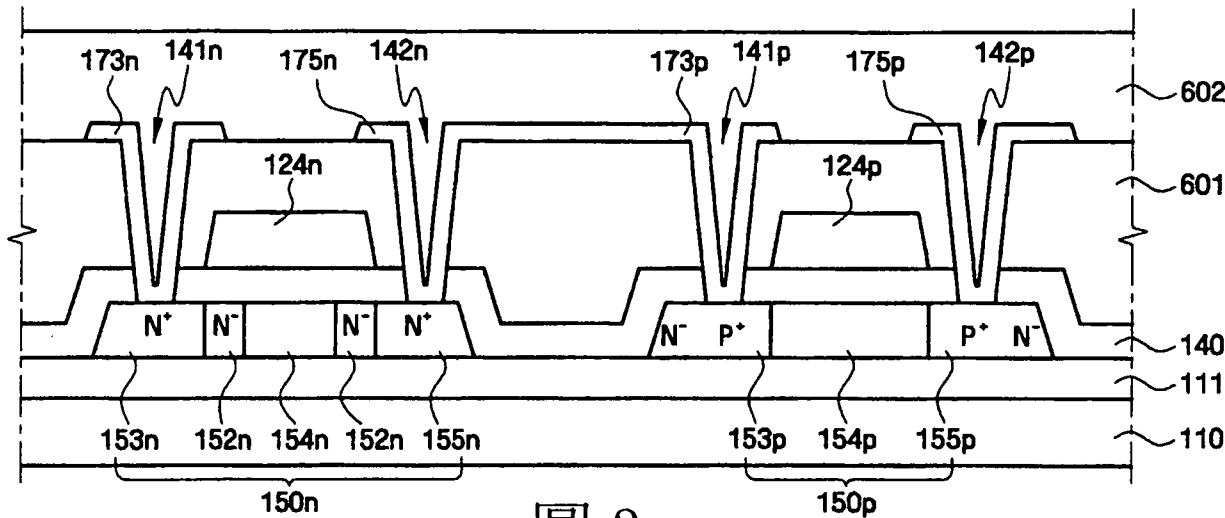


圖 3

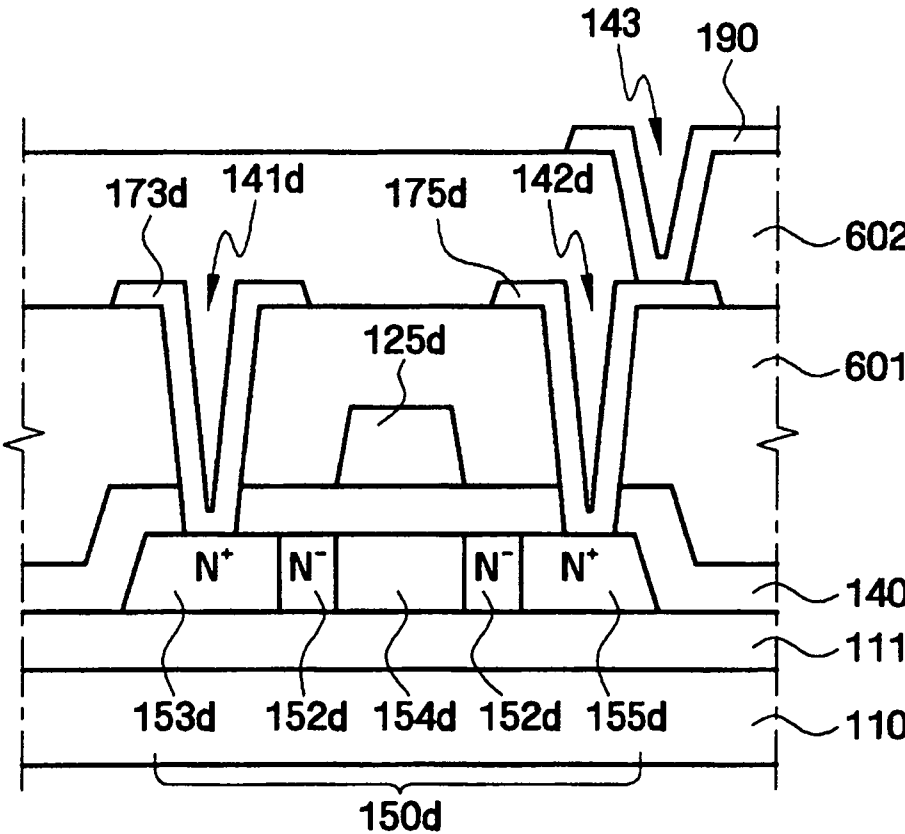


圖 4

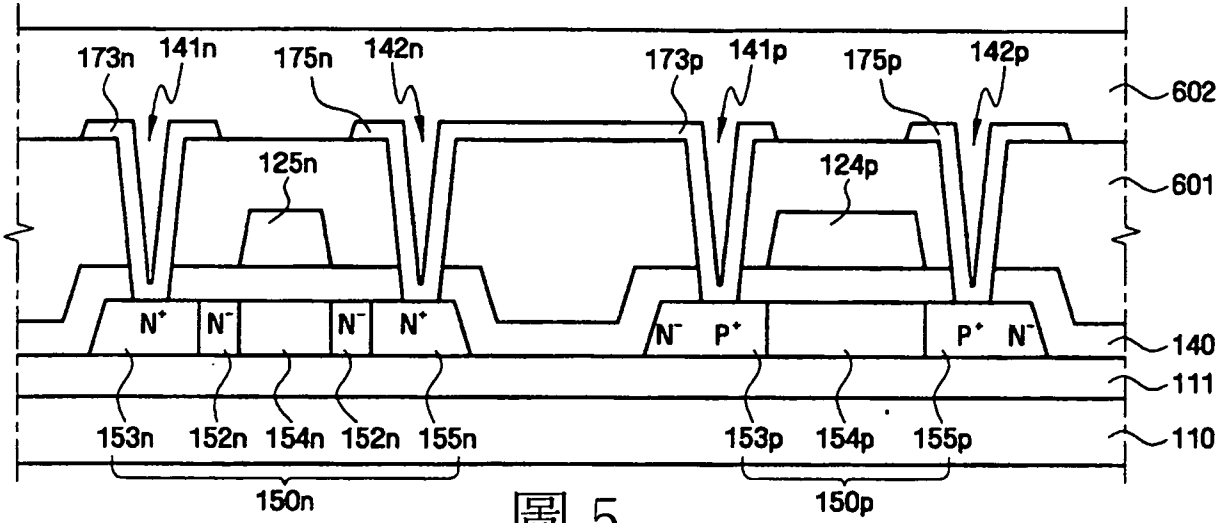


圖 5

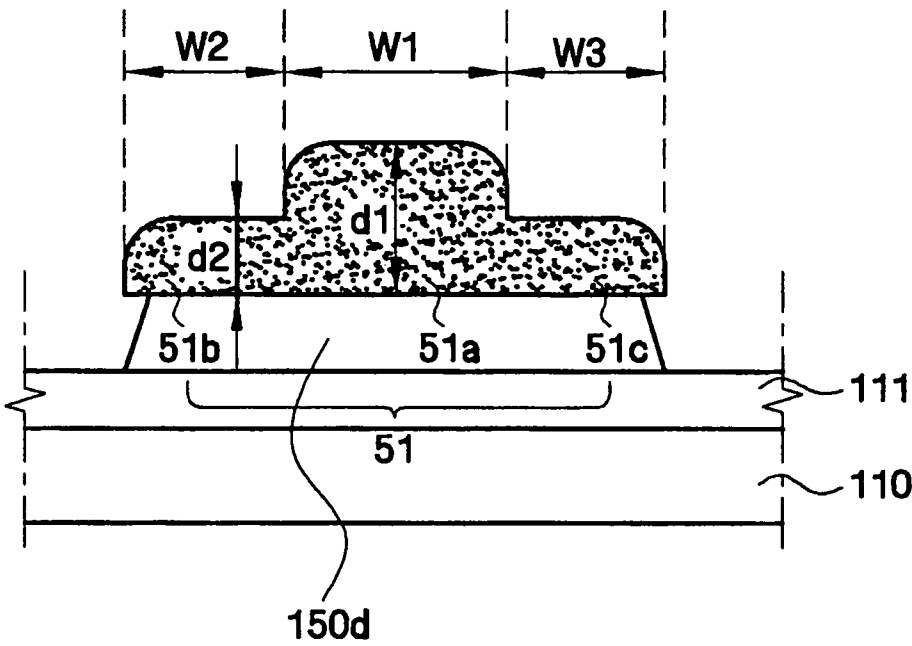
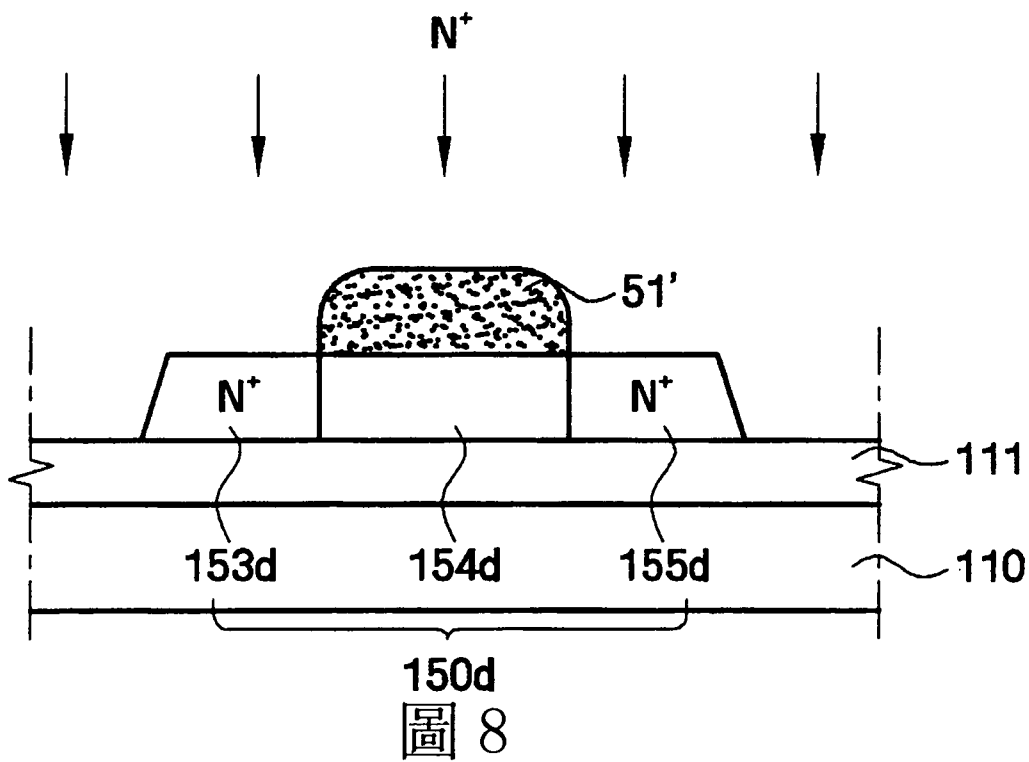
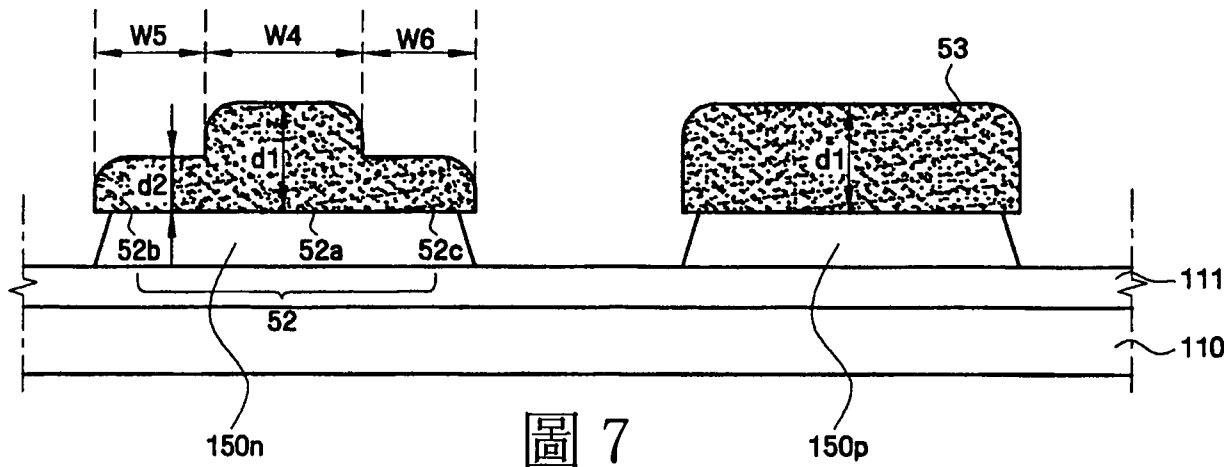
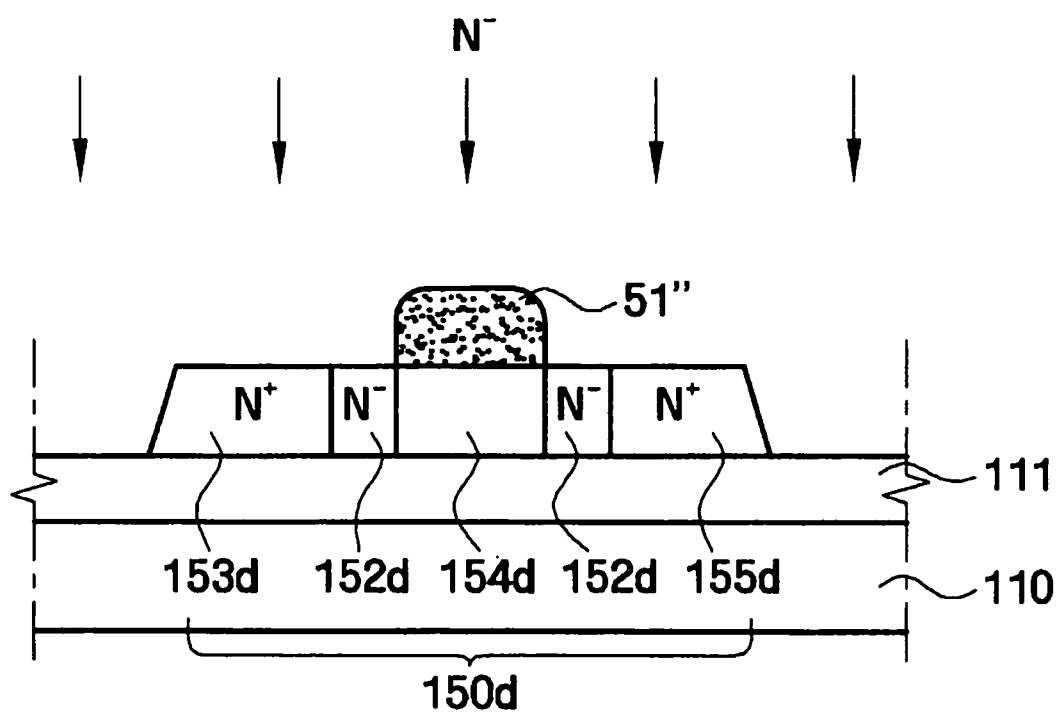
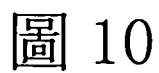


圖 6





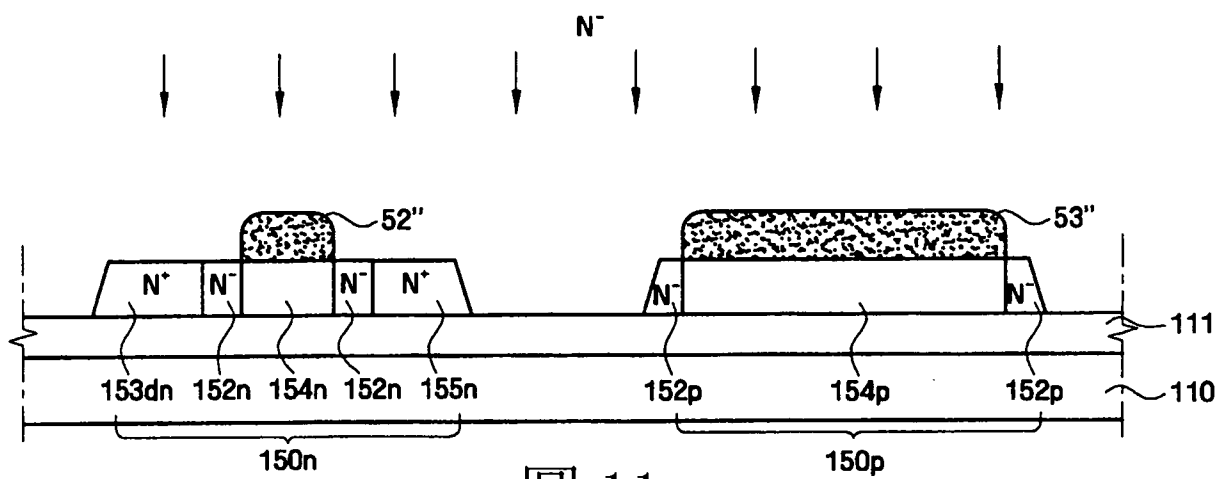


圖 11

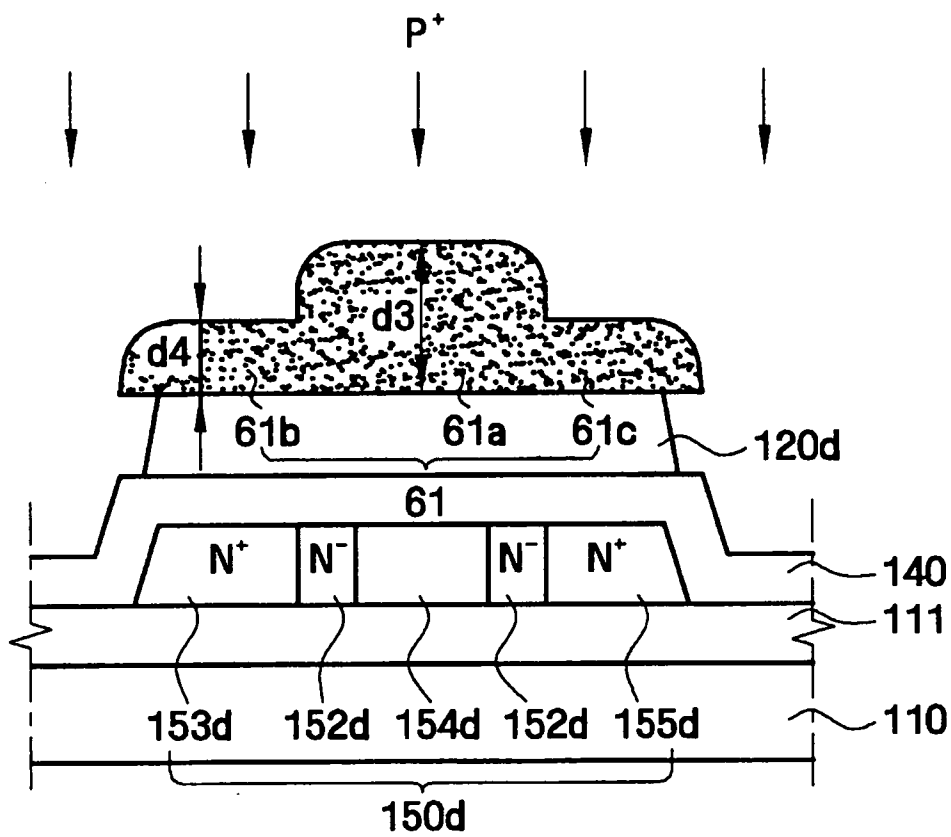


圖 12

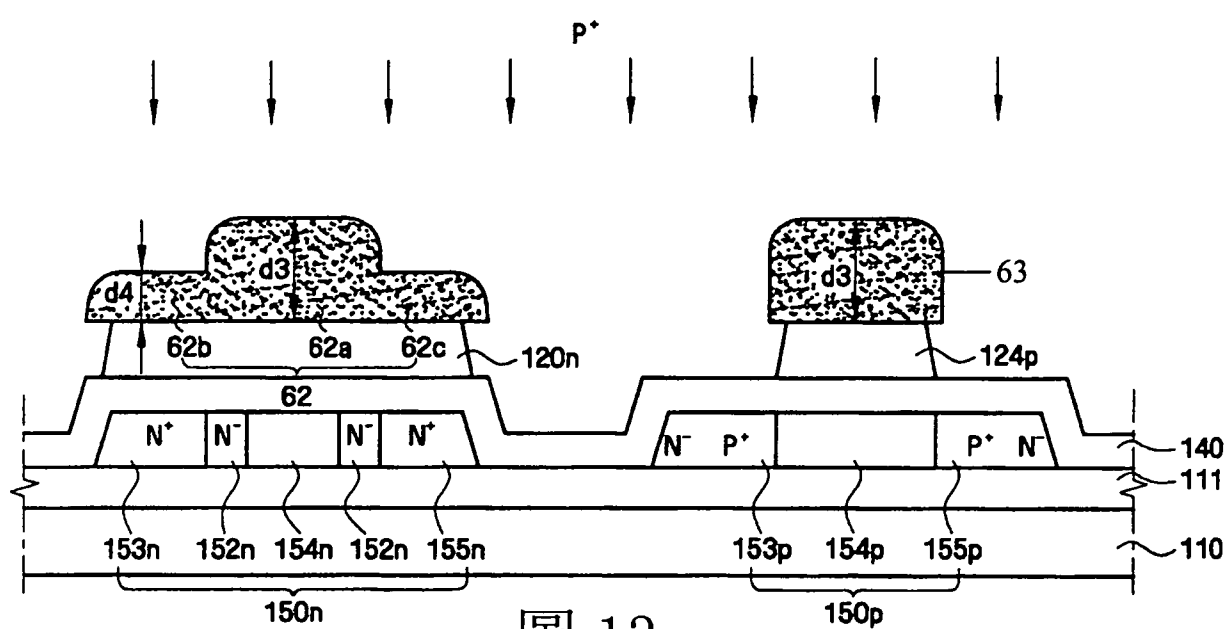


圖 13

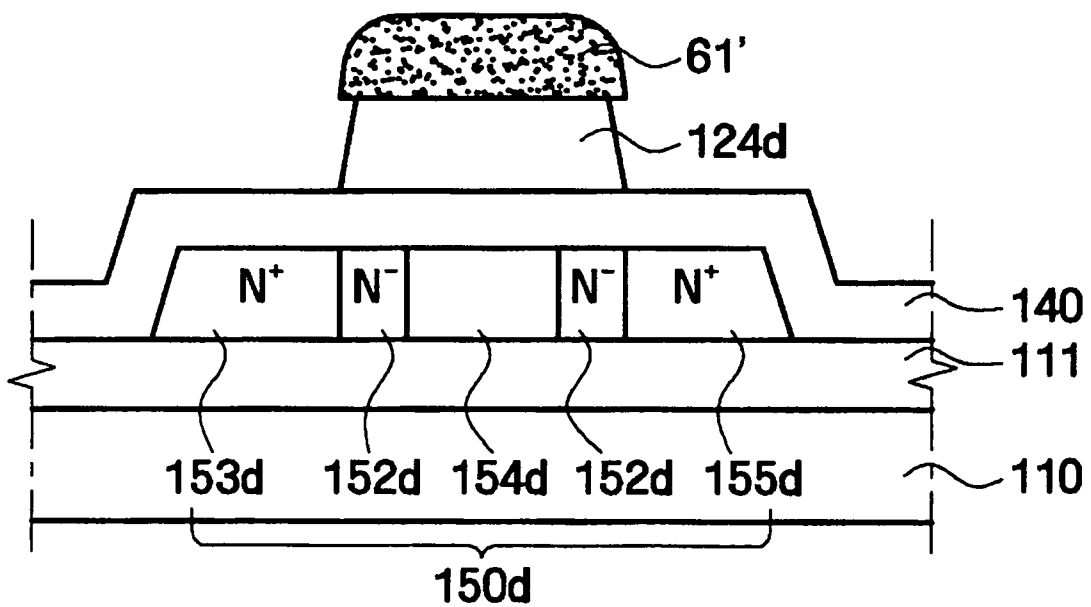


圖 14

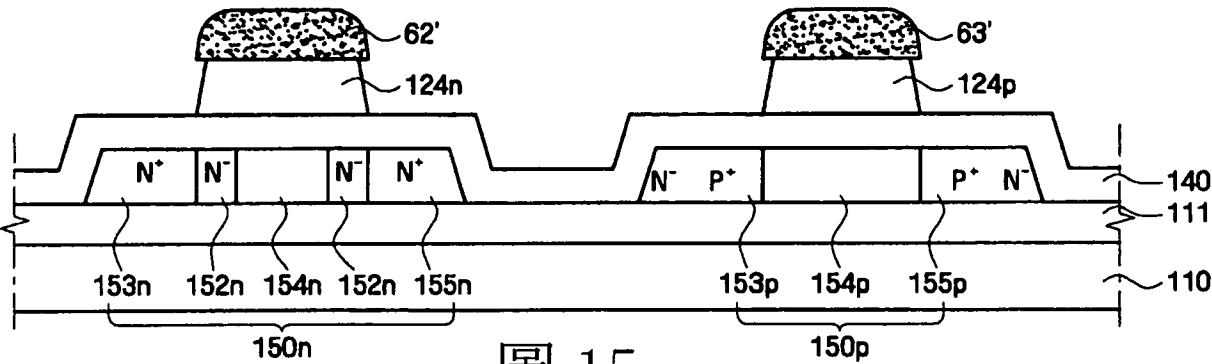


圖 15

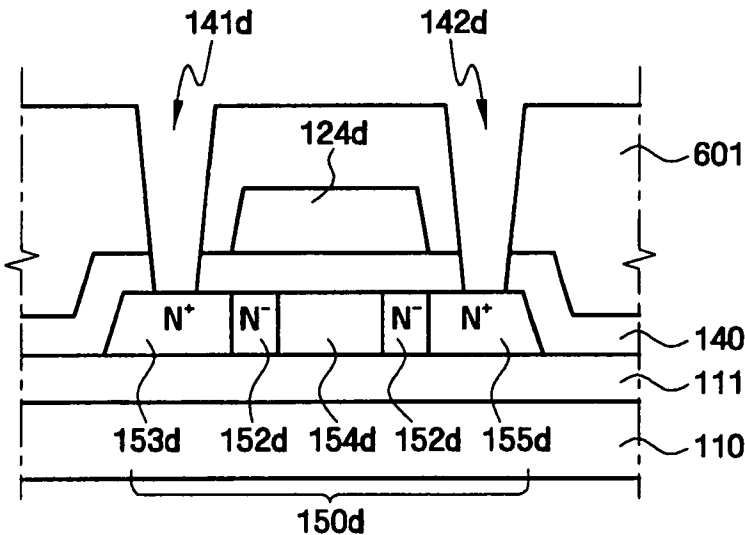


圖 16

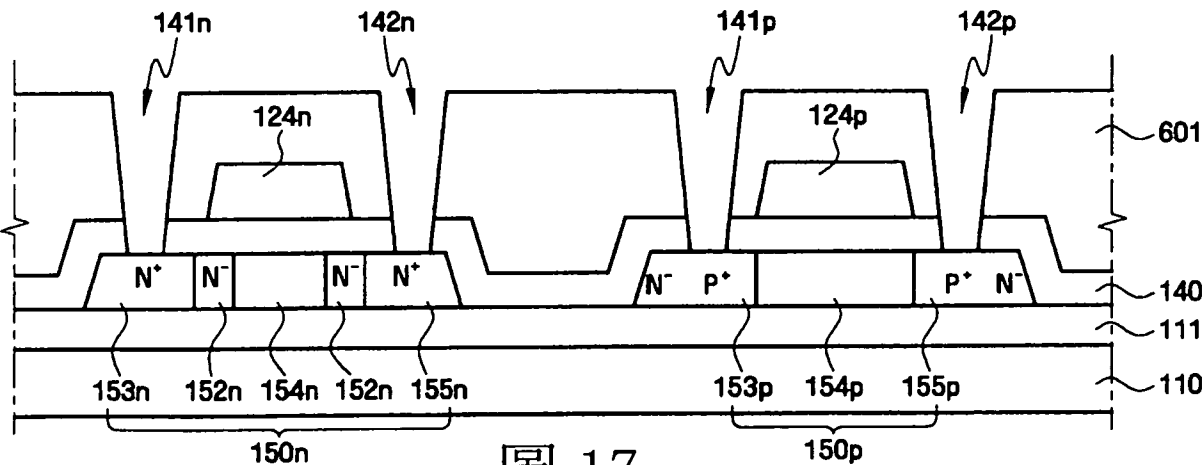


圖 17

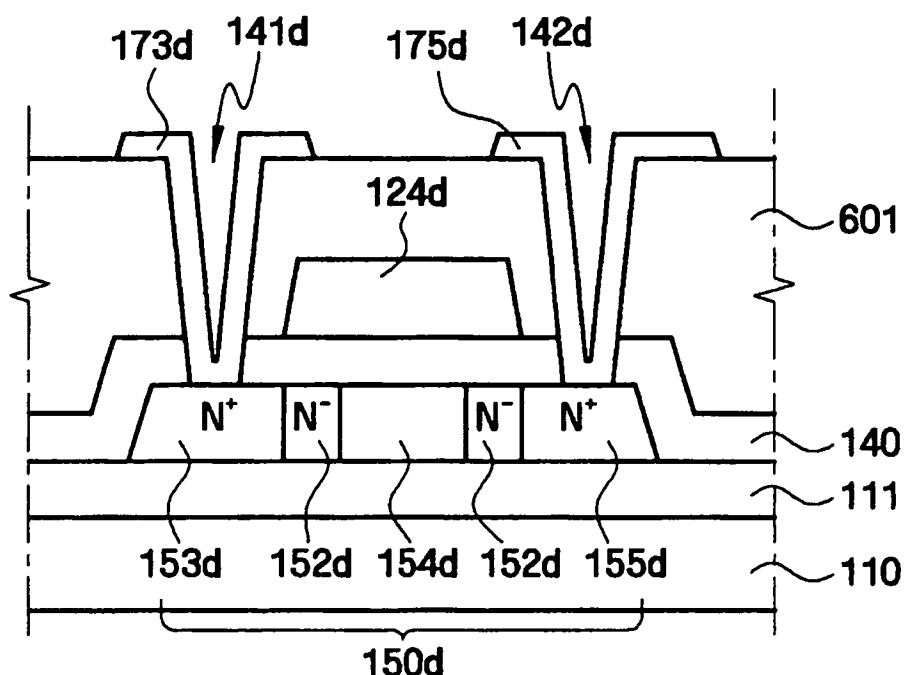


圖 18

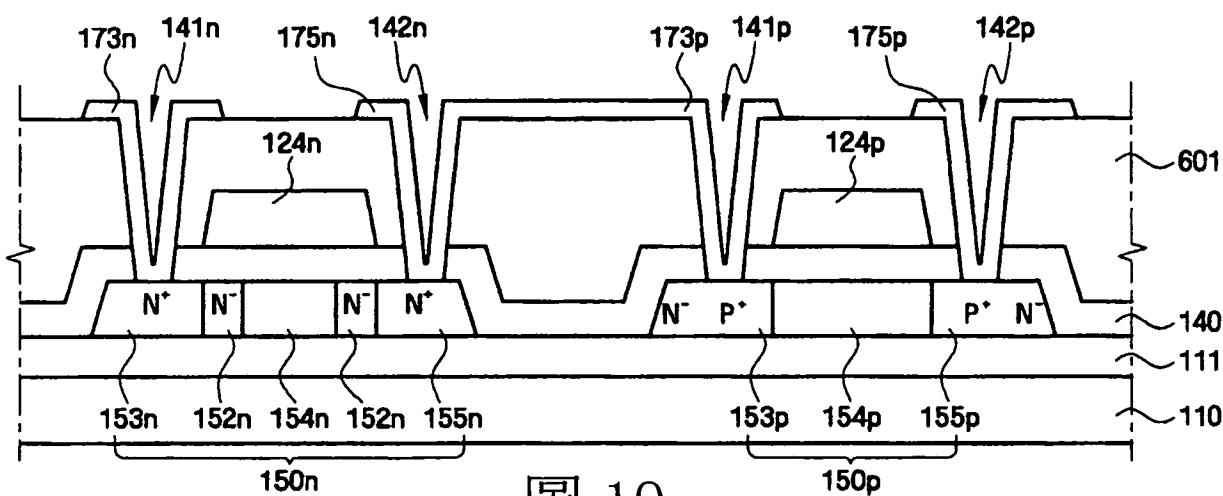


圖 19

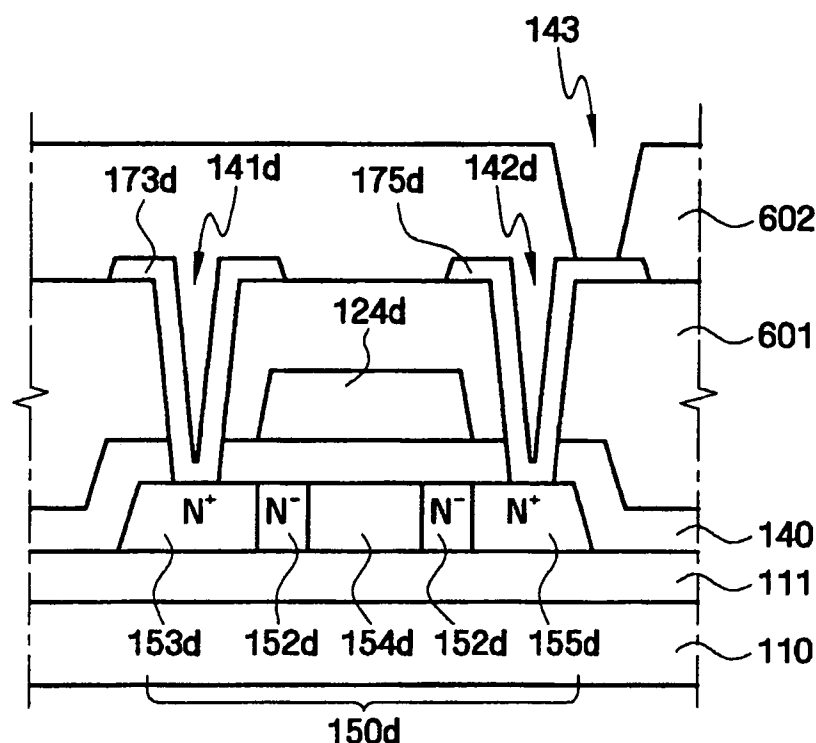


圖 20

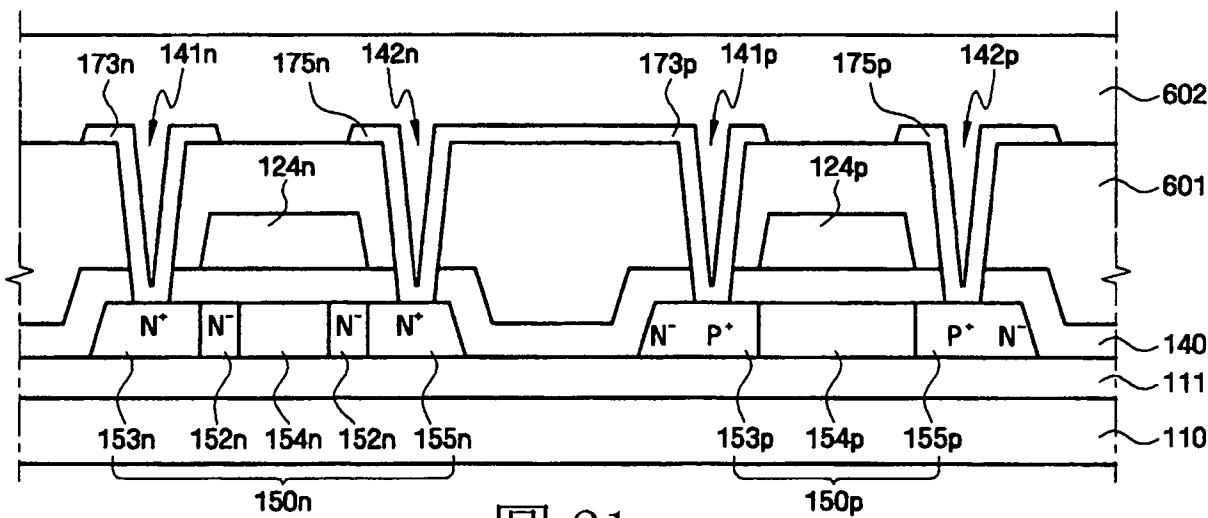


圖 21

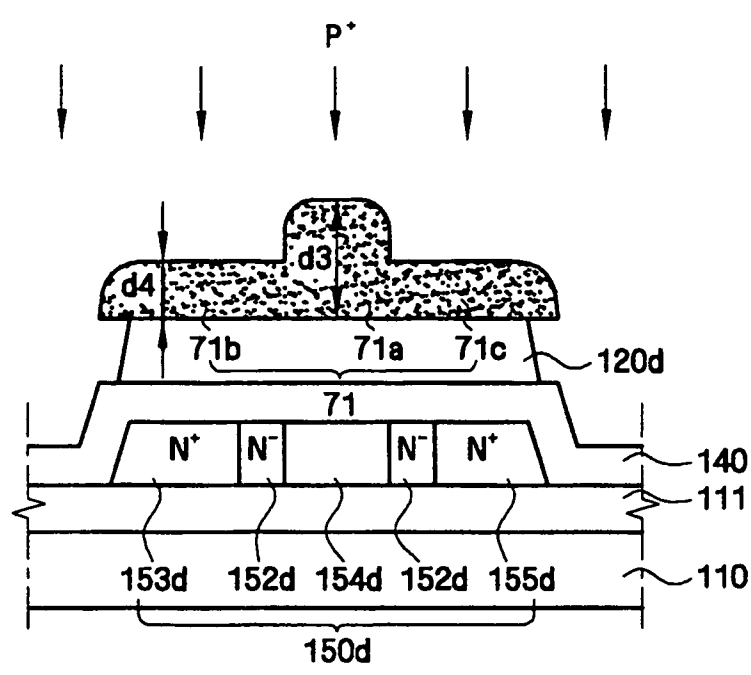


圖 22

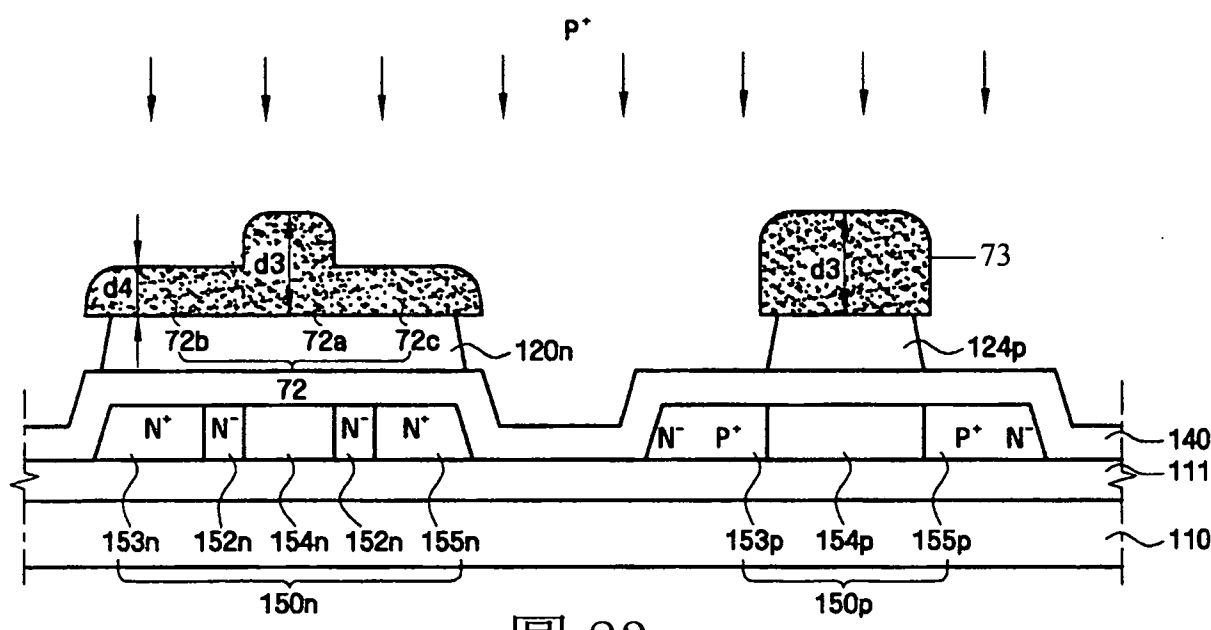


圖 23

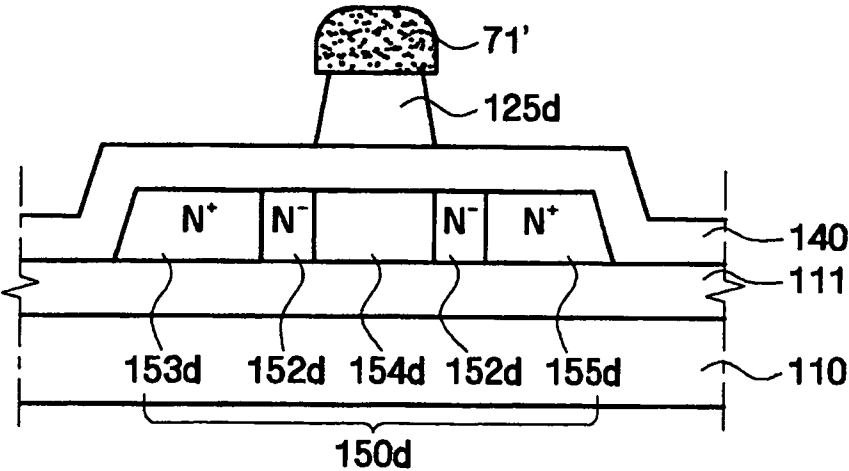


圖 24

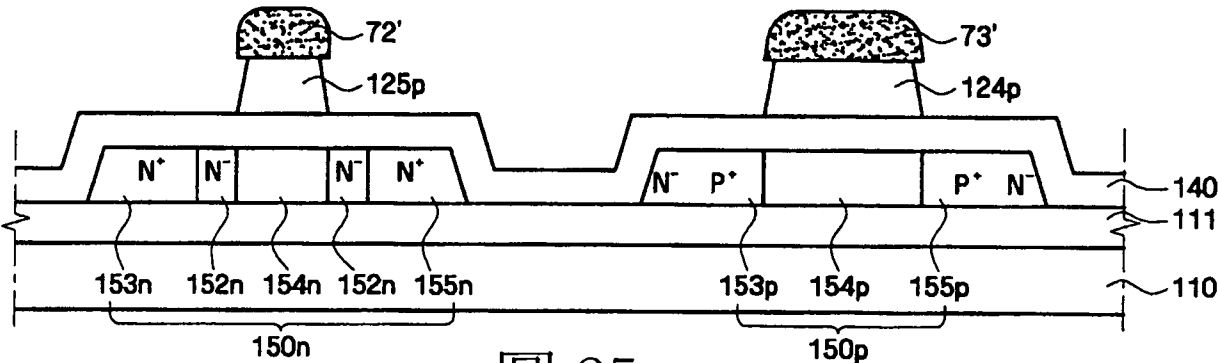


圖 25

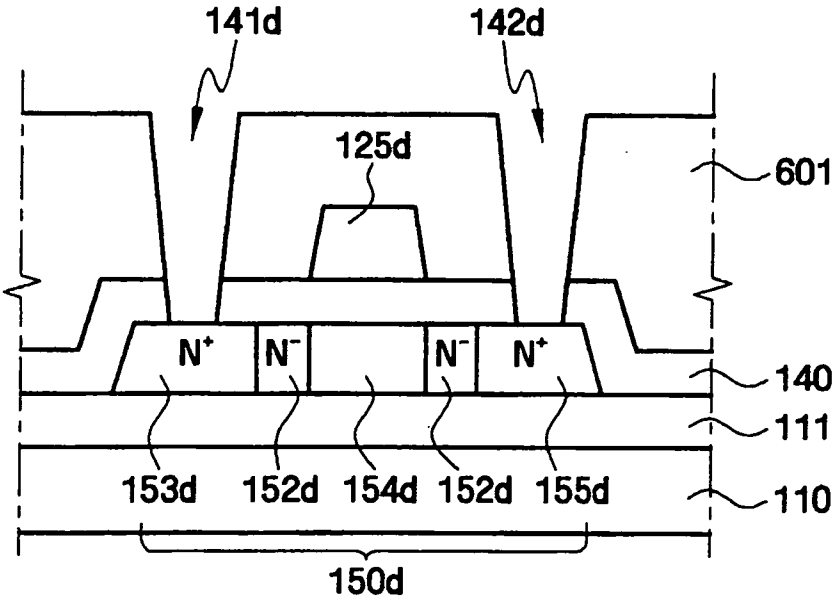


圖 26

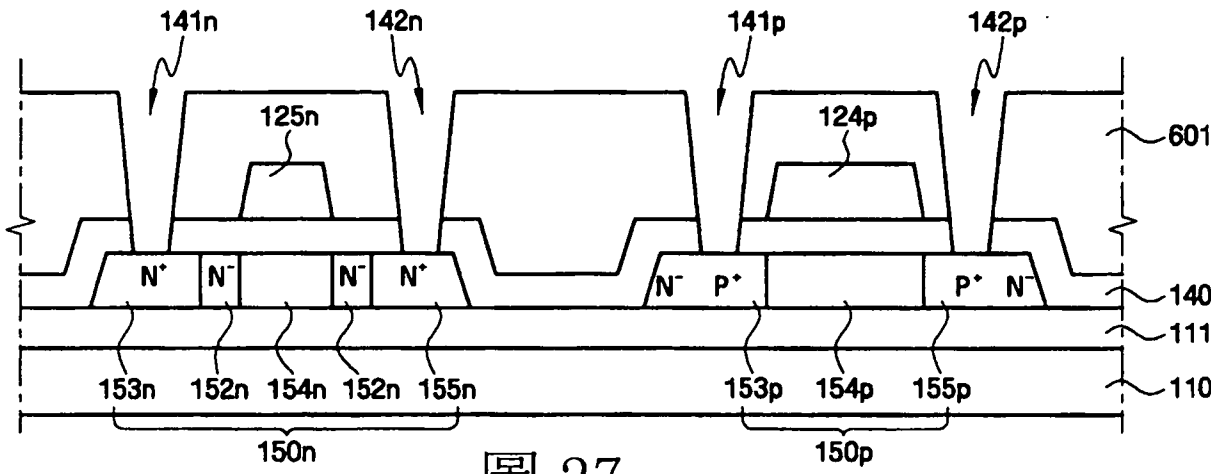


圖 27

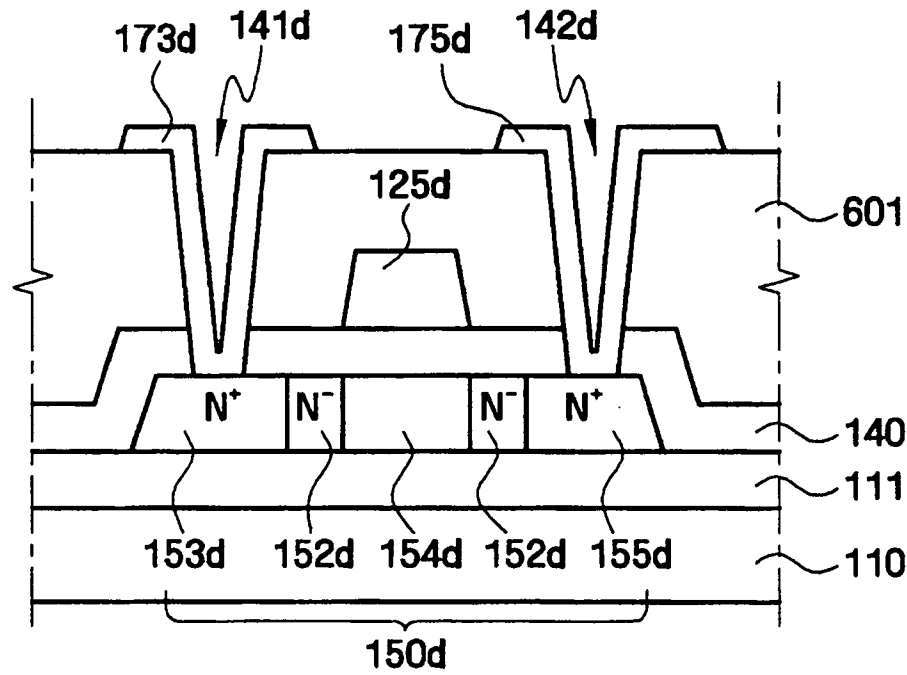


圖 28

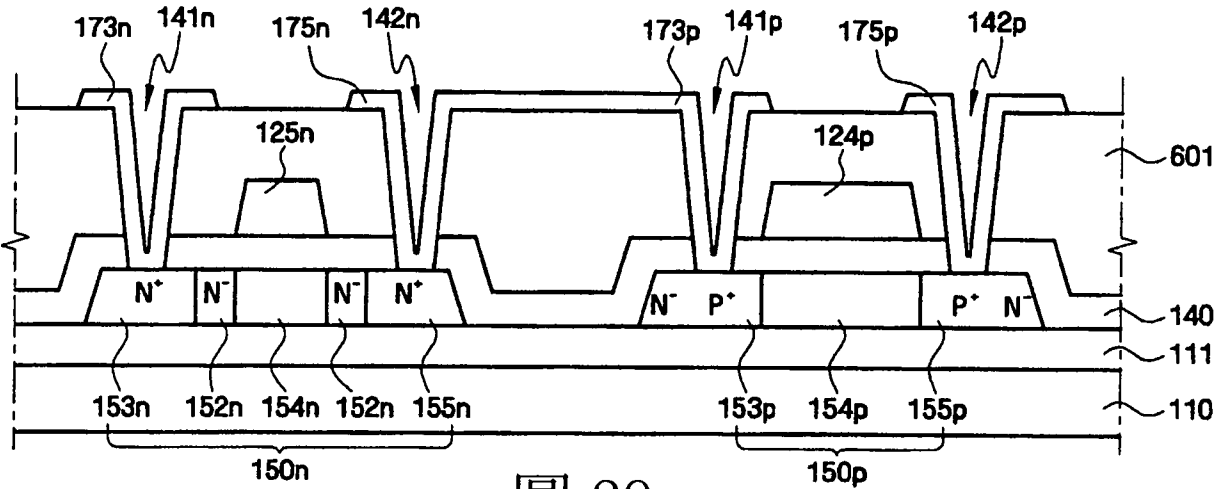


圖 29

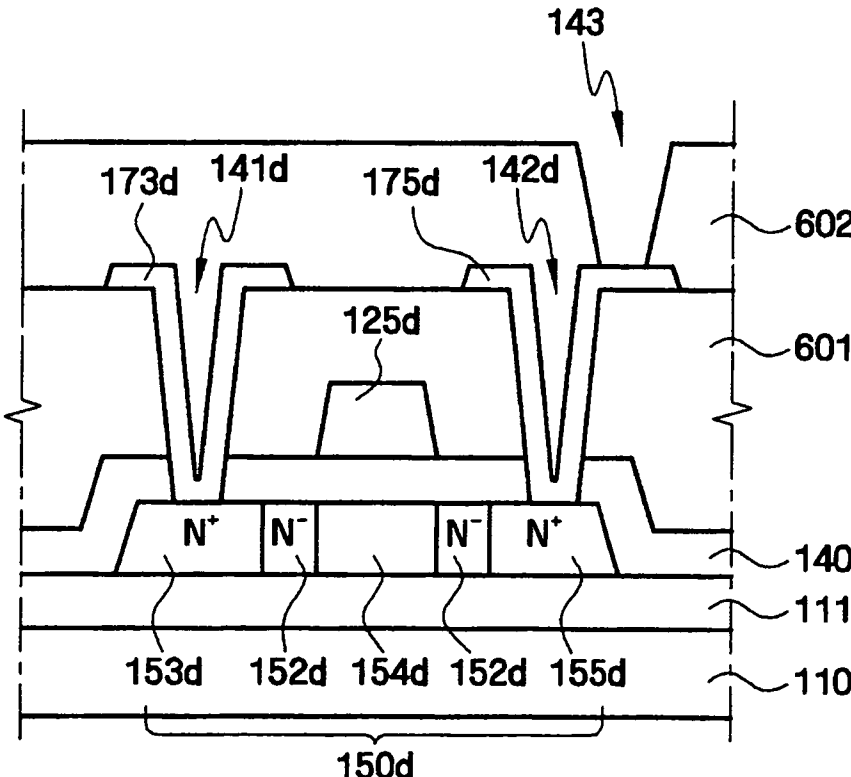


圖 30

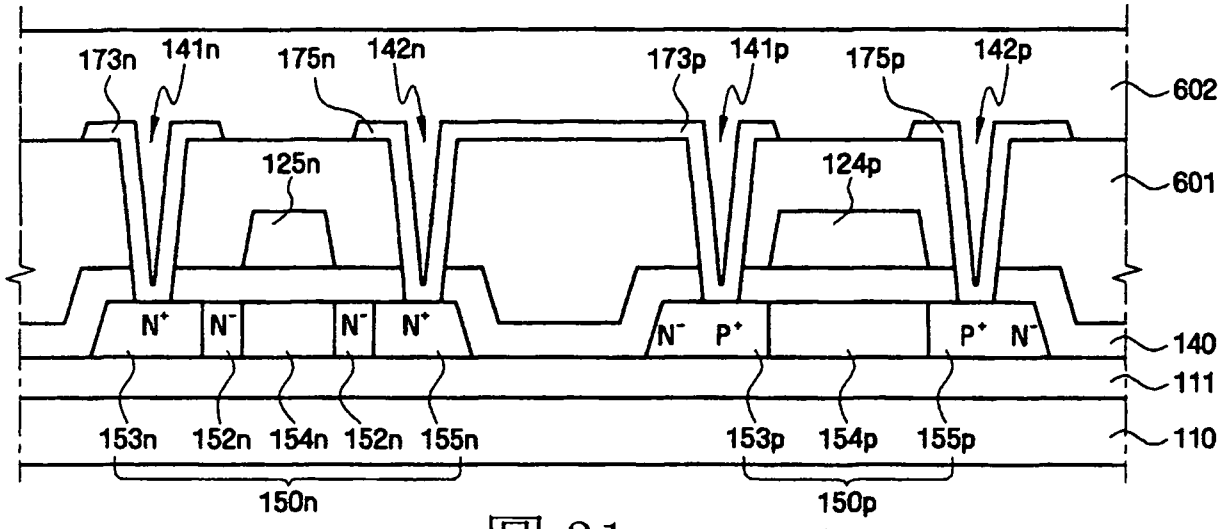


圖 31