

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-229373

(P2005-229373A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int. Cl.⁷
H04N 5/335
// H04N 101:00

F I
H04N 5/335 P
H04N 101:00

テーマコード(参考)
5C024

審査請求有 請求項の数 21 O L (全 14 頁)

(21) 出願番号	特願2004-36507 (P2004-36507)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年2月13日 (2004.2.13)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	船津 英一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	馬淵 圭司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中村 信男 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

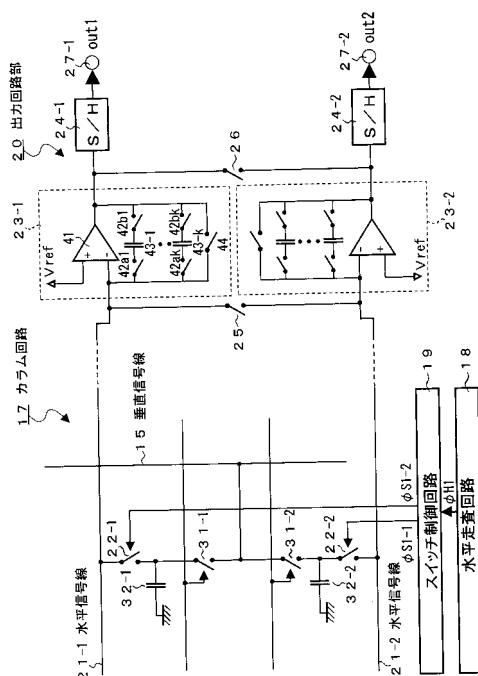
(54) 【発明の名称】 固体撮像装置および固体撮像装置の駆動方法

(57) 【要約】

【課題】全画素の情報を読み出すときの高速化に対応出来るとともに、垂直方向における精度の良い画素加算が可能な固体撮像装置の開発が望まれている。

【解決手段】2行分の各画素の電荷を列ごとに蓄える2つのキャパシタ32-1, 32-2を有するとともに、これらキャパシタ32-1, 32-2の各々に蓄えられた電荷に応じた画素信号をそれぞれ出力する2つの電荷-電圧変換アンプ23-1, 23-2を備えたMOS型固体撮像装置において、2つの電荷-電圧変換アンプ23-1, 23-2の入力端子同士および出力端子同士をそれぞれ選択的に短絡するスイッチ25, 26を設け、第1の駆動モードでは、スイッチ25, 26を非短絡状態にして二線出力の形態でアナログ信号を読み出すようにし、第2の駆動モードでは、スイッチ25, 26を短絡状態にしてアナログ信号の平均値を読み出すようにする。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、
前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、
前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する複数の出力回路と、
前記複数の出力回路の入力端子同士を選択的に短絡する第 1 スイッチ手段とを備えたことを特徴とする固体撮像装置。

【請求項 2】

前記複数の出力回路の出力端子同士を選択的に短絡する第 2 スイッチ手段をさらに備えたことを特徴とする請求項 1 記載の固体撮像装置。

10

【請求項 3】

前記複数のキャパシタおよび前記複数の出力回路は、複数の水平信号線の各々に対応して設けられており、当該複数の水平信号線を通して前記複数のキャパシタからそれぞれ出力される電荷を前記複数の出力回路でそれぞれ電圧に変換することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記複数のキャパシタおよび前記複数の出力回路は、複数の水平信号線の各々に対応して設けられており、当該複数の水平信号線を通して前記複数のキャパシタからそれぞれ電荷に応じて出力される電流を前記複数の出力回路でそれぞれ電圧に変換することを特徴とする請求項 1 記載の固体撮像装置。

20

【請求項 5】

前記複数のキャパシタおよび前記複数の出力回路は、前記垂直信号線ごとに設けられており、前記複数のキャパシタからそれぞれ出力される電荷を前記複数の出力回路でそれぞれ電圧に変換して複数の水平信号線に出力することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 6】

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、
前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、
前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する複数の出力回路と、
前記複数の出力回路の入力端子同士を選択的に短絡する第 1 スイッチ手段とを備えた固体撮像装置であって、
前記第 1 スイッチ手段を非短絡状態にして前記複数の出力回路から独立にアナログ信号を読み出す第 1 の駆動モードと、
前記第 1 スイッチ手段を短絡状態にして前記複数の出力回路から各アナログ信号の平均値を読み出す第 2 の駆動モードとを有することを特徴とする固体撮像装置。

30

40

【請求項 7】

前記第 1 スイッチ手段に連動して前記複数の出力回路の出力端子同士を選択的に短絡する第 2 スイッチ手段をさらに備えたことを特徴とする請求項 6 記載の固体撮像装置。

【請求項 8】

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、
前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、
前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力す

50

る複数の出力回路と、

前記複数の出力回路の入力端子同士を選択的に短絡する第 1 スイッチ手段とを備えた固体撮像装置の駆動方法であって、

前記第 1 スイッチ手段を非短絡状態にして前記複数の出力回路から独立にアナログ信号を読み出す

ことを特徴とする固体撮像装置の駆動方法。

【請求項 9】

前記固体撮像装置は、前記第 1 スイッチ手段に連動して前記複数の出力回路の出力端子同士を選択的に短絡する第 2 スイッチ手段をさらに備えた

ことを特徴とする請求項 8 記載の固体撮像装置の駆動方法。

10

【請求項 10】

前記複数の出力回路の 1 つの出力回路から前記アナログ信号を読み出す

ことを特徴とする請求項 8 記載の固体撮像装置の駆動方法。

【請求項 11】

前記複数の出力回路の各々から並行して前記アナログ信号を読み出す

ことを特徴とする請求項 8 記載の固体撮像装置の駆動方法。

【請求項 12】

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、

前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、

20

前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する複数の出力回路と、

前記複数の出力回路の入力端子同士を選択的に短絡する第 1 スイッチ手段とを備えた固体撮像装置の駆動方法であって、

前記第 1 スイッチ手段を短絡状態にして前記複数の出力回路から各アナログ信号の平均値を読み出す

ことを特徴とする固体撮像装置の駆動方法。

【請求項 13】

前記固体撮像装置は、前記第 1 スイッチ手段に連動して前記複数の出力回路の出力端子同士を選択的に短絡する第 2 スイッチ手段をさらに備えている

ことを特徴とする請求項 12 記載の固体撮像装置の駆動方法。

30

【請求項 14】

前記複数の出力回路の全てから前記平均値を読み出す

ことを特徴とする請求項 12 記載の固体撮像装置の駆動方法。

【請求項 15】

前記複数の出力回路のうちの 1 つの出力回路から前記平均値を読み出し、残りの出力回路の出力側を遮断状態にする

ことを特徴とする請求項 12 記載の固体撮像装置の駆動方法。

【請求項 16】

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、

40

前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、

前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する複数の出力回路と、

前記複数の出力回路の入力端子同士を選択的に短絡する第 1 スイッチ手段とを備えた固体撮像装置の駆動方法であって、

前記第 1 スイッチ手段を非短絡状態にして前記複数の出力回路から独立にアナログ信号を読み出す第 1 の駆動モードと、

前記第 1 スイッチ手段を短絡状態にして前記複数の出力回路から各アナログ信号の平均値を読み出す第 2 の駆動モードと

50

の２つのモードでの駆動が選択的に可能であることを特徴とする固体撮像装置の駆動方法。

【請求項１７】

前記固体撮像装置は、前記第１スイッチ手段に連動して前記複数の出力回路の出力端子同士を選択的に短絡する第２スイッチ手段をさらに備えていることを特徴とする請求項１６記載の固体撮像装置の駆動方法。

【請求項１８】

前記第１の駆動モードでは、前記複数の出力回路の１つの出力回路から前記アナログ信号を読み出すことを特徴とする請求項１６記載の固体撮像装置の駆動方法。

10

【請求項１９】

前記第１の駆動モードでは、前記複数の出力回路の各々から並行して前記アナログ信号を読み出すことを特徴とする請求項１６記載の固体撮像装置の駆動方法。

【請求項２０】

前記第２の駆動モードでは、前記複数の出力回路の全てから前記平均値を読み出すことを特徴とする請求項１６記載の固体撮像装置の駆動方法。

【請求項２１】

前記第２の駆動モードでは、前記複数の出力回路のうちの１つの出力回路から前記平均値を読み出し、残りの出力回路の出力側を遮断状態にすることを特徴とする請求項１６記載の固体撮像装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、固体撮像装置および固体撮像装置の駆動方法に関し、特に水平スキャン方式の固体撮像装置および当該固体撮像装置の駆動方法に関する。

【背景技術】

【０００２】

固体撮像装置を撮像デバイスとして用いたデジタルスチルカメラなどのカメラモジュールにおいて、固体撮像装置の全画素の情報をを用いる静止画モードに対して、例えば被写体をモニタリングするモニタモードでは、画素情報を加算したり、画素情報を間引いたりすることによって解像度を下げる処理が行われる。このように、低解像度で画素情報の読み出しを行う固体撮像装置においては、従来、水平走査回路から複数列分の水平走査パルス H を同時にアクティブにして、複数の列に同時にアクセスを行うことにより、水平信号線上で水平方向（横方向）の複数画素分の画素情報を加算するようにしていた（例えば、特許文献１参照）。

30

【０００３】

【特許文献１】特開平１１－１４６２７８号公報

【発明の開示】

【発明が解決しようとする課題】

40

【０００４】

しかしながら、上記従来例に係る固体撮像装置では、水平方向の画素加算を前提とした構成のものであるために、例えばデジタルスチルカメラの撮像デバイスとして用いる場合に、垂直方向（縦方向）の画素加算が必要なモニタモードには対応できない。また、１本の水平信号線を通して１行ごとに画素情報を読み出さなければならないために、静止画モードでの全画素読み出しの高速化に対応できない。

【０００５】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、全画素の情報を読み出す際の高速化に対応出来るとともに、垂直方向における精度の良い画素加算が可能な固体撮像装置および当該固体撮像装置の駆動方法を提供することにある。

50

【課題を解決するための手段】

【0006】

本発明による固体撮像装置は、光電変換素子を含む画素が行列状に2次元配置されてなる画素アレイ部と、前記画素アレイ部から垂直信号線を通して出力される複数行の各画素の電荷を列ごとに蓄える複数のキャパシタと、前記複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する複数の出力回路と、前記複数の出力回路の入力端子同士を選択的に短絡するスイッチ手段とを備えた構成となっている。そして、この固体撮像装置において、前記スイッチ手段を非短絡状態にして前記複数の出力回路から独立にアナログ信号を読み出す第1の駆動モードと、前記スイッチ手段を短絡状態にして前記複数の出力回路から各アナログ信号の平均値を読み出す第2の駆動モードとを適宜選択的に設定するようにする。

10

【0007】

上記構成の固体撮像装置において、第1の駆動モードでは、複数のキャパシタの各々に蓄えられた電荷に応じたアナログ信号が複数の出力回路を通して独立に出力されるため、複数行の画素の情報を並行して読み出すことが出来る。また、第2の駆動モードでは、複数の出力回路の入力端子同士を短絡することで、複数行の画素の情報が画素ごとに加算され、単なる和ではなく平均値として読み出される。

【発明の効果】

【0008】

本発明によれば、第1の駆動モードでは、複数行の画素の情報を並行して読み出すことが出来るため、全画素の情報を読み出す際の高速化に対応出来る。また、第2の駆動モードでは、複数行の画素の情報が画素ごとに加算され、平均化されて読み出されるため、垂直方向における画素加算が可能になる。

20

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0010】

図1は、本発明の一実施形態に係る固体撮像装置を示す概略構成図である。ここでは、MOS型固体撮像装置に適用した場合を例に挙げて説明するものとする。

【0011】

図1において、光電変換素子、例えばフォトダイオードPDを含む画素(画素回路)11は、m行n列の画素配列にて2次元配列されることによって画素アレイ部12を構成している。この画素アレイ部12には、画素11の行列状配列に対して行ごとに転送制御線13-1~13-mおよびリセット制御線14-1~14-mが配線され、列ごとに垂直信号線15-1~15-nが配線されている。画素11は、フォトダイオードPD以外に例えば転送トランジスタQ11、増幅トランジスタQ12およびリセットトランジスタQ13を有する3トランジスタの画素構成となっている。転送トランジスタQ11、増幅トランジスタQ12およびリセットトランジスタQ13は、例えばNchのMOSトランジスタによって構成されている。

30

【0012】

この画素(画素回路)11において、フォトダイオードPDはアノード電極が接地されて設けられている。転送トランジスタQ11は、ソースがフォトダイオードPDのカソード電極に、ドレインがFD(フローティング・ディフュージョン)部に、ゲートが転送制御線13-1~13-mにそれぞれ接続されており、フォトダイオードPDで光電変換して得られる信号電荷(光電子)をFD部に転送する。ここで、FD部は、寄生容量を持った拡散層である。増幅トランジスタQ12は、ゲートがFD部に、ドレインがドレイン電位DRNに、ソースが垂直信号線15-1~15-nにそれぞれ接続されており、FD部の電位に対応した信号(リセットレベル/信号レベル)を垂直信号線15-1~15-nに出力する。リセットトランジスタQ13は、ソースがFD部に、ドレインがドレイン電位DRNに、ゲートがリセット制御線14-1~14-mにそれぞれ接続されており、F

40

50

D部の電位をドレイン電位DRNにリセットする。

【0013】

なお、ここでは、画素（画素回路）11の構成として、3トランジスタの構成の場合を例に挙げたが、この構成のものに限られるものではなく、例えば画素を選択する選択トランジスタを有する4トランジスタの構成のものなどであっても良く、その構成は問わないものとする。

【0014】

画素アレイ部12の周辺には、垂直駆動回路16、信号処理手段としてのカラム回路17、水平駆動回路としての水平走査回路18および水平選択スイッチ制御回路19、ならびに出力回路部20が設けられている。

10

【0015】

垂直駆動回路16は、例えばシフトレジスタなどによって構成され、画素アレイ部12の各画素11を行単位で選択するとともに、選択行の画素11に対して転送制御線13-1~13-mを通して転送信号TRFを、リセット制御線14-1~14-mを通してリセット信号RSTをそれぞれ与える。ここで、画素11の行単位での選択は、垂直走査に同期して垂直駆動回路16から選択信号SELが電源制御回路（図示せず）に与えられ、これに応答して当該電源制御回路から選択行の画素11にドレイン電位DRNが供給されることによって行われる。

【0016】

図2に、選択信号SEL、ドレイン電位DRN、リセット信号RSTおよび転送信号TRFのタイミング関係を示す。選択信号SELに基づいて画素11の行単位での選択が行われる。そして、選択行において、リセット信号RSTが画素11に与えられることによりFD部の電位がドレイン電位DRNにリセットされ、そのリセット後のFD部の電位がリセットレベルとして増幅トランジスタQ12を介して垂直信号線15-1~15-nに出力される。その後、転送信号TRFが画素11に与えられることによって、フォトダイオードPDで光電変換された信号電荷がFD部に転送され、その転送後のFD部の電位が信号レベルとして増幅トランジスタQ13を介して垂直信号線15-1~15-nに出力される。

20

【0017】

垂直信号線15-1~15-nの一端から取り出される信号は、カラム回路17に供給される。カラム回路17は、例えばCDS (Correlated Double Sampling; 相関二重サンプリング) 回路およびS/H (サンプルホールド) 回路等の信号処理回路によって構成されており、水平ブランキング期間中に画素アレイ部12の例えば2つの選択行の各画素11から出力されるリセットレベルと信号レベルとを列ごとに取り込み、これらレベルの差を取ることによって画素11の固定パターンノイズを除去する処理を行うとともに、例えば2行分の画素の電荷をサンプルホールドする。

30

【0018】

図3に、カラム回路17におけるS/H回路部分の1列分の構成の一例を示す。図3から明らかなように、1列分のカラム回路17のS/H回路部分は、画素アレイ部12の例えば2行分の画素から読み出され、上記CDS回路によってノイズ除去処理された2系統の電荷についてサンプルホールドするために、垂直信号線15と基準電位、例えば接地電位との間に、サンプリングスイッチ31-1およびキャパシタ32-1が直列に接続されるとともに、サンプリングスイッチ31-2およびキャパシタ32-2が直列に接続された構成となっている。そして、サンプリングスイッチ31-1, 31-2は、垂直信号線15を介して供給される2行分の画素の信号をそれぞれサンプリングしてキャパシタ32-1, 32-2に蓄える。

40

【0019】

カラム回路17が2系統の電荷を処理するのに対応して、2本の水平信号線21-1, 21-2が配線されている。また、サンプリングスイッチ31-1およびキャパシタ32-1の共通接続ノードN11と一方の水平信号線21-1との間に水平選択スイッチ22

50

- 1 が接続され、サンプリングスイッチ 3 1 - 2 およびキャパシタ 3 2 - 2 の共通接続ノード N 1 2 と他方の水平信号線 2 1 - 1 との間に水平選択スイッチ 2 2 - 2 が接続されている。これら水平選択スイッチ 2 2 - 1, 2 2 - 2 は、水平走査回路 1 8 および水平選択スイッチ制御回路 1 9 と共に水平駆動回路を構成している。

【 0 0 2 0 】

水平走査回路 1 8 は、例えばシフトレジスタによって構成され、水平走査期間（有効画素期間）において水平走査パルス $H_1 \sim H_n$ を順に出力する。水平選択スイッチ制御回路 1 9 は、水平デコーダ 1 8 から順に出力される水平走査パルス $H_1 \sim H_n$ に同期して、2 系統のスイッチ制御パルス $S_1 - 1, S_1 - 2 \sim S_n - 1, S_n - 2$ を順次出力し、水平選択スイッチ 2 2 - 1, 2 2 - 2 を駆動制御する。水平選択スイッチ 2 2 - 1, 2 2 - 2 は、スイッチ制御パルス $S_1 - 1, S_1 - 2 \sim S_n - 1, S_n - 2$ が与えられることで、オン（閉）状態となってキャパシタ 3 2 - 1, 3 2 - 2 にそれぞれ蓄えられている電荷を、水平信号線 2 1 - 1, 2 1 - 2 を介して出力回路部 2 0 に供給する。

10

【 0 0 2 1 】

図 3 は、S / H 回路部分の 1 列分の構成とともに、出力回路部 2 0 の構成の一例を示す回路図である。

【 0 0 2 2 】

図 3 から明らかなように、出力回路部 2 0 は、水平信号線 2 1 - 1, 2 1 - 2 にそれぞれ対応して設けられた 2 つの出力回路、例えば電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 と、これら電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 の出力側に設けられた S / H 回路 2 4 - 1, 2 4 - 2 と、電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 の入力端子同士を選択的に短絡するスイッチ 2 5 と、電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 の出力端子同士を選択的に短絡するスイッチ 2 6 とを有する構成となっている。ここで、スイッチ 2 6 は必須のものではない。その理由については後で詳述する。

20

【 0 0 2 3 】

電荷 - 電圧変換アンプ 2 3 - 1 は、水平信号線 2 1 - 1 の出力端に反転（-）入力端子が接続され、非反転（+）入力端子に参照電圧 V_{ref} が与えられるオペアンプ 4 1 と、このオペアンプ 4 1 の反転入力端子と出力端子との間に直列接続されたスイッチ 4 2 a、フィードバックキャパシタ 4 3 およびスイッチ 4 2 b と、オペアンプ 4 1 の反転入力端子と出力端子との間に接続されたリセットスイッチ 4 4 とを有する構成となっており、水平信号線 2 1 - 1 を介して供給される電荷を電圧に変換する。なお、スイッチ 4 2 a、フィードバックキャパシタ 4 3 およびスイッチ 4 2 b は、電荷 - 電圧変換アンプ 2 3 - 1 のゲインを任意に設定し得るように、 k 組（ k は 2 以上の整数）設けられている。電荷 - 電圧変換アンプ 2 3 - 2 も、電荷 - 電圧変換アンプ 2 3 - 1 と全く同じ構成となっている。

30

【 0 0 2 4 】

S / H 回路 2 4 - 1, 2 4 - 2 は、電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 の各出力信号のデータ部をサンプルホールドする。この S / H 回路 2 4 - 1, 2 4 - 2 の各ホールドデータ（画素データ）は、画素 1 1 で光電変換された電荷に応じた画素信号（アナログ信号）として 2 系統の出力端子 2 7 - 1, 2 7 - 2 から導出される。スイッチ 2 5, 2 6 は互いに連動し、垂直方向の画素加算を行って低解像度で画素情報の読出しを行う駆動モードの際に、当該駆動モードを指定するモード信号に応答してオン（閉）状態となり、電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 の入力端子同士および出力端子同士をそれぞれ短絡する。

40

【 0 0 2 5 】

ここで、電荷 - 電圧変換アンプ 2 3 - 1, 2 3 - 2 における電荷 - 電圧変換の原理について図 4 を用いて説明する。ここでは、電荷 - 電圧変換アンプ 2 3 - 1 を例に挙げて説明するが、電荷 - 電圧変換アンプ 2 3 - 2 についてもその原理は全く同じである。ある列 i のキャパシタ 3 2 - 1 i に蓄えられている電荷に応じた電位を V_m 、電荷 - 電圧変換アンプ 2 3 - 1 の参照電位を V_{ref} とする。

50

【0026】

図5のタイミングチャートにおいて、リセットパルスRPがアクティブ（高レベル）になるリセット相（A）では、リセットパルスRPにตอบสนองしてリセットスイッチ44がオンすると、オペアンプ41の反転入力端子と非反転入力端子とが短絡される。これにより、電荷-電圧変換アンプ23-1はボルテージフォロワの接続になるため、水平信号線21-1の電位および電荷-電圧変換アンプ23-1の出力電位が参照電位V_{ref}になる。ここで、キャパシタ32-1iの容量値をC₁とすると、当該キャパシタ32-1iには、

$$Q_1 = V_m \cdot C_1$$

なる電荷量の電荷が蓄えられている。

【0027】

リセットパルスRPがノンアクティブ（低レベル）になるサンプル相（B）では、リセットスイッチ44がオフし、また水平走査パルスHに同期したスイッチ制御パルスS_i-1にตอบสนองして水平選択スイッチ22-1iがオンするため、キャパシタ32-1iが水平選択スイッチ22-1iを介して水平信号線21-1に接続される。このとき、水平信号線21-1の電位は、電荷-電圧変換アンプ23-1によって参照電位V_{ref}に保たれるため、キャパシタ32-1iの電荷量は、電荷量Q₁から

$$Q_2 = V_{ref} \cdot C_1$$

なる電荷量Q₂に変化する。

【0028】

この電荷量の変化量（差分量）Q（=Q₁-Q₂）が電荷-電圧変換アンプ23-1のフィードバックキャパシタ43のところに現れる。その結果、フィードバックキャパシタ43の容量値をC₂（フィードバックキャパシタ43-1~43-kのいずれか1つの容量値、または複数の組み合わせの合成容量値）とすると、キャパシタ32-1iに蓄えられた電荷が次式で表される電圧V_{out}に変換される。

$$V_{out} = V_{ref} + \{(C_1 / C_2) \cdot (V_{ref} - V_m)\}$$

【0029】

図3に説明を戻す。本実施形態に係る固体撮像装置では、キャパシタ32-1, 32-2および電荷-電圧変換アンプ23-1, 23-2を2系統有する構成となっているために、画素情報を高速に読み出す駆動モードを採る必要がある場合には、スイッチ25, 26を共にオフ状態にし、出力回路である電荷-電圧変換アンプ23-1, 23-2の入力端子同士および出力端子同士をそれぞれ非短絡状態にして2系統の回路系を二線出力という形で利用することにより、アナログ出力端子27-1, 27-2から2行分のアナログ画素信号を独立に並行して読み出すことが出来る。

【0030】

一方、低解像度で読出しを行う駆動モードを採るときには、同じ回路系を使って垂直方向における画素加算を行うことが出来る。具体的には、スイッチ25をオンさせて電荷-電圧変換アンプ23-1, 23-2の入力端子同士を短絡状態にすることにより垂直方向において2画素の画素加算を行うことが出来る。このように、電荷-電圧変換アンプ23-1, 23-2の入力端子同士を短絡することにより、2系統の電荷-電圧変換アンプ23-1, 23-2の各オフセットを無視すれば、原理的に、電荷-電圧変換アンプ23-1, 23-2の各出力は、2行分のアナログ画像信号が画素ごとに加算され、単なる和ではなく平均値となり、両出力が同じ値になる。

【0031】

したがって、アナログ出力端子27-1, 27-2のどちらか一方から、画素加算して平均化した画素信号を読み出すようにすれば良い。アナログ出力端子27-1, 27-2のどちらか一方から読み出すには、一般にスイッチとキャパシタの組み合わせからなるS/H回路24-1, 24-2の一方のスイッチのみをオン状態にすれば良い。このとき、オフ状態にある他方のスイッチ側のS/H回路24-1/24-2から見た負荷が軽くなるため、その分だけ高速読出しを行うことが出来る。

【0032】

10

20

30

40

50

さらに、スイッチ25に連動させてスイッチ26をもオンさせ、電荷-電圧変換アンプ23-1, 23-2の出力端子同士をも短絡することにより、2系統の電荷-電圧変換アンプ23-1, 23-2にそれぞれオフセットがあったとしても、これらオフセットを打ち消した平均値を出力することが出来る。すなわち、2系統の電荷-電圧変換アンプ23-1, 23-2の入力端子同士および出力端子同士をそれぞれ短絡することにより、これら2つの電荷-電圧変換アンプ23-1, 23-2が大きな1個の電荷-電圧変換アンプとして働くことになる。

【0033】

ただし、低解像度で読出しを行う駆動モードのときでも、電荷-電圧変換アンプ23-1, 23-2の後段にある2系統のS/H回路24-1, 24-2の各スイッチを両方ともオン状態にして、アナログ出力端子27-1, 27-2の両方から同じ値の平均値を読み出すことも可能である。このように、2系統のS/H回路24-1, 24-2の各スイッチを両方ともオン状態にしておけば、電荷-電圧変換アンプ23-1, 23-2から見た負荷が二線出力として使う駆動モードの場合と全く同じになるため、2つの駆動モードで違う負荷状態を想定したアンプの設計を行う必要がなくなり、その分だけアンプの設計が容易になる。

10

【0034】

上述したように、複数行、例えば2行の各画素の電荷を列ごとに蓄える2つのキャパシタ32-1, 32-2を有するとともに、これらキャパシタ32-1, 32-2の各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する2つの電荷-電圧変換アンプ23-1, 23-2を備えたMOS型固体撮像装置において、2つの電荷-電圧変換アンプ23-1, 23-2の入力端子同士を選択的に短絡するスイッチ25を設け、好ましくは出力端子同士を選択的に短絡するスイッチ26をも設けることにより、スイッチ25, 26を非短絡状態(オフ状態)にして2つの電荷-電圧変換アンプ23-1, 23-2から独立にアナログ信号を読み出す第1の駆動モードと、スイッチ25, 26を短絡状態(オン状態)にして2つの電荷-電圧変換アンプ23-1, 23-2から各アナログ信号の平均値を読み出す第2の駆動モードとの2つのモードでの駆動が選択的に可能となる。

20

【0035】

そして、第1の駆動モードでは、スイッチ25, 26を共にオフ状態にして電荷-電圧変換アンプ23-1, 23-2の入力端子同士および出力端子同士をそれぞれ非短絡状態にすることにより、2系統の回路系を二線出力という形で利用し、アナログ出力端子27-1, 27-2から2行分のアナログ画像信号を独立に並行して読み出すことが出来る。このように、二線出力の形態を採ることにより、静止画モードなど全画素の画素情報を読み出す際に高速読出しを実現出来る。ただし、二線出力の形態に限らず、2系統のキャパシタ32-1, 32-2および2つの電荷-電圧変換アンプ23-1, 23-2の一方のみを使って一線出力の形態を採ることも可能である。

30

【0036】

一方、第2の駆動モードでは、スイッチ25をオン状態にして電荷-電圧変換アンプ23-1, 23-2の入力端子同士を短絡状態にすることにより、2行分のアナログ画素信号を画素ごとに加算し、単なる和ではなく平均値として読み出すことが出来る。さらに、スイッチ26をもオン状態にして電荷-電圧変換アンプ23-1, 23-2の出力端子同士をも短絡状態にすることにより、2系統の電荷-電圧変換アンプ23-1, 23-2にそれぞれオフセットがあったとしても、これらオフセットを打ち消すことが出来るため、オフセットが乗らない平均値を出力することが出来る。このように、垂直方向において2画素加算を行うことにより、低解像度の読出しを実現出来る。

40

【0037】

なお、上記実施形態では、キャパシタ32-1, 32-2および電荷-電圧変換アンプ23-1, 23-2を2系統設けた場合を例に挙げて説明したが、2系統に限られるものではなく、3系統以上設けて垂直方向において3画素以上の画素加算を行ってさらに低解像度で読出しを行うようにすることも可能である。この場合にも、f個(fは3以上の整

50

数)の電荷 - 電圧変換アンプ 23 - 1 ~ 23 - f の入力端子間および出力端子間にそれぞれスイッチを設けることにより、第 1 の駆動モードでは f 線出力、第 2 の駆動モードでは垂直方向における f 画素加算をそれぞれ実現できる。

【0038】

因みに、上記実施形態では、垂直方向における画素加算についてのみ説明したが、水平方向における画素加算については周知の技術を適用し、水平走査の際に、水平走査回路 18 から複数列分の水平走査パルス H を同時にアクティブにして、複数の列に同時にアクセスを行うことにより、水平信号線 21 - 1, 21 - 2 上において水平方向 (横方向) の複数画素分の情報を加算することが出来る。

【0039】

また、上記実施形態では、キャパシタ 32 - 1, 32 - 2 の各々に蓄えられた電荷に応じたアナログ信号をそれぞれ出力する出力回路として、電荷を電圧に変換する電荷 - 電圧変換アンプ 23 - 1, 23 - 2 を用いた場合を例に挙げて説明したが、電荷 - 電圧変換アンプに限られるものではなく、例えば図 6 に示すように、参照電圧 V_{ref} を非反転入力とするオペアンプ 51 と、当該オペアンプ 51 の非反転入力端子に接続された入力抵抗 52 と、オペアンプ 51 の出力端子と非反転入力端子との間に接続された帰還抵抗 53 とを有する構成の電流 - 電圧変換アンプ 50 を用いることも可能である。

【0040】

この電流 - 電圧変換アンプ 50 において、帰還抵抗 53 の抵抗値を R とすると、キャパシタに蓄えられた電荷に応じた電流 I が入力抵抗 52 に流れ込むことにより、オペアンプ 51 の出力電圧 V_{out} は、

$$V_{out} = I \cdot R$$

となる。

【0041】

ここで、入力抵抗 52 は発振防止のためのものであり、演算には寄与しない。この電流 - 電圧変換アンプ 50 を出力回路として使い、第 2 の駆動モードで入力端子同士および出力端子同士を短絡することで、2 つの帰還抵抗 53 - 1, 53 - 2 が並列に接続された状態となり、合成抵抗値が $R / 2$ となるため、キャパシタ 32 - 1, 32 - 2 の各々に蓄えられた電荷に応じた電流が同じと仮定すると、このときの出力電圧 V_{out} も、

$$V_{out} = 2 I \cdot (R / 2) = I \cdot R$$

となり、垂直方向における 2 画素の情報を加算して平均化したものとなる。

【0042】

また、上記実施形態では、キャパシタ 32 - 1, 32 - 2 および電荷 - 電圧変換アンプ 23 - 1, 23 - 2 を 2 本の水平信号線 21 - 1, 21 - 2 の各々に対応して設け、これら水平信号線 21 - 1, 21 - 2 を通してキャパシタ 32 - 1, 32 - 2 からそれぞれ出力される電荷を電荷 - 電圧変換アンプ 23 - 1, 23 - 2 でそれぞれ電圧に変換する構成の MOS 型固体撮像装置に適用した場合を例に挙げて説明したが、これ以外にも、例えばノイズ低減を目的として、キャパシタ 32 - 1, 32 - 2 および電荷 - 電圧変換アンプ 23 - 1, 23 - 2 を垂直信号線 15 - 1 ~ 15 - n ごとに設け、キャパシタ 32 - 1, 32 - 2 からそれぞれ出力される電荷を電荷 - 電圧変換アンプ 23 - 1, 23 - 2 で電圧に

【0043】

この場合には、水平信号線 21 - 1, 21 - 2 には S / H 回路 24 - 1, 24 - 2 だけが設けられる。また、スイッチ 25 については垂直信号線 15 - 1 ~ 15 - n ごとに 2 つの電荷 - 電圧変換アンプ 23 - 1, 23 - 2 の入力端子間に設け、スイッチ 26 については 2 本の水平信号線 21 - 1, 21 - 2 間に設けることで、第 2 の駆動モードの際に、垂直信号線 15 - 1 ~ 15 - n ごとに設けられた 2 つの電荷 - 電圧変換アンプ 23 - 1, 23 - 2 について、入力端子同士および出力端子同士を短絡状態にすることができるため、上記実施形態の場合と同様の作用効果を得ることができる。

10

20

30

40

50

【0044】

さらには、上記実施形態では、画素11ごとに光電変換して得た電荷を電気信号に変換した後垂直信号線15-1~15-nに読み出し、しかる後水平スキャンによって出力する水平スキャン方式のMOS構成のMOS型固体撮像装置に適用した場合を例に挙げて説明したが、図7に示すように、画素61で光電変換して得た電荷を垂直画素列ごとに配された垂直転送部(垂直CCD)62-1~62-nによって垂直転送した後、各垂直画素列毎に垂直転送部62-1~62-nの後段に設けられた電荷検出部(例えば、電荷-電圧変換部)63-1~63-nで電気信号に変換して垂直信号線64-1~64-nを通して読み出し、しかる後水平スキャンによって出力する水平スキャン方式のCCD(Charge Coupled Device)型固体撮像装置にも同様に適用することができる。なお、図7において、カラム回路17、水平走査回路18、水平選択スイッチ制御回路10および出力回路部20の構成については、図1の場合と同じである。

10

【産業上の利用可能性】

【0045】

本発明に係る固体撮像装置は、例えば、静止画モード(第1の駆動モード)およびモニタモード(第2の駆動モード)を有するデジタルスチルカメラなどのカメラモジュールの撮像デバイスとして、さらには静止画モードおよびモニタモードを有するカメラ機能を搭載した携帯電話機に代表される携帯端末装置の撮像デバイスとして用いられる。

【図面の簡単な説明】

【0046】

【図1】本発明の一実施形態に係るMOS型固体撮像装置を示す概略構成図である。

【図2】選択信号SEL、ドレイン電位DRN、リセット信号RSTおよび転送信号TRFのタイミング関係を示すタイミングチャートである。

【図3】カラム回路におけるS/H回路部分の1列分の構成および出力回路部の構成の一例を示す回路図である。

【図4】電荷-電圧変換アンプでの電荷-電圧変換の原理の説明図であり、(A)はリセット相の等価回路、(B)はサンプル相の等価回路をそれぞれ示している。

【図5】リセットパルスRPおよびスイッチ制御パルスSiのタイミング関係を示すタイミングチャートである。

【図6】電流-電圧変換アンプの構成の一例を示す回路図である。

30

【図7】本発明の変形例に係る水平スキャン方式のCCD型固体撮像装置を示す概略構成図である。

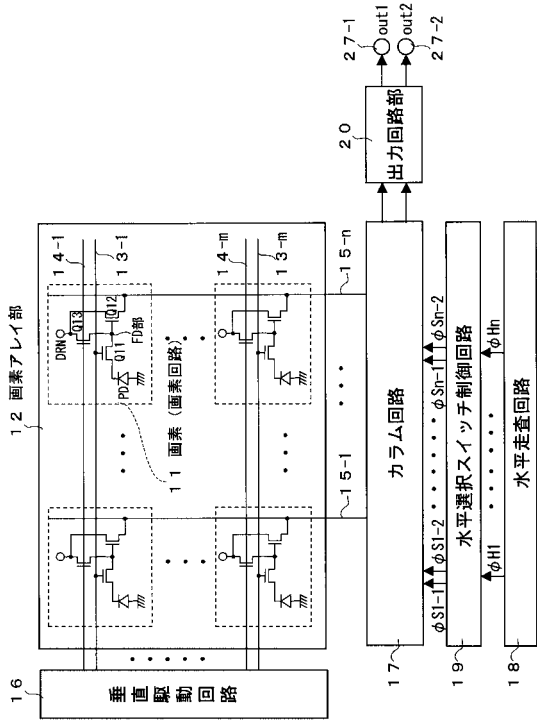
【符号の説明】

【0047】

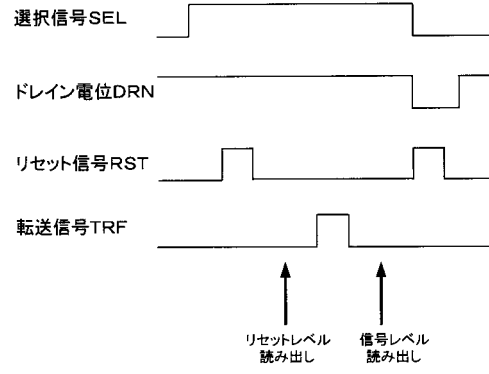
11, 61...画素、12...画素アレイ部、15-1~15-n, 64-1~64-n...垂直信号線、16...垂直駆動回路、17...カラム回路、18...水平走査回路、19...水平選択スイッチ制御回路、20...出力回路部、21-1, 21-2...水平信号線、22-1, 22-2...水平選択スイッチ、23-1, 23-2...電荷-電圧変換アンプ、24-1, 24-2...サンプルホールド(S/H)回路、25, 26...スイッチ、27-1, 27-2...アナログ出力端子、31-1, 31-2...サンプリングスイッチ、32-1, 32-2...キャパシタ、41, 51...オペアンプ、44...リセットスイッチ、50...電流-電圧変換アンプ、62-1~62-n...垂直転送部、63-1~63-n...電荷検出部

40

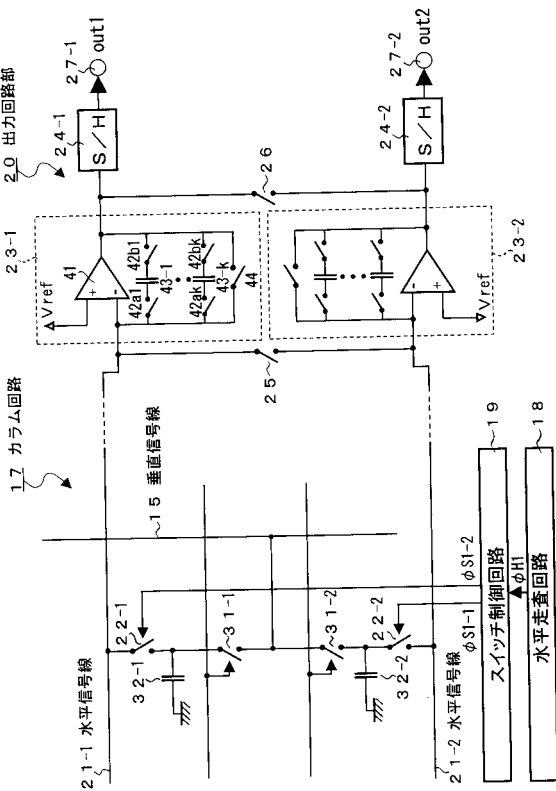
【 図 1 】



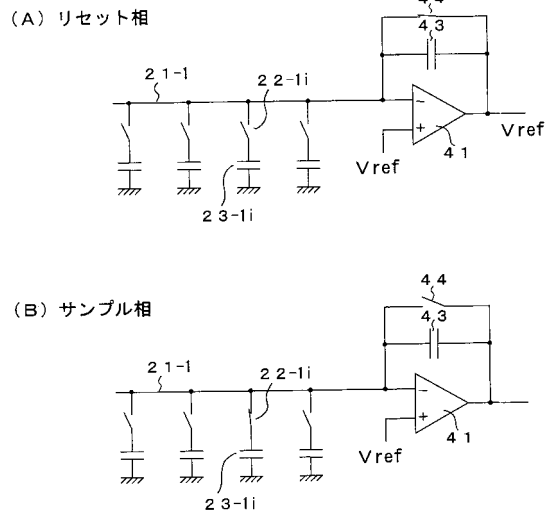
【 図 2 】



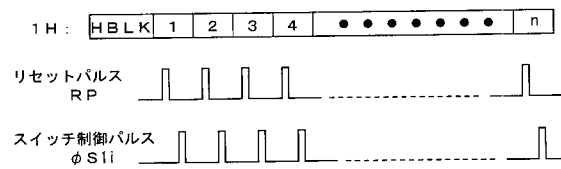
【 図 3 】



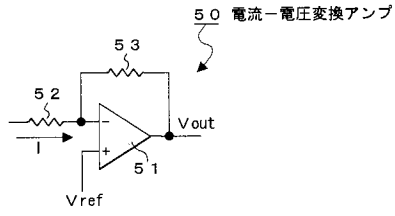
【 図 4 】



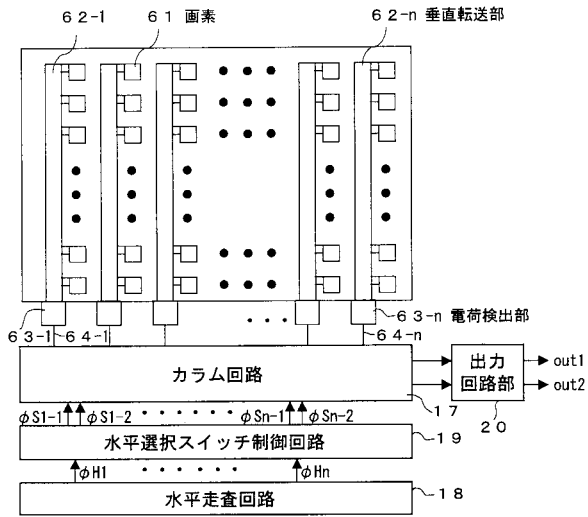
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(72)発明者 阿部 高志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 5C024 AX01 BX01 CY11 CY16 GX16 GX18 GY31