

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3676174号

(P3676174)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

H03M 13/01

H03M 13/01

G06F 11/10

G06F 11/10 330S

H04B 7/26

H04L 1/00 A

H04L 1/00

H04B 7/26 C

H04B 7/26 M

請求項の数 24 (全 16 頁)

(21) 出願番号 特願2000-67098 (P2000-67098)
 (22) 出願日 平成12年3月10日(2000.3.10)
 (65) 公開番号 特開2000-312152 (P2000-312152A)
 (43) 公開日 平成12年11月7日(2000.11.7)
 審査請求日 平成14年5月17日(2002.5.17)
 (31) 優先権主張番号 09/267451
 (32) 優先日 平成11年3月12日(1999.3.12)
 (33) 優先権主張国 米国(US)

(73) 特許権者 596092698
 ルーセント テクノロジーズ インコーポ
 レーテッド
 アメリカ合衆国, 07974-0636
 ニュージャージー, マレイ ヒル, マウン
 テン アヴェニュー 600
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 高速アダマール変換装置およびその中にある変換段およびそれによりNビット信号ブロックを復調するための方法

(57) 【特許請求の範囲】

【請求項1】

Nビットを有する符号化された信号ブロックの伝送の間に生じる誤りを検出しかつ訂正するための、ワイアレス通信システムにより使用される複数の従属接続された変換段を有する高速アダマール変換装置において、

前記変換段への入力としてN/2個の信号対を受信するように構成された、出力端子を有する加算器および出力端子を有する減算器と、

前記加算器からの前記中間係数の第1の区別可能なシーケンスおよび前記減算器からの中間係数の第2の区別可能なシーケンスのうちの1つを選択的に受信する第1のメモリユニットと、

前記減算器から前記中間係数の第3の区別可能なシーケンスを受信する第2のメモリユニットと、

前記第1のメモリユニットの出力および前記中間係数の第2の区別可能なシーケンスのうちの1つを前記変換段の第1の出力として供給するとともに、前記第1のメモリユニットの出力および前記中間係数の第1の区別可能なシーケンスのうちの1つを前記変換段の第2の出力として供給する出力段と、

を備えることを特徴とする高速アダマール変換装置。

【請求項2】

前記加算器および減算器の前記出力端子に結合されかつ前記第1のメモリユニットに結合された第1のマルチプレクサをさらに含み、前記第1のマルチプレクサは、前記第1の

メモリユニットにより受信されるべき前記第1および第2の区別可能なシーケンスのうちの1つを選択するように構成されることを特徴とする請求項1記載の装置。

【請求項3】

前記出力段が、さらに前記加算器および第1のメモリユニットの出力端子に結合された第2のマルチプレクサと、であって、前記第1のメモリユニットの出力および前記中間係数の第1の区別可能なシーケンスのうちの1つを、前記変換段の第2の出力として選択するよう構成された第2のマルチプレクサと、前記第1および第2のメモリユニットの出力端子に結合された第3のマルチプレクサであって、前記第1のメモリユニットの出力および前記中間係数の第2の区別可能なシーケンスのうちの1つを、第1の出力として選択するよう構成された第3のマルチプレクサとを備えることを特徴とする請求項1記載の装置

10

【請求項4】

入力信号の連続的な対が前記FHT装置により受信されるようにするためのクロック手段をさらに含むことを特徴とする請求項1記載の装置。

【請求項5】

前記クロック手段が、複数のビットを有するクロックカウンタ信号を生成し、前記複数のビットの各々が、前記高速アダマール変換装置の変換段により受信される信号に対応するものであることを特徴とする請求項4記載の装置。

【請求項6】

前記変換段の各々により受信される前記クロックカウンタ信号が、前記第2のメモリユニットを交番的にイネーブルしかつディスエーブルし、中間係数の前記第1または第2の区別可能なシーケンスのどちらが前記第1のメモリユニットにより受信されるかを決定することを特徴とする請求項5記載の装置。

20

【請求項7】

最終の変換段に結合されたコンパレータをさらに含み、前記コンパレータは、前記最終の変換段から受信される第1および第2の出力の各々の大きい方の信号を受信して格納するように構成されることを特徴とする請求項1記載の装置。

【請求項8】

最終の変換段において、前記第1および第2の出力がN個の正当な符号化信号ブロックのうちの1つに対応することを特徴とする請求項1記載の装置。

30

【請求項9】

最大の値を有する前記クロックカウンタ信号が、前記ワイアレスシステムにより送信された符号化された信号ブロックに対応することを特徴とする請求項5記載の装置。

【請求項10】

前記N/2個の信号対が符号化された信号ブロック内にあり、前記符号化された信号ブロックが、ウォルシュコードワードであることを特徴とする請求項1記載の装置。

【請求項11】

複数の従属接続された変換段を有する高速アダマール変換装置を使用する通信受信機により受信されるNビット信号ブロックを復調するための方法において、

各変換段に対して、該変換段に入力されるN/2個の信号対を加算しおよび減算するステップと、

40

前記加算するステップから中間係数の第1の区別可能なシーケンスおよび前記減算するステップからの中間係数の第2の区別可能なシーケンスを、選択的に受信して、第1のメモリユニットに格納するステップと、

前記減算器からの前記中間係数の第3の区別可能なシーケンスを受信して、第2のメモリユニットに格納するステップと、

前記第1のメモリユニットの出力および前記中間係数の第2の区別可能なシーケンスのうちの1つを、前記変換段の第1の出力として供給するとともに、前記第1のメモリユニットの出力および前記中間係数の第1の区別可能なシーケンスのうちの1つを前記変換段の第2の出力として供給するステップと、

50

を含むことを特徴とする方法。

【請求項 1 2】

複数のクロックカウンタ信号を生成するステップをさらに含み、前記クロックカウンタ信号の各々が、後続の変換段に対応するものであることを特徴とする請求項 1 1 記載の方法。

【請求項 1 3】

前記生成されたクロックカウンタ信号で、前記第 1 および第 2 のメモリユニットを交替的にイネーブルしおよびディスエーブルするステップと、前記中間信号対の第 1 または第 2 の区別可能なシーケンスのどちらが前記第 1 のメモリユニットにより受信されるかを決定するステップとをさらに含む

ことを特徴とする請求項 1 2 記載の方法。

【請求項 1 4】

前記第 1 のメモリユニットおよび前記加算するステップからの複数の中間係数信号対を後続の変換段に提供するステップと、前記第 1 および第 2 のメモリユニットからの複数の中間係数信号対を前記後続の変換段に提供するステップとの間の交番させるステップをさらに含むことを特徴とする請求項 1 3 記載の方法。

【請求項 1 5】

最終の変換段の後で、前記最終の変換段から受信された前記第 1 および第 2 の出力を比較し、前記出力の大きい方を格納するステップをさらに含むことを特徴とする請求項 1 1 記載の方法。

【請求項 1 6】

N ビットを有する符号化された信号ブロックの伝送の間に生じる誤りを検出しかつ訂正するための、にワイアレス通信システムにより使用される複数の従属接続された変換段を有する高速アダマール変換装置において、

前記装置中の 1 つの変換段は、

前記変換段への入力としての $N/2$ 個の信号対を受信するように構成された、出力端子を有する加算器および出力端子を有する減算器と、

前記加算器からの中間係数の第 1 の区別可能なシーケンスおよび前記減算器からの中間係数の第 2 の区別可能なシーケンスのうちの 1 つを選択的に受信する第 1 のメモリユニットと、

前記減算器からの中間係数の第 3 の区別可能なシーケンスを受信する第 2 のメモリユニットと、

前記第 1 のメモリユニットの出力および前記中間係数の第 2 の区別可能なシーケンスのうちの 1 つを前記変換段の第 1 の出力として供給するとともに、前記第 1 のメモリユニットの出力および前記中間係数の第 1 の区別可能なシーケンスのうちの 1 つを前記変換段の第 2 の出力として供給する出力段と、

を備えることを特徴とする高速アダマール変換段。

【請求項 1 7】

前記加算器および減算器の出力端子および前記第 1 のメモリユニットに結合されており、前記第 1 のメモリユニットのより受信されるべき前記第 1 および第 2 の区別可能なシーケンスのうちの 1 つを選択するように構成された第 1 のマルチプレクサ (1 1 4) をさらに含むことを特徴とする請求項 1 6 記載の高速アダマール変換段。

【請求項 1 8】

前記出力段がさらに、前記加算器の出力端子および第 1 のメモリユニットに結合され、該第 1 のメモリユニットの出力および前記中間係数の第 1 の区別可能なシーケンスのうちの 1 つを、前記変換段の第 2 の出力として選択するよう構成された第 2 のマルチプレクサ (1 2 2) と、前記第 1 および第 2 のメモリユニットの出力端子に結合され、前記第 1 のメモリユニットの出力および前記中間係数の第 2 の区別可能なシーケンスのうちの 1 つを、第 1 の出力として選択するよう構成された第 3 のマルチプレクサ (1 2 0) とを含むことを特徴とする請求項 1 6 記載の高速アダマール変換段。

10

20

30

40

50

【請求項 19】

入力信号の連続する対が前記 F H T 装置により受信されるようにさせるためのクロック手段を含むことを特徴とする請求項 16 記載の高速アダマール変換段。

【請求項 20】

前記クロック手段が、複数のビットを有するクロックカウンタ信号を生成し、前記複数のビットの各々が、前記高速アダマール変換装置の変換段により受信される信号に対応することを特徴とする請求項 18 記載の高速アダマール変換段。

【請求項 21】

前記変換段の各々により受信される前記クロックカウンタ信号が、前記第 2 のメモリユニットを交替的にイネーブルしおよびディスエーブルし、前記中間係数の第 1 または第 2 の区別可能なシーケンスのうちのどちらが前記第 1 のメモリユニットにより受信されるかを決定することを特徴とする請求項 20 記載の高速アダマール変換段。

10

【請求項 22】

最終の変換段において、前記第 1 および第 2 の出力が、N 個の正当な符号化信号ブロックのうちの 1 つに対応することを特徴とする請求項 16 記載の高速アダマール変換段。

【請求項 23】

最大の値を有する前記クロックカウンタ信号が、前記ワイアレスシステムにより送信された符号化信号ブロックに対応することを特徴とする請求項 20 記載の高速アダマール変換段。

【請求項 24】

20

N/2 個の信号対が、符号化信号ブロック内にあり、前記符号化信号ブロックがウォルシュコードワードであることを特徴とする請求項 16 記載の高速アダマール変換段。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワイアレス通信に係り、特に、ウォルシュ (Walsh) コードワードの送信の間に生じる誤りを検出しかつ訂正するために使用される高速アダマール変換構成に関する。

【0002】

【従来の技術】

図 1 は、典型的なワイアレス通信システムを示す。交換機センタ 201 は、複数の基地局 203-1 ないし 203-5 に接続されている。また、交換機センタ 201 は、図示しないローカルまたは長距離電話局にも接続されている。ワイアレス端末 201-1 ないし 201-3 は、同じ所定の地理的領域、即ちセル中に配置された基地局と通信する。例えば、ワイアレス端末 201-1 および 201-2 は、セル A 中に配置されており、セル A 中に配置されこれをサービスする基地局 203-1 と通信する。

30

【0003】

ワイアレス端末 201-1 が通信するために、これは、無線波により信号を基地局 203-1 に送り、基地局 203-1 は、受信した信号を交換機センタ 201 に中継し、信号の一部として供給される指示に従って、交換機センタ 201 は、その信号をどこかに中継する。その信号の所望の宛先が別のワイアレス端末である場合、交換機センタ 201 は、その信号を受信することを意図されたワイアレス端末と同じセル中に配置された基地局にその信号を中継し、基地局は、そのワイアレス端末に無線波により信号を送信する。同様に、その信号の所望の宛先が、ワイアライン端末 207 のようなワイアライン端末である場合、交換機センタ 201 は、その所望の宛先への信号をワイアラインを介してローカルまたは長距離ネットワークに中継する。

40

【0004】

情報がデジタルワイアレス通信チャネルを介して送信される場合、雑音、妨害および歪みにより誤りが生じうる。伝送中に生じる誤りを検出しかつ訂正するために様々な方法が使用される。図 2 は、伝送誤りを検出および訂正するためにデジタルワイアレス通信チャネルにより典型的に使用されるいくつかの構成要素を示す。情報ソース (源) 12 は、デジ

50

タルメッセージをエンコーダ 14 に送信する。デジタルメッセージは、デジタル化された音声信号、データなどから成りうる。

【0005】

エンコーダ 14 は、デジタルメッセージを符号化し、これを送信機 16 に供給する。送信機 16 は、符号化されたメッセージを搬送波に変調し、これを無線波により受信機 18 に送信する。受信機 18 は、メッセージを受信する。このメッセージは伝送の間に転化しているかあるいは転化していないことがある。受信機 18 は、受信されたメッセージを復調し、これをデコーダ 20 に与える。デコーダ 20 は、受信されたメッセージを複合化し、これを情報宛先 22 に供給する。好ましくは、情報宛先 22 に供給されるデジタルメッセージは、情報ソース 12 により送信された元のデジタルメッセージと同一である。

10

【0006】

情報宛先 22 が情報ソース 12 により送信された同じメッセージを受信するために、エンコーダ 14 およびデコーダ 20 は、伝送中の転化による誤りを検出および訂正するように動作する。一般に、エンコーダ 14 は、デジタルメッセージ信号を固定長のブロックに分割し、各ブロックをそれに固有に関連づけられたコードワードで置き換える。コードワードは、固定長ブロックの代わりに送信され、受信されたメッセージは、伝送中に転化したかどうかを決定するために、既知のセットの正当なコードワードと比較される。そのような誤り検出／訂正スキームの 1 つは、ウォルシュ符号の生成および送信に関わる。

【0007】

ウォルシュ符号システムに従って、エンコーダ 14 は、情報ソース 12 からのメッセージを各々 n ビットを有するブロックに分割する。送信されるべき元の n ビットの情報のブロックの各々は、 2^n のウォルシュチップを有する情報のブロックに対して固有のコードワードに変換される。したがって、3 ビットのデータブロックは、 2^3 即ち 8 個のウォルシュチップを伴うウォルシュコードワードを有することになる。元の 3 ビットのデータのブロックを変調および送信する代わりに、送信機 16 は、ウォルシュコードワードを変調しかつ受信機 18 に送信する。

20

【0008】

ウォルシュコードワードが受信機 18 により受信されるとき、これは復調されてかつデコーダ 20 に供給される。デコーダ 20 は伝送中に転化した可能性がある受信されたウォルシュコードワードを正当なウォルシュコードワードのセットと比較する。受信されたウォルシュコードワードが正当なウォルシュコードワードのセット中のコードワードのうちの 1 つに一致する場合、受信されたコードワードは伝送中に転化しなかったと推定されて、もともと送信を意図された 3 ビットの情報のブロックに復号化して戻されうる。

30

【0009】

しかし、受信されたウォルシュコードワードが正当なウォルシュコードワードのセット中のコードワードのうちの 1 つに一致しない場合、受信されたコードワードは、伝送中に転化しており、受信機はどの正当なウォルシュコードワードがもともと送信されたかを決定しなければならない。従来技術において、高速アダマール変換（以下“FHT”という）アルゴリズムが、受信されたコードワードの各々に対して、受信されたコードワードが特定の正当なウォルシュコードワードである可能性を計算するために使用される。FHT アルゴリズムは、この可能性を相関係数として表現する。

40

【0010】

したがって、受信されたコードワードは、それに関連づけられた 2^n 個の相関係数を有し、その 1 つが 2^n 個の正当なウォルシュコードワードの各々に対応する。最大の相関係数を有する正当なウォルシュコードワードが、送信された最も可能性の高い正当なコードワードである。したがって、FHT アルゴリズムは、受信されたコードワードに最大の相関係数を有する正当なウォルシュコードワードを割当てて、「勝った(winning)」ウォルシュコードワードは、3 ビットの情報のブロックに復号化されて戻され、そして情報宛先 22 へ供給される。

【0011】

50

【発明が解決しようとする課題】

高速アダマール変換を具現化するための多くの技法が従来技術において知られているが、これらの技法は非常に遅くかつ非常に多くのハードウェアを必要とする。したがって、高速、コンパクトかつ有効なFHTエンジンに対するニーズが存在する。

【0012】**【課題を解決するための手段】**

本発明は、一実施形態において、高速アダマール変換装置である。FHT装置は、ワイアレス通信システムにより、FHTアルゴリズムにより信号ブロックの伝送中に生じる誤りを検出しかつ訂正するために使用される。本発明のFHT装置は、FHTアルゴリズムにより必要とされる加算および減算動作を実行する一方で、信号を記憶するために、従来技術によるシステムと比べてより少量のハードウェアおよびメモリを必要とする。

10

【0013】

一実施形態によれば、ワイアレス通信システムは、例えばウォルシュコードワードに従って符号化された信号ブロックを受信するために、FHT装置を使用する。好ましくは、相関係数が、送信された可能性ある正当なコードワードに対応するFHT装置により生成される。例えば、ワイアレス通信チャネルを介して送信されることを望まれた n ビットのデータのブロックは、送信に先立って、 2^n チップウォルシュコードワードに変換される。 2^n チップウォルシュコードワードは、 n ビットのデータのブロックの代わりに送信されて、FHT装置の第1の変換段によりチップペアとして受信される。望ましくは、FHT装置は、複数の変換段を含む。

20

【0014】

装置の各変換段は、それが受信する入力信号への一連の動作を実行する。後続の変換段の各々は、先行する段がその入力信号を受信したクロックサイクルの数の半分である数のクロックサイクルにおいて、それに先行する段から入力信号を受信する。好ましくは、これは、各段において使用される第1および第2のメモリユニット（以下にさらに説明する）のメモリ記憶容量を、2の累乗で連続的に減少させることにより達成される。

【0015】

装置の各段は、加算器および減算器を含む。加算器および減算器は、中間係数を生成するように、受信された信号ブロックの各々の中で入力信号対を受信する。

【0016】

各変換段において、第1のメモリユニットは、加算器の出力端子へおよび減算器の出力端子へ結合されており、中間係数の第1の区別可能なシーケンスを加算器から受信し、中間係数の第2の区別可能なシーケンスを減算器から受信する。第2のメモリユニットは、中間係数の第3の区別可能なシーケンスを減算器から受信するように、減算器の出力端子に結合されている。第1のメモリユニットおよび加算器は、複数の中間係数信号対を後続の変換段に同時に提供し、第1および第2のメモリユニットは、複数の他の中間係数信号対を後続の変換段に同時に提供する。

30

【0017】

本発明の別の実施形態において、FHT装置は、入力信号の連続する対がFHT装置により受信されるようにするための、 n ビットカウンタのようなクロック手段を含む。クロック手段は、入力信号の各連続する対がFHT装置により受信される時間間隔を決定する。変換段の各々により受信されるカウンタ信号は、第2のメモリユニットを交差的にイネーブルしかつディスエーブルし、中間係数の第1の区別可能なシーケンスおよび第2の区別可能なシーケンスのうちのどちらが第1のメモリユニットにより受信されるかを決定する。

40

【0018】

本発明のさらに別の実施形態において、最後の変換段により生成される各信号は、 N 個の正当な符号化された信号ブロックのうちの1つに対応する相関係数であり、最大の値を有する信号は、ワイアレスシステムにより送信された最も可能性の高い符号化された信号ブロックに対応する。したがって、送信された可能性が最も高い符号化された信号ブロック

50

は、通信システムにより復号化され、かつ意図された受け手に送られる。

【0019】

【発明の実施の形態】

本発明は、一実施形態によれば、本発明はこの範囲に限定されるものではないが、メッセージの伝送の間に、雑音、妨害および歪みにより生じる誤りを検出しかつ訂正するために、デジタルワイアレス通信システムにより使用される。図2は、伝送誤りを検出しかつ訂正するために、本発明の一実施形態により使用されるワイアレス通信チャネルおよび構成要素のいくつかを示す。

【0020】

情報ソース12は、デジタルメッセージをエンコーダ14に送り、エンコーダ14は、それをウォルシュコードワードに変換することによりデジタルメッセージを符号化する。そして、エンコーダ14は、ウォルシュコードワードを送信機16に供給し、送信機16は、コードワードを搬送波に変調しかつそれを無線波により受信機18に送信する。受信機18は、受信されたウォルシュコードワードを受信しかつ復調して、それをデコーダ20に供給する。伝送誤りのために、受信されたウォルシュコードワードは転化している可能性がある。

10

【0021】

デコーダ20は、どの正当なウォルシュコードワードが送信された可能性が最も高いかを決定するために、相関係数を生成するために、本発明のFHTエンジンを使用する。デコーダ20は、得られた正当なウォルシュコードワードを、元のデジタルメッセージに変換して戻し、これを情報宛先22に供給する。好ましくは、情報宛先22に供給されるデジタルメッセージは、情報ソース12により送信された元のデジタルメッセージと同一である。

20

【0022】

図3は、本発明の一実施形態により、FHTエンジンにより使用される典型的な段の構成要素を示す。段11は、上側入力端子102および下側入力端子104を有する。上側入力端子102は、段がFHTエンジンの第1段である場合ウォルシュチップ、または段がFHTエンジンの第1段でない場合中間相関係数の何れかである複数の入力信号を受信するように構成されている。

【0023】

N個のウォルシュチップのブロックが処理されるべき場合、上側入力端子102は、 $N/2$ 個の入力信号ビットまたはシンボルを受信する。上側入力端子102は、加算器106の第1の入力端子に結合されており、さらに減算器108の第1の入力端子に結合されている。同様に、下側入力端子104は、段がFHTエンジンの第1段である場合ウォルシュチップ、または段がFHTエンジンの第1段でない場合、中間相関係数のいずれかである複数の入力信号を受信するように構成されている。

30

【0024】

端子102と同様に、N個のウォルシュチップのブロックが処理されるべき場合、下側入力端子104は、 $N/2$ 個の入力信号ビットまたはシンボルを受信する。下側入力端子104は、加算器106の第2の入力端子に結合されており、さらに加算器108の第2の入力端子に結合されている。さらに後述するように、ウォルシュチップの対または中間相関係数は、様々な異なる順序で、上側および下側入力端子102および104に到達する。

40

【0025】

加算器106は、上側入力端子102および下側入力端子104により受信された入力信号の対を加算することにより出力信号110を生成するように構成されている。加算器106により生成された出力信号110は、マルチプレクサ114の入力端子“0”として示された第1の入力端子およびマルチプレクサ122の入力端子“0”として示された第2の入力端子に送られる。

【0026】

50

減算器108は、上側入力端子102および下側入力端子104により受信された入力信号の同じ対を減算することにより出力信号112を生成するように構成されている。減算器108により生成された出力信号112は、マルチプレクサ114の入力端子“1”として示された第2の入力端子およびシフトレジスタ118の入力に送られる。マルチプレクサ114は、シフトレジスタ116の入力端子に送られる出力信号115を生成するように構成されている。

【0027】

シフトレジスタ116および118はメモリ空間である。シフトレジスタ116および118に記憶される信号の数は、以下に説明するように、FHTエンジンにいくつかの段があるかおよびそれらが配置されたものがFHTのどの段であるかに依存する。シフトレジスタ116は、マルチプレクサ120の入力端子“0”として示された第2の入力端子におよびマルチプレクサ122の入力端子“1”として示された第1の入力端子に送られる出力信号117を生成するように構成される。シフトレジスタ118は、マルチプレクサ120の入力端子“1”として示された第1の入力端子に送られる出力信号119を生成するように構成される。

10

【0028】

マルチプレクサ120は、現在の段がFHTエンジンの最終段でない場合、エンジンの次の段の上側入力端子102により受信される入力信号に対応する出力信号124を生成するように構成される。現在の段が、FHTエンジンの最終段でない場合、出力信号124および次の段の対応する入力信号は、中間相関器係数と呼ばれる。現在の段がFHTエンジンの最終段である場合、出力信号124は、最終の相関係数に対応し、その値は、送信された可能性の最も高い正当なウォルシュコードワードを決定するためにFHTエンジンにより使用される。

20

【0029】

マルチプレクサ122は、現在の段がFHTエンジンの最終段でない場合、FHTエンジンの次の段の下側入力端子104により受信されるべき入力信号に対応する出力信号126を生成するように構成される。上記のように、現在の段がFHTエンジンの最終段でない場合、出力信号126および次の段の対応する入力信号は、中間相関係数と呼ばれる。現在の段がFHTエンジンの最終段である場合、出力信号126は最終の相関係数に対応し、その値は、送信された可能性が最も高い正当なウォルシュコードワードを決定するためにFHTエンジンにより使用される。

30

【0030】

FHTイネーブル信号127は、シフトレジスタ116を全ての時点でイネーブルするように、シフトレジスタ116に結合されている。FHTイネーブル信号127は、クロック手段128にも結合されている。この実施形態において、クロック手段128は、5ビットカウンタである。カウンタの各ビットは、図3において、出力端子Q₀ないしQ₄により示されており、各クロックサイクルは、1の値高くカウンティングする5ビットカウンタに対応する。

【0031】

出力端子Q₀は、カウンタの第1ビットであり、各クロックサイクルにおいて交番的に“オン”されおよび“オフ”される（即ち、00000, 00001等）。Q₁は、カウンタの第2ビットであり、5ビットカウンタが連続的に高くカウントするとき、交番的に、2つのサイクルに対して“オン”であり、2つのサイクルに対して“オフ”である（即ち、00000, 00001, 00010, 00011等である）。

40

【0032】

Q₂はカウンタの第3ビットであり、交番的に、4つのサイクルに対して“オン”であり、4つのサイクルに対して“オフ”である。Q₃は、カウンタの第4ビットであり、交番的に、8個のサイクルに対して“オン”であり、8個のサイクルに対して“オフ”である。図5は、以下により詳細に説明するが、出力端子Q₀ないしQ₃が、それぞれ連続する段1ないし段4のシフトレジスタのうちの1つおよびマルチプレクサに結合されている。

50

【0033】

図3に示された実施形態において、出力端子 Q_4 は、カウンタの第4ビットであり、交番的に、16個のサイクルに対して“オン”であり、16個のサイクルに対して“オフ”である（即ち、00000...01111, 10000...11111等である）。出力端子 Q_4 は、シフトレジスタ118に供給されており、シフトレジスタ118が、交番的に、16個のサイクルに対してイネーブルされ、そして16個のサイクルに対してディスエーブルされるようにする。一般に、各クロックサイクルにおいて、シフトレジスタ116および118に格納された信号は、シフトレジスタの内部メモリ空間中で1つの位置シフトされる。

【0034】

10

全ての内部メモリ空間が一杯になった後、別の入力信号の到着は、シフトレジスタに、受信した第1の信号に対応する出力信号を生成させる。入力信号の各連続する到着は、受信された第2の入力信号、受信された第3の入力信号等に対応するさらなる出力信号を生成させる。出力端子 Q_4 は、マルチプレクサ114, 120および122にも結合されており、マルチプレクサに、代替的に、16個のサイクルに対して、それらの上側入力端子上の入力信号を選択させ、そして16個のサイクルに対してそれらの下側入力端子上の入力信号を選択させる。

【0035】

クロック手段128により使用されるカウンタのビット数が、高速アダマール変換エンジンにより処理されるウォルシュチップの数に依存することに注意すべきである。N個のウォルシュチップがエンジンにより処理されるべき場合、クロック手段128は、 $\log_2(N/2)$ ビットを有するカウンタを使用する。したがって、32個のウォルシュチップを有するブロックまたはコードワードを処理する32-ary直交変調器は、4ビットカウンタを使用し、128個のウォルシュチップを有するブロックまたはコードワードを処理する128-ary直交変調器は、6ビットカウンタを使用する。カウンタのサイズに無関係に、カウンタの各ビットは、エンジンの連続する段に結合される。

20

【0036】

エンジンための段の数は、FHTエンジンにより処理されるウォルシュチップの数にも依存する。FHTエンジンのための段の数は、 $\log_2 N$ に等しく、ここでNは、送信されるブロックまたはウォルシュコードワード中のウォルシュチップの数である。例えば、64個のウォルシュチップを有するブロックまたはコードワードを処理する64-ary直交変調器は、 $\log_2(64)$ 、即ち6個の段を有し、32-ary直交変調器は、 $\log_2(32)$ 、即ち5個の段を有する。

30

【0037】

FHTエンジンの段は、1つの段からの出力信号が後続の段のための入力信号に対応するように、カスケード接続される。図4は、本発明の一実施形態にしたがって、どのように多様な段が接続されるかを示す。図4において、 $I_1(i)$ および $I_2(i)$ は、高速アダマール変換エンジン10に入力されるウォルシュチップである。図示されているようにウォルシュチップは、段0に入り、段0は、中間相関係数に対応する出力信号124-0および126-0を生成する。段0からの出力信号124-0および126-0は、次の段のための入力信号であり、次の段の出力信号、例えば出力信号124- $\log_2 N - 2$ および126- $\log_2 N - 2$ は次の後続段のための入力信号である。

40

【0038】

これは、最終的に信号の対が段 $(\log_2 N) - 1$ に入力されるまで繰り返される。図示された実施形態において、段 $(\log_2 N) - 1$ は、FHTエンジンの最終段であり、これは、出力信号124- $\log_2 N - 1$ および126- $\log_2 N - 1$ を生成する。これらの出力信号は、どのウォルシュコードワードが送信された可能性が最も高いかを決定するために使用される最終の相関係数に対応する。図5は、以下により詳細に説明するが、段“0”ないし“5”が64-aryビットシステムのためにどのように接続されているかを示す。

50

【0039】

前述したように、シフトレジスタ116および118に格納されうる信号即ち中間ウォルシュ係数の数は、FHTエンジンの段の数およびどの段によりシフトレジスタが配置されるかにより決定される。N個のウォルシュチップを有するウォルシュコードワードを処理するFHTエンジンにおいて、シフトレジスタのs段中に格納されうる信号またはチップの数は、 $(N/4)/2^s$ に対応する。

【0040】

したがって、64個のウォルシュチップを有するウォルシュコードワードを処理するシステムに対して、第1段（段“0”）のシフトレジスタ中に格納されうるチップの数は、 $(64/4)/2^0 = 16/2^0 = 16$ に等しい。同じシステムに対して、第2段（段“1”）のシフトレジスタ中に格納されうるチップの数は、 $(64/4)/2^1 = 8$ に等しい。このシステムの段2、3および4のシフトレジスタ中に格納されうるチップの数は、それぞれ4個、2個および1個のチップである。32個のウォルシュチップを有するウォルシュコードワードを処理するシステムに対して、段0のシフトレジスタ中に格納されうるチップの数は、8であり、段1については4である。

【0041】

ウォルシュチップがFHTエンジンの第1段に入力されうる様々な方法がある。図6A-Bは、本発明の一実施形態にしたがって、64個のウォルシュチップを有するウォルシュコードワード（図5A-Bに示されているように構成された）を入力する1つの可能な順序およびFHTエンジンが入力された信号について動作を実行する方法を示すタイムチャートである。また、このタイムチャートは、64個の最終の相関係数を生成するために必要とされるクロックサイクルの数を示す。

【0042】

この実施形態にしたがって、クロックサイクル0として示された第1のクロックサイクルにおいて、ウォルシュチップインデックス“0”として示された第1のウォルシュチップが、段0中の上側入力端子102に入力され、ウォルシュチップインデックス“32”により示されたウォルシュチップが、段0の下側入力端子104に入力される。次のクロックサイクルにおいて、ウォルシュチップ“1”および“33”は、上側および下側入力端子102および104に到着し、次に“2”および“34”、“3”および“35”、等となる。

【0043】

図5A-Bは、本発明の一実施形態にしたがって、図6A-Bのタイムチャートに対応するFHTエンジンを示す。図5A-Bは、FHTエンジンのカスケード接続された段により処理されるウォルシュチップ“0”ないし“63”に対応する入力信号および出力信号を示す。例えば、エンジンの段“0”において、ウォルシュチップ“0”ないし“31”に対応する入力信号は、上側入力端子102に到着し、ウォルシュチップ“32”ないし“63”に対応する入力信号は、下側入力端子104に到着する。図6のタイムチャートの関係で上述したように、ウォルシュチップ“0”および“32”に対応する入力信号は、まず加算器106により加算されて、減算器108により減算される。

【0044】

図5および6の両方に示されているように、クロックサイクル0ないし15において、マルチプレクサ114の入力端子“0”が、係数“0”ないし“15”として同定された第1の16個のウォルシュチップ対の和に対応する出力信号115を生成するように、クロック手段128の出力端子Q₄により制御されて選択される。これらの同じクロックサイクルにおいて、シフトレジスタ116は、係数“0”ないし“15”として同定されたマルチプレクサ114により生成される出力信号115を受け入れるようにイネーブルされる。

【0045】

シフトレジスタ118は、係数“32”ないし“47”として同定された第1の16個のウォルシュチップ対の差に対応する出力信号112を受け入れるように、イネーブルされ

10

20

30

40

50

る。したがって、16個のサイクルの最後において、レジスタ116は、第1の和の結果を格納し、レジスタ118は、第1の16個のウォルシュチップ対の減算の結果を格納する。

【0046】

この時点において、シフトレジスタ118がディスエーブルされるようにクロック信号Q₄がロウになり、マルチプレクサ120および122の入力端子“0”が選択されて、マルチプレクサ114の入力端子“1”が選択される。結果として、クロックサイクル16ないし31において、マルチプレクサ114は、減算器108において受信された次の16個のウォルシュチップ対の差に対応する係数“48”ないし“63”として同定される出力信号115を生成する。

10

【0047】

シフトレジスタ116は、マルチプレクサ114により生成された係数“48”ないし“63”に対応する出力信号を受け入れるように、FHTイネーブル信号127によりイネーブルされたままとなる。その間、シフトレジスタ116は、クロックサイクル0ないし15の間に受信した係数“0”ないし“15”に対応する信号を逐次的(sequential)に出力する。これらの出力信号は、入力端子“0”において受信する信号に対応する出力信号124を生成するようにイネーブルされるマルチプレクサ120に送られる。したがって、クロックサイクル16ないし31において、係数“0”ないし“15”に対応する入力信号は、段1の上側入力端子102に到着する。

【0048】

20

クロックサイクル0ないし15の間に、シフトレジスタ118は、何ら信号を受け入れないようにディスエーブルされ、そのかわりに、クロックサイクル0ないし15の間に以前に受信した係数“32”ないし“47”に対応する信号を格納する。また、クロックサイクル16ないし31の間に、マルチプレクサ120の入力端子“0”は、入力端子“0”で受信する信号に対応する出力信号126を生成するように選択される。このようにして、係数“16”ないし“31”に対応する入力信号が、段1の下側入力端子104に到着する。

【0049】

クロックサイクル32ないし47の間に、シフトレジスタ116は、FHTイネーブル信号127により制御されるように、イネーブルのままにされて、クロックサイクル16ないし31の間に受信された係数“48”ないし“63”に対応する出力信号を格納するようにする。これらの出力信号は、入力端子“1”に提供された信号を選択するように構成されたマルチプレクサ122に送られる。このようにして、係数“48”ないし“63”に対応する入力信号が、段1の下側入力端子104に到着する。

30

【0050】

シフトレジスタ118は、依然に格納した係数“32”ないし“47”に対応する出力信号を生成するように、クロック手段128の出力端子Q₄により制御されるように、再びイネーブルされる。さらに、クロックサイクル32ないし47において、マルチプレクサ122は、入力端子“1”で受信する信号に対応する出力信号を生成するようにイネーブルされる。したがって、係数“32”ないし“47”に対応する入力信号が、段1の上側

40

【0051】

図示されているように、後続の段の各々は、先行する段がその入力信号を受信したクロックサイクルの数の半分である数のクロックサイクルにおいて、それに先行する段から入力信号を受信する。これは、前述したように、各後続の段において、シフトレジスタのメモリ格納容量を、2の累乗で、暫時的に減少させることにより達成される。

【0052】

前述したように、本発明の一実施形態によれば、クロック手段128は、先行する段における場合の2倍の頻度で各後続する段において、マルチプレクサの入力信号をスイッチしかつシフトレジスタ118をイネーブルおよびディスエーブルするように動作する。例え

50

ば、上記の例において、クロック手段128が、段0において16個のクロックサイクル毎に、マルチプレクサおよびシフトレジスタ118の動作を反転させた場合、段1において8クロックサイクル毎に動作を反転させ、段2において4クロックサイクル毎に動作を反転させることになる。

【0053】

従来技術との比較において、本発明のFHTエンジンは、FHTアルゴリズムにより必要とされる和および差の動作を実行する一方で、信号を格納するためのより小さな量のメモリ空間を必要とする。例えば、クロックサイクル16において、段0および段1の両方は、係数“16”に対応する入力信号を受信し、これについてFHTアルゴリズムの和および差の動作を実行し、入力信号を格納する必要性を取り除き、または得られる出力信号を2度格納する必要性を除去する。クロックサイクル17において、段0の上側入力信号および段1の下側入力信号に関して同じ利益が得られる。この場合において、両方の段は、係数“17”に対応する入力信号を受信し、入力信号を格納する必要がなく、または得られる出力信号を2度格納する必要がある。

10

【0054】

いずれかの2つの隣接する段の間で、連続するクロックサイクルの各々において、この利益が繰り返される。例えば、クロックサイクル29において、ウォルシュチップ“29”に対応する入力信号は、段0の上側入力端子102に到着し、係数“29”に対応する入力信号は、段1の下側入力端子104に到着し、係数“13”に対応する入力信号は、段1の上側入力端子102および段2の下側入力端子104に到着し、係数“5”に対応する入力信号は、段2の上側端子102および段3の下側入力端子104に到着する。

20

【0055】

図6から分かるように、本発明のこの実施形態は、全ての64個の相関係数を生成するために、63個のクロックサイクルを必要とする。前述したように、段5の上側入力102および下側入力104により受信された入力信号としても示されている段4のマルチプレクサ120および122により生成された出力信号は、それぞれが正当なウォルシュコードワードに対応する最終の相関係数である。望ましくは、この実施形態において、FHTエンジンの最終段において生成される出力信号は、逐次的な順序にある。

【0056】

一実施形態において、全ての64個の相関係数が生成された後、最大の係数が選択されて、選択された係数に対応する正当なウォルシュコードワードが、もともと送られたウォルシュコードワードであると決定される。別の実施形態において、各2つの最終的な相関係数が段5において生成されるので、図5に示されたコンパレータ150は、2つのうちどちらが大きいかを決定し、次のクロックサイクルにおいて生成されることになる2つの最終的な相関係数との比較のために大きい方の係数を格納する。

30

【0057】

このプロセスは、全ての最終的な相関係数が生成されかつ比較されて、最大のものが選択されるまで繰り返される。どちらの実施形態においても、受信機18により受信された64チップブロックまたはウォルシュコードワードは、コードワードが伝送中に雑音、妨害または歪みにより転化した場合に、訂正される。

40

【0058】

FHTエンジンの第1段においてウォルシュチップが入力されうる別の方法が、図7A-Bに別のタイムチャートとして示されている。この実施形態において、段0の上側入力102および下側入力104に到着する入力信号は、第1のクロックサイクルにおいて、ウォルシュチップ“0”および“1”がそれぞれ上側入力102および下側入力104に到着するように、逐次的な順序にある。

【0059】

次のクロックサイクルにおいて、ウォルシュチップ“2”および“3”は、上側入力102および下側入力104に到着し、ウォルシュチップ“4”および“5”，“6”および“7”も同様に到着する。この実施形態の1つの利点は、上側入力102および下側入力

50

104へのそれらの到着に先立ってウォルシュチップのセットをメモリ空間中で維持する必要がなく、到来するチップは、FHTエンジンに即座に供給されうることである。しかし、図7の上側段5および下側段5において分かるように、出力124および126から表れる最終の出力信号は、逐次的な順序でない。

【0060】

以上、本発明の特定の実施例が示され説明が加えられたが、この実施例の構成を、本発明の技術的なアイデアから逸脱することなく適当に変更および修正をすることが可能であることは、当業者には明らかである。したがって、特許請求の範囲の記載は、本発明の技術的範囲に含まれるそのような変更および修正をカバーしているものと理解すべきである。

。

【0061】

【発明の効果】

以上説明したように本発明によれば、従来技術による高速アダマール変換が非常に遅くかつ非常に多くのハードウェアを必要とする欠点を除去し、高速、コンパクトかつ有効なFHTエンジンを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による典型的なワイアレス通信システムを示す図。

【図2】本発明の一実施形態において、伝送誤りを検出しかつ訂正するために、デジタルワイアレス通信システムにより典型的に使用される構成要素のいくつかを示す図。

【図3】本発明の一実施形態によるFHTエンジンの各段の構成要素を示す図。

【図4】本発明の一実施形態によりどのようにFHTエンジンの複数の段が接続されるかを示す図。

【図5】本発明の一実施形態による複数の段を有するFHTエンジンを示す図。

【図6】本発明の一実施形態によるFHTエンジンの各段に入力信号がどのようにいつ到着するかを示すタイミング図。

【図7】本発明の別の実施形態によるFHTエンジンの各段に、入力信号がどのようにいつ到着するかを示すタイミング図。

【符号の説明】

- 12 情報ソース
- 14 エンコーダ
- 16 送信機
- 18 受信機
- 20 デコーダ
- 22 情報宛先
- 106 加算器
- 108 減算器
- 114, 120, 122 マルチプレクサ
- 116, 118 16エレメントシフトレジスタ
- 150 コンパレータ
- 201 交換機センタ
- 203 基地局
- 207 ワイヤライン端末

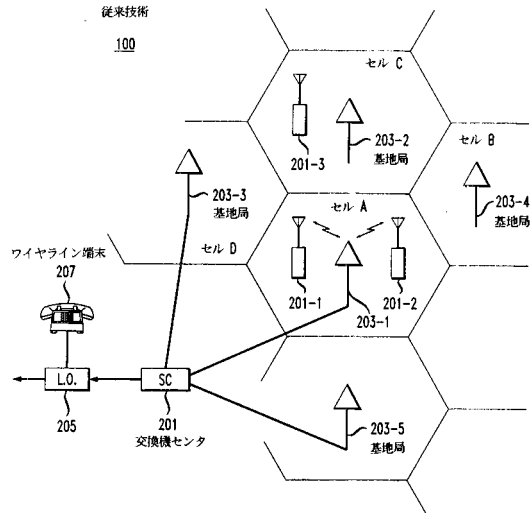
10

20

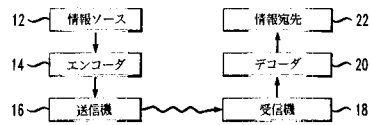
30

40

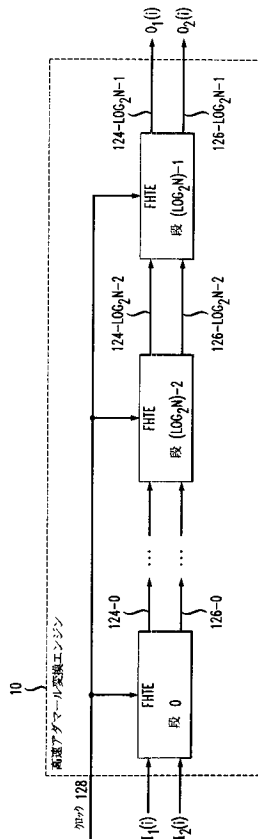
【図 1】



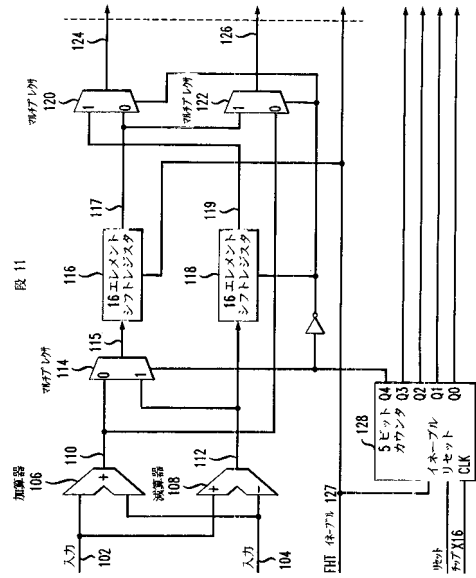
【図 2】



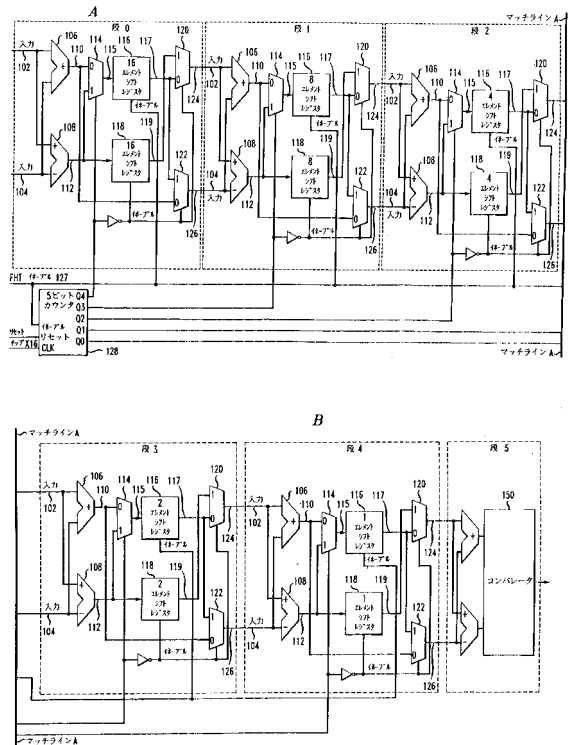
【図 4】



【図 3】



【図 5】



【図 6】

バタフライ I/O オプション 1: 逐次的順序の出力

	A
上階段 0	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 ...
下階段 0	32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 1	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 ...
下階段 1	16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 ...
上階段 2	0 1 2 3 4 5 6 7 ...
下階段 2	8 9 10 11 12 13 14 15 ...
上階段 3	0 1 2 3 ...
下階段 3	4 5 6 7 ...
上階段 4	0 1 ...
下階段 4	2 3 ...
上階段 5	0 ...
下階段 5	1 ...

図 6 A から

バタフライ I/O オプション 1: 逐次的順序の出力

	B
上階段 1	... 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 ...
下階段 1	... 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 2	... 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 ...
下階段 2	... 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 3	... 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 ...
下階段 3	... 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 4	... 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 ...
下階段 4	... 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 5	... 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 ...
下階段 5	... 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...

図 6 B から

【図 7】

バタフライ I/O オプション 2: 逐次的順序の出力

	A
上階段 0	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 ...
下階段 0	32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 1	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 ...
下階段 1	32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 2	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 ...
下階段 2	16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 ...
上階段 3	0 1 2 3 ...
下階段 3	4 5 6 7 ...
上階段 4	0 1 ...
下階段 4	2 3 ...
上階段 5	0 ...
下階段 5	1 ...

図 7 A から

バタフライ I/O オプション 2: 逐次的順序の出力

	B
上階段 1	... 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 ...
下階段 1	... 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 2	... 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
下階段 2	... 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 3	... 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
下階段 3	... 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 4	... 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 ...
下階段 4	... 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...
上階段 5	... 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 ...
下階段 5	... 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 ...

図 7 B から

フロントページの続き

- (74)代理人 100091889
弁理士 藤野 育男
- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100102808
弁理士 高梨 憲通
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (74)代理人 100081053
弁理士 三俣 弘文
- (72)発明者 マーク デビッド ハーム
アメリカ合衆国、07836 ニュージャージー、フランダース、オークウッド ビレッジ 4、
アパートメント ナンバー 3

審査官 藤井 浩

- (56)参考文献 特開平01-311367 (JP, A)
特開昭57-146345 (JP, A)
特表昭60-502024 (JP, A)
米国特許第04510578 (US, A)
英国特許出願公開第01366085 (GB, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03M 13/00 - 13/53
G06F 11/10 330
H04B 7/26
H04L 1/00