



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0089028
(43) 공개일자 2009년08월21일

(51) Int. Cl.

H01L 29/768 (2006.01)

(21) 출원번호 10-2008-0014343

(22) 출원일자 2008년02월18일

심사청구일자 2008년02월18일

(71) 출원인

이화여자대학교 산학협력단

서울 서대문구 대현동 11-1 이화여자대학교내

(72) 발명자

신형순

서울 서대문구 대현동 11-1번지 이화여자대학교

이승연

서울 서대문구 대현동 11-1번지 이화여자대학교

(뒷면에 계속)

(74) 대리인

이원희

전체 청구항 수 : 총 15 항

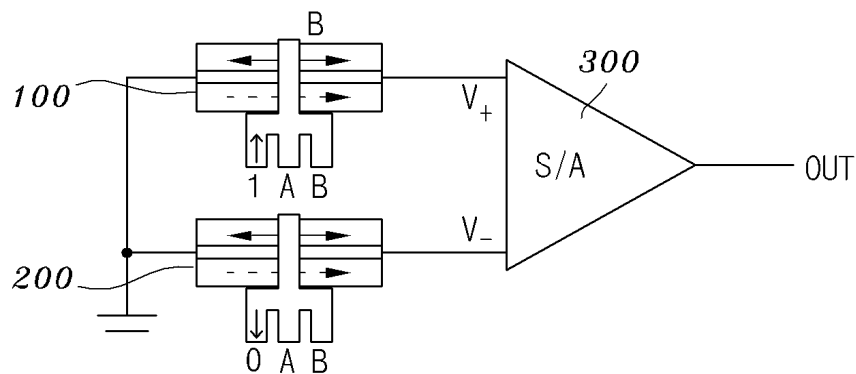
(54) 스핀 토크 변환을 이용한 자기터널접합 소자를 사용한 XOR 논리 연산장치

(57) 요약

본 발명은 초기화 과정이 필요없는, 스핀 토크 변환을 이용한 자기터널접합 소자를 사용한 XOR 논리 연산장치에 관한 것으로,

전류가 도통하도록 구비된 상부 전극 및 하부 전극과, 상기 상부 전극과 하부 전극 사이의 전기적 절연을 위한 절연층과, 상기 절연층의 상부면 및 하부면에 각각 형성된 자유층 및 고정층으로 구성된 자기터널접합 소자; 및, 상기 상부 전극과 하부 전극 사이를 통과하는 전류의 흐름을 제어하고, 입력된 논리레벨에 따라 상기 자유층의 자화 방향을 변경하는 전류 제어회로로 구성되는 2개의 자기 메모리 셀이 병렬로 연결되며, 상기 2개의 자기 메모리 셀 각각의 일단에 연결된 감지 증폭기를 포함하는 것을 특징으로 한다.

대표도 - 도8



(72) 발명자

이현주

서울 서대문구 대현동 11-1번지 이화여자대학교

이감영

서울 서대문구 대현동 11-1번지 이화여자대학교

특허청구의 범위

청구항 1

전류가 도통하도록 구비된 상부 전극 및 하부 전극과, 상기 상부 전극과 하부 전극 사이의 전기적 절연을 위한 절연층과, 상기 절연층의 상부면 및 하부면에 각각 형성된 자유층 및 고정층으로 구성된 자기터널접합 소자;

및,
상기 상부 전극과 하부 전극 사이를 통과하는 전류의 흐름을 제어하고, 입력된 논리레벨에 따라 상기 자유층의 자화 방향을 변경하는 전류 제어회로

로 구성되는 2개의 자기 메모리 셀이 병렬로 연결되며, 상기 2개의 자기 메모리 셀 각각의 일단에 연결된 감지 증폭기를 포함하는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 2

청구항 1에 있어서,

상기 고정층의 자화 방향은 고정된 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 3

청구항 1에 있어서,

상기 전류 제어회로의 게이트에 입력되는 신호를 변화시켜 논리 레벨을 형성시키는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 4

청구항 1에 있어서,

상기 자기터널접합 소자에 인가된 전류가 상기 상부 전극에서 하부 전극으로 흐르는 경우에는 상기 자유층의 자화 방향이 상기 고정층의 자화 방향과 동일한 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 5

청구항 1에 있어서,

상기 자유층과 상기 고정층의 자화 방향이 동일한 경우에는 상기 자기터널접합 소자의 자기 저항이 '0'의 논리 레벨을 가지는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 6

청구항 1에 있어서,

상기 자기터널접합 소자에 인가된 전류가 상기 하부 전극에서 상부 전극으로 흐르는 경우에는 상기 자유층의 자화 방향이 상기 고정층의 자화 방향과 반대인 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 7

청구항 1에 있어서,

상기 자유층 및 고정층의 자화 방향이 반대인 경우에는 자기터널접합 소자의 저항이 '1'의 논리 레벨을 가지는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 8

청구항 1 내지 청구항 7 중 어느 한 항에 있어서,

상기 전류 제어회로는,

상기 상부 전극과 소스단이 연결되는 제1 전류 구동부;
 상기 제1 전류 구동부와 드레인단이 서로 연결되는 제2 전류 구동부;
 상기 하부 전극과 드레인단이 연결되는 제3 전류 구동부;
 상기 제3 전류 구동부와 소스단이 서로 연결되는 제4 전류 구동부;
 를 포함하여 구성되는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 9

청구항 8에 있어서,
 상기 제1 내지 제4 전류 구동부는 병렬로 연결된 3개의 MOSFET을 포함하는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 10

청구항 9에 있어서,
 상기 제1 전류 구동부의 소스단과 제4 전류 구동부의 드레인단이 연결되고, 상기 제2 전류 구동부의 소스단과 제3 전류 구동부의 드레인단이 연결된 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 11

청구항 8에 있어서,
 상기 제1 전류 구동부와 제2 전류 구동부가 연결되는 노드에 일단이 연결되는 제1 인에이블 MOSFET;
 상기 제3 전류 구동부와 제4 전류 구동부가 연결되는 노드에 일단이 연결되는 제2 인에이블 MOSFET;
 을 더 포함하는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 12

청구항 8에 있어서,
 상기 제1 내지 제4 전류 구동부는,
 제1 논리 입력 신호가 게이트에 인가되는 제1 MOSFET;
 제2 논리 입력 신호가 게이트에 인가되는 제2 MOSFET;
 제3 논리 입력 신호가 게이트에 인가되는 제3 MOSFET;
 을 포함하는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 13

청구항 12에 있어서,
 상기 제1 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제3 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하고, 제2 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제4 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하되, 제1 전류 구동부와 제2 전류 구동부에 인가되는 신호는 서로 인버팅된 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 14

청구항 1에 있어서,
 상기 감지 증폭기는 상기 2 개의 자기 메모리 셀에 있는 자기터널접합 소자의 저항값을 비교하여, V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 큰 경우, 상기 감지 증폭기의 출력값은 논리 레벨 '1'이 되는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

청구항 15

청구항 1에 있어서,

상기 감지 증폭기는 상기 2 개의 자기 메모리 셀에 있는 자기터널접합 소자의 저항값을 비교하여, V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 작거나 같은 경우에는 상기 감지 증폭기의 출력값은 논리 레벨 '0'이 되는 것을 특징으로 하는 자기터널접합 소자를 이용한 XOR 논리 연산장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 XOR 논리 연산장치에 관한 것으로, 보다 상세하게는 초기화 과정이 필요없는 스핀 토크 변환을 이용한 자기터널접합 소자를 사용한 XOR 논리 연산장치에 관한 것이다.

배경 기술

- <2> 일반적으로, 자기터널접합(Magnetic Tunneling Junction; MTJ) 소자를 이용한 논리 회로는 입력단에 같은 전류가 흐르는 경우에는 자유층(Free Magnetic Layer)의 자화 방향이 변하고, 전류의 방향이 서로 다른 경우에는 자유층의 자화방향은 변하지 않기 때문에, 각 전류가 만들어낸 합성 자장에 의하여 교차한 셀 내의 자유층의 자성 스핀을 원하는 방향으로 배열시킬 수 있고, 고정층(Pinned Magnetic Layer)의 자화방향은 고정되어 있으므로, 두개의 자성층의 자화 방향을 평행 또는 반평행의 두가지를 구현함으로써, '1'과 '0'의 논리 레벨인 디지털 신호를 기록할 수 있다.
- <3> 그리고, 상기 '1'과 '0'의 논리 레벨인 디지털 신호를 읽을 때에는 자기터널 접합 소자의 TMR(Tunnelling Magneto-Resistance)를 이용하는데, 자기터널접합 소자에 감지전압이 가해질 때, 전자 캐리어는 상기 자기 물질층들 사이의 비자기성, 비도전성 터널층을 통하여 터널링함으로써, 상기 자기물질층을 통과하고, 상기 감지전류에 대한 저항은 상기 자기물질층 쌍의 자기백터가 서로 같은 방향으로 평행일 때 최소가 되어 절연층을 터널하는 전자의 컨덕턴스가 두개의 자성층의 상대적인 자화방향에 따른 저항을 측정할 수 있다.
- <4> 한편, XOR 논리 연산장치는 배타적 논리합 회로로써, 입력된 2개의 값 중 1개만 참일 때 참이 되는 논리 연산장치인데, 이러한 XOR 논리 연산장치는 상기 자기터널접합 소자를 이용하여 구현할 수 있다.
- <5> 도 1에 종래 기술에 따른, 자기터널접합 소자를 이용한 XOR 논리 연산장치가 도시되어 있다.(J. of Applied Physics, vol. 97, p.10D509, 2005 참조)
- <6> 도 1을 참조하면, 종래 기술에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치는, 전류가 도통하도록 구비되는 상부전극(2) 및 하부전극(3)과, 상기 상부전극과 하부전극 간에 증착되는 자성강층인 고정층(4) 및 자유층(6)과, 상기 고정층 및 자유층 간을 절연하며, 그 사이에 증착되는 절연층(5)으로 구성된 자기터널접합 소자와, 상기 상부전극(2) 위에 위치하여 자기터널접합 소자의 고정층(4) 및 자유층(5)의 자화를 위하여 전류를 입력하는 2개의 입력층(7, 8)을 포함하여 상기 입력층(7, 8)에 입력된 전류 방향에 따라 XOR 논리 연산을 수행한다.
- <7> 상기 각 입력층(7, 8)에 흐르는 전류의 방향이 도 1에 도시된 바와 같이 -I인 경우(도 1에 도시된 입력층의 앞부분에서 뒷부분으로 향하는 방향, 왼쪽 화살표), 논리 레벨을 '0', +I인 경우(오른쪽 화살표) 논리 레벨을 '1'로 정의한다. 상기 각 입력층에 흐르는 전류의 방향이 같은 경우에는 상기 자유층(6)의 자화방향이 변하며, 상기 각 입력층에 흐르는 전류의 방향이 다른 경우에는 상기 자유층(6)의 자화방향이 변하지 않는다.
- <8> 상기 하부전극(3)에 전류가 흐르지 않는 경우에는 상기 고정층(4)의 자화방향이 변하지 않는다. 상기 고정층(4)의 자화방향을 바꾸려면 상기 하부전극(3)에 전류 I가 흐르는 상태에서 상기 각 입력층(7, 8)에 흐르는 전류의 방향이 동일해야한다.
- <9> 도 2에는 종래 기술에 따른, 자기터널접합 소자를 이용한 XOR 논리 연산장치의 초기화 과정과 동작 과정이 도시되어 있다. 자기터널접합 소자의 동작은 초기화 과정(도 2(a)참조; 'SET')과 동작 과정(도 2(b)~(e)참조; 'Logic')으로 구분된다.
- <10> 도 2의 (a)를 참조하면, 논리 연산장치 동작 전에 2단계의 초기화 과정을 통해 고정층(4)의 자화방향은 왼쪽으

로 자유층(6)의 자화방향은 오른쪽으로 되도록 하여 높은 레벨의 저항값 R_H 로 만든다.

<11> 그 다음, 하부전극(3)에 전류 I를 인가한 상태에서 각각의 입력층(7, 8)에 $-I$ (논리 레벨 0) 또는 $+I$ (논리 레벨 1)를 도 2의 (b) 내지 도 2의 (d)에 도시된 바와 같이 입력하면 자기터널접합 소자의 저항값이 도 2의 (b) 내지 도 2의 (d)에 도시된 바와 같이 결정된다.

<12> 도 2의 (b) 내지 도 2의 (d)에 도시된 바와 같이, 각각의 입력층(7, 8)의 논리 레벨이 동일하면 저항값이 낮은 레벨의 저항값 R_L 로 결정되고, 논리 레벨의 상이하면 초기화 상태와 같이 R_H 로 결정된다.

<13> 상기 자기터널접합 소자의 저항값을 도 3에 도시된 바와 같은 감지 증폭기(sense amp)를 이용하여 R_L 과 비교하면 하기 [표 1]에 기재된 바와 같이 XOR 논리 연산장치 소자로 동작하게 된다.

<14> [표 1]

<15>

A	B	C	R	OUT
0	0	I	R_L	0
0	1	I	R_H	1
1	0	I	R_H	1
1	1	I	R_L	0

<16> 이 때, 자기터널접합 소자의 저항값이 R_L 일 때 감지 증폭기의 출력이 논리 레벨 '0'이 되기 위해선 감지 증폭기의 오프셋 전압(offset voltage)(V_{OS})은

<17> $-I_{SENS} * \Delta R < V_{OS} < 0$ ($\Delta R = R_H - R_L$)

<18> 를 만족하여야 한다.

<19> 상기와 같은 종래기술에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치는 동작 후에 항상 자기터널접합 소자의 자유층과 고정층의 자화방향을 각각 다시 초기화해야 하는 단점이 있다.

<20> 즉, 도 2의 (a) 내지 (e)에 도시된 바와 같이, 입력층(7, 8)의 논리 레벨에 의해 자유층과 고정층의 자화방향이 변화하므로 다음 논리 연산을 위해 다시 자화방향을 환원하여 초기화하는 2단계의 초기화 과정이 필요하다. 이로 인해, XOR 논리 연산장치의 동작 속도가 감소하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<21> 본 발명은 전술한 바와 같은 종래기술의 XOR 논리 연산장치의 동작 속도가 감소하는 문제점을 해결하기 위해, 초기화 과정이 필요없는 XOR 논리 연산장치를 제공하는 것을 그 목적으로 한다.

과제 해결수단

<22> 상기와 같은 과제를 해결하기 위한 본 발명에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치는,

<23> 전류가 도통하도록 구비된 상부 전극 및 하부 전극과, 상기 상부 전극과 하부 전극 사이의 전기적 절연을 위한 절연층과, 상기 절연층의 상부면 및 하부면에 각각 형성된 자유층 및 고정층으로 구성된 자기터널접합 소자; 및, 상기 상부 전극과 하부 전극 사이를 통과하는 전류의 흐름을 제어하고, 입력된 논리레벨에 따라 상기 자유층의 자화 방향을 변경하는 전류 제어회로로 구성되는 2개의 자기 메모리 셀이 병렬로 연결되며, 상기 2개의 자기 메모리 셀 각각의 일단에 연결된 감지 증폭기를 포함하는 것을 특징으로 한다.

<24> 또한, 상기 고정층의 자화 방향은 고정된 것을 특징으로 한다.

<25> 또한, 상기 전류 제어회로의 게이트에 입력되는 신호를 변화시켜 논리 레벨을 형성시키는 것을 특징으로 한다.

<26> 또한, 상기 자기터널접합 소자에 인가된 전류가 상기 상부 전극에서 하부 전극으로 흐르는 경우에는 상기 자유층의 자화 방향이 상기 고정층의 자화 방향과 동일한 것을 특징으로 한다.

- <27> 또한, 상기 자유층과 상기 고정층의 자화 방향이 동일한 경우에는 상기 자기터널접합 소자의 자기 저항이 '0'의 논리 레벨을 가지는 것을 특징으로 한다.
- <28> 또한, 상기 자기터널접합 소자에 인가된 전류가 상기 하부 전극에서 상부 전극으로 흐르는 경우에는 상기 자유층의 자화 방향이 상기 고정층의 자화 방향과 반대인 것을 특징으로 한다.
- <29> 또한, 상기 자유층 및 고정층의 자화 방향이 반대인 경우에는 자기터널접합 소자의 저항이 '1'의 논리 레벨을 가지는 것을 특징으로 한다.
- <30> 또한, 상기 전류 제어회로는, 상기 상부 전극과 소스단이 연결되는 제1 전류 구동부; 상기 제1 전류 구동부와 드레인단이 서로 연결되는 제2 전류 구동부; 상기 하부 전극과 드레인단이 연결되는 제3 전류 구동부; 상기 제3 전류 구동부와 소스단이 서로 연결되는 제4 전류 구동부를 포함하여 구성되는 것을 특징으로 한다.
- <31> 이때, 상기 제1 내지 제4 전류 구동부는 병렬로 연결된 3개의 MOSFET을 포함하는 것이 바람직하다. 또한 이때, 상기 제1 전류 구동부의 소스단과 제4 전류 구동부의 드레인단이 연결되고, 상기 제2 전류 구동부의 소스단과 제3 전류 구동부의 드레인단이 연결된 것이 바람직하다.
- <32> 또한, 상기 전류 제어회로는, 상기 제1 전류 구동부와 제2 전류 구동부가 연결되는 노드에 일단이 연결되는 제1 인에이بل MOSFET; 상기 제3 전류 구동부와 제4 전류 구동부가 연결되는 노드에 일단이 연결되는 제2 인에이블 MOSFET을 더 포함할 수 있다.
- <33> 또한, 상기 전류 제어회로에서 상기 제1 내지 제4 전류 구동부는, 제1 논리 입력 신호가 게이트에 인가되는 제1 MOSFET; 제2 논리 입력 신호가 게이트에 인가되는 제2 MOSFET; 제3 논리 입력 신호가 게이트에 인가되는 제3 MOSFET을 포함한다. 이때, 상기 제1 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제3 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하고, 제2 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제4 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하되, 제1 전류 구동부와 제2 전류 구동부에 인가되는 신호는 서로 인버팅된다.
- <34> 상기 감지 증폭기는 상기 2 개의 자기 메모리 셀에 있는 자기터널접합 소자의 저항값을 비교하여, V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 큰 경우, 상기 감지 증폭기의 출력값은 논리 레벨 '1'이 되고, V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 작거나 같은 경우에는 상기 감지 증폭기의 출력값은 논리 레벨 '0'이 되는 것을 특징으로 한다.

효 과

- <35> 상기한 바와 같은 본 발명에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치에 의하면,
- <36> 종래의 XOR 논리 연산장치와는 달리, 초기화 과정이 필요없으므로, XOR 논리 연산장치의 동작 속도가 향상되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 우선, 도면들 중 동일한 구성요소 또는 부품들은 가능한 한 동일한 참조부호를 나타내고 있음에 유의해야 한다. 본 발명을 설명함에 있어서 관련된 공지 기능 혹은 구성에 대한 구체적인 설명은 본 발명의 요지를 모호하게 하지 않기 위해 생략한다.
- <38> 도 4는 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기터널접합 소자를 도시한 도이고, 도 5는 자기터널접합 소자와 전류 제어회로로 구성되며 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기 메모리 셀을 도시한 회로도이며, 도 6은 도 5의 자기 메모리 셀의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이며, 도 7은 도 5의 자기 메모리 셀을 개념적으로 도시한 도이며, 도 8은 본 발명에 따른 XOR 논리 연산장치를 개념적으로 도시한 도이다.
- <39> 본 발명에 따른 XOR 논리 연산장치는, 도 8에 도시된 바와 같이, 2개의 자기 메모리 셀(100, 200)이 병렬로 연결되며, 상기 2개의 자기 메모리 셀 각각의 일단에 연결된 감지 증폭기(300)를 포함한다. 상기 2개의 자기 메모리 셀(100, 200) 각각은 자기터널접합 소자(10)(도 4 참조)와 전류 제어회로(50)(도 5 참조)로 구성된다.
- <40> 먼저, 본 발명에 따른 XOR 논리 연산장치를 설명하기 전에 도 4 내지 도 6을 참조하여 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기터널접합 소자와 이를 포함하여 구성되는 자기 메모리 셀을 설명한다.

- <41> 도 4에 도시된 바와 같이, 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기터널접합 소자(10)는, 전류가 도통하도록 구비된 상부전극(Top Electrode, 11) 및 하부전극(Bottom Electrode, 13)과, 상기 상부전극과 하부전극 사이의 전기적 절연을 위한 절연층(19)과, 상기 절연층의 상부면 및 하부면에 각각 형성된 자유층(17) 및 고정층(15)으로 구성된다.
- <42> 그리고, 상기 고정층(15)의 자화방향은 오른쪽 방향으로 고정되고, 후술하는 전류 제어회로(50)(도 5 참조)로 인하여 인가되는 전류의 방향과는 무관하게 계속적으로 오른쪽 방향으로 유지된다.
- <43> 여기서, 자기터널접합 소자(10)는 자기 저항식 랜덤 액세스 메모리(MRAM: Magneto - resistance Random Access Memory)를 구성하는 구성 요소로서, 전기도체의 저항이 주변 자기장에 따라 변화하는 자기저항효과(Magneto - resistance Effect)를 이용하여 데이터 및 정보를 저장한다.
- <44> 이때, 자기저항효과(磁氣抵抗效果, Magnetoresistance Effect)는 자기장에 의하여 물질의 전기 저항이 변하는 현상으로서, 금속이나 반도체에 자기장을 걸어주면 전기 저항이 증가하고, 전기 저항의 증가량은 약한 전기장에 대해서는 자기장 세기의 제곱에 비례하는 현상이며, 자기장의 방향에 대하여 전류의 방향이 수직인 경우를 가로효과라 하는데, 강자성체에서는 자발자화로 방향의 변화에 따라 저항의 변화가 생긴다.
- <45> 이에 따라, 자기터널접합 소자(10)에서는 전류 제어회로(50)(도 5 참조)가 전류를 세로 방향으로 인가시켜 자유층(17)의 자화 방향을 제어하고, 변화된 자화 방향으로 자기터널접합 소자(10)의 자기 저항이 변하며, 이를 이용하여 메모리에 데이터를 기록하거나 또는 논리 회로를 구현할 수 있게 된다.
- <46> 또한, 자유층(17)의 자화 방향은 전류의 방향에 따라 변경되는데, 전류 제어회로(50)에서 인가시킨 전류의 방향이 자기터널접합 소자(10)의 상부 전극(11)에서 하부 전극(13) 방향인 경우에는 자유층(17)의 자화 방향은 고정층(15)의 자화 방향과 동일한 방향으로 변경되고, 전류 제어회로(50)에서 인가시킨 전류의 방향이 자기터널접합 소자(10)의 하부 전극(13)에서 상부 전극(11) 방향인 경우에는 자유층(17)의 자화 방향은 고정층(15)과 반대 방향으로 변경된다.
- <47> 여기서, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행(Anti-Parallel)일 경우에 자기 저항이 최대가 되어 논리 레벨 '1' 을 출력할 수 있으며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행(Parallel)일 때 최소가 되어 논리 레벨 '0'을 출력할 수 있다.
- <48> 상기 고정층(15)의 자화 방향을 오른쪽으로 가정하면, 전류 제어회로(50)로부터 인가되는 전류의 방향이 상 - 하 방향인 경우에는, 자유층(17)의 자화 방향이 오른쪽으로 변경되고, 이에 따라 자유층(17) 및 고정층(15)의 자화 방향이 동일 방향으로 평행하며, 자기 저항이 최소가 되어 논리 레벨 '0' 이 된다.
- <49> 반대로, 전류 제어회로(50)로부터 인가되는 전류의 방향이 하 - 상 방향인 경우에는, 자유층(17)의 자화 방향이 왼쪽으로 변경되고, 이에 따라 자유층(17) 및 고정층(15)의 자화 방향이 반대 방향으로 평행하며, 자기 저항이 최대가 되어 논리 레벨 '1' 이 된다.
- <50> 도 5는 자기터널접합 소자와 전류 제어회로로 구성되며 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기 메모리 셀을 도시한 회로도이다.
- <51> 도 5에 도시된 바와 같이, 전류 제어회로(50)는 제1 전류 구동부(30a), 제2 전류 구동부(20a), 제3 전류 구동부(30b), 제4 전류 구동부(20b)와 제1 인에이블 MOSFET과, 제2 인에이블 MOSFET을 포함하여 이루어진다.
- <52> 여기서, 제1 전류 구동부(30a)는 제1 MOSFET(31a), 제2 MOSFET(33a), 제3 MOSFET(35a)을 포함하여 이루어지며, 상기 자기터널접합 소자(10)의 상부 전극(11) 및 상기 제4 전류 구동부(20b)에 일측단이 연결되고, 상기 제2 전류 구동부(20a)와 타측단이 연결된다.
- <53> 또한, 상기 제1 MOSFET(31a)과 제2 MOSFET(33a)과 제3 MOSFET(35a)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(31a, 33a, 35a)의 소스(Source)단이 상기 상부 전극(11) 및 상기 제4 전류 구동부(20b)와 연결된다.
- <54> 그리고, 제2 전류 구동부(20a)는 제1 MOSFET(21a), 제2 MOSFET(23a), 제3 MOSFET(25a)을 포함하여 이루어지며, 상기 제1 전류 구동부(30a)와 일측단이 연결되고, 제3 전류 구동부(30b)와 타측단이 연결된다.
- <55> 이때, 상기 제1 MOSFET(21a)과 제2 MOSFET(23a)과 제3 MOSFET(25a)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(21a, 23a, 25a)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 드레인(Drain)단과 연결되며, 각 MOSFET(21a, 23a, 25a)의 드레인(Drain)단은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a,

33a, 35a)의 드레인(Drain)단과 연결된다.

- <56> 또한, 제3 전류 구동부(30b)는 제1 MOSFET(31b), 제2 MOSFET(33b), 제3 MOSFET(35b)을 포함하여 이루어지며, 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 드레인(Drain)단은 상기 자기터널접합 소자(10)의 하부 전극(13) 및 상기 제2 전류 구동부(20a)의 각 MOSFET(21a, 23a, 25a)의 소스(Source)단과 각각 연결된다.
- <57> 또한, 제1 MOSFET(31b), 제2 MOSFET(33b), 제3 MOSFET(35b)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(31b, 33b, 35b)의 소스(Source)단의 일측이 제4 전류 구동부(20b)의 일단과 연결된다.
- <58> 그리고, 제4 전류 구동부(20b)는 제1 MOSFET(21b), 제2 MOSFET(23b), 제3 MOSFET(25b)을 포함하여 이루어지며, 상기 각 MOSFET(21b, 23b, 25b)의 드레인(Drain)단은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a, 33a, 35a)의 소스(Source)단과 연결되고, 각 MOSFET(21b, 23b, 25b)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 소스(Source)단과 연결된다.
- <59> 또한, 상기 제2 전류 구동부(20a)와 제4 전류 구동부(20b)의 각 게이트(Gate)에는 정상 신호가 입력되고, 제1 전류 구동부(30a)와 제3 전류 구동부(30b)의 각 게이트(Gate)에는 상기 제2 전류 구동부(20a)와 제4 전류 구동부(20b)의 각 게이트(Gate)에 입력되는 신호가 인버팅(Inverting)된 반전 신호가 입력된다.
- <60> 즉, 제1 MOSFET(21a, 21b)에 입력되는 제1 논리 입력 신호는 제1 MOSFET(31a, 31b)에는 인버팅되어 입력되는데, 예를 들어, 제1 MOSFET(21a, 21b)에 입력되는 제1 논리 입력 신호가 A 라면, 제1 MOSFET(31a, 31b)에 입력되는 제1 논리 입력 신호는 $\overline{A}$ 로 입력되는 것이다.
- <61> 마찬가지로, 제2 MOSFET(23a, 23b)에 입력되는 제2 논리 입력 신호(B)는 제2 MOSFET(33a, 33b)에 입력되는 제2 논리 입력 신호($\overline{B}$)와 인버팅(Inverting)된 상태로 입력되고, 제3 MOSFET(25a, 25b)에 입력되는 제2 논리 입력 신호(C)는 제2 MOSFET(35a, 35b)에 입력되는 제2 논리 입력 신호($\overline{C}$)와 인버팅(Inverting)된 상태로 입력된다.
- <62> 또한, 제1 인에이블 MOSFET(43)은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a, 33a, 35a)의 드레인단과 제2 전류 구동부(20a)의 각 MOSFET(21a, 23a, 25a)의 드레인단과 연결되는 노드 간에 연결되되, 제1 인에이블 MOSFET(43)의 소스단과 연결시킨다.
- <63> 또한, 제2 인에이블 MOSFET(41)은 상기 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 소스와 제4 전류 구동부(20b)의 각 MOSFET(21b, 23b, 25b)의 소스가 연결되는 노드 간에 연결되되, 제2 인에이블 MOSFET(41)의 드레인단과 연결시킨다.
- <64> 그 이유는, WE이 로직 레벨 '1' 로 유지되는 쓰기 동작 구간에서만 상기 제1, 제2 인에이블 MOSFET(43, 41)을 통하여 전류가 흐르므로, 전류 구동회로(50)으로부터 자기 접합 소자 (10)에 전류가 공급되어 쓰기 동작을 수행토록 하기 위함이다.
- <65> 더불어, 제1 인에이블 MOSFET(43)과 제2 인에이블 MOSFET(41)의 게이트(Gate)에 인가되는 전압은 인버팅되어 신호가 입력되는데, 예를 들어 제2 인에이블 MOSFET(41)에 'WE'가 입력되면, 제1 인에이블 MOSFET(43)에는 ' $\overline{WE}$ '가 입력된다. 즉, 제2 인에이블 MOSFET(41)에는 정상 신호가 입력되고, 제1 인에이블 MOSFET(43)에는 반전 신호가 입력되는 것이다.
- <66> 또한, 제2 인에이블 MOSFET(41)를 제외한 본 발명의 XOR 논리 연산장치에서 사용되는 자기 메모리 셀(100)에 이용되는 모든 MOSFET은 NMOS로 구비되는 것이 바람직하고, 제1 인에이블 MOSFET(43)은 PMOS로 구비되는 것이 바람직하다.
- <67> 여기서, MOSFET은 산화 절연층을 구비한 전계 효과 트랜지스터(FET: Field Effect Transistor)로서, 반도체 내에 있는 유출원 전도 채널과 산화 절연층에 의하여 게이트가 분리되어 있으며, 입력 전하량을 충전시키거나 또는 제거할 펄스 정도의 게이트 입력 전압을 요구한다.
- <68> 따라서, 각 MOSFET의 게이트에 일정 전압이 인가되지 않는 경우, 드레인(Drain) - 소스(Source) 간의 전류가 도통할 수 없도록 이루어진다.
- <69> 이하, 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기 메모리 셀의 구동 과정을 설명한다.
- <70> 제2 인에이블 MOSFET(41) 및 제1 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 메모리 셀(100)에 쓰기 동작이 수행되는

쓰기 구간 동안에만 WE에 논리 레벨 '1'의 입력 신호를 인가한다.

<71> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 -I로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 +I로 정의한다.

<72> [표 2]

<73>

A	B	C	전류	R
0	0	0	-3I	$R_L(0)$
0	0	1	-I	$R_L(0)$
0	1	0	-I	$R_L(0)$
1	0	0	-I	$R_L(0)$
0	1	1	+I	$R_H(1)$
1	0	1	+I	$R_H(1)$
1	1	0	+I	$R_H(1)$
1	1	1	+3I	$R_H(1)$

<74> 표 2에서 도시된 바와 같이, 각 제1 MOSFET(21a, 21b)에 인가되는 논리 입력 신호를 A라 하고, 각 제2 MOSFET(23a, 23b)에 인가되는 논리 입력 신호를 B라 하며, 제3 MOSFET(25a, 25b)에 인가되는 전류를 C라 하고, 상기 A, B, C 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류'라고 하며, 상기 전류로 자화 방향이 제어되어 발생하는 자기 저항을 R이라 하면, 논리 회로 동작 과정은 다음과 같다.

<75> 표 2의 1행은 도 6의 (가)의 경우이고, A에 '0', B에 '0', C에 '0'을 입력한 경우의 동작 과정은 다음과 같다.

<76> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0'이 입력된다.

<77> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.

<78> 즉, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되어 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 드레인 - 소스 간 전류가 흐를 수 있도록 작동된다.

<79> 또한, 각 MOSFET에서 출력되는 전류의 양을 I라고 가정하면, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단에서 전류 I가 각각 출력되는데, 병렬로 연결되어 있으므로, $3 * I$ 의 전류가 출력된다.

<80> 그리고, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I는 상 - 하 방향으로 인가된다.

<81> 따라서, 상 - 하 방향으로 흐르는 전류를 -I로 정의하고, 하 - 상 방향으로 흐르는 전류를 +I로 정의하였으므로, $-3I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<82> 표 2의 2행은 도 6의 (나)의 경우이고, A에 '0', B에 '0', C에 '1'을 입력한 경우의 동작 과정은 다음과 같다.

<83> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리

레벨 '1'이 입력된다.

- <84> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.
- <85> 즉, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 게이트와, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <86> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단에서 전류 I 가 각각 출력되는데, 병렬로 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.
- <87> 그리고, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 2 I 는 상 - 하 방향으로 인가된다.
- <88> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <89> 표 2의 3행은 도 6의 (다)의 경우이고, A 에 '0', B 에 '1', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <90> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0'이 입력된다.
- <91> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.
- <92> 즉, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 게이트와, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <93> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단에서 전류 I 가 각각 출력되는데, 병렬로 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.
- <94> 그리고, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 2 I 는 상 - 하 방향으로 인가된다.
- <95> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <96> 표 2의 4행은 도 6의 (라)의 경우이고, A 에 '1', B 에 '0', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <97> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리

레벨 '0'이 입력된다.

- <98> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.
- <99> 즉, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 게이트와, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <100> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단에서 전류 $2 * I$ 가 출력된다.
- <101> 그리고, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 $2 I$ 는 상 - 하 방향으로 인가된다.
- <102> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <103> 표 2의 5행은 도 6의 (마)의 경우이고, A 에 '0', B 에 '1', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <104> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1'이 입력된다.
- <105> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.
- <106> 즉, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 게이트와, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <107> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스단에서 전류 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단에서 전류 I 가 출력된다.
- <108> 그리고, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.
- <109> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <110> 표 2의 6행은 도 6의 (바)의 경우이고, A 에 '1', B 에 '0', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <111> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리

레벨 '1'이 입력된다.

- <112> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.
- <113> 즉, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 게이트와, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <114> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스단에서 전류 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단에서 전류 I 가 출력된다.
- <115> 그리고, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.
- <116> 따라서, 상 - 하 방향으로 흐르는 전류를 $- I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+ I$ 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <117> 표 2의 7행은 도 6의 (사)의 경우이고, A 에 '1', B 에 '1', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <118> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0' 이 입력된다.
- <119> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.
- <120> 즉, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 게이트와, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <121> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스단에서 전류 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단에서 전류 I 가 출력된다.
- <122> 그리고, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.
- <123> 따라서, 상 - 하 방향으로 흐르는 전류를 $- I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+ I$ 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <124> 표 2의 8행은 도 6의 (아)의 경우이고, A 에 '1', B 에 '1', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <125> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리

레벨 '1' 이 입력된다.

<126> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.

<127> 즉, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<128> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스단에서 전류 $3 * I$ 가 출력된다.

<129> 그리고, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $3 I$ 는 하 - 상 방향으로 인가된다.

<130> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $3 I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.

<131> 즉, 상기 논리 회로는 하기 [식 1]과 같은 연산을 수행할 수 있도록 이루어진다.

<132> [식 1]

<133> $R = A \cdot B + B \cdot C + C \cdot A$

<134> 도 7은 도 5의 자기 메모리 셀을 개념적으로 도시한 도이며, 도 8은 본 발명에 따른 XOR 논리 연산장치를 개념적으로 도시한 도이다.

<135> 본 발명에 따른 XOR 논리 연산장치는, 도 8에 도시된 바와 같이, 2개의 자기 메모리 셀(100, 200)이 병렬로 연결되며, 상기 2개의 자기 메모리 셀 각각의 일단에 연결된 감지 증폭기(sense amp; S/A)(300)를 포함한다. 상기 2개의 자기 메모리 셀(100, 200) 각각은 자기터널접합 소자(10)(도 4 참조)와 전류 제어회로(50)(도 5 참조)로 구성된다.

<136> 상기 감지 증폭기(300)는 상기 2 개의 자기 메모리 셀(100, 200)에 있는 자기터널접합 소자의 저항값을 비교한다. V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 큰 경우에는 상기 감지 증폭기(300)의 출력은 논리 레벨 '1'이 되고, V_+ 단자에서 감지되는 저항값이 V_- 단자에서 감지되는 저항값보다 작거나 같은 경우에는 상기 감지 증폭기(300)의 출력은 논리 레벨 '0'이 된다.

<137> 이를 위해 상기 감지 증폭기(300)의 V_- 단자의 오프셋 전압(offset voltage, V_{OS})은,

<138> $0 < V_{OS} < I_{SENS} * \Delta R$ ($\Delta R = R_H - R_L$)

<139> 을 만족하여야 한다.

<140> 자기 메모리 셀(100)에서의 입력된 논리레벨에 따라 출력되는 저항값의 논리 레벨값은 하기 [표 3]과 같다.([표 2] 참조)

<141> [표 3]

<142>

A	B	C	R
0	0	1	0
0	1	1	1
1	0	1	1
1	1	1	1

<143> 상기 [표 3]에 의하면, 상기 자기 메모리 셀(100)은 A OR B로 동작함을 알 수 있다.

<144> 또한, 자기 메모리 셀(200)에서의 입력된 논리레벨에 따라 출력되는 저항값의 논리 레벨값은 하기 [표 4]와 같다.([표 2] 참조)

<145> [표 4]

<146>

A	B	C	R
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	1

<147> 상기 [표 4]에 의하면, 상기 자기 메모리 셀(200)은 $\overline{A \text{ AND } B}$ 로 동작함을 알 수 있다.

<148> 상기 감지 증폭기(300)에서 V_+ 단자에서의 저항값과 V_- 단자에서의 저항값을 비교하여 출력하는 논리레벨의 값은 하기 [표 5]와 같다.

<149> [표 5]

<150>

R(V_+)	R(V_-)	S/A OUT
0	0	0
1	0	1
1	0	1
1	1	0

<151> 따라서, 자기터널접합 소자(10)와 전류 제어회로(50)로 구성되며 병렬로 연결된 2개의 자기 메모리 셀(100, 200)과 상기 2개의 자기 메모리 셀에 연결되는 감지 증폭기(300)를 포함하는 본 발명에 따른 XOR 논리 연산장치에서 상기 감지 증폭기의 출력값(S/A OUT)은 다음과 같이 XOR 논리값으로 동작함을 알 수 있다.

$$\begin{aligned}
 \text{S/A OUT} &= V_+ \text{ AND } \overline{V_-} \\
 &= (A \text{ OR } B) \cdot \overline{(A \text{ AND } B)} \\
 &= (A + B) \cdot (\overline{A} + \overline{B}) \\
 &= A \cdot \overline{B} + \overline{A} \cdot B \\
 &= A \text{ XOR } B
 \end{aligned}$$

<152>

<153> 이상과 같이 본 발명에 따른 XOR 논리 연산장치를 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상 범위내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

도면의 간단한 설명

<154> 도 1은 종래 기술에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치가 도시된 도,

<155> 도 2는 종래 기술에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치의 초기화 과정과 동작 과정이 도시된 도,

<156> 도 3은 종래 기술에 따른 자기터널접합 소자를 이용한 XOR 논리 연산장치가 도시된 도,

<157> 도 4는 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기터널접합 소자를 도시한 도,

<158> 도 5는 자기터널접합 소자와 전류 제어회로로 구성되며 본 발명에 따른 XOR 논리 연산장치에 사용되는 자기 메

모리 셀을 도시한 회로도,

<159> 도 6은 도 5의 자기 메모리 셀의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도,

<160> 도 7은 도 5의 자기 메모리 셀을 개념적으로 도시한 도이며,

<161> 도 8은 본 발명에 따른 XOR 논리 연산장치를 개념적으로 도시한 도이다.

<162> <도면의 주요부분에 대한 부호의 설명>

<163> 100, 200: 자기 메모리 셀 300: 감지 증폭기

<164> 10: 자기터널접합 소자

<165> 11: 상부 전극 13: 하부 전극

<166> 15: 고정층 17: 자유층

<167> 19: 절연층 20a: 제2 전류 구동부

<168> 21a: 제1 MOSFET 23a: 제2 MOSFET

<169> 25a: 제3 MOSFET 20b: 제4 전류 구동부

<170> 21b: 제1 MOSFET 23b: 제2 MOSFET

<171> 25b: 제3 MOSFET 30a: 제1 전류 구동부

<172> 31a: 제1 MOSFET 33a: 제2 MOSFET

<173> 35a: 제3 MOSFET 30b: 제3 전류 구동부

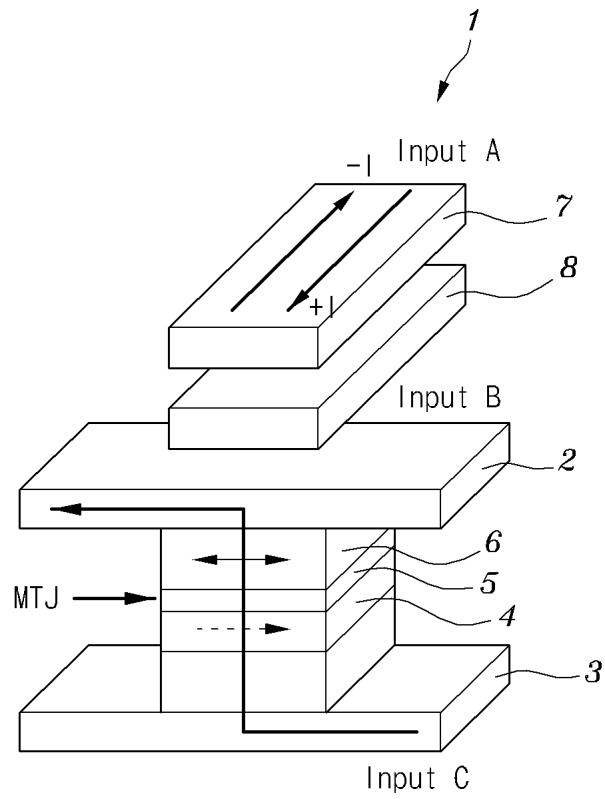
<174> 31b: 제1 MOSFET 33b: 제2 MOSFET

<175> 35b: 제3 MOSFET 41: 제2 인에이블 MOSFET

<176> 43: 제1 인에이블 MOSFET 50: 전류 제어 회로

도면

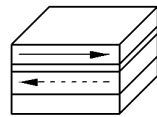
도면1



도면2

SET :

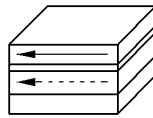
1. Input C: I
Input A: $-I(0)$
Input B: $-I(0)$
2. Input C: 0
Input A: $+I(1)$
Input B: $+(1)$



(a)

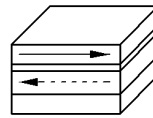
Logic

- Input C: I
Input A: $-I(0)$
Input B: $-I(0)$


$$R = \text{low}(0)$$

(b)

- Input C: I
Input A: $-I(0)$
Input B: $+I(1)$

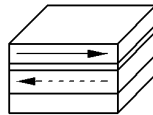

$$R = \text{high}(1)$$

(c)

- ```

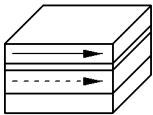
Input C: I
Input A: +I(1)
Input B: -I(0)

```


$$R = \text{high}(1)$$

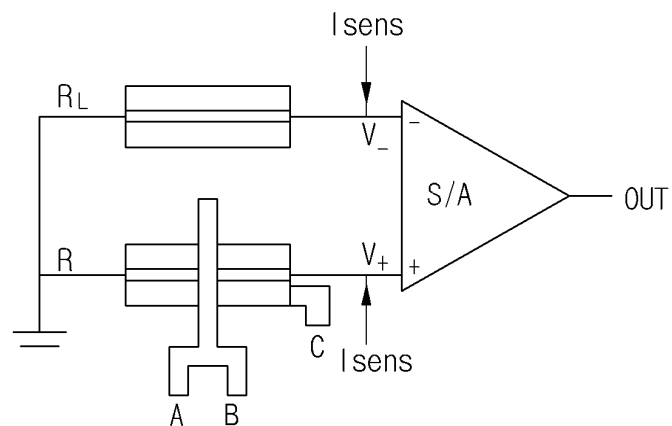
(d)

- ```
Input C: I
Input A: +I(1)
Input B: +I(1)
```

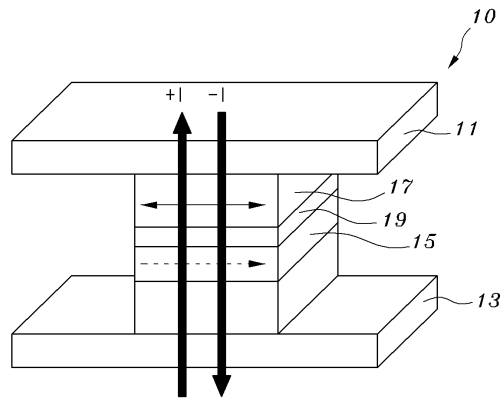

$$R = \text{low}(0)$$

(e)

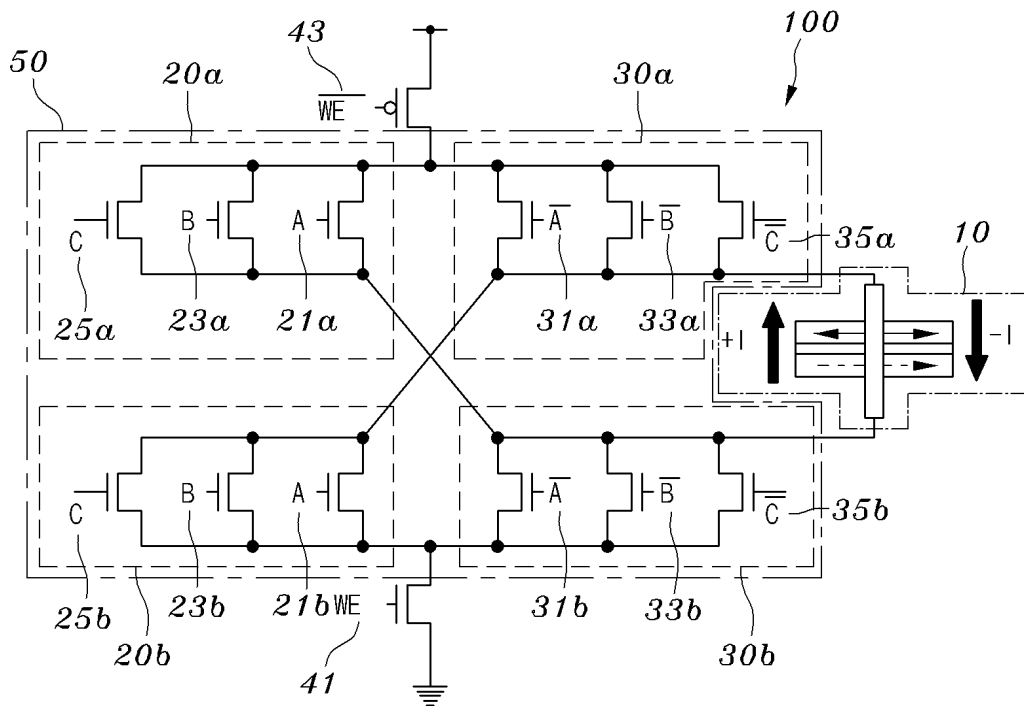
도면3



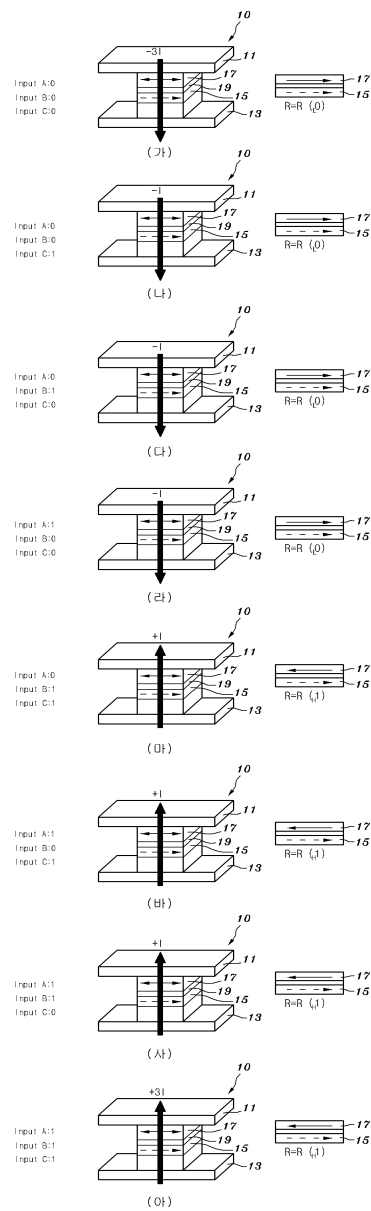
도면4



도면5



도면6



도면7

