



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월24일  
(11) 등록번호 10-2024971  
(24) 등록일자 2019년09월18일

(51) 국제특허분류(Int. Cl.)  
H01L 29/423 (2006.01) H01L 29/06 (2006.01)  
H01L 29/49 (2006.01)  
(52) CPC특허분류  
H01L 29/4236 (2013.01)  
H01L 29/0649 (2013.01)  
(21) 출원번호 10-2015-0168006  
(22) 출원일자 2015년11월27일  
심사청구일자 2015년11월27일  
(65) 공개번호 10-2017-0010710  
(43) 공개일자 2017년02월01일  
(30) 우선권주장  
14/803,671 2015년07월20일 미국(US)  
(56) 선행기술조사문헌  
US20120241750 A1\*  
US20140151888 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완, 신쑤, 신쑤 사이언스 파크,  
리-신 로드 6, 넘버 8  
(72) 발명자  
요 신치에  
중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호  
떠옌 시옌  
중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호  
(뒷면에 계속)  
(74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 10 항

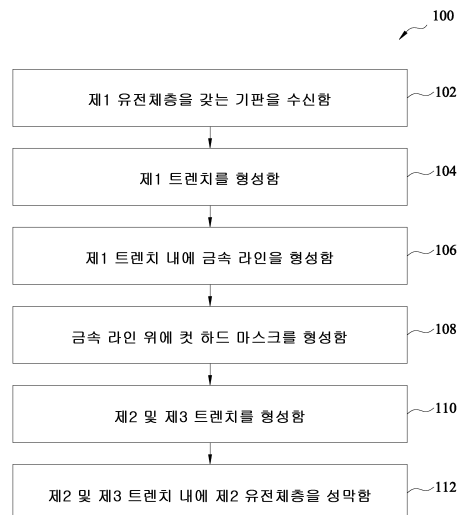
심사관 : 김종호

(54) 발명의 명칭 반도체 디바이스 및 그 제조 방법

(57) 요약

반도체 디바이스를 제조하는 방법이 제공된다. 방법은 기판 위에 제1 유전체층을 형성하는 단계, 제1 유전체층 내에 제1 트렌치를 형성하는 단계, 제1 트렌치 내에 금속 라인을 형성하는 단계, 금속 라인의 제1 부분을 제거하여 제2 트렌치를 형성하고 금속 라인의 제2 부분을 제거하여 제3 트렌치를 형성하는 단계를 포함한다. 금속 라인의 제3 부분은 제2 트렌치와 제3 트렌치 사이에 배치된다. 방법은 또한 제2 트렌치와 제3 트렌치 내에 제2 유전체층을 형성하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

*H01L 29/42336* (2013.01)

*H01L 29/42352* (2013.01)

*H01L 29/4991* (2013.01)

*H01L 29/66583* (2013.01)

(72) 발명자

**후앙 치옌후아**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**차이 청승**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**우 영취**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**리 청주**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**바오 띠옌아이**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**슈 사우린**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**디아즈 칼로스 에이치.**

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

## 명세서

### 청구범위

#### 청구항 1

기판 위에 제1 유전체층을 형성하는 단계;

상기 제1 유전체층 내에 제1 트렌치를 형성하는 단계;

상기 제1 트렌치 내에 금속 라인을 형성하는 단계;

상기 금속 라인 위에 하드 마스크를 형성하는 단계로서, 상기 하드 마스크는 상기 금속 라인의 제1 부분 및 제2 부분을 각각 노출시키는 제1 개구 및 제2 개구를 포함하고, 상기 제1 유전체층의 제1 부분이 상기 제1 개구 내에서 노출되는, 상기 하드 마스크를 형성하는 단계;

상기 금속 라인의 상기 제1 부분을 제거하여 제2 트렌치를 형성하고 상기 금속의 상기 제2 부분을 제거하여 제3 트렌치를 형성하는 단계로서, 상기 제2 트렌치와 상기 제3 트렌치 사이에 상기 금속 라인의 제3 부분이 배치되는 것인 단계; 및

상기 제2 트렌치와 상기 제3 트렌치 내에 제2 유전체층을 형성하는 단계

를 포함하는 방법.

#### 청구항 2

제1항에 있어서,

상기 금속 라인의 상기 제3 부분은 상기 제1 트렌치와 상기 제2 트렌치에 의해 정의되는 상부 폭 및 하부 폭을 갖는 것인 방법.

#### 청구항 3

제1항에 있어서,

상기 제2 트렌치 및 상기 제3 트렌치를 형성하는 것은, 상기 제2 트렌치의 제1 측벽 및 제2 측벽과 상기 제3 트렌치의 제3 측벽 및 제4 측벽을 형성하기 위해 상기 금속 라인의 제1 부분 및 제2 부분을 제거하는 것을 포함하고,

상기 제2 트렌치의 상부 폭 및 하부 폭은 상기 제1 및 제2 측벽들에 의해 정의되며, 상기 제3 트렌치의 상부 폭 및 하부 폭은 상기 제3 및 제4 측벽들에 의해 정의되고, 상기 상부 폭들은 상기 하부 폭들보다 큰 것인 방법.

#### 청구항 4

제1항에 있어서,

상기 금속 라인의 상기 제1 부분을 제거하여 제2 트렌치를 형성하고 상기 금속 라인의 상기 제2 부분을 제거하여 제3 트렌치를 형성하는 단계는,

상기 제1 개구 및 상기 제2 개구 각각을 통해 상기 금속 라인의 상기 노출된 제1 부분 및 제2 부분을 에칭하는 단계; 및

상기 하드 마스크를 제거하는 단계

를 포함하는 것인 방법.

#### 청구항 5

제1항에 있어서,

상기 제2 트렌치 및 제3 트렌치를 형성하는 것은, 상기 금속 라인의 2개의 노출된 부분을 제거하는 동안 상기

제1 유전체층을 서브 에칭 마스크로서 사용하는 것을 포함하는 것인 방법.

#### 청구항 6

제1항에 있어서,

상기 제2 트렌치와 상기 제3 트렌치 내에 제2 유전체층을 형성하는 단계는 제2 유전체 재료층 내에 공극을 형성하는 단계를 포함하는 것인 방법.

#### 청구항 7

기관 위의 제1 유전체층에 제1 트렌치를 형성하는 단계;

상기 제1 트렌치 내에 금속 라인을 형성하는 단계;

상기 금속 라인 상에 패터닝된 하드 마스크층을 형성하는 단계로서, 상기 패터닝된 하드 마스크층은 상기 금속 라인의 제1 부분 및 제2 부분을 각각 노출시키기 위한 제1 개구 및 제2 개구를 포함하고, 상기 제1 유전체층의 제1 부분은 상기 제1 개구 내에서 노출되는 것인, 상기 패터닝된 하드 마스크층을 형성하는 단계;

금속 아일랜드 특징부(metal island feature)를 형성하기 위해 상기 금속 라인의 상기 제1 부분 및 상기 제2 부분을 에칭하는 단계; 및

상기 제1 개구 및 상기 제2 개구 내에 제2 유전체층을 형성하는 단계

를 포함하는 방법.

#### 청구항 8

디바이스에 있어서,

기관 위에 배치된 제1 유전체층 내의 제1 방향을 따르는 제1 트렌치에 형성된 금속 라인을 포함하고,

상기 금속 라인은,

제1 서브 금속 라인; 및

상기 제1 서브 금속 라인에 정렬되고 상기 제1 방향을 따르는 제2 서브 금속 라인

을 포함하고,

상기 제1 서브 금속 라인 및 상기 제2 서브 금속 라인의 상부 표면들은 상기 제1 유전체층의 상부 표면과 동일 평면 상에 있고, 상기 제2 서브 금속 라인은 제2 유전체층으로 충전되는 제2 트렌치에 의해 상기 제1 서브 금속 라인과 분리되며, 상기 제2 유전체층은 상기 제1 유전체층, 상기 제1 서브 금속 라인 및 상기 제2 서브 금속 라인을 덮고, 상기 제1 방향을 따르는 상기 제2 서브 금속 라인의 측벽들은 테이퍼형 측벽 프로파일을 갖고, 상기 제1 방향을 따르는 상기 제2 서브 금속 라인의 바닥측은 상기 제2 서브 금속 라인의 상부측보다 넓은 것인, 디바이스.

#### 청구항 9

제8항에 있어서,

상기 제2 서브 금속 라인을 향해 있는 상기 제1 서브 금속 라인의 측벽은 테이퍼형 측벽 프로파일을 갖고, 상기 제1 방향을 따르는 상기 제1 서브 금속 라인의 바닥측은 상기 제1 서브 금속 라인의 상부측보다 넓은 것인, 디바이스.

#### 청구항 10

제8항에 있어서,

상기 금속 라인은 상기 제1 서브 금속 라인에 정렬되고 상기 제1 방향을 따르는 제3 서브 금속 라인을 더 포함하고,

상기 제3 서브 금속 라인은 상기 제2 서브 금속 라인의 다른 측에 위치되고, 상기 제3 서브 금속 라인은 상기 제2 유전체층으로 충전되는 제3 트렌치에 의해 분리되며, 상기 제2 서브 금속 라인을 향해 있는 상기 제3 서브

금속 라인의 측벽은 테이퍼형 측벽 프로파일을 갖고, 상기 제1 방향을 따르는 상기 제3 서브 금속 라인의 바닥 측은 상기 제3 서브 금속 라인의 상부측보다 넓은 것인, 디바이스.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 디바이스 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 집적 회로(IC; integrated circuit) 산업은 급속한 성장을 겪어 왔다. IC 디자인 및 재료에 있어서 기술적 진보는 여러 세대의 IC를 만들었는데, 각 세대는 이전 세대보다 작고 더 복잡한 회로를 갖는다. IC의 발달 과정에서, 기능적 밀도(즉, 칩 면적 당 상호 연결된 디바이스들의 갯수)는 대체로 증가되었고, 기하학적 크기[즉, 제조 프로세스를 이용하여 생성될 수 있는 가장 작은 컴포넌트(또는 라인)]는 감소되었다.

[0003] 이러한 축소 프로세스는 대체로 제조 효율을 증가시키고 관련 비용을 절감함으로써 이익을 제공한다. 그러한 축소는 또한 IC 처리 및 제조의 복잡성을 증가시켰다. 이러한 진보가 실현되기 위해, IC 처리 및 제조에 있어서 유사한 발달이 요구된다. 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET; metal-oxide-semiconductor field-effect transistor) 등의 반도체 디바이스가 다양한 기술 노드를 통해 축소될 때에, 트랜지스터와 다른 디바이스 사이에 배선을 용이하게 하는, 전도성 라인과 관련 유전체 재료의 상호 연결부가 IC 성능 개선에 더욱 중요한 역할을 한다. IC 디바이스를 제조하는 기존의 방법은 그 소기의 목적에 대체로 적절하였지만, 모든 면에서 완전히 만족스럽지 못하였다. 예컨대, 짧은 길이를 갖는, 또는 금속 아일랜드(metal island)로서 지칭되는 금속 라인을 형성하는 데에 도전 과제가 발생한다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명의 목적은 종래 기술의 문제들 중 하나 이상을 제거 또는 완화시키는 것이다.

### 도면의 간단한 설명

[0005] 본 개시의 양태는 첨부 도면과 함께 읽을 때에 이하의 상세한 설명으로부터 가장 잘 이해된다. 산업에 있어서의 표준적 실시예에 따라, 다양한 피쳐들은 실적으로 도시되지 않는다. 사실상, 다양한 피쳐들의 치수는 설명의 명확도를 위해 임의로 증가 또는 감소될 수 있다.

도 1은 몇몇 실시예에 따라 구성되는 반도체 디바이스를 제조하는 예시적인 방법의 흐름도이다.

도 2a, 3a, 4a, 4c, 5a, 6a, 6c 및 7a는 몇몇 실시예에 따른 예시적인 반도체 디바이스의 평면도이다.

도 2b는 도 2a의 선 A-A를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 3b는 도 3a의 선 B-B를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 4b는 도 4a의 선 B-B를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 4d는 도 4c의 선 B-B를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 5b는 도 5a의 선 A-A를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 6b는 도 6a의 선 A-A를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 6d는 도 6c의 선 A-A를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

도 7b 및 도 7c는 도 7a의 선 A-A를 따른, 몇몇 실시예에 따른 예시적인 반도체 디바이스의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0006] 이하의 개시는 본 발명의 상이한 피쳐들을 실시하기 위한 많은 상이한 실시예, 즉 예를 제공한다. 구성요소 및 구성의 특정한 예는 본 개시를 간소화하도록 아래에서 설명된다. 물론, 이들은 단지 예일 뿐이고 한정하도록 의도되지 않는다. 예컨대, 아래의 설명에서 제2 피쳐 위에 또는 제2 피쳐 상에 제1 피쳐의 형성은 제1 및 제2

피처가 직접적인 접촉 상태로 형성되는 실시예를 포함할 수 있고, 또한 제1 및 제2 피처가 직접적으로 접촉하지 않을 수 있도록 제1 및 제2 피처 사이에 추가의 피처가 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 간소화 및 명확도를 위한 것이고 설명되는 다양한 실시예들 및/또는 구성들 간의 관계를 자체가 결정하지 않는다.

[0007] 또한, "밑에", "아래에", "하부", "위에", "상부" 등과 같이 공간적으로 상대적인 용어는 본 명세서에서 도면에 예시된 바와 같이 다른 요소(들) 또는 피처(들)에 대한 하나의 요소 또는 피처의 관계를 설명하도록 설명의 용이함을 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 배향 외에 사용 또는 작동 시에 디바이스의 상이한 배향을 포함하도록 의도된다. 장치는 달리 배향(90도 또는 다른 배향으로 회전)될 수 있고 본 명세서에 사용되는 공간적으로 상대적인 기술어는 마찬가지로 이에 따라 해석될 수 있다.

[0008] 도 1은 몇몇 실시예에 따른 하나 이상의 반도체 디바이스를 제조하는 방법(100)의 흐름도이다. 방법(100)은 도 2a-2b, 3a-3b, 4a-4d, 5a-5b, 6a-6d 및 7a-7c에 도시된 반도체 디바이스(200)를 참조하여 아래에서 상세하게 설명된다.

[0009] 도 1은 본 개시의 양태에 따른 하나 이상의 반도체 디바이스를 제조하는 방법(100)의 일 실시예의 흐름도이다. 방법(100)은 예를 위해서 도 2a 내지 도 7b에 도시된 반도체 디바이스(200)를 참조하여 아래에서 상세하게 설명된다.

[0010] 도 1a 및 도 2a-2b를 참조하면, 방법(100)은 기판(210)을 제공함으로써 단계(102)에서 시작한다. 기판(210)은 벌크 실리콘 기판일 수 있다. 대안적으로, 기판(210)은, 결정질 구조 내에 실리콘 또는 게르마늄 등의 원소 반도체; 실리콘 게르마늄, 실리콘 탄화물, 게르마늄 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 및/또는 인듐 안티몬화물 등의 화합물 반도체; 또는 이들의 조합을 포함할 수 있다. 가능한 기판(210)은 또한 실리콘 온 절연체(SOI; silicon-on-insulator) 기판을 포함한다. SOI 기판은 산소의 주입에 의한 분리(SIMOX; separation by implantation of oxygen), 웨이퍼 접합, 및/또는 다른 적절한 방법을 이용하여 제조된다.

[0011] 몇몇의 예시적인 기판(210)은 또한 절연체층을 포함한다. 절연체층은, 실리콘 산화물, 사파이어, 및/또는 이들의 조합을 비롯하여 임의의 적절한 재료를 포함한다. 예시적인 절연체층은 베리드 산화물층(BOX; buried oxide layer)일 수 있다. 절연체는, 주입(예컨대, SIMOX), 산화, 증착, 및/또는 다른 적절한 프로세스 등의 임의의 적절한 프로세스에 의해 형성된다. 몇몇의 예시적인 반도체 디바이스(200)에서, 절연체층은 실리콘 온 절연체 기판의 컴포넌트(예컨대, 층)이다.

[0012] 기판(210)은 또한 다양한 도핑 영역을 포함한다. 도핑 영역에는 붕소 또는 BF<sub>2</sub> 등의 p형 도판트; 인 또는 비소 등의 n형 도판트; 또는 이들의 조합이 도핑될 수 있다. 도핑 영역은 직접 기판(210) 상에, P-웰 구조체 내에, N-웰 구조체 내에, 이중-웰 구조체 내에, 또는 상승된 구조체를 이용하여 형성될 수 있다. 기판(210)은 또한 N형 금속 산화물 반도체 트랜지스터를 위해 구성된 영역과 P형 금속 산화물 반도체 트랜지스터 디바이스를 위해 구성된 영역 등의 다양한 능동 영역을 포함할 수 있다.

[0013] 기판(210)은 또한 다양한 격리 피처를 포함할 수 있다. 격리 피처는 기판(210)에서 다양한 디바이스 구역들을 분리시킨다. 격리 피처는 상이한 처리 기법을 이용하여 형성되는 상이한 구조체를 포함한다. 예컨대, 격리 피처는 얇은 트렌치 격리(STI; shallow trench isolation) 피처를 포함할 수 있다. STI의 형성은 기판(210)에 트렌치를 에칭하고 트렌치 내에 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물 등의 절연체 재료를 충전하는 것을 포함할 수 있다. 충전된 트렌치는 실리콘 질화물이 트렌치를 충전한 상태인 열 산화물 라이너층과 같은 다층 구조체를 가질 수 있다. 화학적 기계적 폴리싱(CMP; chemical mechanical polishing)이 수행되어 여분의 절연체 재료를 폴리싱하고 격리 구조체의 상부면을 평탄화시킬 수 있다.

[0014] 기판(210)은 또한 유전체층과 전극층에 의해 형성되는 게이트 스택을 포함할 수 있다. 유전체층은, 화학 기상 증착(CVD; chemical vapor deposition), 원자층 증착(ALD; atomic layer deposition), 물리 기상 증착(PVD; physical vapor deposition), 열산화, 이들의 조합, 또는 다른 적절한 기법과 같은 적절한 기법에 의해 성막되는 계면층(IL; interfacial layer)과 하이-k(HK) 유전체층을 포함할 수 있다. 전극층은, ALD, PVD, CVD, 또는 다른 적절한 프로세스에 의해 형성되는 금속층, 라이너층, 습윤층, 및 접착층 등의 단층 또는 다층을 포함할 수 있다.

[0015] 기판(210)은 또한 게이트 스택 옆에 있고 게이트 스택에 의해 분리되는 소스/드레인(S/D) 피처를 포함할 수 있다. S/D 피처는 게르마늄(Ge), 실리콘(Si), 갈륨 비화물(GaAs), 알루미늄 갈륨 비화물(AlGaAs), 실리콘 게르마늄(SiGe), 갈륨 비화물 인화물(GaAsP), 갈륨 안티몬화물(GaSb), 인듐 안티몬화물(InSb), 인듐 갈륨 비화물

(InGaAs), 인듐 비화물(InAs), 및/또는 다른 적절한 재료를 포함할 수 있다. S/D 피쳐는 CVD, VPE 및/또는 UHV-CVD, 분자빔 에피택시, 및/또는 다른 적절한 프로세스 등의 에피택셜 성장 프로세스에 의해 형성될 수 있다.

[0016] 기판(210)은 또한 전도성 피쳐를 포함할 수 있다. 전도성 피쳐는 전극, 캐패시터, 레지스터 또는 레지스터의 일부를 포함할 수 있다. 전도성 피쳐는 또한 기판(210) 내의 다양한 디바이스들을 입력/출력 전력 및 신호에 연결하도록 전기 루팅을 제공하는, 다층 상호 연결(MLI; multi-layer interconnect) 구조체 및 MLI 구조체와 통합되는 레벨간 유전체(ILD; interlevel dielectric)층을 포함하는, 상호 연결 구조체의 부분을 포함할 수 있다. 상호 연결 구조체는 다양한 금속 라인, 접점 및 비아 피쳐(또는 비아 플러그)를 포함한다. 금속 라인은 수평 전기 루팅을 제공한다. 접점은 기판과 금속 라인 사이에 수직 연결을 제공하고, 비아 피쳐는 상이한 금속 층들에서 금속 라인들 간에 수직 연결을 제공한다. 전도성 피쳐는 리소그래피, 에칭 및 증착을 포함하는 절차에 의해 형성될 수 있다.

[0017] 본 실시예에서, 기판(210)은 제1 유전체층(220)을 포함한다. 제1 유전체층(220)은 실리콘 산화물, 테트라에틸 오소실리케이트(TEOS; tetraethylorthosilicate) 산화물과 같이 열 실리콘 산화물보다 낮은 유전체 상수(k)를 갖는 유전체 재료(이에 따라, 로우-k 유전체 재료층으로 지칭됨), 비도핑된 실리케이트 글래스, 또는 보로포스 포실리케이트 글래스(BPSG; borophosphosilicate glass), 융합된 실리카 글래스(fused silica glass), 포스포 실리케이트 글래스(PSG; phosphosilicate glass), 붕소 도핑된 실리콘 글래스(BSG; boron doped silicon glass) 등의 도핑된 실리케이트 글래스, 및/또는 다른 적절한 유전체 재료를 포함할 수 있다. 제1 유전체층(220)은 단층 또는 다층을 포함할 수 있다. 제1 유전체층(220)은 CVD, ALD 또는 스피온 코팅에 의해 성막될 수 있다.

[0018] 다층 상호 연결부는 통상적으로 기판(210) 위에 형성되고 다양한 디바이스들(트랜지스터, 레지스터, 캐패시터 등)을 연결하여 집적 회로를 형성한다. 통상적인 상호 연결 구조체에서, 금속 라인(예컨대, 구리 와이어)이 제1 유전체층(220) 내에 설치되고 하나의 층으로부터 비아를 통해 다른 층에 연결된다. 구리 와이어와 비아는 통상적으로 단일 또는 이중 다마신 프로세스를 이용하여 제조된다. 그러한 프로세스에서, 제1 유전체층(220)은 트렌치를 형성하도록 패터닝되고, 이어서 트렌치에 구리가 과충전되며, 화학적 기계적 평탄화(CMP; chemical-mechanical planarization)가 이용되어 여분의 구리를 제거함으로써, 트렌치 내에 구리 와이어를 형성한다. 이후에, 아래에 있는 유전체층 위에 다른 유전체층이 형성되고, 상기 프로세스가 반복되어 비아와 상부 레벨 구리 와이어를 형성한다.

[0019] 다양한 길이를 갖는 금속 라인들이 요구되는 경우가 많다. 특히, 디바이스가 축소될 때에 그러하다. 통상, 금속 라인은, 다양한 길이를 갖는 트렌치를 형성한 다음, 이들 트렌치를 금속층으로 충전함으로써 형성된다. 그러나, 트렌치 치수가 작게 될 때에, 금속 재료의 간극 충전 능력이 제한되고 간극 충전 품질 및 신뢰성이 도전 과제가 된다. 이 결과 금속 라인에 공극이 형성되고, 이는 높은 저항 문제와 디바이스 신뢰성 문제를 유발할 수 있다. 또한, 금속 라인의 형성 중에 유전체층 상에 프로세스 유도 손상을 최소화하기 위한 도전 과제가 대두된다. 본 실시예에서, 방법(100)은 작은 트렌치 내에 금속층을 충전하는 많은 도전 과제를 피하면서 금속 라인(또는 아일랜드)을 형성하는 것을 제공한다.

[0020] 도 1 및 도 3a-도 3b를 참조하면, 100의 방법은 제1 유전체층(220) 내에 제1 트렌치(310)를 형성함으로써 단계(104)로 진행한다. 제1 트렌치(310)는 도 3a에서 선 A-A 방향을 따라 연장된다. 몇몇 실시예에서, 제1 트렌치(310)는 제1 유전체층(220) 위에 패터닝된 포토레지스트층을 형성한 다음에 패터닝된 포토레지스트층을 통해 제1 유전체층(220)을 에칭함으로써 형성된다. 예시적인 리소그래피 프로세스는 레지스트층을 형성하는 것, 리소그래피 노출 프로세스에 의해 레지스트층을 노출하는 것, 노출 후 베이킹 프로세스를 수행하는 것, 및 레지스트층을 현상하여 패터닝된 레지스트층을 형성하는 것을 포함한다. 다른 실시예에서, 제1 트렌치(310)는 제1 유전체층(220) 위에 HM 층을 성막하고, HM 층 위에 포토레지스트층을 성막하며, 포토레지스트층을 패터닝한 다음에, 패터닝된 포토레지스트층을 통해 HM 층을 에칭하여 패터닝하고 나서, 유전체층(220)을 패터닝된 HM 층을 통해 에칭함으로써 형성된다.

[0021] 에칭 프로세스는 선택적 습식 에칭, 선택적 건식 에칭, 및/또는 이들의 조합을 포함할 수 있다. 일례로서, 에칭 프로세스는  $CF_4$ ,  $SF_6$ ,  $CH_2F_2$ ,  $CHF_3$ , 및/또는  $C_2F_6$  등의 불소계 화합물을 이용하는 플라즈마 건식 에칭 프로세스를 포함한다. 각각의 에칭 프로세스는, 사용된 에칭제, 에칭 온도, 에칭액 농도, 에칭 압력, 에칭 유량, 및/또는 다른 적절한 파라미터 등의 다양한 에칭 파라미터를 이용하여 조정될 수 있다.

[0022] 제1 트렌치(310)를 형성한 후에, 패터닝된 HM은 적절한 에칭 프로세스에 의해 제거된다. 패터닝된 HM이 포토레



지스트 패턴인 한가지 예에서, 패터닝된 HM은 그 후에 습식 스트리핑 및/또는 플라즈마 애싱(plasma ashing)에 의해 제거된다.

[0023] 도 1 및 도 4-도 4b를 참조하면, 방법(100)은 제1 트렌치(310) 내에 금속층(405)을 형성함으로써 단계(106)로 진행된다. 본 실시예에서, 금속층(405)이 제1 트렌치(310) 내에 성막된다. 금속층(405)은 구리(Cu), 주석(Sn), 은(Ag), 금(Au), 팔라듐(Pd), 플래티늄(Pt), 레늄(Re), 이리듐(Ir), 루테튬(Ru), 오스뮴(Os), 구리 망간(CuMn), 구리 알루미늄(CuAl), 구리 티타늄(CuTi), 구리 바나듐(CuV), 구리 크롬(CuCr), 구리 실리콘(CuSi), 구리 니오븀(CuNb), 또는 다른 적절한 금속을 포함할 수 있다. 금속층(405)은 PVD, CVD, ALD, 전기화학적 도금(ECP; electrochemical plating), 또는 다른 적절한 프로세스에 의해 성막될 수 있다. 일 실시예에서, 금속층(405)은 PVD에 의해 성막된 구리층을 포함한다. 일 실시예에서, 금속층(405)은 PVD에 의해 성막된 구리 시드층과 도금에 의해 성막된 벌크 구리층을 포함한다. 다양한 다른 예에서, 구리 성막은 CVD 또는 MOCVD 등의 다른 기법에 의해 실시될 수 있다. Cu 리플로우 프로세스가 추가되어 Cu 충전 프로파일을 향상시킬 수 있다.

[0024] 몇몇 실시예에서, 제1 트렌치(310) 내에 전기적 금속 확산 배리어층(도시 생략)이 먼저 성막되고 금속층(405)이 배리어층 위에 성막된다. 배리어층은 탄탈륨(Ta) 또는 탄탈륨 질화물(TaN)을 포함할 수 있고 금속 도체는 구리(Cu), 알루미늄(Al), 텅스텐(W), 코발트(Co), 또는 다른 적절한 금속일 수 있다. 실시예에서, 배리어층은 하나 이상의 재료층을 포함한다. 배리어층은 PVD, MOCVD, 또는 다른 적절한 기법에 의해 성막될 수 있다.

[0025] 그 후, 도 4c-도 4d를 참조하면, CMP 프로세스가 수행되어 제1 유전체층(220) 위에 있는 여분의 금속층(405)을 제거하도록 디바이스(200)의 상부면을 평탄화시킨다. 제1 트렌치(310) 내의 금속층(405)은 남아 있어 금속 라인(410)을 형성한다. CMP 프로세스의 결과로서, 유전체층(220)의 상부면과 금속 라인(410)의 상부면은 실질적으로 동일 평면 상에 있다.

[0026] 금속 라인(410)은 상호 연결 구조체의 다른 하지층을 통해 또는 능동 및/또는 수동 디바이스의 단자(예컨대, 소스, 드레인, 및 게이트 접점)를 통해 기판(210) 내의 능동 및/또는 수동 디바이스에 연결될 수 있다.

[0027] 도 1 및 도 5a-도 5b를 참조하면, 방법(100)은 금속 라인(410)과 유전체층(220) 위에 하드 마스크(510; 또는 컷 하드 마스크)를 형성함으로써 단계(108)로 진행한다. 하드 마스크(510)는 금속 라인(410)의 제1 부분과 제2 부분(이하, 참조 번호 410A와 410B를 각각 붙임)을 노출시키도록 제1 개구(520)와 제2 개구(525)를 갖는다. 본 실시예에서, 제1 개구(520)는, 아래에서 상세하게 설명되는 바와 같이, 나중의 금속 아일랜드의 목표 길이(L)가 되도록 선택되는 거리만큼 선 A-A 방향을 따라 제2 개구(525)로부터 떨어져 있다. 몇몇 실시예에서, 하드 마스크(510)는 금속 라인(410)보다 폭이 넓은 제1 및 제2 개구(520, 525)를 확정하고, 제1 유전체층(220)의 일부는 참조 번호 220A에 의해 확인되는 바와 같이 제1 및 제2 개구(520, 525)에서 노출된다. 또 다른 실시예에서, 제1 및 제2 개구(520, 525)는 이점을 얻기 위해 인접한 제1 유전체층(220A)까지 연장하도록 더 큰 폭을 갖는다.

[0028] 몇몇 실시예에서, 하드 마스크(510)는 패터닝된 포토레지스트층이다. 다른 실시예에서, 하드 마스크(510)는 하드 마스크층을 성막하는 것, 하드 마스크층 위에 패터닝된 포토레지스트층을 형성하는 것, 및 에칭 마스크로서 패터닝된 포토레지스트층을 이용하여 하드 마스크층을 에칭하는 것을 포함하는 절차에 의해 형성된다.

[0029] 도 1 및 도 6a-도 6b를 참조하면, 방법(100)은 제1 및 제2 개구(520, 525)를 통해 금속 라인(410)의 노출된 제1 부분(410A)과 제2 부분(410B)을 각각 제거하여 제2 트렌치(610)와 제3 트렌치(620)를 각각 형성함으로써 단계(110)로 진행된다. 제1 및 제2 개구(520, 525) 사이에 있는 금속 라인(410)의 제3 부분은 에칭 프로세스 중에 하드 마스크(520)에 의해 보호된다. 에칭 프로세스는 습식 에칭, 건식 에칭, 및/또는 이들의 조합을 포함할 수 있다. 몇몇 실시예에서, 금속 라인(410)은 구리 라인이고, 반응성 이온 에칭(RIE; reactive ion etching)에서 적용되는 구리 에칭 가스는  $CxHy$ ,  $CxFy$ ,  $CxHyFz$ , 또는 이들의 조합을 포함한다. 첨자 x, y 또는 z는 0보다 크고 6보다 작은 값을 갖는다. 몇몇 실시예에서, 반응성 이온 에칭(RIE)에서 적용되는 구리 에칭 가스는 CO와  $O_2$  중 적어도 하나와,  $N_2$ 와 Ar 중 적어도 하나를 더 포함한다. 본 예의 발전에서, 에칭 온도(기판 온도)는 약 20℃ 내지 약 120℃의 범위 내에 있다. 다른 예에서, 에칭 온도는 약 20℃ 내지 약 80℃의 범위 내에 있다.

[0030] 몇몇 실시예에서, 제2 및 제3 트렌치(610, 620)는, 선 A-A 방향을 따라, 제2 및 제3 트렌치(610, 620)의 상부 개구가 제1 및 제3 트렌치(610, 620)의 바닥 개구의 제2 폭( $w_2$ )보다 큰 제1 폭( $w_1$ )을 갖는다.

[0031] 몇몇 실시예에서, 습식 에칭 프로세스가 대안적으로 또는 추가적으로 사용되어 노출된 제1 및 제2 부분(410A, 410B)을 제거할 수 있다. 대응하는 에칭제는 HCl,  $FeCl_3$  및  $H_2O$ 의 혼합물을 포함할 수 있다. 또 다른 실시예에서, 금속 라인(410)이 알루미늄 또는 텅스텐 등의 다른 적절한 금속을 포함할 때에, 다른 에칭 가스가 사용될



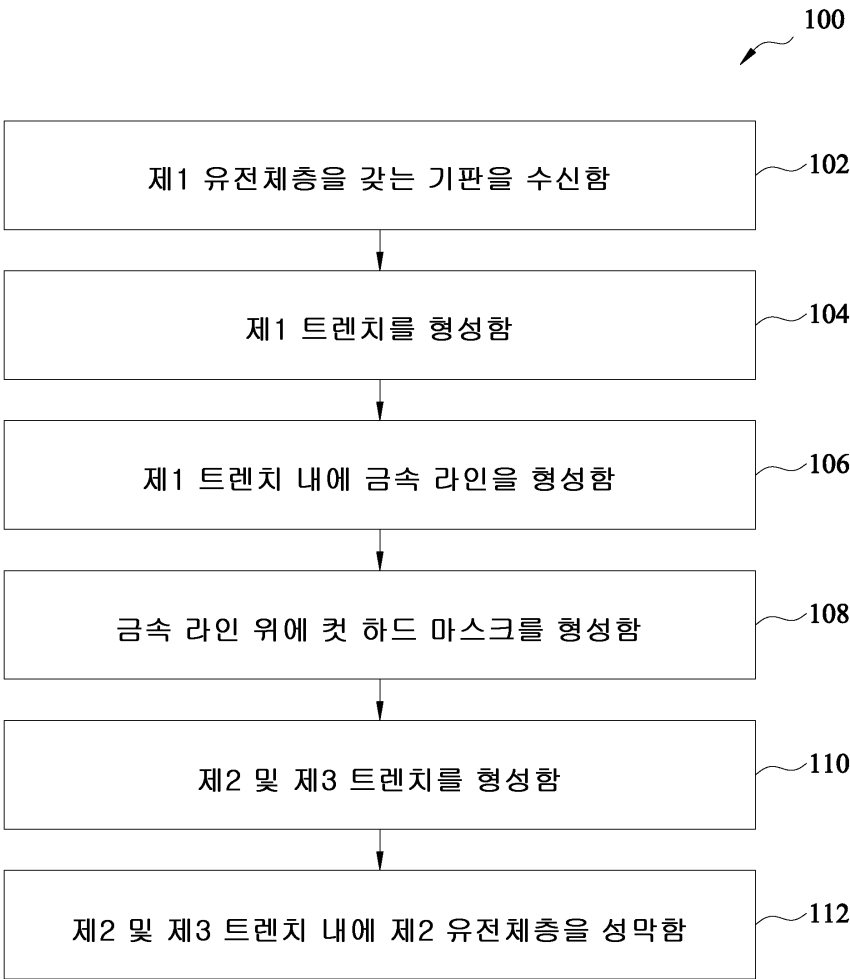
수 있다.

- [0032] 몇몇 실시예에서, 금속 라인(410)은 금속 라인(410A)을 둘러싸는 배리어층을 포함한다. 그러한 시나리오에서, 에칭 프로세스는 배리어층을 에칭하는 것을 더 포함한다. 일 실시예에서, 노출된 금속 라인(410A)을 제거하는 에칭 프로세스는 전술한 바와 같이 금속층(405)을 에칭하는 제1 에칭 서브 단계와, 건식 에칭 및/또는 습식 에칭과 같이 배리어층을 에칭하는 제2 에칭 서브 단계를 포함한다. 일례로서, 배리어층을 에칭하는 제2 에칭 서브 단계는  $C_xF_x$ ,  $N_2$ (또는  $Ar$ ),  $C_xH_y$ , 및  $Cl_2$ (또는  $HBr$ )을 포함하는 가스를 이용하는 건식 에칭을 포함한다. 다른 실시예에서, 습식 에칭이 사용되어 배리어층을 에칭하며, 대응하는 에칭제는  $NH_4OH$ ,  $H_2O_2$  및  $H_2O$ 를 갖는 표준 세척액(SC1)을 포함한다.
- [0033] 도 5a-도 5b를 참조하여 전술한 바와 같이, 몇몇 실시예에서, 유전체층(220A)의 일부가 제1 및 제2 개구(520, 525) 내에서 노출된다. 그러한 시나리오에서, 에칭 프로세스는, 노출된 유전체층(220A)을 실질적으로 에칭하는 일 없이, 노출된 제1 부분(410A)과 제2 부분(410B)을 에칭하도록 적절하게 선택된다. 그러한 실시예에서, 제1 및 제2 개구(520, 525) 내에서 유전체층(220A)의 노출된 부분은 에칭 프로세스 중에 서브 에칭 마스크의 역할을 한다. 적절한 에칭 선택도를 이용하여, 노출된 제1 부분(410A)과 제2 부분(410B)은 프로세스 제약을 완화시키는 자가 정렬 물성을 갖도록 제거된다.
- [0034] 도 6c 및 도 6d를 참조하면, 노출된 제1 부분(410A)과 제2 부분(410B)을 제거한 후에, 하드 마스크(510)는 에칭 프로세스에 의해 제거된다. 하드 마스크(510)가 포토레지스트 패턴인 일례에서, 하드 마스크(510)는 습식 스트리핑 및/또는 플라즈마 애싱에 의해 제거된다. 도식된 바와 같이, 금속 라인(410)은, 도 5a 및 도 5b에 도시된 바와 같이, 제1 및 제2 개구(520, 525) 사이에 있는 금속 라인(410)의 제3 부분인 금속 아일랜드(410I)를 비롯하여 여러 개의 서브 금속 라인으로 분할된다. 도식된 바와 같이, 금속 라인(410)의 제1 부분(410A)은 제2 트렌치(610)의 제1 측벽(615)을 획정하고, 금속 아일랜드(410I)는 제2 트렌치(610)의 제2 측벽(616)과 제3 트렌치(620)의 제3 측벽(625)을 획정하며, 금속 라인(410)의 제2 부분(410B)은 제3 트렌치(620)의 제4 측벽(626)을 획정한다.
- [0035] 도 5a-도 5b를 참조하여 전술한 바와 같이, 몇몇 실시예에서, 제2 및 제3 트렌치(610, 620)는 테이퍼형 측벽 프로파일을 갖는다. 그러한 시나리오에서, 금속 아일랜드(410I)는, 선 A-A 방향을 따라, 그 바닥 길이( $L_b$ )보다 작은 상부 길이( $L_t$ )를 갖는다. 동시에, 금속 아일랜드(410I)의 각 측부 다음에 있는 각 금속 라인(410)은 그 상부 길이( $L_b$ )보다 큰 바닥 길이( $L_c$ )를 각각 갖는다.
- [0036] 본 실시예에서, 금속 아일랜드를 형성하도록 금속층을 작은 트렌치 내에 충전하는 대신에, 금속 아일랜드(410I)는 금속 라인(410)을 절단함으로써 형성된다. 그러한 방법은 금속 아일랜드(410I) 내에 공극을 형성하는 것, 또는 트렌치의 측벽과 바닥에 관한 열악한 금속 충전 단계의 범위와 같은 간극 충전 문제를 회피한다.
- [0037] 도 1 및 도 7a-도 7b를 참조하면, 방법(100)은 금속 아일랜드(410I)와 금속 라인들(410) 사이에 전기적 격리를 제공하기 위해, 제2 및 제3 트렌치(610, 620)를 충전하는 것을 비롯하여 제1 유전체층(220), 금속 아일랜드(410I) 및 금속 라인(410) 위에 제2 유전체층(710)을 성막함으로써 단계(112)로 진행된다. 금속 아일랜드(410I)는 제2 유전체층(710) 내에 매립된다. 일 실시예에서, 제2 유전체 재료층(710)은 조정면에서 제1 유전체 재료층(220)과 유사하다. 예컨대, 제2 유전체층(710)은 로우-k 유전체 재료, 실리콘 산화물, 또는 다른 적절한 유전체 재료층을 포함한다. 제2 유전체층(710)은 시간 지연 및 전력 소산을 최소화하기 위해 금속 라인들 사이의 혼선 뿐만 아니라 정전 용량 성분을 감소시키도록 필요한 이산화실리콘보다 낮은 유전체 상수(k)를 갖는 재료를 포함한다. 제2 유전체층(710)은 CVD, ALD, 또는 스퍼온 코팅에 의해 성막될 수 있다.
- [0038] 도 7a-도 7b에 도시된 바와 같이, 제2 유전체층(710)은 제2 및 제3 트렌치(610, 620)를 실질적으로 충전한다. 일례로서, 제2 유전체층(710)은 제2 및 제3 트렌치(610, 620) 내를 실질적으로 충전하도록 스퍼온 유전체(SOD) 프로세스에 의해 성막된다.
- [0039] 이와 달리, 다른 실시예에서, 제2 및 제3 트렌치(610, 620) 내에 배치된 제2 유전체층(710)은 도 7c에 도시된 바와 같이 평균 유전체 상수를 더 감소시키고 격리 효율을 증가시키도록 공극(또는 공기 간극)(715)을 포함한다. 공기 간극(715)은 제2 유전체층(710)을 형성하도록 적절한 증착 프로세스를 선택하고 조정함으로써 형성될 수 있다. 일 실시예에서, 제2 유전체층(710)은 CVD에 의해 성막되고 CVD 증착은 공기 간극(715)을 형성하도록 조정된다. 예컨대, CVD 증착물이, 제2 유전체층(710)이 제2 및 제3 트렌치 내를 완전히 충전하기 전에 끝나도록 더 높게 조정될 때에, 공기 간극(715)이 형성된다.

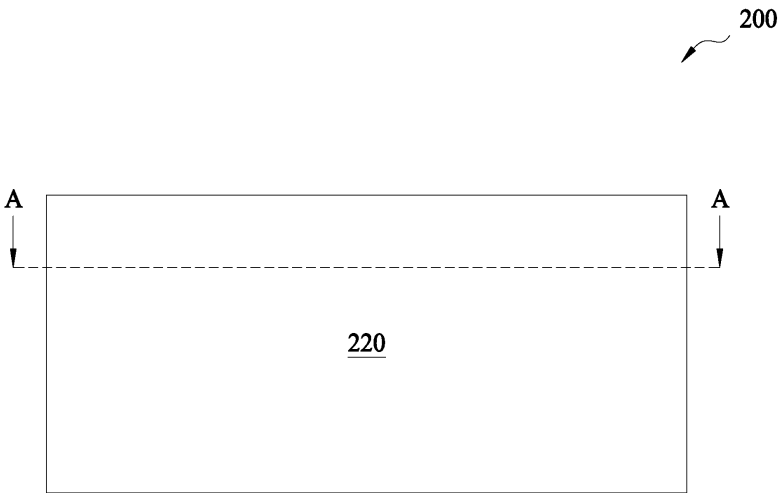
- [0040] 본 실시예에서, 제2 유전체층(710)은 금속 아일랜드(410I)와 금속 라인(410)이 형성된 후에 성막된다. 이는 유리하게는 제2 유전체층(710)이, 금속층(405)의 형성 및 그 후에 금속 라인(410)의 에칭 중에 존재했던 제2 유전체층(710)에게 발생할 수 있는 플라즈마 손상을 겪는 것을 방지한다. 플라즈마 손상은 낮은 k 값을 떨어뜨리고 회로의 열악한 정전 용량 성능을 야기한다. 제2 유전체층(710)의 성막은 또한 도 7c와 관련하여 기술한 바와 같이 제2 트렌치(610)에서 자기-형태(self-form) 공기-간극 능력과 함께 수반된다.
- [0041] 추가의 단계가 방법(100) 전에, 도중에, 그리고 후에 제공될 수 있다. 설명된 단계들의 일부는 방법(100)의 추가 실시예를 위해 대체되거나, 제거되거나, 이동될 수 있다.
- [0042] 반도체 디바이스(200)는 그 다음의 처리에 의해 형성될 수 있는 추가의 피처를 포함할 수 있다. 예컨대, 다양한 비아/라인 및 다층 상호 연결 피처(예컨대, 금속층 및 층간 유전체)가 기판(210) 위에 형성된다. 예컨대, 다층 상호 연결은 종래의 비아 또는 접점과 같은 수직 상호 연결부와, 금속 라인 등의 수평 상호 연결부를 포함한다. 다양한 상호 연결 피처는 구리, 텅스텐, 및/또는 규화물을 포함하는 다양한 전도성 재료를 실행할 수 있다. 일례에서, 다마신 및/또는 이중 다마신 프로세스가 이용되어 구리 관련된 다층 상호 연결 구조체를 형성한다.
- [0043] 상기의 설명을 기초로 하여, 본 개시가 작은 금속 아일랜드를 형성하는 방법을 제공한다는 것이 확인될 수 있다. 방법은 작은 간극 충전 문제를 피하기 위해 금속 라인을 절단하고 금속 아일랜드를 형성하는 것을 채용한다. 방법은 로우-k 유전체층에 대한 프로세스 유도 손상을 최소화하기 위하여 금속 아일랜드를 포함하는 금속 라인을 먼저 형성하고 로우-k 유전체층을 마지막으로 형성하는 계획을 채용한다.
- [0044] 본 개시는 기존의 방안에 비해 하나 이상의 개선을 제공하는, 반도체 디바이스를 제조하는 많은 상이한 방법을 제공한다. 일 실시예에서, 반도체 디바이스의 제조 방법은, 기판 위에 제1 유전체층을 형성하는 단계, 제1 유전체층 내에 제1 트렌치를 형성하는 단계, 제1 트렌치 내에 금속 라인을 형성하는 단계, 금속 라인의 제1 부분을 제거하여 제2 트렌치를 형성하고 금속 라인의 제2 부분을 제거하여 제3 트렌치를 형성하는 단계를 포함한다. 금속 라인의 제3 부분이 제2 트렌치와 제3 트렌치 사이에 배치된다. 방법은 또한 제2 트렌치와 제3 트렌치 내에 제2 유전체층을 형성하는 단계를 포함한다.
- [0045] 또 다른 실시예에서, 방법은 기판 위에 제1 유전체층을 형성하는 단계, 제1 유전체층 내에 금속 라인을 형성하는 단계, 금속 라인 위에 패터닝된 하드 마스크층을 형성하는 단계를 포함한다. 패터닝된 하드 마스크층은 금속 라인을 노출시키는 제1 개구와 제2 개구를 갖는다. 방법은 또한 제1 개구와 상기 제2 개구를 통해 금속 라인의 노출된 부분을 제거하여 제1 트렌치 및 제2 트렌치를 각각 형성하는 단계, 및 제1 트렌치와 제2 트렌치 내에 제2 유전체층을 형성하는 단계를 포함한다.
- [0046] 또 다른 실시예에서, 반도체 디바이스는 기판 위에 배치되는 제1 방향을 따르는 제1 금속 라인, 및 제1 금속 라인에 정렬되고 제1 방향을 따르는 제2 금속 라인을 포함한다. 제1 방향을 따르는 제2 금속 라인의 측면은 테이퍼형 측면 프로파일을 갖고, 제1 방향을 따르는 제2 금속 라인의 바닥측은 제2 금속 라인의 상부측보다 넓다.
- [0047] 기술한 내용은 당업자가 본 개시의 양태를 더욱 잘 이해할 수 있도록 여러 개의 실시예들의 특징을 개시하고 있다. 당업자라면 본 명세서에서 소개된 실시예들의 동일한 목적을 수행하고 및/또는 동일한 이점을 달성하기 위해 다른 프로세스 및 구조를 설계 또는 수정하기 위한 기초로서 본 개시를 쉽게 이용할 수 있다는 것을 알아야 한다. 당업자라면 또한 그러한 균등한 구성이 본 개시의 사상 및 범위로 부터 벗어나지 않고, 본 개시의 사상 및 범위로 부터 벗어남이 없이 본 명세서에 다양한 변화, 대체 및 변경이 이루어질 수 있다는 것을 알아야 한다.

도면

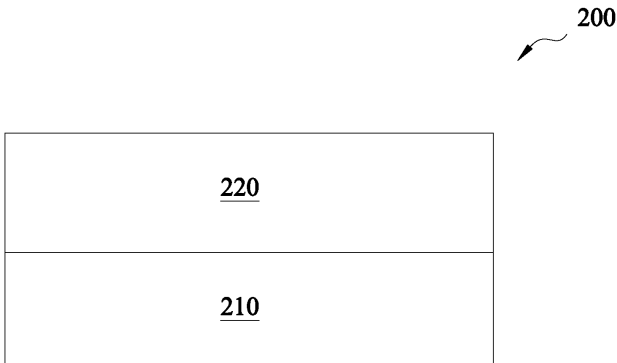
도면1



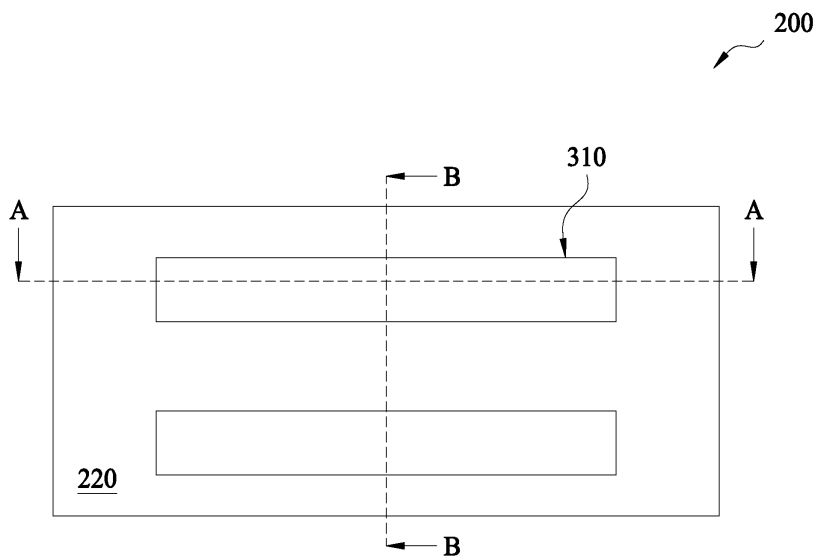
도면2a



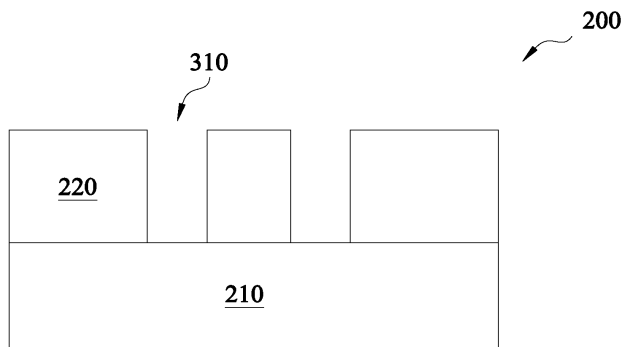
도면2b



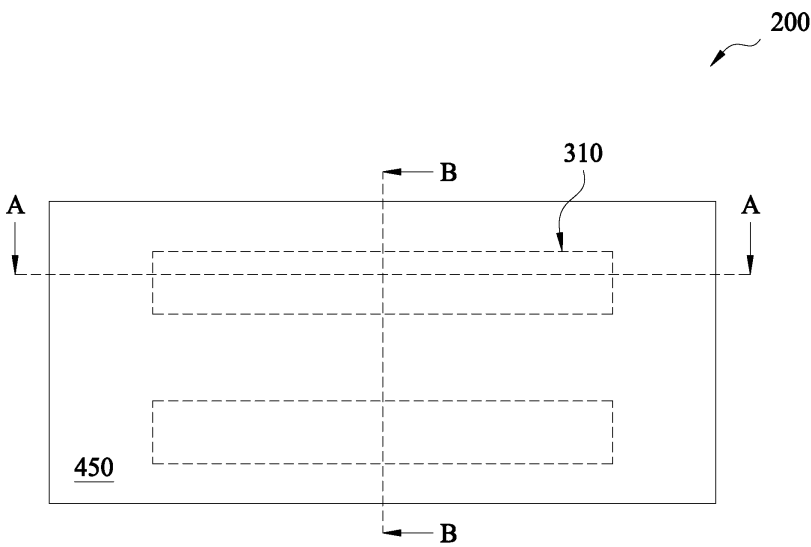
도면3a



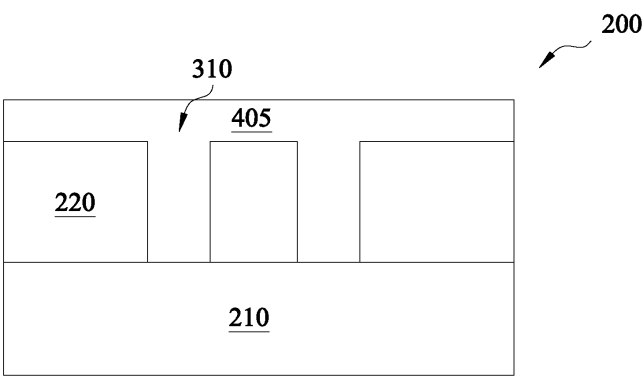
도면3b



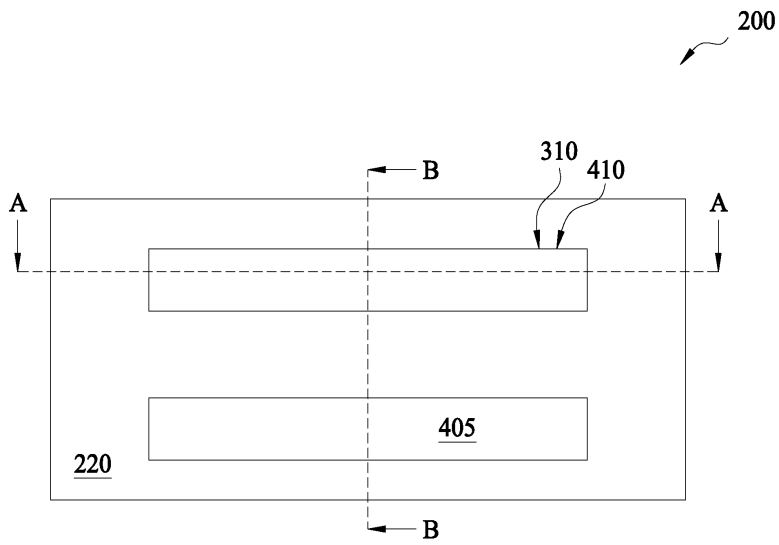
도면4a



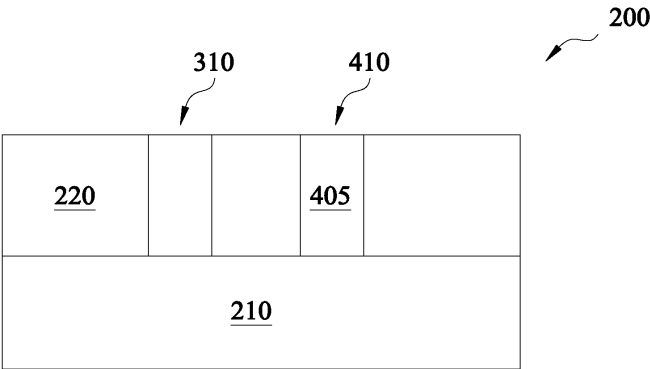
도면4b



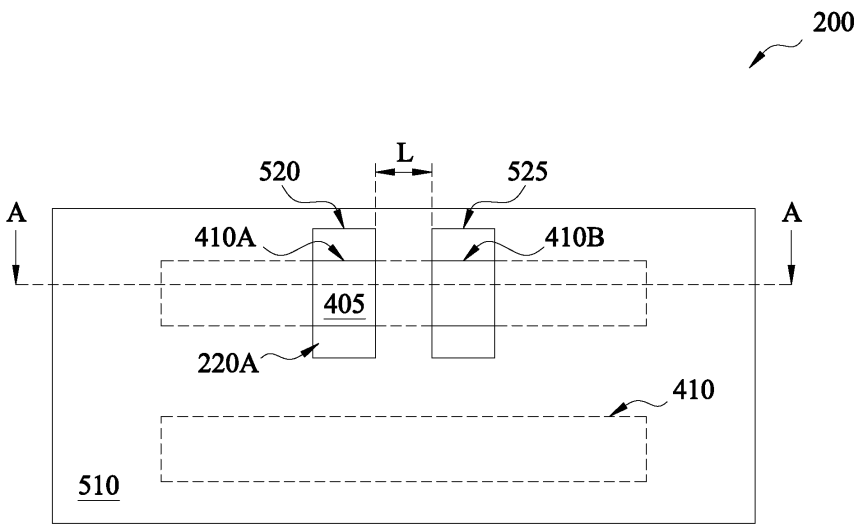
도면4c



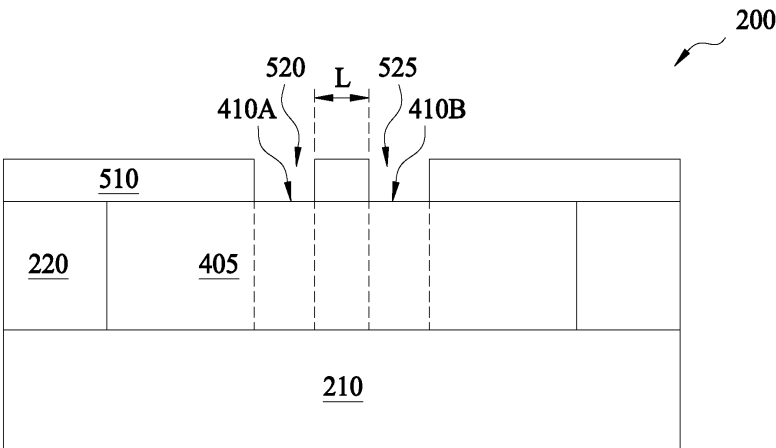
도면4d



도면5a

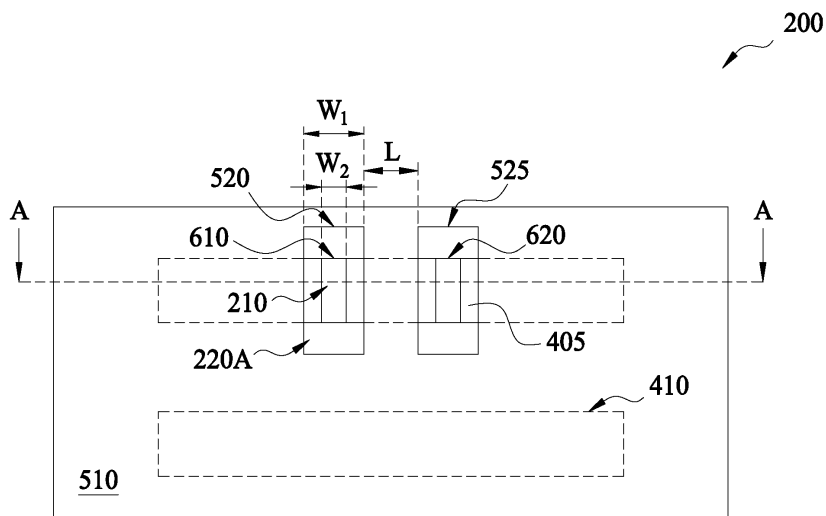


도면5b

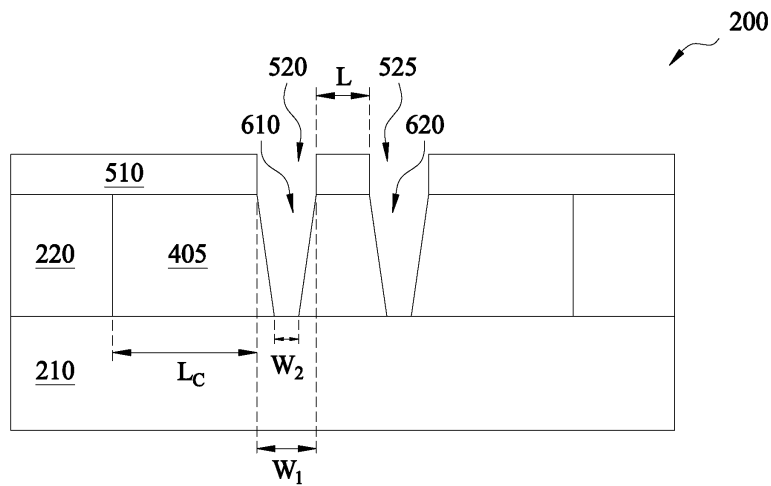




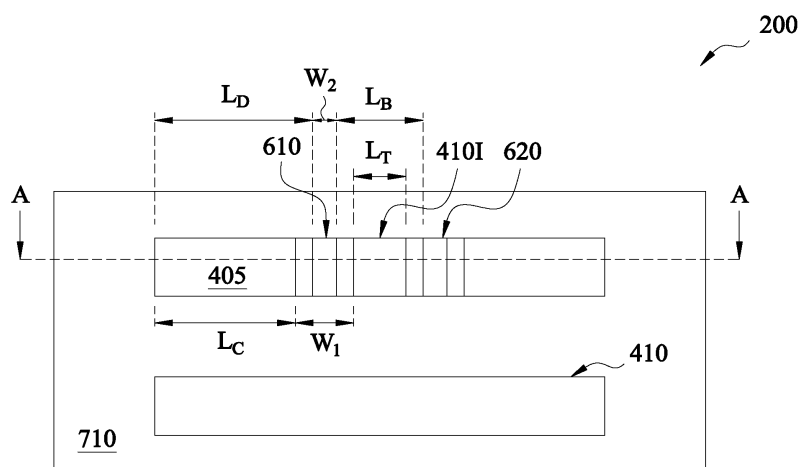
도면6a



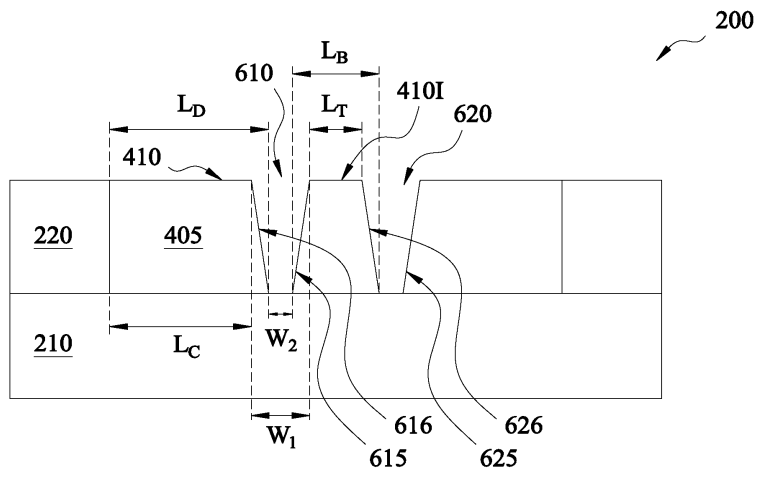
도면6b



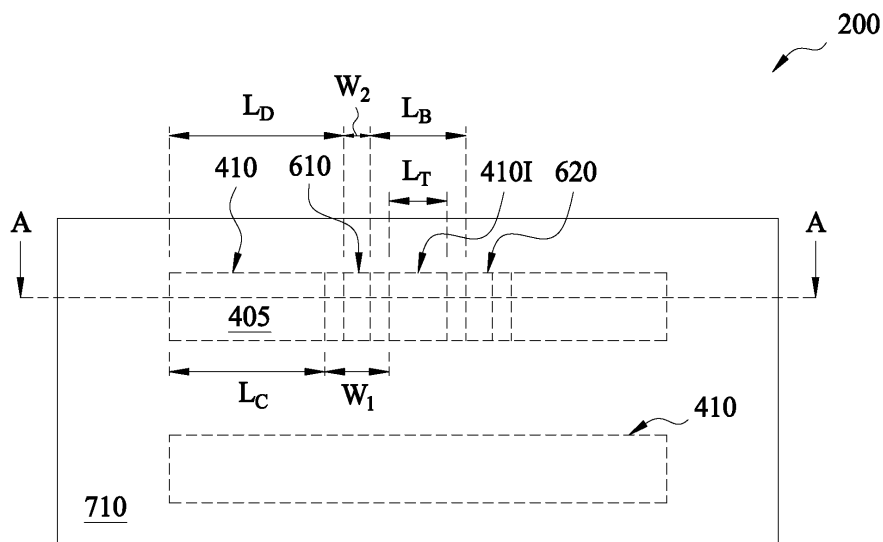
도면6c



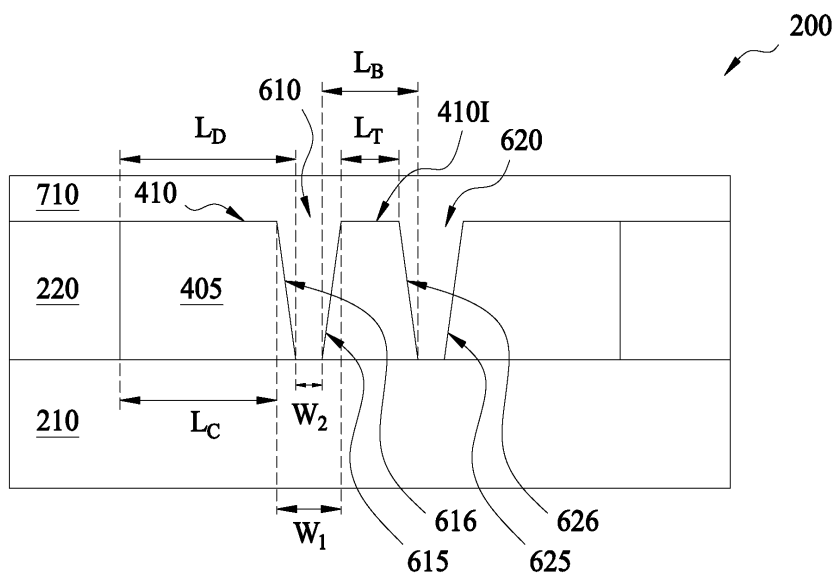
도면6d



도면7a



도면7b



도면7c

