

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4804459号
(P4804459)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int.Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 E

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2007-518818 (P2007-518818)	(73) 特許権者	504378124
(86) (22) 出願日	平成17年5月30日 (2005.5.30)		スパンション エルエルシー
(86) 国際出願番号	PCT/JP2005/009881		アメリカ合衆国 カリフォルニア州 94
(87) 国際公開番号	W02006/129344		088-3453 サニーバイル デグウ
(87) 国際公開日	平成18年12月7日 (2006.12.7)		イン ドライブ 915
審査請求日	平成20年5月20日 (2008.5.20)	(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

レギュラセクタ内に配置され、ワードラインに接続されたレギュラセルと、
前記レギュラセルからデータを読み出す際使用される複数のレファレンスセルと、
連続的に矩形波状に延在して配置され、前記複数のレファレンスセルに接続されたレファレンスワードラインを具備し、前記複数のレファレンスセルは、それぞれ異なるレファレンスワードライン距離を有し、

データを読み出す前記レギュラセルの有するワードライン距離に応じ、前記複数のレファレンスセルのうち1つが選択される半導体装置。

【請求項 2】

データを読み出される前記レギュラセルと、選択された前記レファレンスセルとに接続したセンスアンプを具備する請求項1記載の半導体装置。

【請求項 3】

前記ワードラインの距離に応じ前記レファレンスセルを選択し、前記センスアンプに接続する選択回路を具備する請求項2記載の半導体装置。

【請求項 4】

前記レギュラセルは複数のビットを記憶するセルであり、各レファレンスセルはそれぞれ複数のサブレファレンスセルを有する請求項1記載の半導体装置。

【請求項 5】

前記複数のサブレファレンスセルは、しきい値電圧が互いに異なり、

前記リファレンスワードラインは、各リファレンスセルの同一のしきい値電圧のサブリアレンスセルを接続し、同じしきい値電圧のサブリアレンスセルのグループごとに配置される、請求項4記載の半導体装置。

【請求項6】

前記レギュラセルはフラッシュメモリセルである請求項1から5のいずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、半導体記憶装置を有する半導体装置に関する。

10

【背景技術】

【0002】

半導体記憶装置においては、レファレンスセルとレギュラセルのデータを比較し、レギュラセルからデータの読み取りを行うタイプのものである。図1を用いフラッシュメモリを例に説明する。

【0003】

図1は従来フラッシュメモリのメモリセル周辺のブロック図である。レギュラセクタ10にはレギュラセル16が配置されている。レギュラセルの中のレギュラセル16a、16bおよび16cにはワードドライバ12に接続するワードライン14a、14bおよび14cと、センスアンプ30に接続するビットライン18とが接続されている。レファレンスセル26はレファレンスセクタ20に配置される。レファレンスセル26はレファレンスワードドライバ22に接続するワードライン24とセンスアンプ30に接続する接続ライン32とが接続されている。

20

【0004】

レギュラセル16aを例に、データの読み出しについて説明する。ワードドライバ12より、例えばレギュラセル16aに接続されたワードライン14aが選択される。レギュラセル16aに接続されたビットライン18が選択される。センスアンプ30は、レギュラセル16aとレファレンスセル26の閾値電圧を比較する。これにより、レギュラセル16aが「0」か「1」かの読み出しを行う。

【0005】

30

なお、本明細書および特許請求の範囲においては、ワードドライバ12から各レギュラセル16へのワードライン14の距離をレギュラセル16の有するワードライン距離とする。また、レファレンスワードドライバ22から各レファレンスセル26へのレファレンスワードラインの距離をレファレンスセル26の有するレファレンスワードライン距離とする。

【0006】

レファレンスセルを複数配置する半導体記憶装置として、特許文献1には、センスアンプまでの抵抗、容量の異なるレファレンスセルを複数配置する半導体装置が開示されている。特許文献2には、レギュラセルの近くにレファレンスセルを配置する半導体装置が開示されている。

40

【0007】

【特許文献1】特開平9-270195号公報

【特許文献2】特開平10-11985号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

従来技術において、チップ面積縮小のためワードドライバ12はレギュラセクタ10の片側に配置される。また、チップ面積縮小のためワードライン14の1本に接続されるレギュラセル16の数が増える。このように、チップ面積縮小を達成しようとする、ワードライン14の長さは長くなる。これにより、以下のような課題が発生する。

50

【0009】

図1において、ワードライン距離 L_a 、 L_b 、 L_c が異なるレギュラセル16a、16bおよび16cを用い説明するワードライン14の長さが長くなると、ワードライン距離 L_a 、 L_b および L_c の差が大きくなる。そうすると、レギュラセル16に付加されるワードライン14の抵抗、容量の差も大きくなってしまふ。これにより、各レギュラセル16a、16bおよび16cからセンスアンプ30への出力の遅延時間が異なってしまう。

【0010】

例えば、レファレンスセル26からセンスアンプ30への出力の遅延時間がレギュラセル16bとほぼ同じになるように設定されている場合を考える。この場合、レギュラセル16aのセンスアンプ30への出力の遅延時間は、レファレンスセル26より早くなる。一方、レギュラセル16cのセンスアンプ30への出力の遅延時間は、レファレンスセル26より遅くなる。このように、各レギュラセル16により遅延時間が異なると、センスアンプ30の動作マージンがなく動作が不安定になってしまう。これを防ぐためには、ワードライン14に接続するレギュラセルの数を制限する。または、センスアンプ30の動作時間を長くすることが必要である。すなわち、チップ面積の縮小化とセンス動作の高速化を両立することが困難である。

【0011】

本発明は、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくし、チップ面積の縮小化またはセンス動作の高速化が可能な半導体装置を提供することは目的とする。

【課題を解決するための手段】

【0012】

本発明は、レギュラセクタ内に配置され、ワードラインに接続されたレギュラセルと、前記レギュラセルからデータを読み出す際使用される複数のレファレンスセルと、を具備し、データを読み出す前記レギュラセルの有するワードライン距離に応じ、前記複数のレファレンスセルのうち1つが選択される半導体装置である。本発明によれば、データを読み出すレギュラセルの有するワードライン距離に応じ、複数のレファレンスセルのうち1つを選択することにより、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくできる。よって、チップ面積の縮小化またはセンス動作の高速化が可能な半導体装置を提供することができる。

【0013】

本発明は、さらに、前記レファレンスセルに接続されたレファレンスワードラインを具備し、前記レファレンスセルは、それぞれ異なるレファレンスワードライン距離を有する。レファレンスワードラインは、矩形波状に連続して延在して配置される。本発明によれば、ワードライン距離に対応するレファレンスワードライン距離を有するレファレンスセルを選択することができる。これにより、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差をより小さくできる。

【0019】

本発明は、データを読み出される前記レギュラセルと、選択された前記レファレンスセルとに接続したセンスアンプを具備する半導体装置とすることができる。本発明によれば、データを読み出されるレギュラセルと、対応するレファレンスセルとを、センスアンプに接続することにより、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくできる。

【0020】

本発明は、前記ワードラインの距離に応じ前記レファレンスセルを選択し、前記センスアンプに接続する選択回路を具備する半導体装置とすることができる。本発明によれば、データを読み出されるレギュラセルと、対応するレファレンスセルとを、確実にセンスアンプに接続することができる。

【0021】

本発明は、前記レファレンスワードドライバは前記ワードドライバに隣接して配置され

10

20

30

40

50

た半導体装置とすることができる。本発明によれば、レファレンスワードドライバとワードドライバはともに昇圧回路の近くに配置できる。これにより、レギュラセルと、レファレンスセルへの出力をほぼ同じタイミングで行うことができる。よって、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくできる。

【0022】

本発明は、前記レギュラセルは複数のビットを記憶するセルであり、各レファレンスセルはそれぞれ複数のサブレファレンスセルを有する半導体装置とすることができる。本発明によれば、セルの微妙な閾値電圧の差でデータを読み出すことが求められている複数のビットを記憶するセルを有する半導体装置において、チップ面積の縮小化またはセンス動作の高速化を可能とすることができる。

10

【0023】

本発明は、同一のレファレンスセルに属する前記複数のサブレファレンスセルは、それぞれ異なる前記レファレンスワードラインに接続された半導体装置とすることができる。本発明によれば、同一のレファレンスセルに属する前記複数のサブレファレンスセルからセンスアンプへの出力の遅延時間を概同じとすることができる。

【0024】

本発明は、前記レギュラセルはフラッシュメモリセルである半導体装置とすることができる。本発明によれば、ワードライン距離による出力の遅延が大きいフラッシュメモリにおいて、チップ面積の縮小化またはセンス動作を高速化することができる。

【発明の効果】

20

【0025】

本発明によれば、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくし、チップ面積の縮小化またはセンス動作の高速化が可能な半導体装置を提供することができる。

【図面の簡単な説明】**【0026】**

【図1】図1は、従来のフラッシュメモリのレギュラセクタ周辺のブロック図である。

【図2】図2は、実施例1に係るフラッシュメモリのブロック図であり、図2(a)はレギュラセクタ周辺の図であり、図2(b)はレファレンスセクタ周辺の図である。

【図3】図3は、フラッシュメモリのレギュラセルおよびレファレンスセルを構成するトランジスタのワードラインの幅方向の断面図である。

30

【図4】図4は、実施例1に係るフラッシュメモリのレファレンスセルの選択方法を説明するためのレギュラセクタ周辺のブロック図である。

【図5】図5は、実施例1の変形例に係るフラッシュメモリのレギュラセクタ周辺のブロック図であり、レファレンスセルの選択方法を説明するための図である。

【図6】図6は、実施例2に係るフラッシュメモリのレギュラセクタ周辺のブロック図である。

【図7】図7は、実施例2に係るフラッシュメモリの選択回路およびレファレンスセクタを示す図である。

【図8】図8は、実施例2に係るフラッシュメモリのレファレンスセクタを説明するための図である。

40

【図9】図9は、実施例2の変形例に係るフラッシュメモリのレファレンスセクタと選択回路付近の図である。

【図10】図10は、実施例3に係るフラッシュメモリのレファレンスセクタの図である。

【図11】図11は、実施例4に係るフラッシュメモリの各ブロックの配置を示す図である。

【発明を実施するための最良の形態】**【0027】**

以下、図面を参照に、本発明に係る実施例を説明する。

50

【実施例 1】

【0028】

図2(a)は実施例1に係るフラッシュメモリのレギュラセクタ周辺のブロック図であり、図2(b)はレファレンスセクタの図である。レギュラセクタ10はサブセクタ11a、11bおよび11cに分かれている。レギュラセクタ10内のレギュラセル16a、16bおよび16cは、それぞれサブセクタ11a、11bおよび11cに配置されている。また、レギュラセル16a、16bおよび16cには、それぞれワードドライバ12に接続するワードライン14a、14bおよび14cが接続され、それぞれセンスアンプ30に接続するビットライン18a、18b、および18cが接続されている。

【0029】

ワードドライバ12は、データの書き込み・消去・読み出しするレギュラセル16に接続されたワードライン14を駆動する機能を有している。センスアンプ30は書き込み・消去・読み出しするレギュラセル16に接続されたビットライン18を選択する。さらに、読み出しするレギュラセル16とレファレンスセル26を比較し、データの読み出しを行う。

【0030】

レギュラセル16からデータを読み出す際に使用されるレファレンスセル26a、26bおよび26cはレファレンスセクタ20に配置される。レファレンスワードライン24は、レファレンスワードドライバ22に接続され、矩形波状になっている。同一のレファレンスワードライン24に、レファレンスセル26a、26bおよび26cが接続している。各レファレンスセル26a、26bおよび26cは、各々異なるレファレンスワードライン距離を有している。

【0031】

各レファレンスセル26a、26bおよび26cは、それぞれセンスアンプ30に接続する接続ライン32a、32bおよび32cが接続されている。より詳細には、図2(b)のように、レファレンスセル26aに、接続領域28であるSとD1がコンタクト部29を介し接続している。これらは、後述するレファレンスセル26aを構成するトランジスタのソース領域およびドレイン領域に接続している。つまり、接続ライン32aはSとD1を介し、レファレンスセル26aに接続している。レファレンスセル26b、26cも同様である。

【0032】

図3はフラッシュメモリのレギュラセル16およびレファレンスセル26を構成するトランジスタのワードラインの幅方向の断面図である。P型のシリコン半導体基板50(または、半導体基板内のP型領域)内にN型のドレイン領域52およびソース領域53が形成されている。半導体基板50上にトンネル酸化膜54(酸化シリコン膜)が形成されている。トンネル酸化膜54上には電荷蓄積層としてフローティングゲート55が形成されている。フローティングゲート55の上には絶縁膜58が形成されており、その上にはコントロールゲートを兼ねるワードライン56が形成されている。このトランジスタは、電荷蓄積層としてのフローティングゲート55に電荷を蓄積することにより、不揮発性メモリセルとして機能する。

【0033】

レギュラセル16へのデータの書き込みは、ワードライン56およびドレイン領域52にそれぞれ正の電圧を印加しレギュラセル16に電流を流す。このとき印加する電圧により、ホットエレクトロン(高エネルギーの電子)が発生する。そのホットエレクトロンを電荷蓄積層のフローティングゲート55に注入することにより行う。また、印加する電圧を調整することで、トランジスタの閾値電圧を調整することができる。レギュラセル16のデータ消去は、ワードライン56に負の電圧、半導体基板50に正の電圧を、それぞれ印加する。これにより、電荷蓄積層のフローティングゲート55中に注入された電子を半導体基板50に抜くことにより行う。これにより、トランジスタの閾値電圧を小さくすることができる。

10

20

30

40

50

【 0 0 3 4 】

データの読み出しは、ワードライン56に所定の電圧を印加し、ソース領域53を接地、ドレイン領域52に正の電圧を印加することにより行う。トランジスタのソース領域53とドレイン領域52間を流れる電流は閾値電圧により異なる。そこで、センスアンプ30がこの電流をレファレンスセル26の電流と比較することにより、データの「0」、「1」を判定する。これにより、データの読み出しを行う。

【 0 0 3 5 】

そして、データを読み出されるレギュラセル16の有するワードライン距離に応じ、レファレンスセル26のうち1つが選択される。例えば、ワードライン距離Laが短いレギュラセル16aからデータを読み出す際は、レファレンスワードライン距離の短いレファレンスセル26aが選択される。そして、レギュラセル16aと、レファレンスセル16aがセンスアンプ30に接続される。同様に、レギュラセル16b、16cのデータを読み出す際はレファレンスセル26b、26cがそれぞれ選択され、センスアンプ30b、30cにそれぞれ接続される。

【 0 0 3 6 】

このとき、レファレンスセル26aの有するレファレンスワードライン距離は、例えばレファレンスセル26aからセンスアンプ30への出力の遅延時間がサブセクタ11a内のレギュラセル16aのセンスアンプ30への出力が平均的な遅延時間となるように定めることができる。このように、レギュラセル16の有するワードライン距離に応じたレファレンスセル26aの選択は、レギュラセル16およびレファレンスセル26からセンスアンプ30への出力の遅延時間に対応して選択することができる。

【 0 0 3 7 】

また、レファレンスセル26aからセンスアンプ30への出力の遅延時間をサブセクタ11a内のレギュラセル16aのセンスアンプ30への出力が平均的な遅延時間とするため、例えば、レファレンスセル26aのレファレンスワードライン距離が、サブセクタ11a内のレギュラセル16の平均的なワードライン距離となるように定めることもできる。

【 0 0 3 8 】

レファレンスセル26b、26cの有するレファレンスワードライン距離についても同様に定めることができる。

【 0 0 3 9 】

このように、データを読み出すレギュラセル16の有するワードライン距離に応じ、レファレンスワードライン距離の異なる複数のレファレンスセル26のうち1つを選択し、データを読み出すレギュラセル16と選択されたレファレンスセル26をセンスアンプ30に接続している。これにより、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差を小さくできる。このため、センスアンプ30の動作マージンを確保できる。よって、チップ面積の縮小化またはセンス動作を高速化することが可能な半導体装置を提供することができる。

【 0 0 4 0 】

次に、レファレンスセル26の接続の方法について説明する。図4は、実施例1のレファレンスセル26の接続方法を説明するためのレギュラセクタ周辺のブロック図である。ワードライン14、レギュラセル16、レファレンスワードドライバ22、レファレンスセクタ20内の詳細は図2と同様であり省略した。レギュラセクタ10はサブセクタ11a、11bおよび11cに分かれている。サブセクタ11a、11bおよび11c内のレギュラセル16a、16bおよび16c(図示せず)は、それぞれビットライン18a、18bおよび18cを介し、それぞれセンスアンプ30a、30bおよび30cに接続されている。センスアンプ30a、30bおよび30cはそれぞれ接続ライン32a、32bおよび32cを介し、それぞれレファレンスセル26a、26bおよび26cに接続している。

【 0 0 4 1 】

このように、レギュラセル16の有するワードライン距離に応じレギュラセクタ10を分割した複数のサブセクタ11a、11bおよび11cを設ける。各サブセクタ11a、11bおよび11c内のレギュラセル16に接続するセンスアンプ30a、30bおよび30cは、それぞれ同一のレファレンスセル26a、26bおよび26cに接続ライン32a、32bおよび32cを用い各々物理的に接続している。このようにして、データを読み出されるレギュラセル16と、選択されたレファレンスセル26を確実にセンスアンプ30aに接続することができる。

【0042】

次に実施例1の変形例として、レファレンスセル26の接続方法の異なるフラッシュメモリについて説明する。図5は、実施例1の変形例に係るフラッシュメモリのレファレンスセル26の接続方法を説明するためのレギュラセクタ周辺のブロック図である。ワードドライバ12、ワードライン14、レギュラセル16、レファレンスワードドライバ22、レファレンスワードライン24の構成は実施例1と同様であり記載していない。

10

【0043】

レギュラセクタ10をビット長の出力によって区切っている。図5では16ビットごとに、I/O0~I/O15に区切られている。センスアンプ30とレファレンスセル26a、26b、26cおよび26dの間に、レファレンスセル26を選択するための選択回路34が設けられている。センスアンプ30と選択回路34には、コラム選択信号36が入力する。

【0044】

20

ワードライン距離の短いI/O0、I/O8、I/O1、I/O9内のレギュラセル16のデータの読み出しを行う場合、コラム選択信号36がセンスアンプ30に入力し、これらI/O内のレギュラセルを選択する。コラム選択信号36は、選択回路34にも入力し、レファレンスワードライン距離の短いレファレンスセル26aを選択しセンスアンプ30に接続する。他のI/O内のセルの読み出しを行う際も同様に行うことにより、レギュラセクタ10内のレギュラセル16が有するワードライン距離に対応するレファレンスセル26を選択し、センスアンプ30に接続することができる。このように、選択回路34は、レギュラセル16有するワードライン距離に応じレファレンスセル26のうち1つを選択し、センスアンプ30に接続する機能を有している。

【0045】

30

実施例1の変形例においてもデータを読み出されるレギュラセル16と、選択されたレファレンスセル26を確実にセンスアンプ30aに接続することができる。

【0046】

実施例1の変形例は、実施例1のように複数の接続ライン32を必要としないが、選択回路34が必要である。そこで、複数の接続ライン32と選択回路34のチップ面積を考慮し、実施例1と変形例のいずれを適用するかを決めることができる。

【0047】

実施例1、変形例は、それぞれレファレンスセル26が3つ、4つの例であるが、レファレンスセル26が複数であれば同様の効果を奏することができる。レファレンスセル26の数が多ければ、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差をより小さくできる。しかしレファレンスセクタ20や選択回路30の面積が大きくなる。レファレンスセル26の数はこれらを考慮して決められる。

40

【実施例2】

【0048】

実施例2はレギュラセル16が多値(4値)すなわち複数(2ビット)を記憶するセルであるフラッシュメモリの例である。レギュラセル16およびレファレンスセル26を構成するトランジスタは実施例1と同じである。図3において、電荷を蓄積するフローティングゲート45に蓄積された電荷量を4分割することで2ビットを記憶することができる。各ビットに電荷が蓄積状態を「0」、蓄積していない状態を「1」とし、1セルに、(00)、(01)、(10)および(11)の4値を記憶することができる。

50

【 0 0 4 9 】

図 6 は実施例 2 に係るフラッシュメモリのメモリセル周辺のブロック図である。ワードドライバ 1 2 や、ワードライン 1 4、レギュラセル 1 6、レファレンスワードドライバ 2 2、レファレンスワードライン 2 4 の構成は実施例 1 と同様であり記載していない。さらに、実施例 1 の変形例と同様に、レギュラセクタ 1 0 はビット長の出力によって I / O 0 ~ I / O 1 5 に区切られている。例えば、ワードライン距離の短い I / O 0、I / O 8、I / O 1、I / O 9 内のレギュラセル 1 6 のデータの読み出しを行う場合、選択回路 3 4 はコラム選択信号 3 6 により、I / O 内のレギュラセル 1 6 とレファレンスセル 2 6 a を選択しセンスアンプ 3 0 に接続する。加えて、選択切換回路 3 8、カウンタ 4 0、バッファ 4 2、出力回路 4 4 が設けられている。このように、コラム選択信号 3 6 により、選択回路 3 4 がデータを読み出すレギュラセル 1 6 が有するワードライン距離によりレファレンスセル 2 6 の 1 つを選択することは実施例 1 の変形例と同様である。

10

【 0 0 5 0 】

図 7 は、選択回路 3 4 およびレファレンスセル 2 6 を示す図である。レファレンスワードドライバ 2 2 およびレファレンスワードライン 2 4 は記載していない。ワードライン距離の短いレギュラセルに対応したレファレンスセル R S 1 (2 6 a) は複数のサブレファレンスセル S 1 (2 7 a)、S 2 (2 7 b) および S 3 (2 7 c) を有する。レファレンスセル R S 2 (2 6 b)、R S 3 (2 6 c)、R S 4 (2 6 d) も同様に複数のサブレファレンスセル S 1、S 2、S 3 を有する。各サブレファレンスセル S 1 (2 7 a)、S 2 (2 7 b) および S 3 (2 7 c) は選択回路 3 4 に接続されている。選択回路 3 4 は、レファレンスセル R S 1、R S 2、R S 3 および R S 4 の有するサブレファレンスセル S 1、S 2 および S 3 のいずれか 1 つを選択し、センスアンプ 3 0 に接続する。

20

【 0 0 5 1 】

図 8 はレファレンスセクタ 2 0 を説明するための図である。レファレンスセル R S 3 (2 6 c)、R S 4 (2 6 d) の部分は省略している。レファレンスワードドライバ 2 2 に接続されたレファレンスワードライン 2 4 は矩形波状をしており、レファレンスセル R S 1 (2 6 a)、R S 2 (2 6 b) に接続されている。同一のレファレンスセル R S 1 (2 6 a) の有する複数のサブレファレンスセル S 1 (2 7 a)、S 2 (2 7 b) および S 3 (2 7 c) は、隣接して配置され、同じレファレンスワードライン 2 4 に接続されている。これらは隣接して配置されているため、概同じレファレンスワードライン距離を有する。

30

【 0 0 5 2 】

サブレファレンスセル S 1 (2 7 a) のドレイン領域、ソース領域には、接続領域 D 1 a (2 8 a) および S (2 8 s) が、コンタクト部 2 9 a および 2 9 s を介し接続している。同様にサブレファレンスセル S 2 (2 7 b) にはコンタクト部 2 9 b および 2 9 s を介し D 1 b (2 8 b) および S (2 8 s) が、サブレファレンスセル 2 7 c にはコンタクト部 2 9 c および 2 9 s を介し D 1 c (2 8 c) と S (2 8 s) がそれぞれ接続している。

【 0 0 5 3 】

レファレンスセル R S 2 (2 6 b) が有するサブレファレンスセル S 1 (2 7 a)、S 2 (2 7 b) および S 3 (2 7 c) も同様である。そして、レファレンスセル 2 6 b はレファレンスセル 2 6 a に比べ長いレファレンスワードライン距離を有する。

40

【 0 0 5 4 】

次に、レギュラセクタ 1 0 内のレギュラセル 1 6 から多値のデータを読み出す方法について説明する。4 値を読み出すために 3 つのサブレファレンスセル S 1、S 2 および S 3 を用いる。まず、レギュラセル 1 6 が「 0 」か「 1 」を判断するために、サブレファレンスセル S 2 を用いる。次に、レギュラセル 1 6 が「 0 」の場合は、(0 0)、(0 1) を判断するために S 1 を用いる。レギュラセル 1 6 が「 1 」の場合は、(1 0)、(1 1) を判断するために S 3 を用いる。

【 0 0 5 5 】

50

以下に、具体的なサブレファレンスセルの選択方法について説明する。まず、アドレスが指定され読み出しが開始された時点で、コラム選択信号36により選択回路34は、レギュラセクタ10内のデータを読み出すレギュラセル16のワードライン距離に応じ、レファレンスセル26を選択する。例えば、レファレンスセルRS1(26a)が選択されたとする。このときカウンタ40に「1」を入力し、バッファ42に「1」を入力する。

【0056】

次に、カウンタ40の出力とバッファ42の出力がともに「1」の場合、選択切換回路38の信号より、レファレンスセルRS1(26a)のうちサブレファレンスセルS2(27b)が選択される。レギュラセル16とS2(27b)がセンスアンプ30に接続され、センスアンプ30は左のビットが「0」か「1」を判定する。センスアンプ30から結果の出力の際、カウンタ40に「2」を入力し、バッファ42にセンスアンプ30の出力を入力する。

10

【0057】

次に、再度読み出しを行う。この際、カウンタ40が「2」、バッファ42が「0」の場合、選択切換回路38により、選択回路34はS1(27a)を選択する。一方、カウンタ40が「2」、バッファ38が「1」の場合、選択切換回路38により、選択回路34はS3(27c)を選択する。レギュラセル16とS1(27a)またはS3(27c)がセンスアンプ30に接続され、センスアンプ30は右のビットが「0」か「1」を判定する。

【0058】

20

センスアンプ30からの2回目の出力(カウンタ40の出力「2」)のとき、出力回路44は、バッファ42とセンスアンプ30の出力に応じ、(00)、(01)、(10)または(11)を出力する。

【0059】

実施例2のように、多値を記憶するレギュラセル16においては、複数のサブレファレンスセル27が必要になる。例えば4値のセルでは3つのサブレファレンスセル27が必要である。前述のように、同一のレファレンスセル26の有する複数のサブレファレンスセル(27)S1、S2およびS3は概同じレファレンスワードライン距離を有する。これにより、これらサブレファレンスセル27のセンスアンプ30への出力は概同じ遅延時間を有する。

30

【0060】

概同じ遅延時間とは、同じレファレンスセル26を用いるレギュラセル16からセンスアンプ30への出力の遅延時間の分布に対して十分に、遅延時間の差が小さい程度のことである。これにより、センスアンプ30の動作マージンを考える際、同一のレファレンスセル26の有するサブレファレンスセル27からの出力の遅延時間の差は考慮しなくてよい。よって、センス動作の動作マージンを確保することができる。

【0061】

そして、レギュラセル16の有するワードライン距離に対応するレファレンスセル26を選択することにより、そのレファレンスセル26内のサブレファレンスセル27からセンスアンプ30への出力の遅延時間とレギュラセル16からセンスアンプ30への出力の遅延時間の差を小さくすることができる。よって、チップ面積の縮小化またはセンス動作を高速化することが可能な半導体装置を提供することができる。

40

【0062】

レギュラセクタ10内に複数のビットを記憶するレギュラセル16を有するフラッシュメモリは、レギュラセル16の微妙な閾値電圧の差でデータを読み出すことが求められている。そのため、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差が大きいと、よりセンスアンプ30の動作が不安定となる。そのため、より微細化、高速化の障害となっている。そこで、本発明を適用することにより、よりその効果を発揮することができる。

【0063】

50

図9は実施例2の変形例に係るフラッシュメモリのレファレンスセクタ20と選択回路34付近の図である。レファレンスセクタ20以外の構成は実施例2と同じである。レファレンスセクタ20a、20bおよび20cが配置されている。レファレンスセクタ20aには、レファレンスセルRS1、RS2、RS3およびRS4のサブレファレンスセルS1が配置されている。

【0064】

レファレンスセクタ20a内の各サブレファレンスセルS1は同一のレファレンスワードライン24aに接続されている。同様に、レファレンスセクタ20b、20c内に、それぞれサブレファレンスセルS2、S3を配置し、それぞれ別のレファレンスワードラインに接続している（レファレンスワードラインは図示していない）。

10

【0065】

同一のレファレンスセルRS1が有する複数のサブレファレンスセルS1、S2およびS3は概同じレファレンスワードライン距離を有するように配置されている。同様にRS2、RS3、RS4の有する各S1、S2およびS3も概同じレファレンスワードライン距離を有するように配置されている。

【0066】

変形例のように、同一レファレンスセル16の複数のサブレファレンスセル27は、それぞれ異なるレファレンスセクタ20内に配置し、異なるレファレンスワードライン24に接続することもできる。この場合も、実施例2と同様の効果を奏することができる。実施例2および変形例は、多値として4値の場合の例であるが、4値以外であってもよい。

20

【実施例3】

【0067】

実施例3は、レファレンスセクタ20にダミーワードライン25を設けた例である。図10は実施例3に係るフラッシュメモリのレファレンスセクタの図である。ダミーワードライン25が設けてある以外の構成は実施例1の図2(b)と同様である。図示していないが、実施例1と同様に、ワードラインドライバ12と、レギュラセクタ10内に配置され、ワードライン14に接続されたレギュラセル10を有する。図10のように、レファレンスセクタ20には、レファレンスセル26に接続された矩形波状のレファレンスワードライン24を有している。さらに、レファレンスワードライン24の横にダミーワードライン25が設けられている。

30

【0068】

メモリセルの微細化が進むと、レギュラセクタ10内のワードライン14の間隔が狭くなる。この場合、隣のワードライン14との容量が大きくなり、レギュラセル16からセンスアンプ30への出力の遅延時間に影響する。しかし、実施例1に係るレファレンスワードライン24には自己の抵抗と容量のみが付加されている。このため、センスアンプ30に接続するレギュラセル16の有するワードライン距離と、レファレンスセル26の有するレファレンスワードライン距離を概等しくしても、レギュラセル16とレファレンスセル26のセンスアンプへの出力の遅延時間に差が生じてしまう。

【0069】

そこで、ダミーワードライン25を設け、隣接するワードライン14間の容量に相当する容量を、ダミーワードライン25とレファレンスワードライン24の間に設ける。これにより、レファレンスワードライン24に付加される容量が、ワードライン14の容量に近くなる。これより、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差を小さくすることができる。よって、チップ面積の縮小化またはセンス動作を高速化することが可能な半導体装置を提供することができる。

40

【0070】

ダミーワードライン25を固定電圧に接続することが好ましい。これにより、レファレンスワードライン24に付加される容量を、ワードライン14の容量により近くすることができる。よって、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差をより小さくすることができる。

50

【0071】

レファレンスワードライン24とダミーワードライン25の間隔Lは、セクタ内の隣接するワードライン14の間隔と概同じとすることが好ましい。これにより、レファレンスワードライン24に付加される容量を、ワードライン間の容量と概同じにすることができる。よって、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差をより小さくすることができる。

【0072】

ダミーワードライン25を設けることは、レファレンスセル26を複数配置する場合以外にも、レファレンスセル25が1つの場合に適用することができる。この場合も、レギュラセル16とレファレンスセル26のセンスアンプ30への出力の遅延時間の差をより小さくすることができる。

10

【実施例4】

【0073】

実施例4はレファレンスセクタ20およびレファレンスワードドライバ22をワードドライバ12に隣接させた例である。図11は実施例4に係るフラッシュメモリの配置を示す図である。ワードドライバ12の両側に複数のレギュラセクタ10が配置され、複数のレギュラセクタ10の下方に対応したセンスアンプ30が配置されている。レファレンスワードドライバ22はワードドライバ12に隣接している。

【0074】

これにより、レファレンスワードドライバとワードドライバはともに昇圧回路の近くに配置できる。これにより、レギュラセルと、レファレンスセルへの出力をほぼ同じタイミングで行うことができる。よって、レギュラセルとレファレンスセルのセンスアンプへの出力の遅延時間の差を小さくできる。

20

【0075】

さらに、レファレンスワードドライバ22はワードドライバ12のセンスアンプ30側に隣接して配置され、レファレンスセクタ20は、センスアンプ30とレファレンスワードドライバ22に隣接して配置されている。これにより、レファレンスセクタ20内のレファレンスセルからセンスアンプ30への出力低下が少なく、センスアンプ30でのセンシングの精度を向上させることができる。

【0076】

実施例1ないし実施例4は、フラッシュメモリを例に説明した。フラッシュメモリにおいては、センスアンプ30はレギュラセル16とレファレンスセル26の電流を比較することによりセンシングを行っている。そのため、差動型のセンスアンプを使用している特許文献1のようにセンスアンプ30からセル、レファレンスセルまでの抵抗や容量による出力の遅延はあまりなく、ワードライン距離による出力の遅延が大きい。そこで、実施例のように、本発明をレギュラセル16およびレファレンスセル26がフラッシュメモリセルである場合に適用することにより、よりその効果を発揮することができる。

30

【0077】

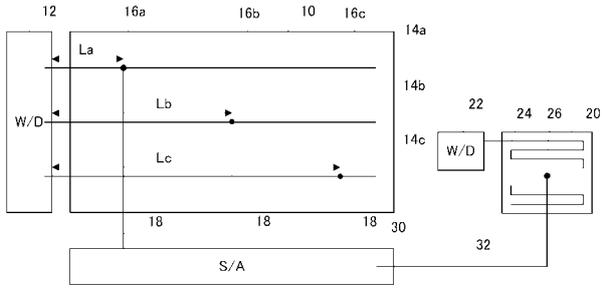
フラッシュメモリ以外にも、レギュラセル16とレファレンスセル26の電流を比較することによりセンシングを行う半導体記憶装置に適用することにより、よりその効果を発揮することができる。

40

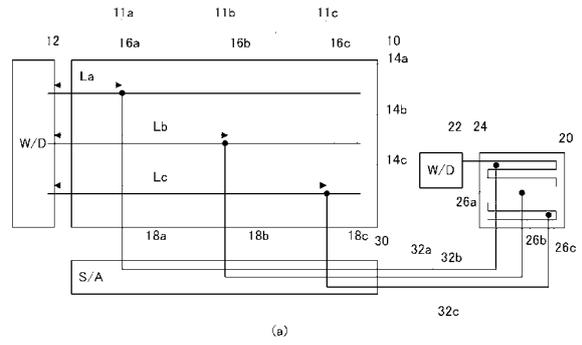
【0078】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

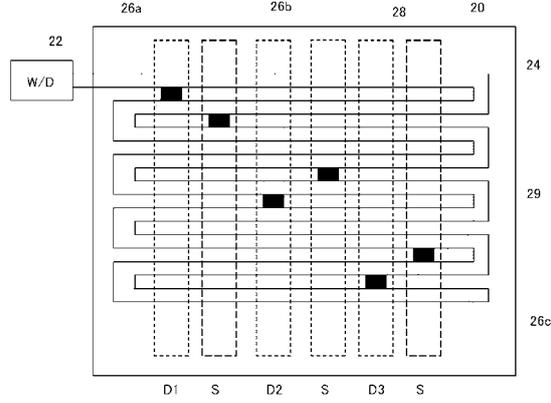
【図1】



【図2】

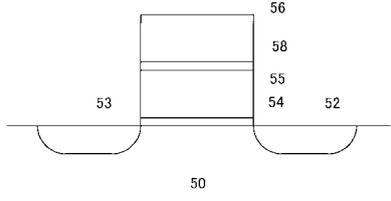


(a)

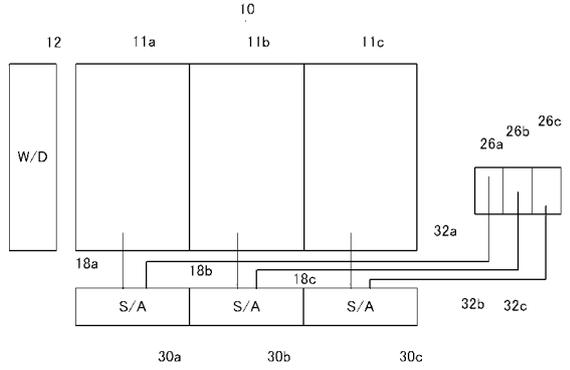


(b)

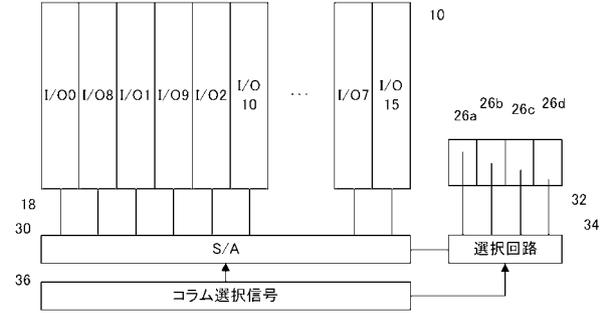
【図3】



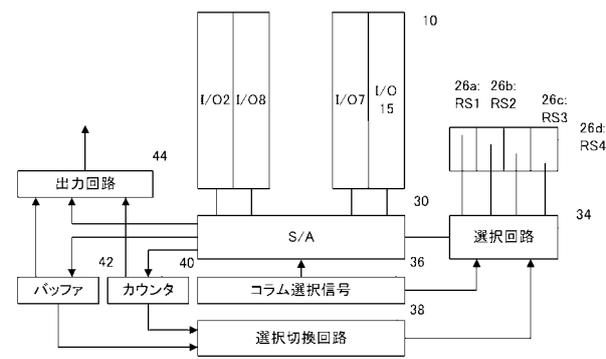
【図4】



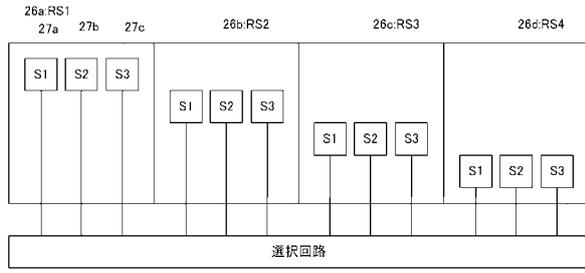
【図5】



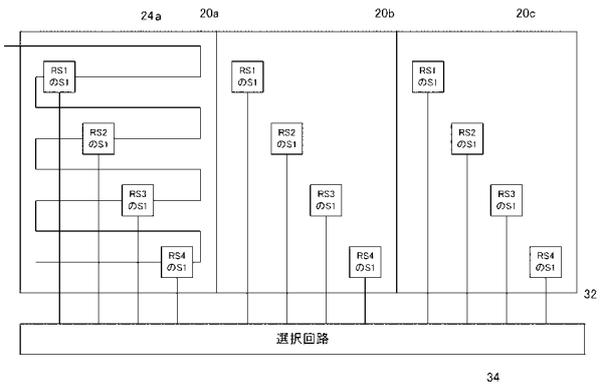
【図6】



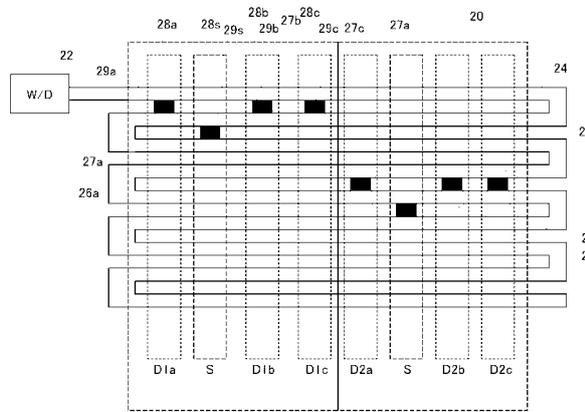
【図7】



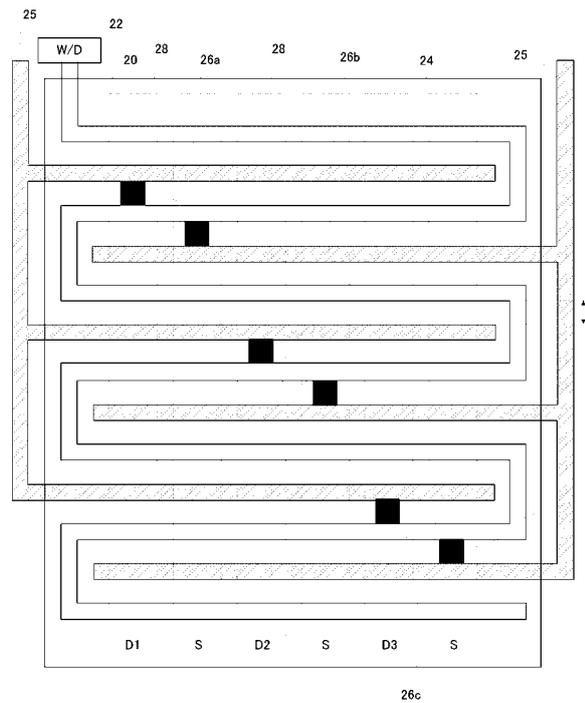
【図9】



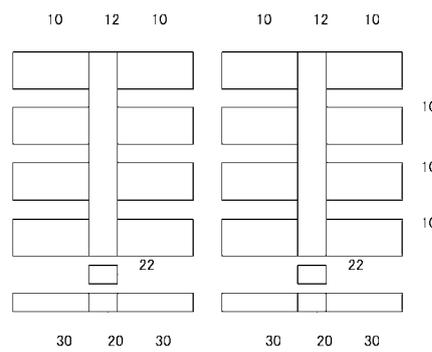
【図8】



【図10】



【図11】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 鈴木 清市

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

審査官 滝谷 亮一

(56)参考文献 特開2001-344983(JP,A)

特開2000-200494(JP,A)

特開2003-007055(JP,A)

特開平04-011392(JP,A)

特開2003-187587(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/06