



(12) 发明专利申请

(10) 申请公布号 CN 119585794 A

(43) 申请公布日 2025. 03. 07

(21) 申请号 202380054783.9

(22) 申请日 2023.07.20

(30) 优先权数据

2022-123244 2022.08.02 JP

2022-151115 2022.09.22 JP

(85) PCT国际申请进入国家阶段日

2025.01.20

(86) PCT国际申请的申请数据

PCT/IB2023/057377 2023.07.20

(87) PCT国际申请的公布数据

W02024/028680 JA 2024.02.08

(71) 申请人 株式会社半导体能源研究所

地址 日本

(72) 发明人 山崎舜平 松崎隆德 木村肇

小林英智 井上广树 冈本佑树

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038

专利代理师 秦晨

(51) Int.Cl.

G11C 5/02 (2006.01)

G11C 5/04 (2006.01)

G06F 13/16 (2006.01)

G06F 12/00 (2006.01)

G06F 12/04 (2006.01)

G06F 12/06 (2006.01)

H10B 12/00 (2006.01)

H10B 80/00 (2006.01)

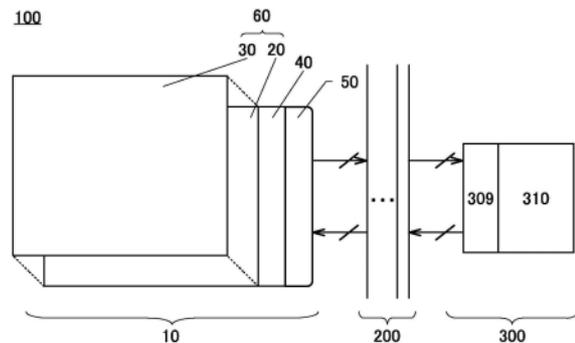
权利要求书2页 说明书41页 附图30页

(54) 发明名称

半导体装置

(57) 摘要

提供一种具有新颖结构的半导体装置。该半导体装置包括运算装置、总线及存储装置。存储装置包括具有多个读出电路的第一元件层及具有多个单元阵列的第二元件层。各读出电路包括读出放大器。各单元阵列包括存储单元。第二元件层以在第一元件层上重叠的方式设置。存储单元与读出放大器通过位线电连接。存储装置通过总线与运算装置电连接。保持在多个单元阵列中的一个的数据通过多个读出电路中的一个输出到总线。输出到总线的的数据以8位的倍数的位宽被输出。



1. 一种半导体装置,包括:  
运算装置;  
总线;以及  
存储装置,  
其中,所述存储装置包括具有多个读出电路的第一元件层及具有多个单元阵列的第二元件层,  
所述各读出电路包括读出放大器,  
所述各单元阵列包括存储单元,  
所述第二元件层以在所述第一元件层上重叠的方式设置,  
所述存储单元与所述读出放大器通过位线电连接,  
所述存储装置通过所述总线与所述运算装置电连接,  
并且,保持在多个所述单元阵列中的一个的数据通过多个所述读出电路中的一个输出到所述总线。
2. 根据权利要求1所述的半导体装置,  
其中输出到所述总线的所述数据以8位的倍数的位宽被输出。
3. 根据权利要求1所述的半导体装置,  
其中所述第一元件层包括输入输出电路,  
并且所述输入输出电路包括多个接口电路。
4. 根据权利要求1所述的半导体装置,  
其中所述读出电路各自包括预充电电路。
5. 根据权利要求1所述的半导体装置,  
其中所述第一元件层包括具有沟道形成区域的第一半导体层包含硅的第一晶体管,  
并且所述第二元件层包括具有沟道形成区域的第二半导体层包含氧化物半导体的第二晶体管。
6. 根据权利要求5所述的半导体装置,  
其中所述氧化物半导体包含In、Ga及Zn。
7. 根据权利要求5所述的半导体装置,  
其中所述存储单元包括电容器及所述第二晶体管,  
所述电容器包括第一导电体、第二导电体、第一绝缘体及第二绝缘体,  
所述第二晶体管包括所述第二导电体、第三导电体、第四导电体、第三绝缘体、第四绝缘体及所述第二半导体层,  
所述第一绝缘体具有第一开口,  
所述第一导电体位于所述第一开口的侧面及底面以及所述第一绝缘体的顶面,  
所述第二绝缘体位于所述第一绝缘体的顶面以及所述第一导电体的顶面及侧面,  
所述第二导电体位于所述第二绝缘体的顶面和侧面中的与所述第一导电体重叠的区域,  
所述第三绝缘体位于所述第二导电体的顶面,  
所述第三导电体位于所述第三绝缘体的顶面,  
所述第三绝缘体及所述第三导电体具有第二开口,

所述第二半导体层位于所述第二开口的侧面、所述第二导电体的顶面以及所述第三导电体的顶面及侧面，

所述第四绝缘体位于所述第二半导体层的顶面及侧面以及所述第三导电体的顶面，  
并且所述第四导电体位于所述第四绝缘体的顶面和侧面中的与所述第二半导体层重叠的区域。

## 半导体装置

### 技术领域

[0001] 本发明的一个方式涉及一种半导体装置等。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。此外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此,具体而言,作为本说明书所公开的本发明的一个方式的技术领域的例子可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、这些装置的驱动方法或这些装置的制造方法。

### 背景技术

[0003] DRAM(Dynamic Random Access Memory:动态随机存取存储器)通过对电容器蓄积电荷储存数据。因此,控制对电容器的电荷供应的存取晶体管的关态电流(off-state current)越小,能够确保的保持数据的期间越长,而可以降低刷新工作的频度,所以是优选的。

[0004] 另一方面,作为晶体管的一种已知半导体层中含有金属氧化物半导体(优选为含有In、Ga及Zn的氧化物半导体)的晶体管。已知半导体层中含有金属氧化物半导体的晶体管的关态电流极低。注意,在本说明书中有时将半导体层中含有金属氧化物的晶体管称为氧化物半导体晶体管、金属氧化物晶体管或OS晶体管等。

[0005] 通过采用OS晶体管可以实现具有良好的数据保持特性的半导体装置。例如,专利文献1中记载了通过将外围电路与单元阵列层叠可以使半导体装置小型化的方法。

[0006] [先行技术文献]

[0007] [专利文献]

[0008] [专利文献1]日本专利申请公开第2012-256821号公报

### 发明内容

[0009] 发明所要解决的技术问题

[0010] 为了提高计算系统的性能并降低功耗而需要降低DRAM等半导体装置的功耗、提高其工作速度、小型化、提高其存储容量等。

[0011] 本发明的一个方式的目的之一是提供一种具有新颖结构的半导体装置。此外,本发明的一个方式的目的之一是提供一种在降低功耗、提高工作速度、小型化或提高存储容量的方面优异的半导体装置。

[0012] 注意,本发明的一个方式的目的不局限于上述目的。上述列举的目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的目的。注意,本发明的一个方式实现上述目的及/或其他目的中的至少一个目的。

[0013] 解决技术问题的手段

[0014] 本发明的一个方式是一种半导体装置,包括运算装置、总线及存储装置,其中存储

装置包括具有多个读出电路的第一元件层及具有多个单元阵列的第二元件层,各读出电路包括读出放大器,各单元阵列包括存储单元,第二元件层以在第一元件层上重叠的方式设置,存储单元与读出放大器通过位线电连接,存储装置通过总线与运算装置电连接,保持在多个单元阵列中的一个的数据通过多个读出电路中的一个输出到总线。

[0015] 本发明的一个方式的半导体装置中,优选的是,输出到总线的的数据以8位的倍数的位宽被输出。

[0016] 本发明的一个方式的半导体装置中,优选的是,第一元件层包括输入输出电路,输入输出电路包括多个接口电路。

[0017] 本发明的一个方式的半导体装置中,优选的是,读出电路各自包括预充电电路。

[0018] 本发明的一个方式的半导体装置中,优选的是,第一元件层包括具有沟道形成区域的第一半导体层包含硅的第一晶体管,第二元件层包括具有沟道形成区域的第二半导体层包含氧化物半导体的第二晶体管。

[0019] 在本发明的一个方式的半导体装置中,优选的是,氧化物半导体包含In、Ga及Zn。

[0020] 本发明的一个方式的半导体装置中,优选的是,存储单元包括电容器及第二晶体管,电容器包括第一导电体、第二导电体、第一绝缘体及第二绝缘体,第二晶体管包括第二导电体、第三导电体、第四导电体、第三绝缘体、第四绝缘体及第二半导体层,第一绝缘体具有第一开口,第一导电体位于第一开口的侧面及底面以及第一绝缘体的顶面,第二绝缘体位于第一绝缘体的顶面以及第一导电体的顶面及侧面,第二导电体位于第二绝缘体的顶面和侧面中的与第一导电体重叠的区域,第三绝缘体位于第二导电体的顶面,第三导电体位于第三绝缘体的顶面,第三绝缘体及第三导电体具有第二开口,第二半导体层位于第二开口的侧面、第二导电体的顶面以及第三导电体的顶面及侧面,第四绝缘体位于第二半导体层的顶面及侧面以及第三导电体的顶面,第四导电体位于第四绝缘体的顶面和侧面中的与第二半导体层重叠的区域。

[0021] 注意,本发明的其他方式记载于下面所述的实施方式中的说明及附图中。

[0022] 发明效果

[0023] 本发明的一个方式可以提供一种新颖的半导体装置等。此外,本发明的一个方式可以提供一种在降低功耗、提高工作速度、小型化或提高存储容量的方面优异的半导体装置。

[0024] 注意,这些效果的记载并不妨碍其他效果的存在。注意,本发明的一个方式并不需要具备所有上述效果。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的效果。

[0025] 附图简要说明

[0026] 图1A是说明半导体装置的结构例子的方框图。图1B是说明半导体装置的结构例子的立体图。

[0027] 图2A是说明半导体装置的结构例子的方框图。图2B是说明半导体装置的结构例子的时序图。

[0028] 图3A是说明半导体装置的结构例子的方框图。图3B是说明半导体装置的结构例子的时序图。

[0029] 图4A是说明半导体装置的结构例子的方框图。图4B是说明半导体装置的结构例子

的立体图。

[0030] 图5A是说明半导体装置的结构例子的方框图。图5B及图5C是说明半导体装置的结构例子的电路图。

[0031] 图6是说明半导体装置的结构例子的电路图。

[0032] 图7A及图7B是说明半导体装置的结构例子的示意图。

[0033] 图8A及图8B是说明半导体装置的结构例子的示意图。

[0034] 图9是说明半导体装置的结构例子的方框图。

[0035] 图10A至图10E是说明半导体装置的结构例子的电路图。

[0036] 图11A及图11B是说明半导体装置的结构例子的示意图。

[0037] 图12是说明半导体装置的结构例子的截面图。

[0038] 图13是说明半导体装置的结构例子的截面图。

[0039] 图14A至图14C是说明半导体装置的结构例子的截面图。

[0040] 图15是说明半导体装置的结构例子的截面图。

[0041] 图16是说明存储装置的结构例子的截面图。

[0042] 图17A是说明存储装置的结构例子的图。图17B是说明存储装置的等效电路的图。

[0043] 图18是说明存储装置的结构例子的图。

[0044] 图19A是说明存储装置的结构例子的图。图19B是说明存储装置的等效电路的图。

[0045] 图20是说明半导体装置的结构例子的截面示意图。

[0046] 图21A至图21C是示出半导体装置中的晶体管的结构例子的平面图,图21D是示出半导体装置中的晶体管的结构例子的截面图。

[0047] 图22A是示出半导体装置中的晶体管的结构例子的平面图,图22B是示出半导体装置中的晶体管的结构例子的截面图。

[0048] 图23A及图23B是示出电子构件的一个例子的图。

[0049] 图24A及图24B是示出电子设备的一个例子的图,图24C至图24E是示出大型计算机的一个例子的图。

[0050] 图25是示出太空设备的一个例子的图。

[0051] 图26是示出可应用于数据中心的存储系统的一个例子的图。

[0052] 实施发明的方式

[0053] 下面,参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0054] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于上述尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。

[0055] 另外,在本说明书等中,在没有特别的说明的情况下,关态电流是指晶体管处于关闭状态(也称为非导通状态、遮断状态)时的漏极电流。在没有特别的说明的情况下,在n沟道晶体管中,关闭状态是指栅极与源极间的电压 $V_{gs}$ 低于阈值电压 $V_{th}$ (p沟道型晶体管中 $V_{gs}$ 高于 $V_{th}$ )的状态。

[0056] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,OS晶体管可以是指包含金属氧化物或氧化物半导体的晶体管。

[0057] (实施方式1)

[0058] 在本发明的一个方式中说明的半导体装置被用作运算装置、存储装置等通过总线进行数据的输入输出的SoC(System on Chip)。

[0059] 图1A是示意性地示出用来说明本发明的一个方式的半导体装置100的方框图。半导体装置100包括存储装置10、总线200及运算装置300。此外,图1B是说明存储装置10的结构示意图。

[0060] 注意,为了说明各构成要素的配置,有时在本说明书及附图等中设定X方向、Y方向及Z方向。例如,在图1B所示的示意图中,为了说明构成存储装置10的各构成要素的配置,设定X方向、Y方向及Z方向。X方向、Y方向及Z方向各自互相垂直或大致垂直。

[0061] 此外,在图1B所示的示意图中,为了容易理解构成存储装置10的各构成要素的配置,分开示出各构成要素。同一个层中设置的各构成要素优选在相同工序中形成,但不局限于此。例如,也可以使用贴合技术等将在不同工序中分别形成的构成要素一体化。

[0062] 存储装置10包括元件层20及元件层30。在存储装置10中在元件层20上层叠地设置元件层30。元件层20及元件层30为包括晶体管等的元件的层。通过包括晶体管等元件,存储装置10可以在各元件层中设置具有不同功能的电路。

[0063] 元件层20包括在具有沟道形成区域的半导体层中包含硅的晶体管(Si晶体管)。元件层20为在包含硅的衬底上设置的元件层。元件层20有时称为基础裸片或裸片。

[0064] 作为Si晶体管,尤其是,通过使用单晶硅或多晶硅等结晶性高的硅,可以实现高场效应迁移率,能够进行更高速度的工作,所以是优选的。

[0065] 元件层30包括在具有沟道形成区域的半导体层中包含氧化物半导体的晶体管(OS晶体管)。包括OS晶体管的元件层30可以在包括Si晶体管的元件层20上层叠地设置。此外,元件层30有时称为裸片。在图1A及图1B所示的存储装置10中,示出元件层30层叠设置在元件层20上的情况。通过将元件层30设置在元件层20上,可以提高单位面积的晶体管密度。

[0066] 用于OS晶体管的金属氧化物,例如可以举出铟氧化物、镓氧化物及锌氧化物。另外,金属氧化物优选包含选自铟、元素M和锌中的二或三种。元素M是选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、锆、钼、镧、铈、钆、铪及镁中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。

[0067] 尤其是,作为金属氧化物优选使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物(也记作IGZO)。或者,优选使用包含铟、锡及锌的氧化物(也记作ITZO)。或者,优选使用包含铟、镓、锡及锌的氧化物。或者,优选使用包含铟(In)、铝(Al)及锌(Zn)的氧化物(也记作IAZO)。或者,优选使用包含铟(In)、铝(Al)、镓(Ga)及锌(Zn)的氧化物(也记作IAGZO)。或者,优选使用包含铟(In)、镓(Ga)、锌(Zn)及锡(Sn)的氧化物(也记作IGZTO)。

[0068] 另外,用于OS晶体管的金属氧化物也可以包括组成互不相同的两层以上的金属氧化物层。例如,可以适当地使用具有In:M:Zn=1:3:4[原子个数比]或其附近的组成的第一

金属氧化物层与设置在该第一金属氧化物层上的具有In:M:Zn=1:1:1[原子个数比]或其附近的组成的第二金属氧化物层的叠层结构。

[0069] 另外,例如,也可以使用选自铟氧化物、铟镓氧化物和IGZO中的任一个与选自IAZO、IAGZO及ITZO中的任一个的叠层结构等。

[0070] 此外,用于OS晶体管的金属氧化物优选具有结晶性。作为具有结晶性的氧化物半导体,可以举出CAAC(c-axis-aligned crystalline)-OS、nc(nanocrystalline)-OS等。通过使用具有结晶性的氧化物半导体,可以提供可靠性高的半导体装置。

[0071] 在存储装置10中,元件层20及元件层30或者设置在元件层20及元件层30中的电路称为存储块阵列60。存储块阵列60包括多个存储块61。存储块61包括具有多个存储单元32的单元阵列31及读出存储单元32所保持的数据的读出电路23。存储块61由一组单元阵列31及读出电路23构成。

[0072] 存储块61具有单元阵列31及读出电路23以彼此重叠的方式设置的结构。注意,在将单元阵列31称为局部单元阵列时,有时将由多个单元阵列31构成的单元阵列整体称为存储单元阵列。

[0073] 存储单元32例如优选采用为包括OS晶体管的存储电路(有时也称为“OS存储器”)的DOSRAM。DOSRAM(注册商标)是“Dynamic Oxide Semiconductor Random Access Memory:动态氧化物半导体随机存取存储器”的简称。DOSRAM是包括1T(晶体管)1C(电容)型存储单元的RAM。DOSRAM是使用OS晶体管形成的DRAM,DOSRAM是暂时储存从外部发来的信息的存储器。DOSRAM是利用OS晶体管的关态电流低这一特性的存储器。

[0074] OS晶体管在关闭状态下源极与漏极间流过的电流,即关态电流极小。在DOSRAM中,通过关闭存取晶体管(使其处于非导通状态),可以长时间保持根据保持在电容(电容器)(有时也称为“单元电容”)中的数据的数据的电荷。因此,与使用Si晶体管构成的DRAM相比,DOSRAM的刷新工作的频率可以更低。其结果是,可以实现低功耗化。此外,与由Si晶体管构成的SRAM相比,DOSRAM可以为在更小的占有面积储存1位数据的存储单元。

[0075] 加上,包括OS晶体管的存储单元32中单元阵列31及读出电路23可以以彼此重叠的方式设置,因此可以缩短单元阵列31与读出电路23之间的距离。由此,可以抑制布线间的充放电所需的功耗。此外,通过采用在成为存储块61的每个区域中设置单元阵列31的结构,可以减少电连接于位线的存储单元32的个数。由此,除了缩短单元阵列31与读出电路23之间的距离以外还可以减少存储单元32的个数,从而可以减小位线附带的电容(也称为位线电容或负载电容)。通过减小位线电容,存储单元32中的电容可以设计得很小。

[0076] 注意,虽然本实施方式中以DOSRAM为例对可用于存储单元32的结构进行了说明,但也可以采用可在元件层20上层叠地形成单元阵列的其他结构。例如,也可以采用为包括OS晶体管的存储电路的NOSRAM。NOSRAM(注册商标)是“Nonvolatile Oxide Semiconductor Random Access Memory(RAM)”的简称。NOSRAM的存储单元为双晶体管型(2T)或三晶体管型(3T)增益单元。

[0077] 另外,优选存储单元32所包括的晶体管都为OS晶体管。OS晶体管在关闭状态下源极与漏极间流过的电流(即,关态电流)极小。NOSRAM可以通过利用关态电流极小这一特性将对应于数据的电荷保持在存储单元32内而被用作非易失性存储器。尤其是,NOSRAM能够以不破坏所保持的数据的方式进行读出(非破坏读出),因此适用于仅大量反复进行数据读

出工作的运算处理。

[0078] 读出电路23包括预充电电路21及读出放大器22。单元阵列31与读出电路23通过以位线BL及反转位线BLB为一对的位线对电连接。位线BL及反转位线BLB有时简单地被称为布线。注意,位线对是指由读出放大器22同时比较的位线与反转位线的组合,有时表示为位线对(BL, BLB)。注意,读出放大器22有时是指局部读出放大器。在此情况下,有时将由多个读出放大器22构成的整体称为读出放大器阵列。

[0079] 读出电路23与一个位线对电连接。读出电路23除了对位线对进行预充电的功能之外还具有平衡化(均等化)的功能。

[0080] 读出放大器22与一个位线对电连接。读出放大器22具有放大位线对(BL, BLB)的电位差的功能。图1B中,使存储块61所包括的读出放大器22与存储单元32连接的位线对(BL, BLB)被引导单元阵列31和读出电路23的双方。在此情况下,在相邻的单元阵列间不引导位线对,而可以具有通过由读出放大器22与存储单元32之间设置的导电体构成的通孔电连接的结构。也就是说,读出电路23内的位线与单元阵列31内的位线对(BL, BLB)电连接。

[0081] 此外,存储装置10包括控制电路40及输入输出电路50。注意,省略图示,存储装置10包括驱动单元阵列31及读出电路23的译码器等驱动电路。

[0082] 输入输出电路50具有进行与总线200等外部设备的信号传递的功能。输入输出电路50包括多个接口电路。作为接口电路有I2C、LVDS(Low-Voltage Differential Signaling:低压差分信号)、MIPI(Mobile Industry Processor Interface:移动产业处理器接口)及SPI(Serial Peripheral Interface:串行外设接口)等。输入输出电路50具有通过接口电路进行总线200等外部设备与存储装置10之间的信号传递的功能。

[0083] 控制电路40具有处理设定参数及来自外部的指令信号并决定存储装置10的工作模式的功能。控制电路40具有生成各种控制信号来控制存储装置10整体的工作的功能。注意,存储装置10所包括的控制电路40及输入输出电路50可以使用元件层20或元件层30所包括的晶体管及布线形成。

[0084] 运算装置300包括运算部310及输入输出电路309。运算装置300具有如CPU(Central Processing Unit:中央处理器)或GPU(Graphics Processing Unit:图形处理器)那样进行操作系统的执行、数据的控制、各种运算及程序的执行等通用处理的功能。与输入输出电路50同样地,输入输出电路309包括接口电路且具有通过该接口电路进行与总线200等外部设备的信号传递的功能。运算部310具有根据输入的数据进行运算的功能。运算部310有时被称为CPU核心。

[0085] 使用上述图1A及图1B说明的存储装置10所包括的多个存储块61各自包括单元阵列31及读出电路23。由此,通过使多个存储块61同时工作,可以从对应的读出电路23读出多个单元阵列31的存储单元32所保持的数据。也就是说,在存储装置10中,可以根据存储块61的并列数将各存储单元32中所保持的数据读出到总线200。例如,在从一个存储块61所包括的单元阵列31读出8位数据时,通过从八个存储块并列地读出数据,可以读出64位的位宽的数据。

[0086] 在图2A所示的示意图中,示出在存储装置10所包括的存储块61(61\_1至61\_8)中将8位数据输出到具有64位的位宽的总线200的情况。

[0087] 8位数据从多个存储块61并列地读出。例如,如图2B所示,根据读出信号R\_EN,通过

从存储块61\_1至61\_8并列地读出8位(8bit)数据,可以输出到具有64位的位宽的数据的总线200。由此,在与通过输入输出电路50的接口的数据的读出工作相比从存储单元32的数据读出速度低的情况下,也可以通过增加存储块61的并列数而增大被读出的数据的位宽。

[0088] 此外,使用图3A及图3B所示的示意图对与图2A及图2B不同的结构进行说明。

[0089] 在图3A所示的示意图中,示出在存储装置10所包括的存储块61(61\_1至61\_8)中将64位数据输出到具有64位的位宽的总线200的情况。

[0090] 超过64位的位宽的数据不能一次输出到具有64位的位宽的总线200。由此,优选从多个存储块61依次读出。例如,如图3B所示,根据读出信号R\_EN从存储块61\_1至61\_8依次读出64位(64bit)数据,从而可以输出对应具有64位的位宽的总线200的数据。此外,可以减少连接于总线200的存储块61的个数,因此可以减少总线200的寄生电容。

[0091] 多个存储块61输出的数据的位宽优选根据总线200的位宽可变。例如,一个存储块61输出8位的倍数(1字节的倍数)的位宽的数据,使根据存储块61的并列数输出的数据的位宽可变。在此情况下,从存储装置10读出的数据可以输出对应8位的倍数的8位、16位、32位、64位、128位、256位、512位、1024位或2048位等运算装置300能够进行处理的规格的位宽的数据。即,可以用于64位、128位等通用的DRAM的用途或高带宽存储器(HBM:High Bandwidth Memory)等的用途等。

[0092] 存储装置10与运算装置300电连接的总线200的总线宽度根据规格等而决定,通过接口电路等高速地进行数据的输入输出。从多个存储块61读出的数据的位宽优选根据总线200的位宽设定。

[0093] 在通过增大存储块61的并列数可以输出位宽大的数据的过程中,优选更高速地进行通过总线200的存储装置10与运算装置300之间的数据的输出。例如,如图4A所示,优选具有增大存储装置10所包括的输入输出电路50的个数的结构以及增大运算装置300所包括的输入输出电路309及运算部310的个数的结构。通过采用配置多个输入输出电路50及输入输出电路309的结构,可以配置多个输入输出数据的接口电路,可以增大传送数据的数据量。此外,通过增加运算部310,可以更高速地进行增大数据量时的运算处理。其结果是,可以高速地进行在存储装置10与运算装置300之间的数据的输入输出。

[0094] 此外,在存储块61中,当根据总线200的位宽输出数据时,优选提高单位面积的存储密度。例如,如图4A及图4B所示的方框图及立体图那样,优选的是,元件层30为元件层30\_1至30\_n(n为2以上的整数)而层叠地设置由0S晶体管构成的单元阵列31。在此情况下,包括存储块61的存储块阵列60由元件层20及元件层30\_1至30\_n构成。

[0095] 通过层叠元件层30\_1至30\_n,即层叠配置元件层30,可以层叠设置单元阵列31。通过将层叠设置的元件层30配置在设置有元件层20的衬底表面的垂直方向(z方向)上,可以提高存储单元32的储存密度。此外,元件层30可以在垂直方向上反复使用相同的制造工序制造。存储装置10可以降低元件层30的制造成本。

[0096] 在图4A、图4B中,作为第一层的元件层30示出元件层30\_1,作为第二层的元件层30示出元件层30\_2,作为第三层的元件层30示出元件层30\_3。另外,将第n层的元件层30记作元件层30\_n。注意,在本实施方式等中,在说明与整个n层的元件层30有关的事项时,或者在示出在n层元件层30的各层中共通的事项时,有时仅记作“元件层30”。

[0097] 注意,在元件层30\_1至30\_n的层数增大时位线的负载电容也增大。在此情况下,优

选在包括读出放大器22的元件层20与包括存储单元32的元件层30之间有包括具有放大保持在存储单元32中的数据电位差并将其输出的功能的放大电路的元件层。

[0098] 作为一个例子,图5A示出包括设置在元件层20与层叠设置的元件层30\_1至30\_5之间的放大电路81的元件层80。与元件层30同样地,元件层80包括0S晶体管。放大电路81是由0S晶体管构成的电路。图5A示出延伸设置在X方向上的字线WL及延伸设置在Z方向上的位线BL。注意,为了使附图更易懂,省略元件层30的每一个所包括的布线的一部分的记载。

[0099] 图5B示出说明图5A所示的连接于位线BL(或反转位线BLB)的放大电路81及连接于位线BL的元件层30\_1至30\_5所包括的存储单元32的结构例子的示意图。此外,图5B示出设置在放大电路81与读出电路23之间的位线BL<sub>G</sub>。

[0100] 图5B示出存储单元32的电路结构的一个例子。图5B示出存储单元32包括晶体管33及电容器34的DOSRAM的结构例子。

[0101] 在图5B中省略图示,晶体管33优选为具有背栅极的0S晶体管。晶体管33的背栅极通过供应恒电压可以控制晶体管特性。晶体管33为设置在元件层30中的0S晶体管。元件层30可以在包括Si晶体管的元件层20上层叠,因此可以使单元阵列31与读出电路23层叠。

[0102] 电容器34具有保持对应数据的电荷的功能。注意,通过使用具有铁电材料的电容器,可以将存储单元32用作铁电存储器。例如,作为铁电材料可以使用HfZrO<sub>x</sub>。注意,“HfZrO<sub>x</sub>”的记载不是表示铪原子、锆原子及氧原子的化学计量的。

[0103] 此外,图5C示出说明放大电路81的电路图。如图5C所示,放大电路81包括晶体管82至85。放大电路81具有放大位线BL的电位而将其传送给位线BL<sub>G</sub>的功能。为了区别位线BL<sub>G</sub>与用作位线的其他布线,表示为位线BL<sub>G</sub>。信号WE、RE、MUX为用来控制放大电路81的控制信号。布线SL为供应恒电位的布线。

[0104] 图5A至图5C的结构包括元件层80,该元件层80包括具有放大保持在存储单元32中的数据电位并将其输出的功能的放大电路81。通过采用该结构,可以将读出数据时位线BL的微小的电位差放大而可以驱动元件层20所包括的读出放大器22。由于可以使读出放大器22等的电路小型化,所以可以实现存储装置10的小型化。此外,即使降低存储单元32所包括的电容器的电容也可以进行工作。

[0105] 图6是包括单元阵列31及读出电路23的存储块61的电路图的一个例子。在图6中,说明单元阵列31所包括的存储单元32的结构例子以及读出电路23所包括的预充电电路21及读出放大器22的结构例子。在图6所示的例子中,示出单元阵列31的各位线BL的存储单元数为8且对于全局位线对(GBL,GBLB)设置有位线对(BL,BLB)的例子。全局位线对相当于读出放大器22读出的数据被输出的布线对。

[0106] 存储单元32示出图5B所示的DOSRAM的结构例子。在图6中,示出字线WL<0>至WL<7>、位线BL<0>(或者反转位线BLB<0>)与存储单元32电连接的例子。关于符号,用来区别多个构成要素使用<1>等的符号,但是有时省略这些符号而进行说明。

[0107] 对读出电路23输入信号EQ、EQB、SEN、SENB、CSEL及电压V<sub>pre</sub>。信号EQB、SENB各自为信号EQ、SEN的反转信号。读出电路23所包括的晶体管为Si晶体管。由此,可以由n沟道型晶体管25<sub>n</sub>及p沟道型晶体管25<sub>p</sub>构成读出电路23所包括的晶体管。

[0108] 读出电路23包括预充电电路21(也称为均等化)、读出放大器22及选择器24。信号EQ、EQB是用来使预充电电路21处于活动状态的信号,信号SEN、SENB是用来使读出放大器22

处于活动状态的信号。信号CSEL为选择是否多个位线对中的任一个及全局位线对 (GBL, GBLB) 处于导通状态的信号。

[0109] 图6所示的读出电路23具有2单元宽度 (2TR) 型读出放大器22。2单元宽度型读出放大器是指位线对 (BL, BLB) 间的宽度 (间隔) 相当于大致两个存储单元的尺寸的读出放大器。注意, 存储单元32为1TR1C, 即, 一个晶体管的尺寸的宽度 (1TR)。也就是说, 重叠地设置读出放大器22与存储单元32时, 与读出电路23电连接的单元阵列31可以为连接于一对位线对 (BL, BLB) 的单元阵列31。在此情况下, 可以缩短在读出放大器22与存储单元32之间的位线对 (BL, BLB) 的长度。

[0110] 通过缩短位线对 (BL, BLB) 的长度, 可以减小位线电容。作为影响到读出性能的指标, 有位线电容 (Cbit) 与电容器34的电容 $C_s$ 的比率。 $C_s/C_{bit}$ 越大从存储单元32读出数据时得到的位线对 (BL, BLB) 的电压差也越大。因此,  $C_s/C_{bit}$ 越大, 越可以实现高速或稳定的读出工作。在具有相同读出性能的情况下, 通过减小位线电容Cbit, 可以减小电容器34的电容 $C_s$ 。由此, 在存储单元32为DOSRAM时及在电容器34的电容 $C_s$ 与位线电容Cbit相同时, 存储单元32具有与使用Si晶体管的现有的DRAM相比更优异的读出性能。

[0111] 在存储单元32为DOSRAM时, 0S晶体管具有极小关态电流, 即使小于DRAM的电容 $C_s$ 也具有与现有的DRAM相比更优异的保持特征。由此, 在存储单元32为DOSRAM时, 可以使存储单元的电容器的电容值小于DRAM的电容器的电容值, 所以是优选的。

[0112] 在图6的电路图中, 示出被读出电路23及单元阵列31引导位线对 (BL, BLB), 如图7A所示, 通过层叠读出电路23及单元阵列31, 位线对 (BL, BLB) 的引线部可以设置只在设置单元阵列31的区域内。注意, 在图7A中, 示出在设置有存储单元32的面上字线<0>至WL<7>与位线对 (BL, BLB) 正交地配置, 但是也可以彼此倾斜地配置。此时, 设置有存储单元32的区域也对位线对 (BL, BLB) 倾斜地配置, 即可。

[0113] 注意, 在图7A中示出以存储块61中的存储单元32与读出放大器22之间的位线对 (BL, BLB) 的引导部分为一个部分, 但是也可以采用其他结构。例如, 如图7B所示, 也可以由多个布线电连接在与存储单元32相同的层中的位线对 (BL, BLB) 和在与读出放大器22相同的层中的位线对 (BL, BLB) 的结构。

[0114] 相邻的单元阵列31\_A、31\_B及读出电路23\_A、23\_B可以以图8A所示的方式配置。注意, 图8A示出单元阵列31\_A的各存储单元32\_A连接于字线<0>至WL<7>及位线对 (BL\_A, BLB\_A) 的结构。同样地, 图8A示出单元阵列31\_B的各存储单元32\_B连接于字线<8>至WL<15>及位线对 (BL\_B, BLB\_B) 的结构。

[0115] 在具有图8A的结构时, 为了使各位线对 (BL, BLB) 负载的位线电容 (负载电容) 为相同程度, 连接到相同字线的存储单元32优选为一个。由此, 在字线与位线对以彼此正交或倾斜的方式配置的结构中, 可采用存储单元32配置为之字形状且在相邻的区域不配置存储单元32的结构。由此, 更优选的结构是, 即使由字线同时选择多个存储单元, 也使各位线对 (BL, BLB) 负载的位线电容 (负载电容) 为相同程度。

[0116] 例如, 如图8B所示, 优选设置有布线层70\_A、70\_B。在图8B中, 在字线与位线对彼此正交或倾斜的每个位置配置存储单元32。图8B示出在相邻的存储块中在与存储单元32相同的层中的位线对 (BL1\_A, BL2\_A) 及位线 (BL1\_B, BL2\_B)。在布线层70\_A、70\_B中连接位线BL2\_A与反转位线BLB\_B。在布线层70\_A、70\_B中连接位线BL1\_B与位线BL\_A。在布线层70\_A、

70\_B中连接位线BL2\_B与位线BL\_B。

[0117] 通过采用该结构,被字线<0>至WL<7>中的任一个选择的单元阵列31\_A所包括的存储单元32\_A的数据可以分为读出放大器22\_A与读出放大器22\_B而输出。同样地,被字线<8>至WL<15>中的任一个选择的单元阵列31\_B所包括的存储单元32\_B的数据可以分为读出放大器22\_A与读出放大器22\_B而输出。在读出放大器22\_A及读出放大器22\_B中,由于布线层70\_A、70\_B可以使位线对(BL\_A,BLB\_A)的负载电容与位线对(BL\_B,BLB\_B)的负载电容为相同程度。由此,可以在将位线对(BL,BLB)的负载电容设为近于相同的值的同时提高每个面积的存储单元的密度。

[0118] 图9是说明存储装置10的更详细的结构例子的方框图。

[0119] 在图9示出的存储装置10中,示出图1A等所说明的输入输出电路50、控制电路40及存储块阵列60。

[0120] 此外,在图9中,作为一个例子,示出接口电路的I2C接收器41、LVDS电路43、LVDS电路44。注意,在此示出接口电路为与输入输出电路50不同的结构,但是也可以为输入输出电路50的一部分的结构。

[0121] 此外,在图9中,作为一个例子,示出设定寄存器42及译码器35。此外,在图9所示的存储块阵列60中,示出多个存储块61。如上所述,存储块61各自包括设置在元件层20中的单元阵列31及设置在元件层30中的读出电路23。此外,控制电路40包括寄存器45及寄存器46。

[0122] 输入输出电路50具有进行与外部设备的信号传递的功能。存储装置10的工作条件等根据储存在设定寄存器42中的设定参数决定。设定参数通过输入输出电路50及I2C接收器41被写入设定寄存器42。注意,也可以根据目的或用途等省略I2C接收器41。

[0123] 作为设定参数的一个例子,有刷新工作的执行间隔或电路工作的工作时序等的指定信息等。控制电路40具有处理设定参数及来自外部的指令信号并决定存储装置10的工作模式的功能。控制电路40具有生成各种控制信号来控制存储装置10整体的工作的功能。

[0124] 此外,复位信号res、地址信号ADDR、行地址选通信号RAS(Row Address Strobe)、列地址选通信号CAS(Column Address Strobe)以及写入数据WDATA等从外部通过输入输出电路50供应到控制电路40。数据写入用时钟信号通过LVDS电路43供应到控制电路40。

[0125] 此外,读出数据RDATA从控制电路40供应到输入输出电路50。数据读出用时钟信号通过LVDS电路44供应到输入输出电路50。

[0126] 写入数据WDATA是与数据写入用时钟信号同步传送的并被保持在控制电路40内的寄存器46中。控制电路40具有将保持在寄存器46的数据W供应到存储块阵列60的功能。

[0127] 此外,将从存储块阵列60读出的数据R作为读出数据RDATA保持在控制电路40内的寄存器45中。控制电路40具有将读出数据RDATA与数据读出用时钟信号同步传送到输入输出电路50的功能。

[0128] 此外,控制电路40具有输出列地址信号C\_ADDR、列选择使能信号CSEL\_EN、数据锁存信号DLAT、全局写入使能信号GW\_EN、全局读出使能信号GR\_EN、全局读出放大器使能信号GSA\_EN、全局均衡使能信号GEQ\_ENB、局部读出放大器使能信号LSA\_EN、局部均衡使能信号LEQ\_ENB以及字线地址选择信号WL\_ADDR等的功能。

[0129] 列地址信号C\_ADDR及列选择使能信号CSEL\_EN供应到译码器35。

[0130] 图10A至图10E是说明可用于上述存储单元32的包括OS晶体管的存储单元的结构

例子的电路图。作为包括OS晶体管的存储单元的结构的一个例子,如上所述那样可以举出DOSRAM或NOSRAM。

[0131] 图10A示出可用于存储单元32的1T1C(电容)型DOSRAM的存储单元的例子。图10A所示的存储单元32与字线WL、位线BL、电容线CDL、用作供应背栅极电压的布线的布线BGL连接。存储单元32包括晶体管33、电容元件34。晶体管33的背栅极与布线BGL连接。

[0132] 晶体管33是OS晶体管。OS晶体管的关态电流极小。因此,存储单元32可以降低数据的刷新频率。由此,可以降低数据保持所需的功耗。

[0133] 图10B示出可用于存储单元32的两个晶体管型(2T)增益单元的NOSRAM的存储单元的例子。图10B所示的存储单元32A包括晶体管33A、33B、电容元件34。此外,NOSRAM的存储单元所包括的电容元件34可以利用晶体管的栅极电容等的寄生电容而省略。晶体管33A为写入晶体管,晶体管33B为读出晶体管。晶体管33A、33B的背栅极与布线BGL连接。

[0134] 由于由OS晶体管构成写入晶体管,所以通过使写入晶体管关闭,可以继续保持对应数据的电荷。因此,存储单元32A在保持数据时不消耗功率。因此,存储单元32A可以被用作能够长期间保持数据的低功耗存储单元。

[0135] 参照图10C至图10E说明可用于NOSRAM的存储单元的其他结构例子。

[0136] 图10C所示的存储单元32B为3T型增益单元,并包括晶体管33A、33B、33C及电容元件34。晶体管33A、33B、33C分别为写入晶体管、读出晶体管、选择晶体管。晶体管33A、33B、33C的背栅极与布线BGL电连接。存储单元32B与字线RWL、WWL、位线RBL、WBL、电容线CDL、电源线PL2电连接。例如,电容线CDL、电源线PL2被输入电压GND(低电平一侧电源电压)。

[0137] 图10D示出2T型增益单元的其他结构例子。图10D所示的存储单元32C与图10B所示的存储单元32A的不同之处在于读出晶体管由不包括背栅极的OS晶体管构成。

[0138] 图10E示出3T型增益单元的其他结构例子。图10E所示的存储单元32D与图10B所示的存储单元32A的不同之处在于读出晶体管、选择晶体管由不包括背栅极的OS晶体管构成。

[0139] 在上述增益单元中,也可以设置兼用作布线RBL、布线WBL的位线。

[0140] 在存储单元32为DOSRAM、NOSRAM时,可以对与存取晶体管的晶体管(图10A至图10E的晶体管33、33A)的栅极连接的布线(图10A至图10E的字线WL、WWL)施加该晶体管成为关闭的电压且使其他部分成为电源门控。通过采用该结构,可以在存储单元32储存有数据的状态下停止电源电压的供应。

[0141] 图11A、图11B是说明将上述存储装置10用于集成电路(也称为IC芯片)的结构示意图。通过存储装置10将多个元件层安装在封装衬底上,可以成为一个IC芯片。图11A、图11B示出其结构的一个例子。

[0142] 图11A所示的IC芯片11A的截面示意图示出在封装衬底101上包括基础裸片的元件层20,作为一个例子示出四层元件层30\_1至30\_4层叠在元件层20上的存储装置10。封装衬底101上设置有存储装置10与印刷电路板等连接的焊球102。在元件层30\_1至30\_4中,以穿过各元件层的方式设置贯通电极54。元件层30\_1至30\_4彼此使用以在表面露出的方式设置的电极56而贴合。作为使用电极56将不同的层电接合的技术,可以利用Cu-Cu接合。Cu-Cu接合是通过使Cu(铜)的焊盘彼此连接而使其电导通的技术。

[0143] 如图11A所示,在以三维方式层叠多个元件层30\_1至30\_4的情况下,各元件层利用TSV(Through Silicon Via:硅通孔)等利用贯通电极的技术或Cu-Cu直接接合技术等彼此

电连接。通过采用上述结构,对各元件层供应的信号等可以被各元件层内部的布线分配。此外,通过将可以用作主要存储器的存储装置换为使用0S晶体管的存储器,可以实现利用0S晶体管的关态电流极低的特性的低功耗化。

[0144] 作为另外的例子,图11B所示的IC芯片11B的截面示意图示出在封装衬底101上包括基础裸片的元件层20,作为一个例子示出四层元件层30\_1至30\_4层叠在元件层20上的存储装置10。用来电连接元件层20与元件层30\_1至30\_4的电极58可以在制造Si晶体管的晶体管59或0S晶体管的晶体管57的工序中设置。

[0145] 图11B所示的IC芯片11B的截面示意图可以为在包括晶体管59的元件层20与包括晶体管57的元件层30\_1至30\_4之间的连接不利用使用TSV等贯通电极的技术或Cu-Cu直接接合技术的单片结构。元件层20上的元件层30\_1至30\_4可以具有将与元件层30\_1至30\_4所包括的晶体管57一起设置的布线用作连接上层或下层的元件层的电极58的结构。

[0146] 与晶体管57一起设置的布线的间隔与在TSV或Cu-Cu直接接合技术中使用的贯通电极相比能够进行微型加工。因此,在图11B所示的IC芯片11B的结构中,可以增加用来连接上层或下层的元件层的电极的个数。因此,可以增加设置在元件层30\_1至30\_4中的包括存储单元的单元阵列31与设置在元件层20中的读出电路23间的布线数(信号线数)。因此,可以增大元件层20与元件层30之间进行发送及接收的信号的传输量(带宽)。通过增大带宽,可以增加单位时间的单元阵列31与读出电路23间的数据传输量。

[0147] 作为另外的例子,图12示出与图11B所示的IC芯片11B不同的功能电路,即例如使运算装置300为一体的IC芯片11C的示意图。在图12所示的结构中,通过不同的工序分别制造运算装置300及存储装置10,然后配置在一个封装衬底101上。

[0148] 在封装衬底101上设置有插板103,在该插板103上设置有使IC芯片11B所包括的存储装置10与运算装置300电连接的布线。设置在插板103中的布线可以被用作总线200。在插板103上除了存储装置10以外,还示出构成运算装置300的元件层20及元件层30。元件层20及元件层30包括Si晶体管的晶体管59或0S晶体管的晶体管57。

[0149] 在图12所示的IC芯片11C的示意图中,作为运算装置300的结构例子可以具有在包括晶体管59的元件层20与包括晶体管57的元件层30之间的连接使用TSV等贯通电极的技术或Cu-Cu直接接合技术或图11B所示的单片结构。

[0150] 此外,作为图12所示的运算装置300的结构例子,在元件层30包括保持数据的包括0S晶体管的电路的情况下,将其用作备份元件层20所包括的寄存器等的数据的备份电路。在此情况下,通过使元件层30所包括的0S晶体管处于施加将其处于关闭的电压的状态,可以将该电路用作备份电路。由此,可以对元件层20所包括的各电路进行电源门控。通过采用该结构,可以在运算装置300保持有数据的状态下停止电源电压的供应。

[0151] 本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0152] (实施方式2)

[0153] 在本实施方式中,说明可应用于上述实施方式所说明的半导体装置的晶体管结构。作为一个例子,说明层叠具有不同的电特性的晶体管的结构。通过采用该结构,可以提高半导体装置的设计自由度。此外,通过层叠具有不同的电特性的晶体管,可以提高半导体装置的集成度。

[0154] 图13示出半导体装置的部分截面结构。图13所示的半导体装置包括晶体管550、晶

晶体管500及电容600。图14A是晶体管500的沟道长度方向上的截面图,图14B是晶体管500的沟道宽度方向上的截面图,图14C是晶体管550的沟道宽度方向上的截面图。例如,晶体管500相当于上述实施方式所示的Si晶体管,晶体管550相当于OS晶体管。

[0155] 在图13中,晶体管500设置在晶体管550的上方,电容600设置在晶体管550及晶体管500的上方。

[0156] 晶体管550设置在衬底311上,并包括导电体316、绝缘体315、由衬底311的一部分构成的半导体区域313以及用作源区域或漏区域的低电阻区域314a及低电阻区域314b。

[0157] 如图14C所示,在晶体管550中,导电体316隔着绝缘体315覆盖半导体区域313的顶面及沟道宽度方向的侧面。如此,通过使晶体管550具有Fin型结构,实效沟道宽度增加,从而可以提高晶体管550的通态特性。此外,由于可以增强栅电极的电场的作用,所以可以提高晶体管550的关态特性。

[0158] 此外,晶体管550既可为p沟道晶体管又可为n沟道晶体管。

[0159] 半导体区域313的沟道形成区域或其附近的区域、用作源区域或漏区域的低电阻区域314a及低电阻区域314b等优选包含硅类半导体等半导体,更优选包含单晶硅。此外,也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等的材料形成。可以使用使晶格受到应力,以改变晶面间距来控制有效质量的硅。此外,晶体管550也可以是使用GaAs和GaAlAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0160] 在低电阻区域314a及低电阻区域314b中,除了应用于半导体区域313的半导体材料之外,还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0161] 作为用作栅电极的导电体316,可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。

[0162] 此外,由于导电体的材料决定功函数,所以通过选择导电体的材料,可以调整晶体管的阈值电压。具体而言,作为导电体优选使用氮化钛或氮化钽等材料。为了兼具导电性和嵌入性,作为导电体优选使用钨或铝等金属材料的叠层,尤其在耐热性方面优选使用钨。

[0163] 此外,晶体管550也可以使用SOI(Silicon on Insulator:绝缘体上硅)衬底等形成。

[0164] 此外,作为SOI衬底可以使用:通过在对镜面抛光薄片注入氧离子之后进行高温加热,在离表面有一定深度的区域中形成氧化层,并消除产生在表面层中的缺陷而形成的SIMOX(Separation by Implanted Oxygen:注入氧隔离)衬底;利用通过注入氢离子而形成的微小空隙经过加热处理成长而使半导体衬底劈开的智能剥离法或ELTRAN法(注册商标:Epitaxial Layer Transfer:外延层转移)等形成的SOI衬底。使用单晶衬底形成的晶体管在沟道形成区域中包括单晶半导体。

[0165] 以覆盖晶体管550的方式依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。

[0166] 作为绝缘体320、绝缘体322、绝缘体324及绝缘体326,例如可以使用氧化硅、氮氧化硅、氮化硅、氧化铝、氮氧化铝、氮氧化铝及氮化铝等。

[0167] 注意,在本说明书中,氮氧化硅是指在其组成中氧含量多于氮含量的材料,而氮化硅是指在其组成中氮含量多于氧含量的材料。注意,在本说明书中,氮氧化铝是指氧含量

多于氮含量的材料,“氮氧化铝”是指氮含量多于氧含量的材料。

[0168] 绝缘体322也可以被用作用来使因设置在其下方的晶体管550等而产生的台阶平坦化的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用化学机械抛光(CMP:Chemical Mechanical Polishing)法等的平坦化处理被平坦化。

[0169] 作为绝缘体324,优选使用能够防止氢、杂质等从衬底311或晶体管550等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0170] 作为对氢具有阻挡性的膜的一个例子,例如可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管500与晶体管550之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0171] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等测量。例如,在TDS分析中的膜表面温度为50°C至500°C的范围内,当将换算为氢原子的脱离量换算为绝缘体324的单位面积的量时,绝缘体324中的氢的脱离量为 $1 \times 10^{16}$ atoms/cm<sup>2</sup>以下,优选为 $5 \times 10^{15}$ atoms/cm<sup>2</sup>以下,即可。

[0172] 注意,绝缘体326的介电常数优选比绝缘体324低。例如,绝缘体326的相对介电常数优选低于4,更优选低于3。例如,绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下,更优选为0.6倍以下。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0173] 此外,在绝缘体320、绝缘体322、绝缘体324及绝缘体326中嵌入与电容600或晶体管500连接的导电体328、导电体330等。此外,导电体328及导电体330具有插头或布线的功能。注意,有时使用同一符号表示具有插头或布线的功能的多个导电体。此外,在本说明书等中,布线、与布线连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0174] 作为各插头及布线(导电体328、导电体330等)的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,优选使用钨。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料,可以降低布线电阻。

[0175] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图13中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管550连接的插头或布线的功能。此外,导电体356可以使用与导电体328及导电体330同样的材料。

[0176] 此外,与绝缘体324同样,绝缘体350例如优选使用对氢具有阻挡性的绝缘体。此外,导电体356优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体350所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0177] 注意,作为对氢具有阻挡性的导电体,例如优选使用氮化钽等。此外,通过层叠氮化钽和导电性高的钨,不但可以保持作为布线的导电性而且可以抑制氢从晶体管550扩散。此时,对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0178] 此外,也可以在绝缘体354及导电体356上设置布线层。例如,在图13中,依次层叠

有绝缘体360、绝缘体362及绝缘体364。此外,在绝缘体360、绝缘体362及绝缘体364中形成有导电体366。导电体366具有插头或布线的功能。此外,导电体366可以使用与导电体328及导电体330同样的材料。

[0179] 此外,与绝缘体324同样,绝缘体360例如优选使用对氢具有阻挡性的绝缘体。此外,导电体366优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体360所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0180] 此外,也可以在绝缘体364及导电体366上设置布线层。例如,在图13中,依次层叠有绝缘体370、绝缘体372及绝缘体374。此外,在绝缘体370、绝缘体372及绝缘体374中形成有导电体376。导电体376具有插头或布线的功能。此外,导电体376可以使用与导电体328及导电体330同样的材料。

[0181] 此外,与绝缘体324同样,绝缘体370例如优选使用对氢具有阻挡性的绝缘体。此外,导电体376优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体370所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0182] 此外,也可以在绝缘体374及导电体376上设置布线层。例如,在图13中,依次层叠有绝缘体380、绝缘体382及绝缘体384。此外,在绝缘体380、绝缘体382及绝缘体384中形成有导电体386。导电体386具有插头或布线的功能。此外,导电体386可以使用与导电体328及导电体330同样的材料。

[0183] 此外,与绝缘体324同样,绝缘体380例如优选使用对氢具有阻挡性的绝缘体。此外,导电体386优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体380所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0184] 在上面说明包括导电体356的布线层、包括导电体366的布线层、包括导电体376的布线层及包括导电体386的布线层,但是根据本实施方式的半导体装置不局限于此。与包括导电体356的布线层同样的布线层可以为三层以下,与包括导电体356的布线层同样的布线层可以为五层以上。

[0185] 在绝缘体384上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514及绝缘体516中的任一个,优选使用对氧、氢等具有阻挡性的物质。

[0186] 例如,作为绝缘体510及绝缘体514,优选使用防止氢、杂质等从衬底311或设置有晶体管550的区域等扩散到设置有晶体管500的区域的具有阻挡性的膜。因此,绝缘体510及绝缘体514可以使用与绝缘体324同样的材料。

[0187] 作为对氢具有阻挡性的膜的一个例子,可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管550与晶体管500之间设置抑制氢的扩散的膜。

[0188] 例如,作为对氢具有阻挡性的膜,绝缘体510及绝缘体514优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0189] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻

挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用于晶体管500的保护膜。

[0190] 例如,作为绝缘体512及绝缘体516,可以使用与绝缘体320同样的材料。此外,通过对上述绝缘体使用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体512及绝缘体516,可以使用氧化硅膜和氧氮化硅膜等。

[0191] 此外,在绝缘体510、绝缘体512、绝缘体514及绝缘体516中嵌入导电体518、构成晶体管500的导电体(例如,导电体503)等。此外,导电体518被用作与电容600或晶体管550连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料。

[0192] 尤其是,与绝缘体510及绝缘体514接触的区域导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构,可以利用对氧、氢及水具有阻挡性的层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0193] 在绝缘体516的上方设置有晶体管500。

[0194] 如图14A和图14B所示,晶体管500包括以嵌入绝缘体514及绝缘体516的方式配置的导电体503、配置在绝缘体516及导电体503上的绝缘体520、配置在绝缘体520上的绝缘体522、配置在绝缘体522上的绝缘体524、配置在绝缘体524上的氧化物530a、配置在氧化物530a上的氧化物530b、彼此分开地配置在氧化物530b上的导电体542a及导电体542b、配置在导电体542a及导电体542b上并以重叠于导电体542a和导电体542b之间的方式形成开口的绝缘体580、配置在开口的底面及侧面的绝缘体545以及配置在绝缘体545的形成面上的导电体560。

[0195] 此外,如图14A和图14B所示,优选在氧化物530a、氧化物530b、导电体542a及导电体542b与绝缘体580之间配置有绝缘体544。此外,如图14A和图14B所示,导电体560优选包括设置在绝缘体545内侧的导电体560a以及以嵌入导电体560a内侧的方式设置的导电体560b。此外,如图14A和图14B所示,优选在绝缘体580、导电体560及绝缘体545上配置有绝缘体574。

[0196] 注意,在本说明书等中,有时将氧化物530a及氧化物530b统称为氧化物530。

[0197] 在晶体管500中,在形成沟道的区域及其附近层叠有氧化物530a及氧化物530b的两层,但是本发明不局限于此。例如,可以具有氧化物530b的单层结构,也可以具有三层以上的叠层结构。

[0198] 此外,在晶体管500中,导电体560具有两层结构,但是本发明不局限于此。例如,导电体560也可以具有单层结构或三层以上的叠层结构。注意,图13及图14A所示的晶体管500的结构只是一个例子而不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0199] 在此,导电体560被用作晶体管的栅电极,导电体542a及导电体542b被用作源电极或漏电极。如上所述,导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。导电体560、导电体542a及导电体542b的配置根据绝缘体580的开口而自对准地被选择。换言之,在晶体管500中,可以在源电极与漏电极之间自对准地配置栅电极。由此,可以在不设置用于对准的余地的方式形成导电体560,所以可以实现晶体管500的占有面积的缩小。由此,可以实现半导体装置的微型化及高集成化。

[0200] 再者,导电体560自对准地形成在导电体542a与导电体542b之间的区域,所以导电体560不包括与导电体542a或导电体542b重叠的区域。由此,可以降低形成在导电体560与导电体542a及导电体542b之间的寄生电容。因此,可以提高晶体管500的开关速度,从而晶体管500可以具有高频率特性。

[0201] 导电体560有时被用作第一栅(也称为顶栅极)电极。导电体503有时被用作第二栅(也称为底栅极)电极。在此情况下,通过独立地改变供应到导电体503的电位而不使其与供应到导电体560的电位联动,可以控制晶体管500的阈值电压。尤其是,通过对导电体503供应负电位,可以使晶体管500的阈值电压超过0V来可以减小关态电流。因此,与不对导电体503施加负电位时相比,在对导电体503施加负电位的情况下,可以减小对导电体560施加的电位为0V时的漏极电流。

[0202] 导电体503以与氧化物530及导电体560重叠的方式配置。由此,在对导电体560及导电体503供应电位的情况下,从导电体560产生的电场和从导电体503产生的电场连接,可以覆盖形成在氧化物530中的沟道形成区域。

[0203] 在本说明书等中,由第一栅电极的电场电围绕沟道形成区域的晶体管的结构被称为surrounded channel (S-channel)结构。此外,本说明书等中公开的S-channel结构具有与Fin型结构及平面型结构不同的结构。另一方面,也可以将本说明书等中公开的S-channel结构看作Fin型结构之一种。在本说明书等中,Fin型结构是指以围绕沟道的至少两个面以上(具体而言,两个面、三个面或四个面等)的方式配置栅电极的结构。通过采用Fin型结构及S-channel结构,可以实现对短沟道效应的耐性得到提高的晶体管,换言之,可以实现不容易发生短沟道效应的晶体管。

[0204] 通过采用具有上述S-channel结构的晶体管,可以电围绕沟道形成区域。此外,S-channel结构因电围绕沟道形成区域而也可以说实质上与GAA(Gate All Around:全环绕栅极)结构或LGAA(Lateral Gate All Around:横向全环绕栅极)结构相等。通过使晶体管具有S-channel结构、GAA结构或LGAA结构,可以将形成在氧化物530与栅极绝缘体的界面或其附近的沟道形成区域设置在氧化物530的整个块体。因此,可以提高流过晶体管的电流密度,所以可以期待晶体管的通态电流或晶体管的场效应迁移率的提高。

[0205] 此外,导电体503具有与导电体518相同的结构,以与绝缘体514及绝缘体516的开口的内壁接触的方式形成有导电体503a,并且在其内侧形成有导电体503b。此外,在晶体管500中,层叠有导电体503a与导电体503b,但是本发明不局限于此。例如,导电体503可以具有单层结构,也可以具有三层以上的叠层结构。

[0206] 在此,作为导电体503a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,抑制杂质或氧的扩散的功能是指抑制上述杂质和上述氧中的任一个或全部的扩散的功能。

[0207] 例如,通过使导电体503a具有抑制氧的扩散的功能,可以抑制因导电体503b氧化而导致导电率的下降。

[0208] 此外,在导电体503还具有布线的功能的情况下,作为导电体503b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。此外,虽然在本实施方式中示出由导电体503a

及导电体503b的叠层构成的导电体503,但是导电体503也可以具有单层结构。

[0209] 绝缘体520、绝缘体522及绝缘体524被用作第二栅极绝缘膜。

[0210] 在此,与氧化物530接触的绝缘体524优选使用包含超过化学计量组成的氧的绝缘体。该氧通过加热容易从膜中释放。在本说明书等中,有时将通过加热释放的氧称为“过剩氧”。就是说,在绝缘体524中优选形成有包含过剩氧的区域(也称为“过剩氧区域”)。通过以与氧化物530接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物530中的氧空位( $V_o$ :oxygen vacancy),从而可以提高晶体管500的可靠性。此外,在氢进入氧化物530的氧空位中的情况下,有时该缺陷(以下,有时称为 $V_oH$ )被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。在本发明的一个方式中,优选尽量降低氧化物530中的 $V_oH$ 而成为高纯度本征或实质上高纯度本征。如此,为了得到这种 $V_oH$ 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时也称为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 $V_oH$ 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0211] 具体而言,作为具有过剩氧区域的绝缘体,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS(Thermal Desorption Spectroscopy:热脱附谱)分析中换算为氧原子的氧的脱离量为 $1.0 \times 10^{18}$ atoms/cm<sup>3</sup>以上,优选为 $1.0 \times 10^{19}$ atoms/cm<sup>3</sup>以上,更优选为 $2.0 \times 10^{19}$ atoms/cm<sup>3</sup>以上,或者 $3.0 \times 10^{20}$ atoms/cm<sup>3</sup>以上的氧化物膜。此外,进行上述TDS分析时的膜的表面温度优选在100°C以上且700°C以下,或者100°C以上且400°C以下的范围内。

[0212] 此外,也可以以使上述具有过剩氧区域的绝缘体和氧化物530彼此接触的方式进行加热处理、微波处理或RF处理中的任一个或多个处理。通过进行该处理,可以去除氧化物530中的水或氢。例如,在氧化物530中发生 $V_oH$ 键合被切断的反应,换言之,发生“ $V_oH \rightarrow V_o + H$ ”的反应而可以进行脱氢化。此时产生的氢的一部分有时与氧键合并从氧化物530或氧化物530附近的绝缘体被去除作为H<sub>2</sub>O。此外,氢的一部分有时被导电体542a及542b吸杂。

[0213] 此外,作为上述微波处理,例如优选使用包括产生高密度等离子体的电源的装置或包括对衬底一侧施加RF的电源的装置。例如,通过使用包含氧的气体及高密度等离子体,可以生成高密度的氧自由基,并且通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧自由基高效地导入氧化物530或氧化物530附近的绝缘体中。此外,在上述微波处理中,压力为133Pa以上,优选为200Pa以上,更优选为400Pa以上。此外,作为对进行微波处理的装置内导入的气体,例如使用氧及氩,并且氧流量比( $O_2 / (O_2 + Ar)$ )为50%以下,优选为10%以上且30%以下。

[0214] 此外,在晶体管500的制造工序中,优选在氧化物530的表面露出的状态下进行加热处理。该加热处理例如以100°C以上且450°C以下,更优选以350°C以上且400°C以下进行,即可。此外,加热处理在氮气体或惰性气体的气氛或包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,加热处理优选在氧气氛下进行。由此,可以对氧化物530供应氧来减少氧空位( $V_o$ )。此外,加热处理也可以在减压状态下进行。或者,也可以在氮气体

或惰性气体的气氛下进行加热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。或者,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理,然后在氮气体或惰性气体的气氛下连续进行加热处理。

[0215] 此外,通过对氧化物530进行加氧化处理,可以由被供应的氧填补氧化物530中的氧空位,换言之,可以促进“ $\text{Vo}+\text{O}\rightarrow\text{null}$ ”的反应。再者,通过使残留在氧化物530中的氢与被供应的氧起反应,可以去除该氢作为 $\text{H}_2\text{O}$ (脱水化)。由此,可以抑制残留在氧化物530中的氢与氧空位重新键合而形成 $\text{V}_0\text{H}$ 。

[0216] 当绝缘体524具有过剩氧区域时,绝缘体522优选具有抑制氧(例如,氧原子、氧分子等)的扩散的功能(不容易使上述氧透过)。

[0217] 当绝缘体522具有抑制氧、杂质等的扩散的功能时,氧化物530所包含的氧不扩散到绝缘体520一侧,所以是优选的。此外,可以抑制导电体503与绝缘体524或氧化物530等所包含的氧起反应。

[0218] 作为绝缘体522,例如优选使用包含氧化铝、氧化铪、含有铝及铪的氧化物(铝酸铪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶( $\text{SrTiO}_3$ )或( $\text{Ba,Sr})\text{TiO}_3$ (BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘膜的薄膜化,有时发生关态电流等问题。通过作为用作栅极绝缘膜的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0219] 尤其是,优选使用作为具有抑制杂质及氧等的扩散的功能(不容易使上述氧透过)的绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体522时,绝缘体522被用作抑制氧从氧化物530释放或氢等杂质从晶体管500的周围部进入氧化物530的层。

[0220] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铍、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外,也可以对上述绝缘体进行氮化处理。此外,还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0221] 绝缘体520优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,通过组合high-k材料的绝缘体与氧化硅或氧氮化硅,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体520。

[0222] 此外,在图14A和图14B的晶体管500中,作为由三层的叠层结构而成的第二栅极绝缘膜示出绝缘体520、绝缘体522及绝缘体524,但是第二栅极绝缘膜也可以具有单层结构、两层结构或四层以上的叠层结构。此时,不局限于采用由相同材料而成的叠层结构,也可以采用由不同材料而成的叠层结构。

[0223] 在晶体管500中,将起到氧化物半导体作用的金属氧化物用作包含沟道形成区域的氧化物530。

[0224] 用作氧化物半导体的金属氧化物可以使用溅射法形成,也可以使用ALD(Atomic Layer Deposition:原子层沉积)法形成。在其他实施方式中详细地说明用作氧化物半导体的金属氧化物。

[0225] 此外,作为在氧化物530中用作沟道形成区域的金属氧化物,优选使用其带隙为



近作为低电阻区域形成有区域543a及区域543b。此时,区域543a被用作源区域和漏区域中的一个,区域543b被用作源区域和漏区域中的另一个。此外,沟道形成区域形成在夹在区域543a和区域543b之间的区域中。

[0236] 通过以与氧化物530接触的方式设置上述导电体542a(导电体542b),区域543a(区域543b)的氧浓度有时降低。此外,在区域543a(区域543b)中有时形成含有包含在导电体542a(导电体542b)中的金属及氧化物530的成分的金属化合物层。在此情况下,区域543a(区域543b)的载流子浓度增加,区域543a(区域543b)成为低电阻区域。

[0237] 绝缘体544以覆盖导电体542a及导电体542b的方式设置,抑制导电体542a及导电体542b的氧化。此时,绝缘体544也可以以覆盖氧化物530的侧面且与绝缘体524接触的方式设置。

[0238] 作为绝缘体544,可以使用包含选自铅、铝、镓、铋、锗、钨、钛、钽、镍、锆、钼、镧或镁等中的一种或两种以上的金属氧化物。此外,作为绝缘体544也可以使用氮氧化硅或氮化硅等。

[0239] 尤其是,作为绝缘体544,优选使用作为包含铝和铅中的一方或双方的氧化物的绝缘体的氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)等。尤其是,铝酸铅的耐热性比氧化铅膜高。因此,在后面的工序的热处理中不容易晶化,所以是优选的。此外,在导电体542a及导电体542b由具有耐氧化性的材料或者吸收氧也其导电性不会显著降低的材料构成的情况下,不需要必须设置绝缘体544。根据所需要的晶体管特性,适当地设计即可。

[0240] 通过包括绝缘体544,可以抑制绝缘体580所包含的水、氢等杂质扩散到氧化物530b。此外,可以抑制绝缘体580所包含的过剩氧使导电体542a及542b氧化。

[0241] 绝缘体545被用作第一栅极绝缘膜。绝缘体545优选与上述绝缘体524同样地使用包含过剩的氧并通过加热而释放氧的绝缘体形成。

[0242] 具体而言,可以使用包含过剩氧的氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0243] 通过作为绝缘体545设置包含过剩氧的绝缘体,可以从绝缘体545对氧化物530b的沟道形成区域有效地供应氧。此外,与绝缘体524同样,优选降低绝缘体545中的水或氢等杂质的浓度。绝缘体545的厚度优选为1nm以上且20nm以下。

[0244] 此外,为了将绝缘体545所包含的过剩氧高效地供应到氧化物530,也可以在绝缘体545与导电体560之间设置金属氧化物。该金属氧化物优选抑制从绝缘体545到导电体560的氧扩散。通过设置抑制氧的扩散的金属氧化物,从绝缘体545到导电体560的过剩氧的扩散受到抑制。换言之,可以抑制供应到氧化物530的过剩氧量减少。此外,可以抑制因过剩氧导致的导电体560的氧化。作为该金属氧化物,可以使用可用于绝缘体544的材料。

[0245] 此外,与第二栅极绝缘膜同样,绝缘体545也可以具有叠层结构。由于当进行晶体管的微型化及高集成化时,有时栅极绝缘膜的薄膜化导致关态电流等问题,因此通过使用栅极绝缘膜的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0246] 在图14A及图14B中,用作第一栅电极的导电体560具有两层结构,但是也可以具有

单层结构或三层以上的叠层结构。

[0247] 作为导电体560a,优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子( $N_2O$ 、 $NO$ 、 $NO_2$ 等)、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。通过使导电体560a具有抑制氧的扩散的功能,可以抑制因绝缘体545所包含的氧导致导电体560b氧化而导电率下降。作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钇或氧化钇等。此外,作为导电体560a可以使用可应用于氧化物530的氧化物半导体。在此情况下,通过采用溅射法形成导电体560b,可以降低导电体560a的电阻值来使其成为导电体。其可以称为OC(Oxide Conductor)电极。

[0248] 作为导电体560b,优选使用以钨、铜或铝为主要成分的导电材料。由于导电体560b还被用作布线,所以优选使用导电性高的导电体。导电体560b也可以具有叠层结构,例如,可以采用钛或氮化钛和上述导电材料的叠层结构。

[0249] 绝缘体580优选隔着绝缘体544设置在导电体542a及导电体542b上。绝缘体580优选具有过剩氧区域。例如,绝缘体580优选包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。尤其是,氧化硅和具有空孔的氧化硅容易在后面的工序中形成过剩氧区域,所以是优选的。

[0250] 绝缘体580优选具有过剩氧区域。通过设置通过加热而释放氧的绝缘体580,可以将绝缘体580中的氧高效地供应到氧化物530。此外,优选降低绝缘体580中的水或氢等杂质的浓度。

[0251] 绝缘体580的开口以与导电体542a和导电体542b之间的区域重叠的方式形成。由此,导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。

[0252] 在进行半导体装置的微型化时,需要缩短栅极长度,但是需要防止导电体560的导电性的下降。为此,在增大导电体560的厚度的情况下,导电体560有可能具有纵横比高的形状。在本实施方式中,由于将导电体560以嵌入绝缘体580的开口的方式设置,所以即使导电体560具有纵横比高的形状,在工序中也不发生导电体560的倒塌。

[0253] 绝缘体574优选以与绝缘体580的顶面、导电体560的顶面及绝缘体545的顶面接触的方式设置。通过利用溅射法形成绝缘体574,可以在绝缘体545及绝缘体580中形成过剩氧区域。由此,可以将氧从该过剩氧区域供应到氧化物530中。

[0254] 例如,作为绝缘体574,可以使用包含选自钪、铝、镓、铋、锆、钨、钛、钽、镍、锆和镁等中的一种或两种以上的金属氧化物。

[0255] 尤其是,氧化铝具有高阻挡性,即使是0.5nm以上且3.0nm以下的薄膜,也可以抑制氢及氮的扩散。由此,通过利用溅射法形成的氧化铝可以在被用作氧供应源的同时还具有氢等杂质的阻挡膜的功能。

[0256] 此外,优选在绝缘体574上设置用作层间膜的绝缘体581。与绝缘体524等同样,优选降低绝缘体581中的水或氢等杂质的浓度。

[0257] 此外,在形成于绝缘体581、绝缘体574、绝缘体580及绝缘体544中的开口配置导电体540a及导电体540b。导电体540a及导电体540b以隔着导电体560彼此对置的方式设置。导

电体540a及导电体540b具有与后面说明的导电体546及导电体548同样的结构。

[0258] 在绝缘体581上设置有绝缘体582。绝缘体582优选使用对氧、氢等具有阻挡性的物质。因此,作为绝缘体582可以使用与绝缘体514同样的材料。例如,作为绝缘体582优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0259] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用于晶体管500的保护膜。

[0260] 此外,在绝缘体582上设置有绝缘体586。作为绝缘体586可以使用与绝缘体320同样的材料。此外,通过作为这些绝缘体应用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体586,可以使用氧化硅膜及氮氧化硅膜等。

[0261] 此外,在绝缘体520、绝缘体522、绝缘体524、绝缘体544、绝缘体580、绝缘体574、绝缘体581、绝缘体582及绝缘体586中嵌入导电体546及导电体548等。

[0262] 导电体546及导电体548被用作与电容600、晶体管500或晶体管550连接的插头或布线。导电体546及导电体548可以使用与导电体328及导电体330同样的材料。

[0263] 此外,也可以在形成晶体管500之后,以围绕晶体管500的方式形成开口,并以覆盖该开口的方式形成对氢或水具有高阻挡性的绝缘体。通过由上述高阻挡性的绝缘体包裹晶体管500,可以防止水分及氢从外部进入。或者,多个晶体管500都可以由对氢或水具有高阻挡性的绝缘体包裹。此外,在围绕晶体管500地形成开口的情况下,例如,当形成到达绝缘体522或绝缘体514的开口并接触于绝缘体522或绝缘体514地形成上述高阻挡性的绝缘体时可以兼作晶体管500的制造工序的一部分,所以是优选的。此外,作为对氢或水具有高阻挡性的绝缘体,例如使用与绝缘体522或绝缘体514同样的材料即可。

[0264] 可用于本发明的晶体管不局限于图14A及图14B所示的晶体管500。例如,也可以使用图15所示的结构的晶体管500。图15所示的晶体管500与图14A及图14B所示的晶体管的不同之处在于使用绝缘体555以及导电体542a(导电体542a1及导电体542a2)及导电体542b(导电体542b1及导电体542b2)具有叠层结构。

[0265] 导电体542a具有导电体542a1及导电体542a1上的导电体542a2的叠层结构,导电体542b具有导电体542b1及导电体542b1上的导电体542b2的叠层结构。接触于氧化物530b的导电体542a1及导电体542b1优选为金属氮化物等不容易氧化的导电体。由此,可以防止因包含在氧化物530b中的氧导致的导电体542a及导电体542b过剩氧化。此外,导电体542a2及导电体542b2优选为其导电性比导电体542a1及导电体542b1高的金属层等导电体。由此,导电体542a及导电体542b可以被用作导电性高的布线或电极。如此,可以提供以接触于用作活性层的氧化物530顶面的方式设置用作布线或电极的导电体542a及导电体542b的半导体装置。

[0266] 作为导电体542a1、542b1优选使用金属氮化物,例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用钒、氧化钒、氮化钒、包含锶和钒的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0267] 导电体542a2及导电体542b2的导电性优选比导电体542a1及导电体542b1高。例如,导电体542a2及导电体542b2的厚度优选比导电体542a1及导电体542b1的厚度大。作为导电体542a2及导电体542b2使用可用于上述导电体560b的导电体即可。通过采用上述结构,可以降低导电体542a2及导电体542b2的电阻。

[0268] 例如,作为导电体542a1及导电体542b1可以使用氮化钽或氮化钛,作为导电体542a2及导电体542b2可以使用钨。

[0269] 如图15所示,当从晶体管500的沟道长度方向上的截面看时,导电体542a1与导电体542b1间的距离小于导电体542a2与导电体542b2间的距离。通过采用这种结构,可以进一步缩短源极与漏极间的距离,与此相应地可以缩短沟道长度。因此,可以提高晶体管500的频率特性。如此,通过实现半导体装置的微型化,可以提供工作速度得到提高的半导体装置。

[0270] 绝缘体555优选为氮化物等不容易氧化的绝缘体。绝缘体555以与导电体542a2的侧面及导电体542b2的侧面接触的方式形成,并具有保护导电体542a2及导电体542b2的功能。绝缘体555由于暴露于氧化气氛,所以优选使用不容易氧化的无机绝缘体。此外,绝缘体555因为与导电体542a2及导电体542b2接触,所以优选为不容易使导电体542a2、542b2氧化的无机绝缘体。因此,绝缘体555优选使用对氧具有阻挡性的绝缘材料。例如,作为绝缘体555可以使用氮化硅。

[0271] 在绝缘体580及绝缘体544中形成开口,以与该开口的侧壁接触的方式形成绝缘体555,使用掩模使导电体542a1和导电体542b1分开,由此形成图15所示的晶体管500。这里,上述开口重叠于导电体542a2和导电体542b2之间的区域。此外,导电体542a1及导电体542b1的一部分向上述开口内突出。因此,绝缘体555在上述开口内与导电体542a1的顶面、导电体542b1的顶面、导电体542a2的侧面及导电体542b2的侧面接触。此外,绝缘体545在导电体542a1与导电体542b1之间的区域与氧化物530的顶面接触。

[0272] 优选的是,在使导电体542a1与导电体542b1分开之后,在沉积绝缘体545之前,在含氧气氛下进行热处理。由此,对氧化物530a及氧化物530b供应氧,由此可以减少氧空位。再者,通过绝缘体555以与导电体542a2的侧面及导电体542b2的侧面接触的方式形成,可以防止导电体542a2及导电体542b2过剩地被氧化。由此,可以提高晶体管的电特性及可靠性。此外,可以抑制在同一衬底上形成多个晶体管的电特性不均匀。

[0273] 如图15所示,在晶体管500中,也可以将绝缘体524形成为岛状。这里,绝缘体524的侧端部也可以与氧化物530大致一致。

[0274] 如图15所示,在晶体管500中,绝缘体522也可以与绝缘体516及导电体503接触。换言之,也可以不设置图14A及图14B所示的绝缘体520。

[0275] 接着,在晶体管500的上方设置有电容600。电容600包括导电体610、导电体620及绝缘体630。

[0276] 此外,也可以在导电体546及导电体548上设置导电体612。导电体612被用作与晶体管500连接的插头或者布线。导电体610被用作电容600的电极。此外,可以同时形成导电体612及导电体610。

[0277] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钨、钷中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮

化钨膜)等。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钨的铟锡氧化物、包含氧化钨的铟锡氧化物、包含氧化钨的铟锡氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0278] 在本实施方式中,导电体612及导电体610具有单层结构,但是不局限于此,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成对具有阻挡性的导电体及导电性高的导电体具有高紧密性的导电体。

[0279] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时,使用低电阻金属材料的Cu(铜)或Al(铝)等即可。

[0280] 在导电体620及绝缘体630上设置有绝缘体640。绝缘体640可以使用与绝缘体320同样的材料。此外,绝缘体640可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0281] 通过采用本结构,可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0282] 作为可用于本发明的一个方式的半导体装置的衬底,可以使用玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底、金属衬底(例如,不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底等)、半导体衬底(例如,单晶半导体衬底、多晶半导体衬底或化合物半导体衬底)、SOI(SOI:Silicon on Insulator,绝缘体上硅)衬底等。此外,也可以使用可承受本实施方式的处理温度的耐热性的塑料衬底。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。此外,也可以使用晶化玻璃等。

[0283] 此外,作为衬底可以使用柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为一个例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺树脂、环氧树脂、无机蒸镀薄膜、纸类等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,能够制造特性、尺寸或形状等的偏差小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低功耗化或电路的高集成化。

[0284] 此外,也可以作为衬底使用柔性衬底,并在柔性衬底上直接形成晶体管、电阻及/或电容等。或者,也可以在衬底与晶体管、电阻及/或电容等之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底分离并转置到其他衬底上的情况。此时,也可以将晶体管、电阻及/或电容等转置到耐热性低的衬底或柔性衬底等上。此外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的叠层结构、衬底上形成有聚酰亚胺等有机树脂膜的结构或含有氢的硅膜等。

[0285] 就是说,也可以在于一个衬底上形成半导体装置之后将该半导体装置转置到其他衬底上。作为半导体装置被转置的衬底,不仅可以用于上述可以形成晶体管的衬底,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、

铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡皮衬底等。通过使用这种衬底,可以实现具有柔性的半导体装置的制造、不易损坏的半导体装置的制造、耐热性的提高、轻量化或薄型化。

[0286] 通过在具有柔性的衬底上设置半导体装置,可以提供抑制重量增加且不易损坏的半导体装置。

[0287] 图13所示的晶体管550的结构只是一个例子而不局限于上述结构,可以根据电路结构、驱动方法等使用适当的晶体管。例如,当半导体装置为只有0S晶体管的单极性电路(是指只有n沟道型晶体管的情况等相同极性的晶体管)时,使晶体管550具有与晶体管500同样的结构即可。

[0288] 本实施方式所示的构成、结构、方法等可以与其他的实施方式及实施例等所示的构成、结构、方法等适当地组合而使用。

[0289] (实施方式3)

[0290] 在本实施方式中,对具有可用于存储装置等的层叠的0S晶体管的元件层的截面结构例子进行说明。在本实施方式中,对可用于DOSRAM及NOSRAM等电路结构的截面示意图的一个例子进行说明。

[0291] 图16示出采用DOSRAM的电路结构时的截面结构例子。图16示出在元件层701上层叠元件层700[1]至元件层700[4]的情况的例子。

[0292] 此外,图16示出元件层701所具有的晶体管550的例子。作为晶体管550,可以应用上述实施方式中说明的晶体管550。

[0293] 此外,图16所示的晶体管550只是一个例子,也可以根据电路结构或驱动方法使用适当的晶体管而不局限于其结构。

[0294] 在元件层701与元件层700之间或者在第k层元件层700与第k+1层元件层700之间,也可以设置设有层间膜、布线以及插头等的布线层。此外,在本实施方式等中,有时将第k层元件层700记为元件层700[k],并将第k+1层的元件层700记为元件层700[k+1]。在此,k为1以上且N以下的整数。此外,在本实施方式等中,当记为“ $k+\alpha$  ( $\alpha$ 为1以上的整数)”或“ $k-\alpha$ ”时,“ $k+\alpha$ ”及“ $k-\alpha$ ”各自的解为1以上且N以下的整数。

[0295] 此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导体的一部分有时被用作布线,并且导体的一部分有时被用作插头。

[0296] 例如,在晶体管550上,作为层间膜依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,在绝缘体320及绝缘体322中嵌入导体328等。此外,在绝缘体324及绝缘体326中嵌入导体330等。此外,导体328及导体330被用作接触插头或布线。

[0297] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体320的顶面的平坦性,也可以通过利用CMP法等平坦化处理实现平坦化。

[0298] 此外,也可以在绝缘体326及导体330上设置布线层。例如,在图16中,在绝缘体326及导体330上依次层叠有绝缘体350、绝缘体357、绝缘体352以及绝缘体354。此外,在绝缘体350、绝缘体357及绝缘体352中形成有导体356。导体356被用作接触插头或布线。

[0299] 在绝缘体354上设置有元件层700[1]所具有的绝缘体514。此外,在绝缘体514及绝

缘体354中嵌入导电体358。导电体358被用作接触插头或布线。例如,位线BL与晶体管550通过导电体358、导电体356以及导电体330等电连接。

[0300] 图17A示出元件层700[k]的截面结构例子。此外,图17B是图17A的等效电路图。图17A示出一个位线BL与两个元件单元MC电连接的例子。

[0301] 图16及图17A所示的存储单元MC包括晶体管M1及电容元件C。作为晶体管M1,例如可以使用上述实施方式所示的晶体管500。

[0302] 在本实施方式中,作为晶体管M1示出晶体管500的变形例子。具体而言,晶体管M1的与晶体管500不同之处在于导电体542a及导电体542b以超过金属氧化物531(金属氧化物531a及金属氧化物531b)的端部的方式延伸。

[0303] 此外,图16及图17A所示的存储单元MC包括用作电容元件C的一个端子的导电体156、用作介电体的绝缘体153以及用作电容元件C的另一个端子的导电体160(导电体160a及导电体160b)。导电体156与导电体542b的一部分电连接。此外,导电体160与布线PL(在图17A中未图示)电连接。

[0304] 电容元件C形成在去除绝缘体574、绝缘体580以及绝缘体554的一部分而设置的开口部。因为导电体156、绝缘体580以及绝缘体554沿着该开口部的侧面形成,所以优选使用ALD法或CVD法等进行沉积。

[0305] 此外,作为导电体156及导电体160,可以使用可以用于导电体505或导电体560的导电体。例如,作为导电体156,可以使用通过ALD法而沉积的氮化钛。此外,作为导电体160a,可以使用通过ALD法而沉积的氮化钛,并且作为导电体160b,可以使用通过CVD法而沉积的钨。此外,当钨与绝缘体153的密接性十分高时,作为导电体160也可以使用通过CVD法而沉积的钨的单层膜。

[0306] 作为绝缘体153,优选使用由高介电常数(high-k)材料(相对介电常数较高的材料)构成的绝缘体。例如,作为由高介电常数材料构成的绝缘体,可以使用包含选自铝、铪、锆以及镱等中的一种以上的金属元素的氧化物、氧氮化物、氮氧化物或氮化物。此外,上述氧化物、氧氮化物、氮氧化物或氮化物也可以包含硅。此外,也可以层叠由上述材料构成的绝缘层。作为绝缘体153,例如可以举出氧化锆、氧化铝、氧化锆的三层叠层结构等。此外,也可以将该三层叠层结构称为 $ZrO_{xa} \setminus AlO_{xb} \setminus ZrO_{xc}$ (ZAZ)。上述 $x_a$ 、 $x_b$ 及 $x_c$ 都为任意单位。

[0307] 例如,作为由高介电常数材料构成的绝缘体,可以使用氧化铝、氧化铪、氧化锆、包含铝及铪的氧化物、包含铝及铪的氧氮化物、包含硅及铪的氧化物、包含硅及铪的氧氮化物、包含硅及锆的氧化物、包含硅及锆的氧氮化物、包含铪及锆的氧化物、包含铪及锆的氧氮化物等。通过使用这种高介电常数材料,可以将绝缘体153的厚度增加到能够抑制关态电流的程度,并可以充分确保电容元件C的静电容量。

[0308] 此外,优选层叠由上述材料构成的绝缘层,优选使用高介电常数材料与其绝缘耐性高于该高介电常数材料的绝缘耐性的材料的叠层结构。例如,作为绝缘体153,可以使用依次层叠有氧化锆、氧化铝以及氧化锆的绝缘膜。此外,例如可以使用依次层叠有氧化锆、氧化铝、氧化锆以及氧化铝的绝缘膜。此外,例如可以使用依次层叠有铪锆氧化物、氧化铝、铪锆氧化物以及氧化铝的绝缘膜。通过层叠如氧化铝等绝缘耐性比较高的绝缘体,可以提高绝缘耐性来抑制电容元件C的静电破坏。

[0309] 图18示出采用NOSRAM的存储单元的电路结构时的截面结构例子。此外,图18也是

图16的变形例子。此外,图19A示出元件层700[k]的截面结构例子。此外,图19B是图19A的等效电路图。

[0310] 图18及图19A所示的存储单元MC包括绝缘体514上的晶体管M1、晶体管M2以及晶体管M3。此外,在绝缘体514上设置有导电体215。导电体215可以使用与导电体505相同的材料及相同的工序同时形成。

[0311] 此外,图18及图19A所示的晶体管M2及晶体管M3共同使用一个岛状金属氧化物531。换言之,一个岛状金属氧化物531的一部分被用作晶体管M2的沟道形成区域,另一部分被用作晶体管M3的沟道形成区域。此外,晶体管M2的源极与晶体管M3的漏极或晶体管M2的漏极与晶体管M3的源极被共同使用。因此,与分别独立地设置晶体管M2及晶体管M3的情况相比,晶体管的占有面积小。

[0312] 此外,在图18及图19A所示的存储单元MC中,在绝缘体581上设置有绝缘体287,并且在绝缘体287中嵌入导电体161。此外,在绝缘体287及导电体161上设置有元件层700[k+1]的绝缘体514。

[0313] 在图18及图19A中,元件层700[k+1]的导电体215被用作电容元件C的一个端子,元件层700[k+1]的绝缘体514被用作电容元件C的介电体,并且导电体161被用作电容元件C的另一个端子。此外,晶体管M1的源极及漏极中的另一个通过接触插头电连接于导电体161,晶体管M2的栅极通过另一接触插头电连接于导电体161。

[0314] <DOSRAM的结构例子2>

[0315] 接着,图20示出与图16至图19A、图19B不同的具有可用于本发明的一个方式的存储装置等的层叠的0S晶体管的元件层的截面结构例子。在图20所示的存储装置10V中的元件层700[1]至元件层700[3]所包括的存储单元MC中,电容器C设置在晶体管M1的下方。

[0316] 在图20中,多个元件层700各自包括多个存储单元MC。在图20所示的存储单元MC中示出晶体管M1及电容器C。

[0317] 此外,导电体363a、导电体363b及导电体363c嵌入在元件层701与元件层700之间的层间膜。此外,在多个元件层700的各自中,导电体365嵌入在后述的绝缘体592。此外,在多个元件层700的各自中,导电体366嵌入在后述的绝缘体593、绝缘体594、绝缘体553及绝缘体595。此外,在多个元件层700的各自中,导电体367嵌入在后述的绝缘体596、绝缘体583、导电体542b、绝缘体555及绝缘体597。导电体363a、导电体363b、导电体363c、导电体365、导电体366及导电体367被用作通孔、接触插头或布线。

[0318] 接着,对图20的存储装置10V的多个元件层700所包括的存储单元MC的结构例子进行说明。

[0319] 图21A是示出上述存储装置10V的多个元件层700的各自所包括的存储单元MC及其附近的结构例子的平面图。注意,在图21A至图21D中,晶体管500A相当于图20所示的晶体管M1,电容600A相当于图20中的电容器C。图21D是图21A所示的点划线A1-A2的截面图。注意,在图21A中,省略如绝缘体等晶体管M1的构成要素的一部分。此外,在后面的晶体管的平面图中,也省略绝缘体等构成要素的一部分。

[0320] 作为一个例子,电容600A包括绝缘体593、绝缘体594、绝缘体553、绝缘体595、导电体563、导电体564及导电体542a。

[0321] 导电体563嵌入在绝缘体592。作为一个例子,导电体563可以为在Y方向延伸的布

线PL。

[0322] 作为一个例子,在绝缘体592上及导电体563上依次形成绝缘体593及绝缘体594。此外,绝缘体593及绝缘体594中,与导电体563重叠的区域设置有开口。该开口的底面(导电体563上)及侧面形成有导电体564。注意,在图21D中,导电体564也形成在绝缘体594的顶面。此外,绝缘体594上及导电体564上形成有绝缘体553。此外,在绝缘体553中以覆盖与导电体564重叠的区域的方式形成导电体542a。此外,导电体542a上及绝缘体553上形成有绝缘体595。注意,绝缘体595的顶面的高度与导电体542a的顶面的高度优选大致一致。由此,例如优选由利用化学机械抛光(CMP)法等的平坦化处理使绝缘体595及导电体542a平坦化。

[0323] 导电体564例如相当于电容600A的一对端子中的一方。此外,导电体542a例如相当于电容600A的一对端子中的另一方。

[0324] 绝缘体553例如被用作在电容600A中由一对端子夹持的介电体。

[0325] 在电容600A的导电体542a及绝缘体595的上方设置有晶体管500A。

[0326] 晶体管500A的沟道长度方向不平行于衬底311,沿着在后述绝缘体583中设置的开口的侧面。

[0327] 作为一个例子,晶体管500A包括用作源电极和漏电极中的一个的导电体542a、用作源电极和漏电极中的另一个的导电体542b、金属氧化物533、绝缘体555及用作栅电极的导电体565。在图21A中,示出导电体542b在垂直于导电体542a及导电体565的方向延伸的例子。注意,如上所述,导电体542a也被用作电容600A的一对电极中的另一个。

[0328] 金属氧化物533例如可以使用可用于在上述实施方式中说明的晶体管500所包括的氧化物530的材料。

[0329] 在本实施方式的图21A及图21D中,将导电体542b延伸的方向记为X方向。另外,将与X方向垂直且例如与导电体563的顶面平行的方向记为Y方向,将与导电体563的顶面垂直的方向记为Z方向。在以后的附图中,X方向、Y方向及Z方向的定义有时与上述相同。X方向、Y方向及Z方向可以彼此垂直。另外,在本说明书等中的平面图的说明中,有时将X方向称为右侧或左侧且将Y方向称为上侧或下侧。另外,有时可以将右侧及左侧分别换称为X方向及-X方向且将上侧及下侧分别换称为Y方向及-Y方向。

[0330] 导电体542a被用作晶体管500A的源电极和漏电极中的一个。导电体542b被用作晶体管500A的源电极和漏电极中的另一个。绝缘体555被用作晶体管500A的栅极绝缘层。导电体565被用作晶体管500A的栅电极。

[0331] 金属氧化物533中,在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域的整体被用作沟道形成区域。具有用作沟道形成区域的区域的金属氧化物533有时被称为半导体层。此外,在金属氧化物533中,与源电极接触的区域被用作源区域,与漏电极接触的区域被用作漏区域。

[0332] 在绝缘体595上及导电体542a上设置绝缘体596。绝缘体596可以被用作层间绝缘层。这里的层间绝缘层可以是指抑制如水及氢(例如,氢原子和氢分子中的一方或双方)等杂质的扩散的阻挡绝缘膜。

[0333] 在绝缘体596上设置绝缘体583(绝缘体583a及绝缘体583b),在绝缘体583上设置导电体542b。绝缘体583可以被用作层间绝缘层。这里的层间绝缘层可以是指用来分开500A中的源电极与栅电极的层间膜。

[0334] 例如,绝缘体583a优选使用氧化物或氮氧化物。另外,绝缘体583a优选使用通过加热释放氧的膜。另外,绝缘体583a例如可以适当地使用氧化硅或氮氧化硅。通过绝缘体583a释放氧,可以将氧从绝缘体583a供应给金属氧化物533。通过将氧从绝缘体583a供应给金属氧化物533,尤其是供应给金属氧化物533的沟道形成区域,可以减少金属氧化物533中的氧空位( $V_o$ )、 $V_oH$ 及氢。因此,可以实现使晶体管500A为具有良好的电特性及高可靠性的晶体管。

[0335] 此外,绝缘体583b例如优选具有氮含量多于绝缘体583a的区域。绝缘体583b例如可以适当地使用氮化硅或氮氧化硅。通过绝缘体583b使用氮化硅或氮氧化硅,绝缘体583b可以成为抑制氧从绝缘体583a脱离的阻挡层。

[0336] 绝缘体596及绝缘体583具有到达导电体542a的开口601。导电体542b具有到达开口601的开口603。也就是说,开口603具有与开口601重叠的区域。

[0337] 在图21A中,作为晶体管500A的构成要素,示出导电体542a、导电体542b、金属氧化物533、导电体565、开口601及开口603。在此,图21B示出在图21A所示的构成要素中省略导电体565的结构例子。即,图21B示出导电体542a、导电体542b、金属氧化物533、开口601及开口603。此外,图21C示出在图21B所示的构成要素中还省略金属氧化物533的结构例子。即,图21C示出导电体542a、导电体542b、开口601及开口603。

[0338] 如图21C及图21D所示,导电体542b在与导电体542a重叠的区域具有开口603。如图21C所示,在平面看时,导电体542b可以覆盖开口601的外周整体。在此,导电体542b优选不设置在开口601的内部。也就是说,导电体542b优选不与绝缘体583的开口601一侧的侧面接触。

[0339] 图21A至图21C示出开口601及开口603的形状在平面看时都呈圆形的例子。通过开口601及开口603的平面形状呈圆形,可以提高形成开口601及开口603时的加工精度,可以形成微细的开口601及开口603。注意,在本说明书等中,圆形不局限于正圆。例如,开口601及开口603的平面形状可以呈椭圆形或者具有曲线的形状。开口601及开口603的平面形状也可以呈多角形的形状。

[0340] 图21D示出导电体542b的开口603一侧的端部与绝缘体583的开口601一侧的端部一致或大致一致的例子。开口603的平面形状也可以说与开口601的平面形状一致或大致一致。注意,在本说明书等中,导电体542b的开口603一侧的端部是指导电体542b的开口603一侧的底面端部。导电体542b的底面是指绝缘体583一侧的面。绝缘体583的开口601一侧的端部是指绝缘体583的开口601一侧的顶面端部。绝缘体583的顶面是指导电体542b一侧的面。此外,开口603的平面形状是指导电体542b的开口603一侧的底面端部的平面形状。开口601的平面形状是指绝缘体583的开口601一侧的顶面端部的平面形状。

[0341] 注意,端部一致或大致一致也可以说是端部对齐或大致对齐。在端部对齐或大致对齐的情况以及平面形状一致或大致一致的情况下,可以说在平面看时至少其边缘的一部分在层叠的各层间彼此重叠。例如,包括上层与下层由同一掩模图案或其一部分相同的掩模图案加工而成的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,这种情况也可以说“端部大致对齐”或“平面形状大致一致”。

[0342] 开口601例如可以使用用于开口603的形成的抗蚀剂掩模形成。具体而言,首先形成导电体542a上及绝缘体595上的绝缘体596、绝缘体596上的绝缘体583、绝缘体583上的将

成为导电体542b的导电膜及该导电膜上的抗蚀剂掩模。并且,在使用该抗蚀剂掩模在该导电膜中形成开口603之后,使用该抗蚀剂掩模在绝缘体596及绝缘体583中形成开口601,由此可以使开口601的端部与开口603的端部一致或大致一致。通过采用这种结构,可以使工序简化。

[0343] 金属氧化物533以覆盖开口601及开口603且具有位于开口601及开口603的内部的方式设置。金属氧化物533具有沿着导电体542b的顶面及侧面、绝缘体583的侧面、绝缘体596的侧面以及导电体542a的顶面的形状。金属氧化物533具有例如与导电体542b的顶面及侧面、绝缘体583的侧面以及导电体542a的顶面接触的区域。

[0344] 金属氧化物533优选覆盖导电体542b的开口603一侧的端部。例如,图21D示出金属氧化物533的端部位于导电体542b上的结构。金属氧化物533的端部也可以说与导电体542b的顶面接触。

[0345] 例如,在图21D中示出金属氧化物533具有单层结构,但本发明的一个方式不局限于此。金属氧化物533也可以具有两层以上的叠层结构。

[0346] 用作晶体管500A的栅极绝缘层的绝缘体555以覆盖开口601及开口603且具有位于开口601及开口603的内部的方式设置。绝缘体555设置在金属氧化物533上、导电体542b及绝缘体583上。绝缘体555可以具有与金属氧化物533的顶面及侧面、导电体542b的顶面及侧面、绝缘体583的顶面以及绝缘体596的顶面接触的区域。绝缘体555具有沿着绝缘体596的顶面、绝缘体583的顶面、导电体542b的顶面及侧面以及金属氧化物533的顶面及侧面的形状。

[0347] 用作晶体管500A的栅电极的导电体565设置在绝缘体555上,并可以具有与绝缘体555的顶面接触的区域。导电体565具有隔着绝缘体555与金属氧化物533重叠的区域。导电体565具有沿着绝缘体555的顶面的形状。

[0348] 例如,如图21D所示,在开口601及开口603中,导电体565具有隔着绝缘体555与金属氧化物533重叠的区域。此外,在图21D所示的例子中,导电体565具有隔着绝缘体555及金属氧化物533与导电体542a重叠的区域以及与导电体542b重叠的区域。导电体565覆盖金属氧化物533的整体。通过采用这种结构,可以对金属氧化物533整体施加栅极电场,因此可以提高晶体管500A的电特性,例如可以提高晶体管的通态电流。

[0349] 晶体管500A是在金属氧化物533的上方包括栅电极的所谓顶栅型晶体管。再者,由于晶体管500A具有金属氧化物533的底面与源电极及漏电极接触的区域,所以可以说是TGBC(Top Gate Bottom Contact:顶栅底接触)型晶体管。

[0350] 晶体管500A例如也可以用于与存储单元MC不同的电路所包括的晶体管。

[0351] 这里,使用图22A及图22B说明晶体管500A的沟道长度及沟道宽度。图22A是示出图21A所示的晶体管500A及其周边的结构例子的平面图的放大图。图22B是示出图21D所示的晶体管500A及其周边的结构例子的截面图的放大图。

[0352] 在金属氧化物533中,与导电体542a接触的区域被用作源区域和漏区域中的另一个,与导电体542b接触的区域被用作源区域和漏区域中的一个,源区域与漏区域之间的区域被用作沟道形成区域。

[0353] 晶体管500A的沟道长度为源区域与漏区域之间的距离。图22B中以虚线的双箭头表示晶体管500A的沟道长度L500。沟道长度L500在截面中成为金属氧化物533接触于导电

体542a的区域的端部与金属氧化物533接触于导体542b的区域的端部的距离。

[0354] 在此,晶体管500A的沟道长度L500相当于在XZ面中的绝缘体583的开口601一侧的侧面的长度。也就是说,沟道长度L500由绝缘体583的厚度T583、绝缘体583的开口601一侧的侧面与绝缘体583的被形成面(这里,导体542a的顶面)而成的角度 $\theta$ 583决定,不受用于晶体管的制造的曝光装置的性能的影响。因此,可以使沟道长度L500设为比曝光装置的极限分辨率小的值,可以实现微细的晶体管。例如,沟道长度L500优选为 $0.010\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.050\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.10\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.15\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下,更优选为 $0.50\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。在图22B中,以点划线的双箭头表示绝缘体583的厚度T583。

[0355] 晶体管500A适用于存储单元MC所包括的晶体管,因此可以使存储单元MC微型化。由此,可以实现存储密度得到提高的存储装置。此外,通过缩小沟道长度L500,可以增大晶体管500A的通态电流,因此可以使存储单元MC高速驱动。

[0356] 通过调整绝缘体596及绝缘体583的厚度T583及角度 $\theta$ 583,可以控制沟道长度L500。

[0357] 绝缘体596及绝缘体583的厚度T583优选为 $0.010\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.050\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.10\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.15\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下,更优选为 $0.50\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

[0358] 绝缘体596及绝缘体583的开口601一侧的侧面优选具有锥形形状。由绝缘体596及绝缘体583的开口601一侧的侧面与绝缘体596的被形成面(这里,导体542a的顶面)而成的角度 $\theta$ 583优选为90度以下。通过减小角度 $\theta$ 583,可以提高设置在绝缘体583上的层(例如,金属氧化物533)的覆盖性。但是,有时由于减小角度 $\theta$ 583而金属氧化物533与导体542a的接触面积变小,因此金属氧化物533与导体542a的接触电阻上升。角度 $\theta$ 583优选为45度以上且90度以下,更优选为50度以上且90度以下,更优选为55度以上且90度以下,更优选为60度以上且90度以下,更优选为60度以上且85度以下,更优选为65度以上且85度以下,更优选为65度以上且80度以下,更优选为70度以上且80度以下。通过使角度 $\theta$ 583设在上述范围内,可以提高形成在导体542a及绝缘体583上的层(例如,金属氧化物533)的覆盖性,由此可以抑制该层中产生断开或空洞等不良。此外,可以降低金属氧化物533与导体542a的接触电阻。

[0359] 在本说明书等中,断开是指层、膜或电极因被形成面的形状(例如,台阶等)而分断的现象。

[0360] 注意,例如,在图22B等中示出在截面中绝缘体596及绝缘体583的开口601一侧的侧面的形状为直线的结构,但本发明的一个方式不局限于此。在截面中绝缘体596及绝缘体583的开口601一侧的侧面的形状也可以为曲线,也可以包括侧面的形状为直线的区域及曲

线的区域的双方。

[0361] 晶体管500A的沟道宽度为与沟道长度方向正交的方向上的源区域的宽度或漏区域的宽度。也就是说,沟道宽度为与沟道长度方向正交的方向上的金属氧化物533与导电体542a接触的区域宽度或金属氧化物533与导电体542b接触的区域宽度。这里,以与沟道长度方向正交的方向上的金属氧化物533与导电体542b接触的区域宽度为晶体管500A的沟道宽度进行说明。图22A及图22B中以实线的双箭头表示晶体管500A的沟道宽度W500。沟道宽度W500在平面看时成为开口603一侧的导电体542b的底面端部的长度。

[0362] 沟道宽度W500由开口603的平面形状决定。图22A及图22B中以双点划线的双箭头表示开口603的宽度D500。宽度D500是指在平面看时与开口603外接的最小矩形的短边。在通过光刻法形成开口603时,开口603的宽度D500为曝光装置的极限分辨率以上。宽度D500例如优选为 $0.20\mu\text{m}$ 以上且小于 $5.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $4.5\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $4.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $3.5\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $3.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $2.0\mu\text{m}$ ,更优选为 $0.20\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$ ,更优选为 $0.30\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.40\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下,更优选为 $0.50\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。注意,在开口603的平面形状呈圆形时,宽度D500相当于开口603的直径,沟道宽度W500可以在平面看时与开口603的外周的长度相等且被算出为“ $D500 \times \pi$ ”。

[0363] 因为晶体管500A的尺寸小,所以通过将晶体管500A用于元件层700,可以提供存储密度高的半导体装置。此外,因为晶体管500A的工作速度高,所以通过将晶体管500A用于半导体装置,可以提供驱动速度高的半导体装置。此外,因为晶体管500A的电特性稳定,所以通过将晶体管500A用于半导体装置,可以提供可靠性高的半导体装置。此外,因为晶体管500A的关态电流量小,所以通过将晶体管500A用于半导体装置,可以提供功耗低的半导体装置。

[0364] 本实施方式可以与本说明书所记载的其他实施方式适当地组合而实施。

[0365] (实施方式4)

[0366] 在本实施方式中,说明在沟道形成区域中包含氧化物半导体的晶体管(OS晶体管)。此外,在OS晶体管的说明中,简单地说明与在沟道形成区域中包含硅的晶体管(也称为Si晶体管)的对比。

[0367] [OS晶体管]

[0368] 优选将载流子浓度低的氧化物半导体用于OS晶体管。例如,氧化物半导体的沟道形成区域的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,优选低于 $1 \times 10^{17} \text{cm}^{-3}$ ,更优选低于 $1 \times 10^{16} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{13} \text{cm}^{-3}$ ,还进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$ ,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0369] 因为高纯度本征或实质上高纯度本征的氧化物半导体具有较低的缺陷态密度,所以有时具有较低的陷阱态密度。此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟

道形成区域的晶体管的电特性不稳定。

[0370] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质可以举出氢、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0371] 在OS晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,在OS晶体管中,氢进入氧化物半导体中的氧空位而形成缺陷(下面有时称为 $V_OH$ ),可能会产生成为载流子的电子。另外,当在沟道形成区域中形成 $V_OH$ 时,有时沟道形成区域中的供体浓度增加。随着沟道形成区域中的供体浓度增加,有时阈值电压不均匀。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及 $V_OH$ 。

[0372] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上,更优选为2.5eV以上,更优选为3.0eV以上。通过使用具有比硅大的带隙的氧化物半导体,可以减少晶体管的关态电流(也称为 $I_{off}$ )。

[0373] 例如,在Si晶体管中,随着晶体管的微型化发展,出现短沟道效应(Short Channel Effect:也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0374] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0375] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特征长度是指沟道形成区域的势的弯曲性指标。特征长度越小,势越急剧上升,因此可以说抗短沟道效应能力高。

[0376] OS晶体管为积累型晶体管,Si晶体管为反型晶体管。因此,与Si晶体管相比,OS晶体管中的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0377] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i型化的情况下,在短沟道晶体管中由于Conduction-Band-Lowering(CBL,导带降低)效应而沟道形成区域的导带底也变低,因此源极区域或漏极区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有 $n^+/n^-/n^+$ 的积累型无结晶体管结构或 $n^+/n^-/n^+$ 的积累型non-junction晶体管结构,其中沟道形成区域为 $n^-$ 型区域,源极区域及漏极区为 $n^+$ 型区域。

[0378] 当作为OS晶体管采用上述结构时,即便使半导体装置微型化或高集成化也可以实现良好的电特性。例如,即使OS晶体管的栅极长度为20nm以下、15nm以下、10nm以下、7nm以

下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,0S晶体管更适合用作沟道长度小的晶体管。栅极长度是晶体管工作时载流子移动沟道形成区域内部的方向上的栅电极的长度,是晶体管的俯视图中的栅电极的底面的宽度。

[0379] 此外,通过使0S晶体管微型化可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当0S晶体管的栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0380] 如以上的说明那样,0S晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管。

[0381] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0382] (实施方式5)

[0383] 在本实施方式中,说明可以使用在上述实施方式中说明的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心(Data Center;也称为DC)。使用本发明的一个方式的半导体装置电子构件、电子设备、大型计算机、太空设备及数据中心对低功耗等高性能的实现很有效。

[0384] [电子构件]

[0385] 图23A示出安装有电子构件709的基板(电路板704)的立体图。图23A所示的电子构件709在模子711内包括半导体装置710。在图23A中,省略电子构件709的一部分记载以表示其内部。电子构件709在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于半导体装置710。电子构件709例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0386] 另外,半导体装置710包括驱动电路层715及元件层716。元件层716具有层叠有多个存储单元阵列的结构。层叠有驱动电路层715及元件层716的结构可以采用单片叠层的结构。在单片叠层的结构中,可以不用TSV(Through Silicon Via:硅通孔)等贯通电极技术及Cu-Cu直接接合等接合技术而连接各层间。当以单片的方式层叠驱动电路层715和元件层716时,例如,可以实现在处理器上直接形成存储器的所谓的片上存储器的结构。通过采用片上存储器的结构,可以实现处理器与存储器的接口部分的高速工作。

[0387] 另外,通过采用片上存储器的结构,与使用TSV等贯通电极的技术相比,可以缩小连接布线等的尺寸,因此可以增加引脚数量。通过增加引脚数量可以进行并联工作,由此可以提高存储器的带宽度(也称为存储器带宽)。

[0388] 另外,优选的是,使用0S晶体管形成元件层716中的多个存储单元阵列,以单片的方式层叠该多个存储单元阵列。当多个存储单元阵列采用单片叠层时,可以提高存储器的带宽度和存储器的访问延迟中的任一方或双方。带宽度是指单位时间的数据传输量,访问延迟是指访问和开始数据的交换之间的时间。当在元件层716中使用Si晶体管时,与0S晶体管相比,实现单片叠层的结构更困难。因此,在单片叠层的结构中,0S晶体管比Si晶体管优异。

[0389] 另外,可以将半导体装置710称为裸片。在本说明书等中,裸片是指在半导体芯片的制造工序中例如在圆盘状的衬底(也称为晶圆)等上形成电路图案,切割成矩形小片而得的芯片。作为可用于裸片的半导体材料,例如可以举出硅(Si)、碳化硅(SiC)或氮化镓(GaN)等。例如,有时将从硅衬底(也称为硅晶圆)得到的裸片称为硅片。

[0390] 接着,图23B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个半导体装置710。

[0391] 电子构件730示出将半导体装置710用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以用于CPU(Central Processing Unit)、GPU(Graphics Processing Unit:图形处理器)或FPGA(Field Programmable Gate Array:现场可编程门阵列)等集成电路。

[0392] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板731例如可以使用硅插板或树脂插板。

[0393] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV作为贯通电极。

[0394] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0395] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0396] 另一方面,当利用硅插板及TSV等使端子间距不同的多个集成电路电连接时,需要该端子间距的宽度等的空间。因此,当想要缩小电子构件730的尺寸时,上述端子间距的宽度成为问题,有时难以设置为实现较宽的存储器带宽需要的较多的布线。于是,如上所述,使用0S晶体管的单片叠层的结构是优选的。另外,也可以采用组合利用TSV层叠的存储单元阵列与以单片的方式层叠的存储单元阵列的复合结构。

[0397] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使半导体装置710与半导体装置735的高度一致。

[0398] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图23B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0399] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。作为安装方法例如可以举出SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)及QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0400] [电子设备]

[0401] 接着,图24A示出电子设备6500的立体图。图24A所示的电子设备6500是可用作智能手机的便携式信息终端。电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、摄像头6507、光源6508及控制装置6509等。控制装置6509例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6502、控制装置6509等。

[0402] 图24B所示的电子设备6600是可用作笔记本式计算机的信息终端。电子设备6600包括外壳6611、键盘6612、指向装置6613、外部连接端口6614、显示部6615、控制装置6616等。控制装置6616例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6615、控制装置6616等。此外,通过将本发明的一个方式的半导体装置用于上述控制装置6509及控制装置6616,可以降低功耗,所以是优选的。

[0403] [大型计算机]

[0404] 接着,图24C示出大型计算机5600的立体图。在图24C所示的大型计算机5600中,多个机架式计算机5620收纳在机架5610中。此外,也可以将大型计算机5600称为超级计算机。

[0405] 计算机5620例如可以具有图24D所示的立体图的结构。在图24D中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0406] 图24E所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图24E示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0407] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0408] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(通用串行总线)、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0409] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0410] 半导体装置5627包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0411] 半导体装置5628包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件709。

[0412] 大型计算机5600可以用作并行计算机。通过将大型计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0413] [太空设备]

[0414] 可以将本发明的一个方式的半导体装置适用于处理并储存信息的设备等的太空设备。

[0415] 本发明的一个方式的半导体装置可以包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0416] 在图25中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图25示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0417] 另外,虽然图25中未图示,但是也可以将电池管理系统(也称为BMS)或电池控制电路设置到二次电池6805。当将OS晶体管用于上述电池管理系统或电池控制电路时,功耗低,并且即使在宇宙空间也实现高可靠性,所以是优选的。

[0418] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及 $\gamma$ 射线为代表的电磁波(电磁辐射线);以及以 $\alpha$ 射线、 $\beta$ 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0419] 在阳光照射到太阳能电池板6802时产生人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0420] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0421] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,优选将本发明的一个方式的半导体装置用于控制装置6807。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0422] 另外,人造卫星6800可以包括传感器。例如通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地

球观测卫星。

[0423] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0424] 如以上的说明那样,与Si晶体管相比,0S晶体管具有优异的效果,诸如可以实现较宽的存储器带宽、耐辐射线高。

[0425] [数据中心]

[0426] 例如,可以将本发明的一个方式的半导体装置适用于数据中心等采用的存储系统。数据中心被要求保证数据不变性等进行数据的长期管理。在进行数据的长期管理时需要使设施大型化,诸如设置用来储存庞大的数据的存储及服务器、确保稳定的电源以保持数据或者确保在数据的保持中需要的冷却设备等。

[0427] 通过将本发明的一个方式的半导体装置用于数据中心采用的存储系统,可以实现数据保持所需的功率的降低、保持数据的半导体装置小型化。因此,可以实现存储系统的小型化、用来保持数据的电源的小型化、冷却设备规模的缩小等。由此,可以实现数据中心的省空间。

[0428] 此外,本发明的一个方式的半导体装置的功耗少,因此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的数据中心。因此,可以提高数据中心的可靠性。

[0429] 图26示出可用于数据中心的存储系统。图26所示的存储系统7000作为主机7001(图示为主计算机)包括多个服务器7001sb。另外,作为存储7003(图示为存储)包括多个存储装置7003md。示出主机7001和存储7003通过存储区域网络7004(图示为SAN:Storage Area Network)及存储控制电路7002(图示为存储控制器)连接的形态。

[0430] 主机7001相当于访问储存在存储7003中的数据的数据的计算机。主机7001彼此也可以通过网络连接。

[0431] 在存储7003中,通过使用快闪存储器缩短数据的访问速度,即缩短数据的存储及输出所需要的时间,但是该时间比可用作存储中的高速缓冲存储器的DRAM所需要的时间长得多。在存储系统中,为了解决存储7003的访问速度较长的问题,一般在存储中设置高速缓冲存储器来缩短数据的存储及输出。

[0432] 在存储控制电路7002及存储7003中使用上述高速缓冲存储器。主机7001和存储7003交换的数据在储存在存储控制电路7002及存储7003中的该高速缓冲存储器之后输出到主机7001或存储7003。

[0433] 当作为用来储存上述高速缓冲存储器的数据的晶体管使用0S晶体管来保持对应于数据的电位时,可以减少刷新频率来降低功耗。此外,通过层叠存储单元阵列可以实现小型化。

[0434] 注意,通过将本发明的一个方式的半导体装置用于选自电子构件、电子设备、大型计算机、太空设备和数据中心中的任一个或多个,可期待功耗降低的效果。因此,目前被认为随着半导体装置的高性能化或高集成化能量需求增加,通过使用本发明的一个方式的半导体装置,也可以减少以二氧化碳(CO<sub>2</sub>)为代表的温室气体的排放量。另外,本发明的一个

方式的半导体装置具有低功耗,因此作为全球变暖的措施也有效。

[0435] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0436] <关于本说明书等的记载的注释>

[0437] 下面,对上述实施方式及实施方式中的各结构的说明附加注释。

[0438] 各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构实例时,可以适当地组合这些结构实例。

[0439] 此外,可以将某一实施方式中说明的内容(或其一部分)应用,组合或者替换成该实施方式中说明的其他内容(或其一部分)及/或另一个或多个其他实施方式中说明的内容(或其一部分)。

[0440] 在实施方式中说明的内容是指在各实施方式中利用各种附图说明的内容或利用说明书所记载的文章说明的内容。

[0441] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)及/或另一个或多个其他实施方式中示出的附图(或其一部分)组合,可以构成更多图。

[0442] 在本说明书等中,根据功能对构成要素进行分类并在方框图中以彼此独立的方框表示。然而,在实际的电路等中难以根据功能对构成要素进行分类,有时一个电路涉及到多个功能或者多个电路涉及到一个功能。因此,方框图中的方框的分割不局限于说明书中说明的构成要素,而可以根据情况适当地不同。

[0443] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。附图是为了明确起见而示出任意的大的,而不局限于附图所示的形状或数值等。例如,可以包括因杂波或定时偏差等所引起的信号、电压或电流的不均匀等。

[0444] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等而互换的缘故。注意,根据情况可以将晶体管的源极和漏极适当地换称为源极(漏极)端子或源极(漏极)电极等。

[0445] 此外,在本说明书等中,“电极”或“布线”不限定构成要素的功能。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”、“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0446] 此外,在本说明书等中,可以适当地调换电压和电位。电压是指与基准电位之间的电位差,例如在基准电位为地电压(接地电压)时,可以将电压换称为电位。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据基准电位而变化。

[0447] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”调换为“绝缘层”。

[0448] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0449] 在本说明书等中,例如,平面型晶体管的沟道长度是指在晶体管的俯视图中,半导体(或在晶体管处于开启状态时,在半导体中电流流过的部分)和栅极重叠的区域或者形成沟道的区域中的源极和漏极之间的距离。

[0450] 在本说明书等中,例如,沟道宽度是指半导体(或在晶体管处于开启状态时,在半导体中电流流过的部分)和栅电极重叠的区域、或者形成沟道的区域中的源极和漏极相对的部分的长度。

[0451] 在本说明书等中,节点也可以根据电路结构或器件结构等被称为端子、布线、电极、导电层、导电体或杂质区域等。另外,也可以将端子、布线等称作节点。

[0452] 在本说明书等中,“A与B连接”是指A与B电连接。在此,“A与B电连接”是指在A和B之间存在对象物(开关、晶体管元件或二极管等的元件、或者包含该元件及布线的电路等)时可以在A和B间传送电信号的连接。注意,A与B电连接的情况包括A与B直接连接的情况。在此,A与B直接连接是指A和B能够不经过上述对象物而在其间通过布线(或者电极)等传送电信号的连接。换言之,直接连接是指在使用等效电路表示时可以看作相同的电路图的连接。

[0453] [符号说明]

[0454] 10:存储装置、20:元件层、21:预充电电路、22:读出放大器、23:读出电路、30:元件层、31:单元阵列、32:存储单元、33:晶体管、34:电容器、40:控制电路、50:输入输出电路

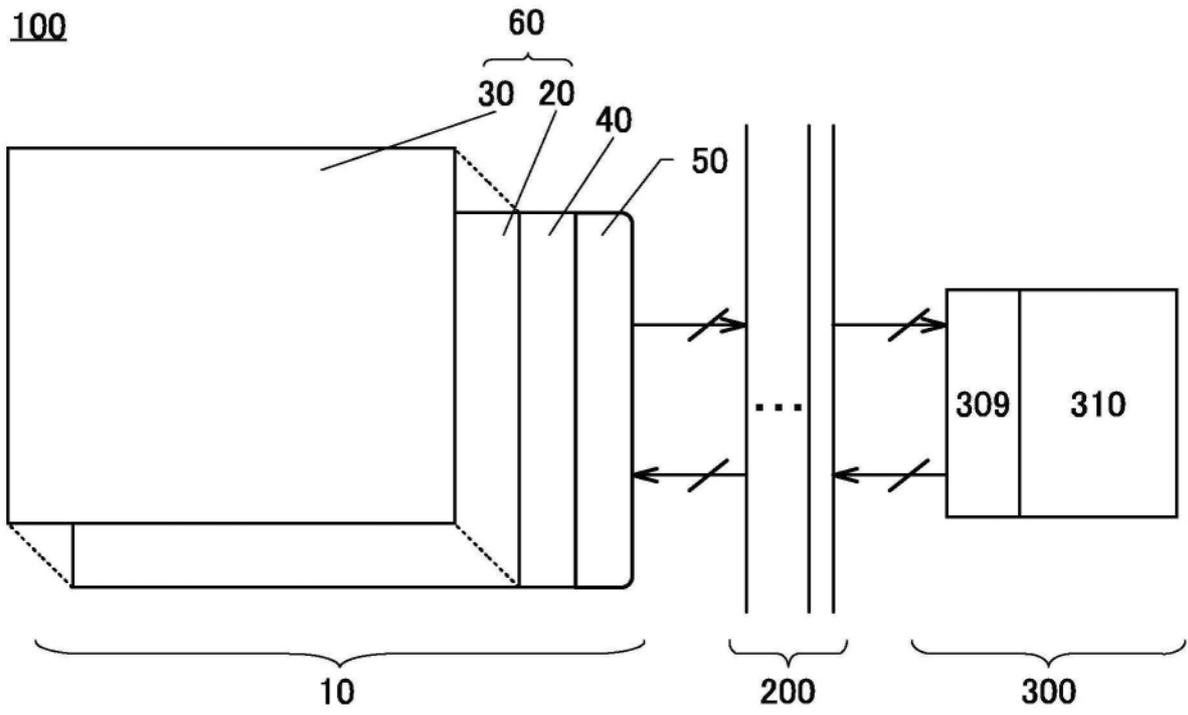


图1A

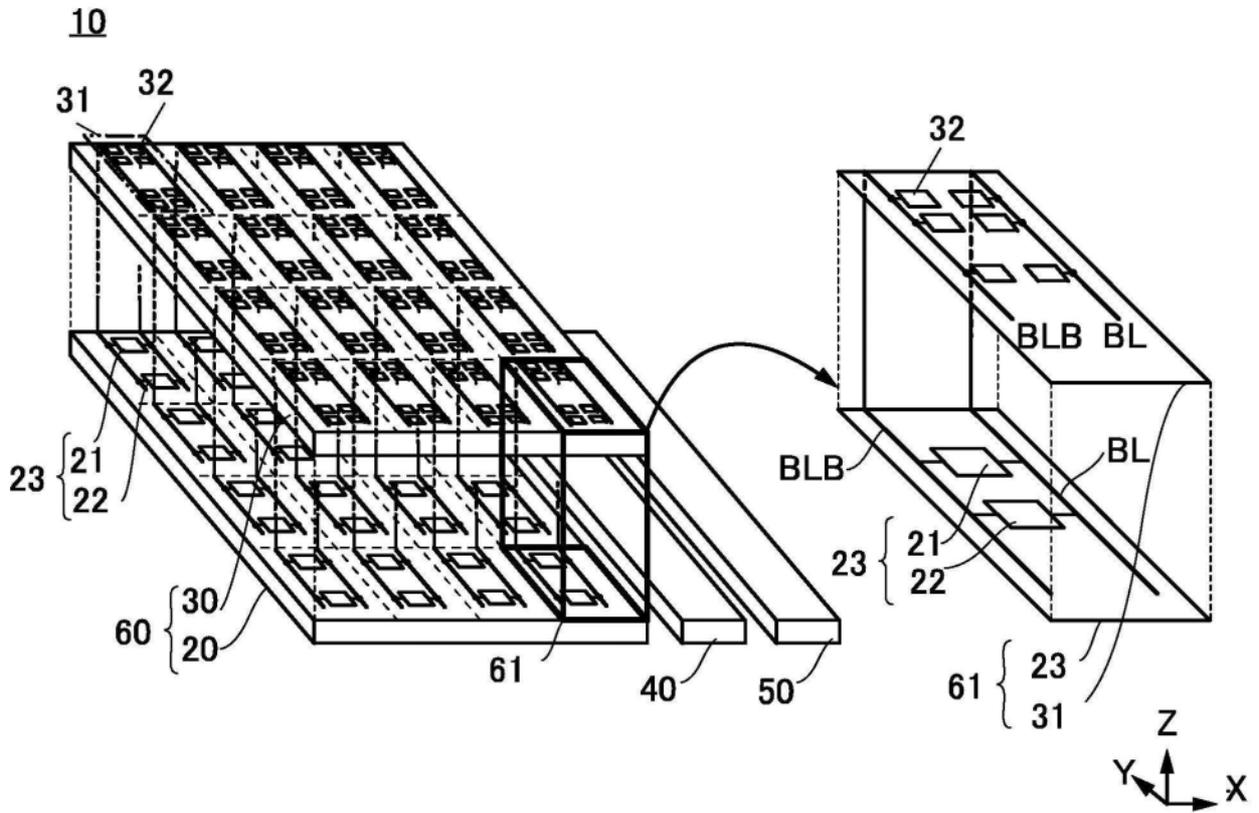


图1B

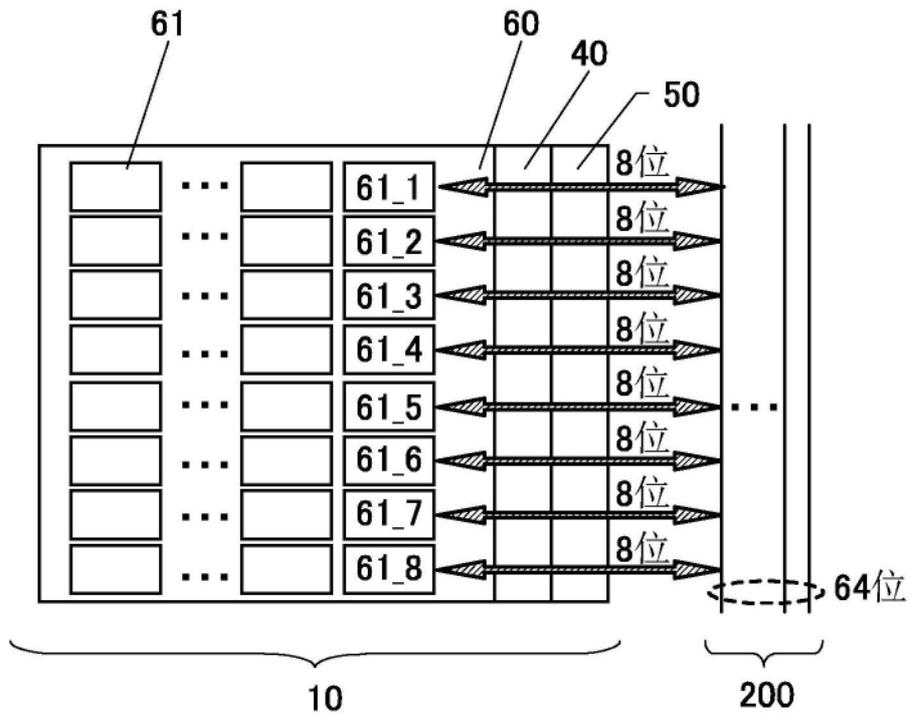


图2A

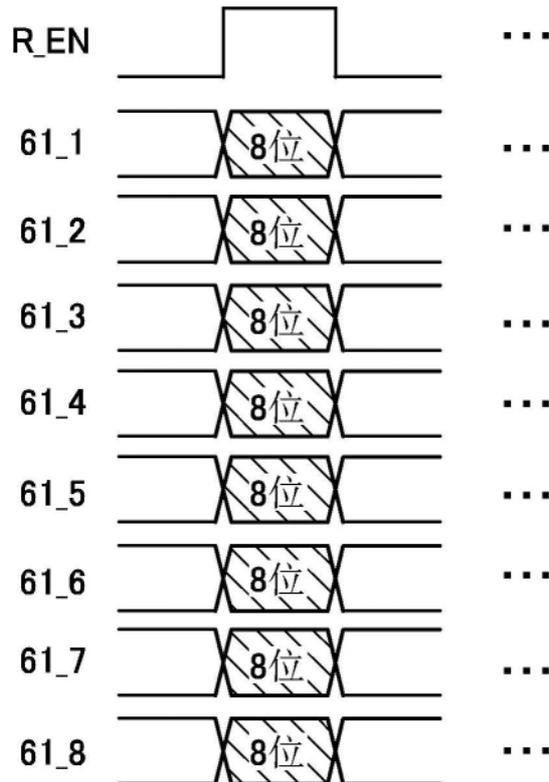


图2B

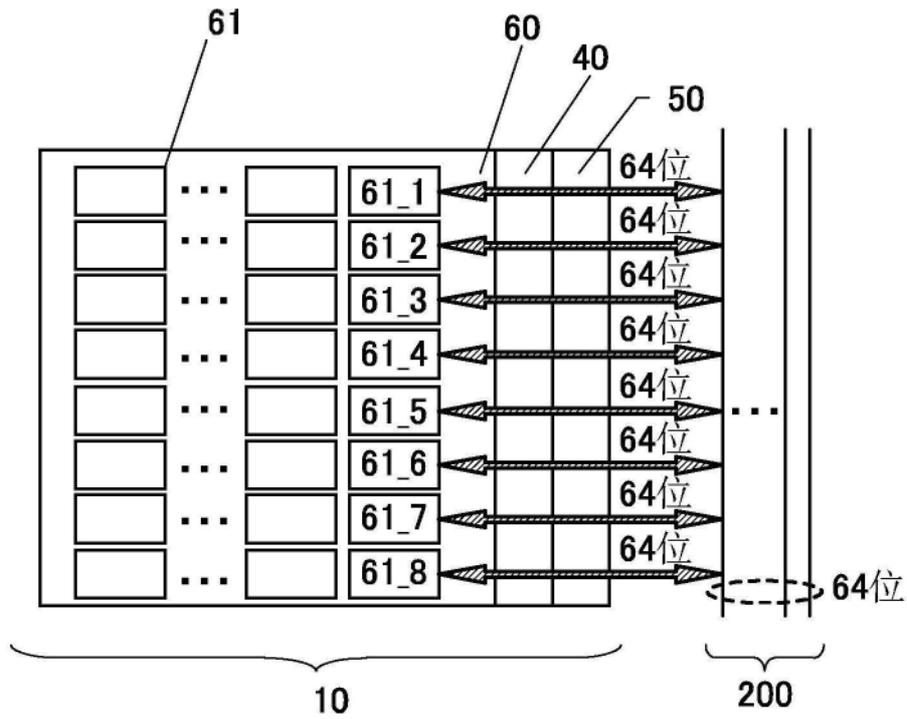


图3A

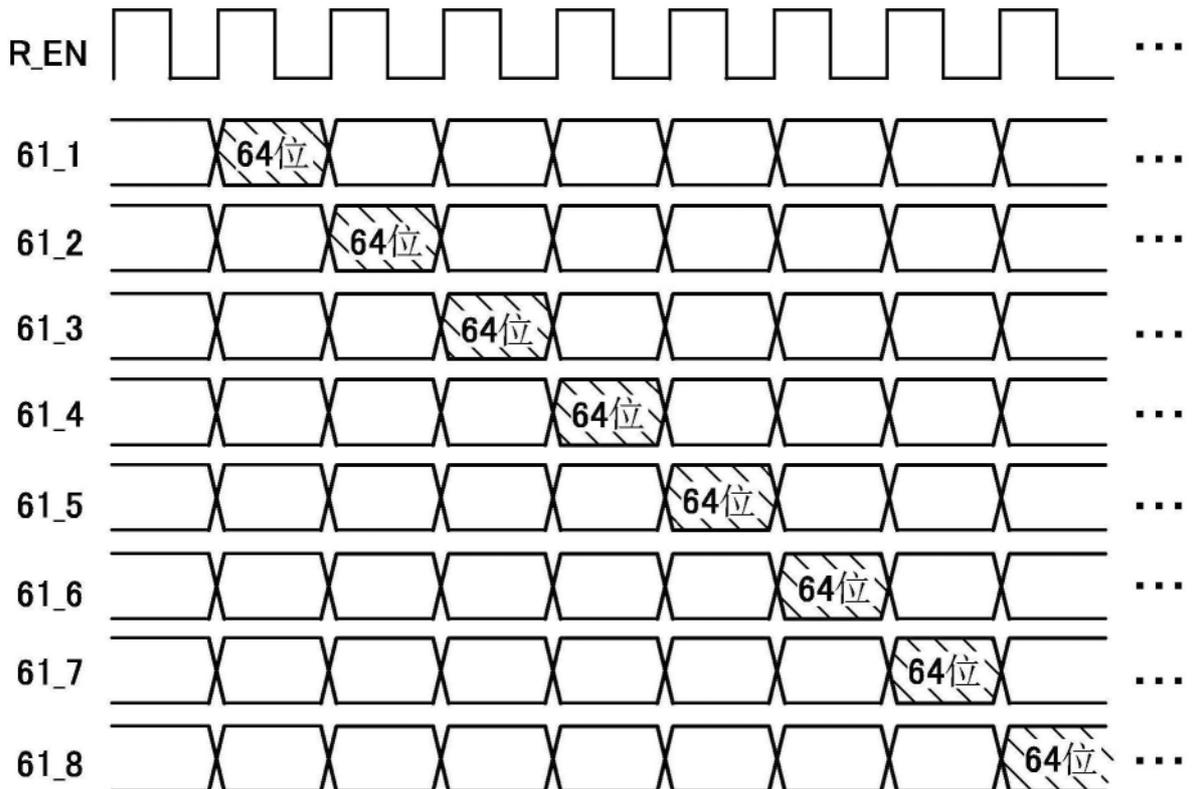


图3B

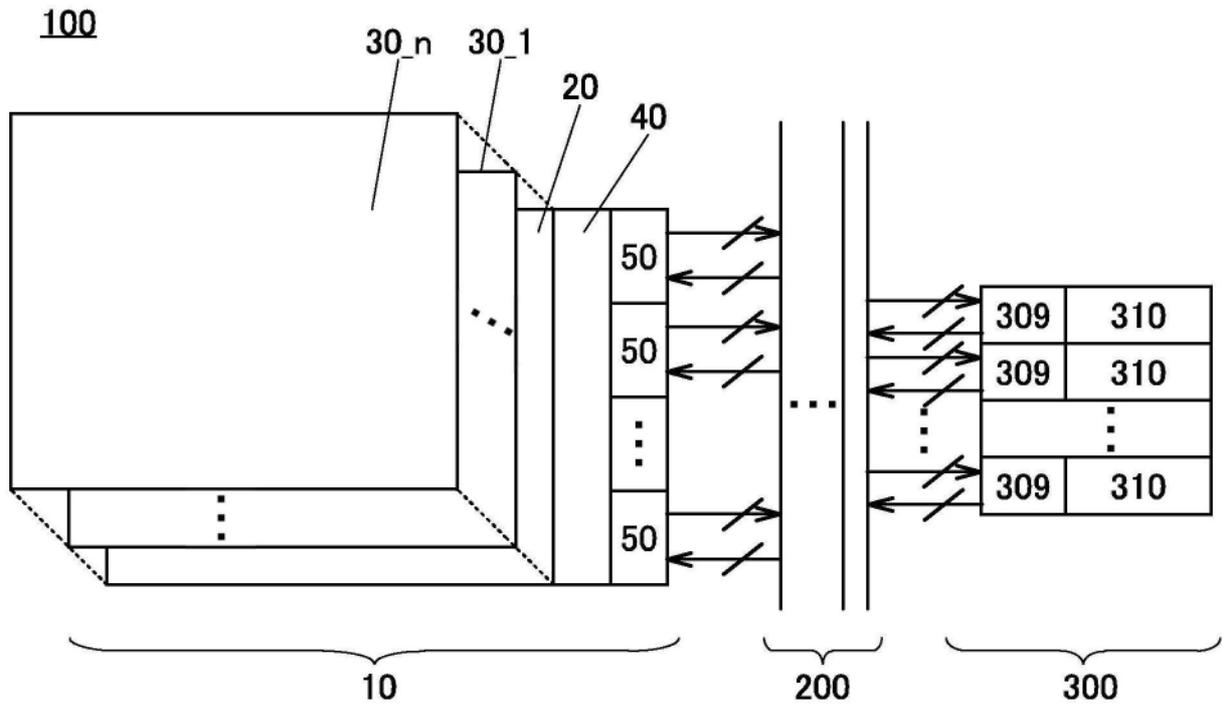


图4A

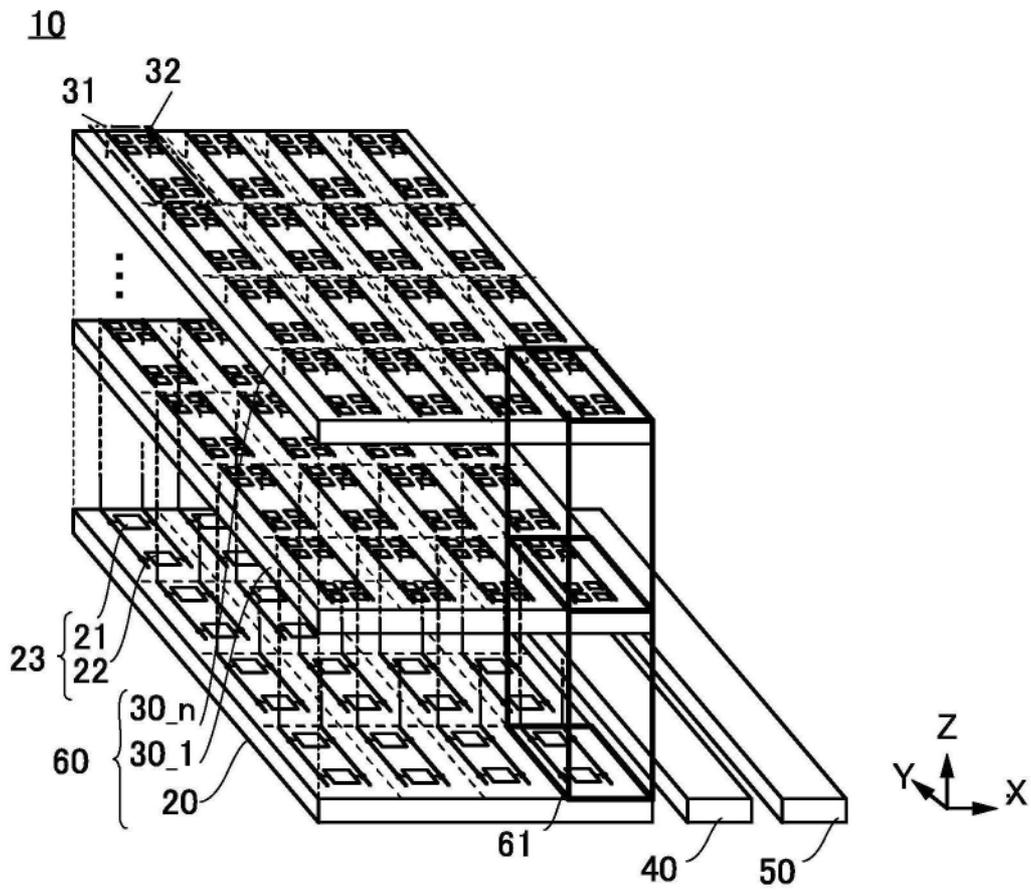


图4B



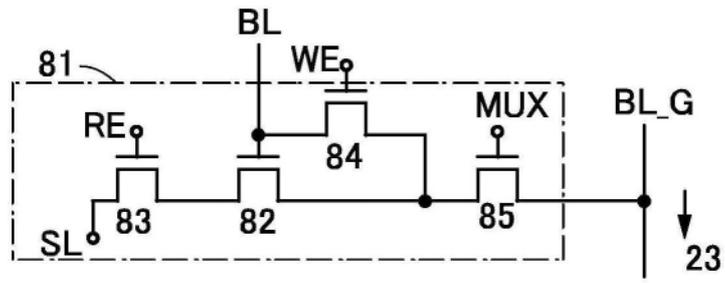


图5C

61

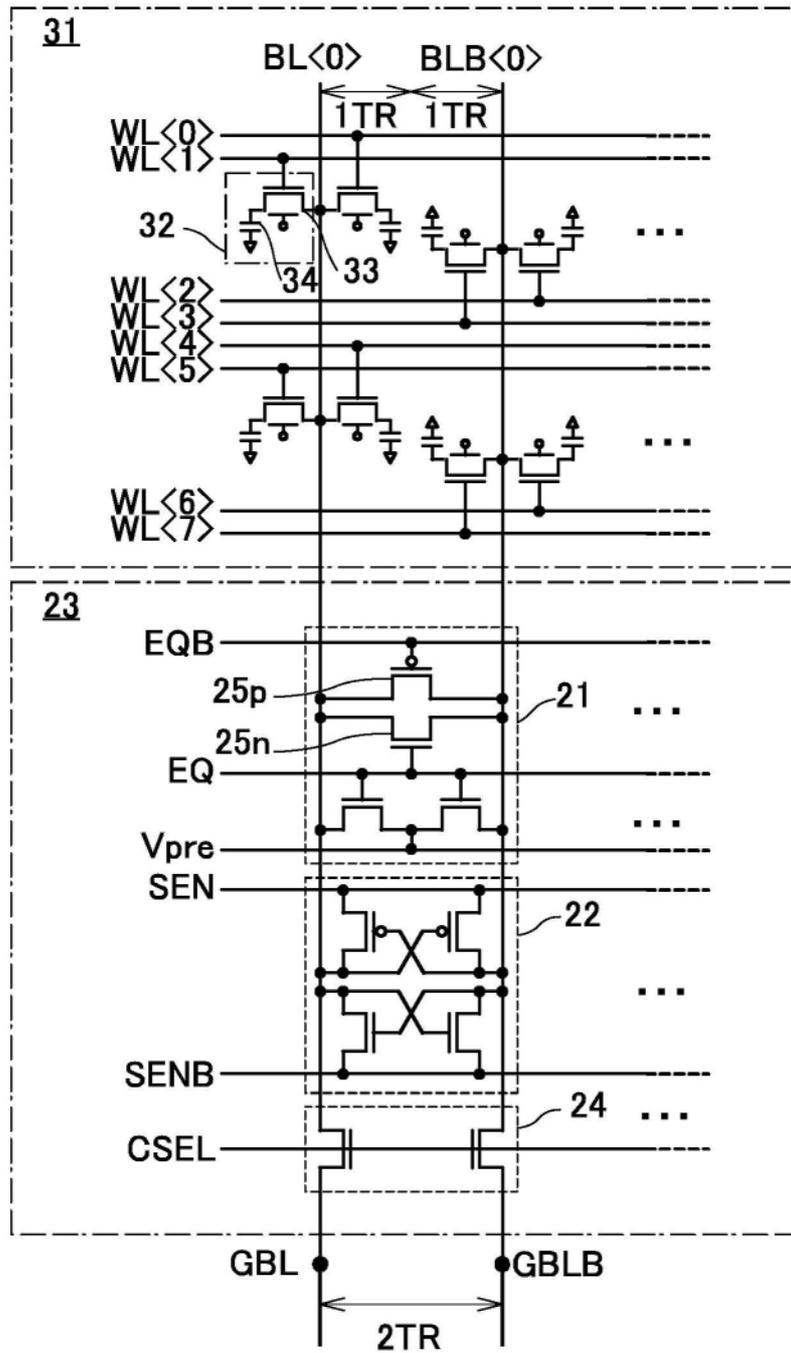


图6

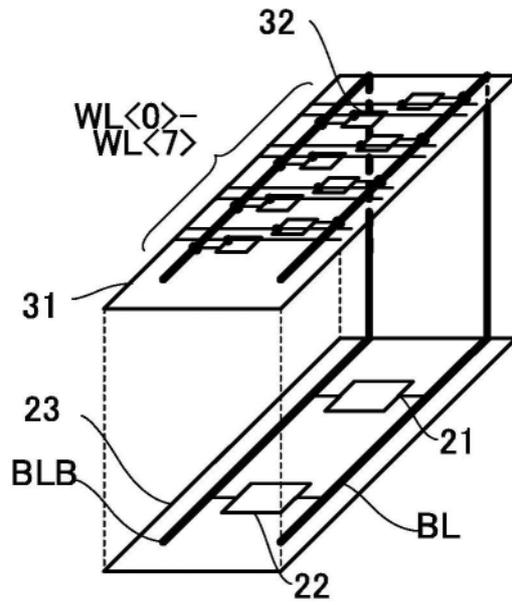


图7A

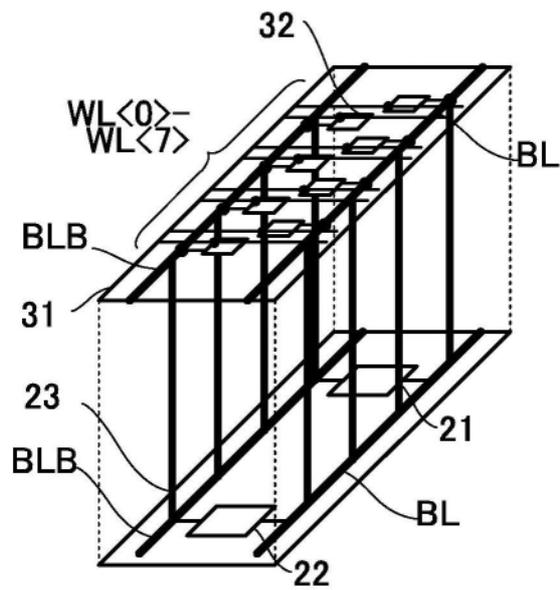


图7B

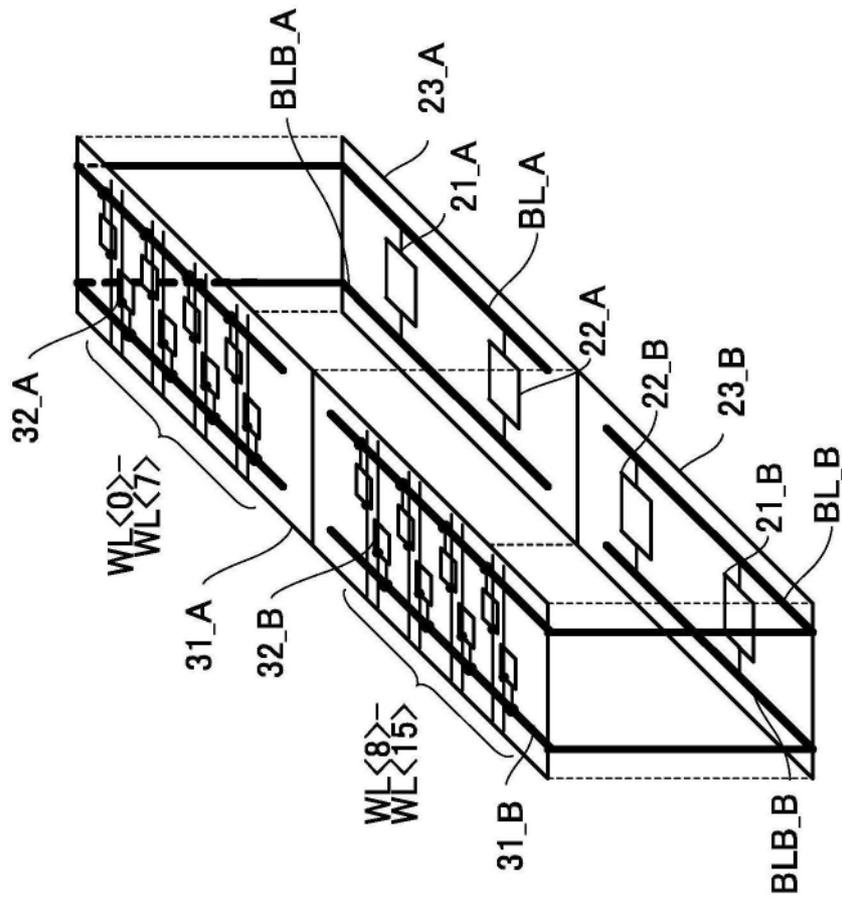


图8A

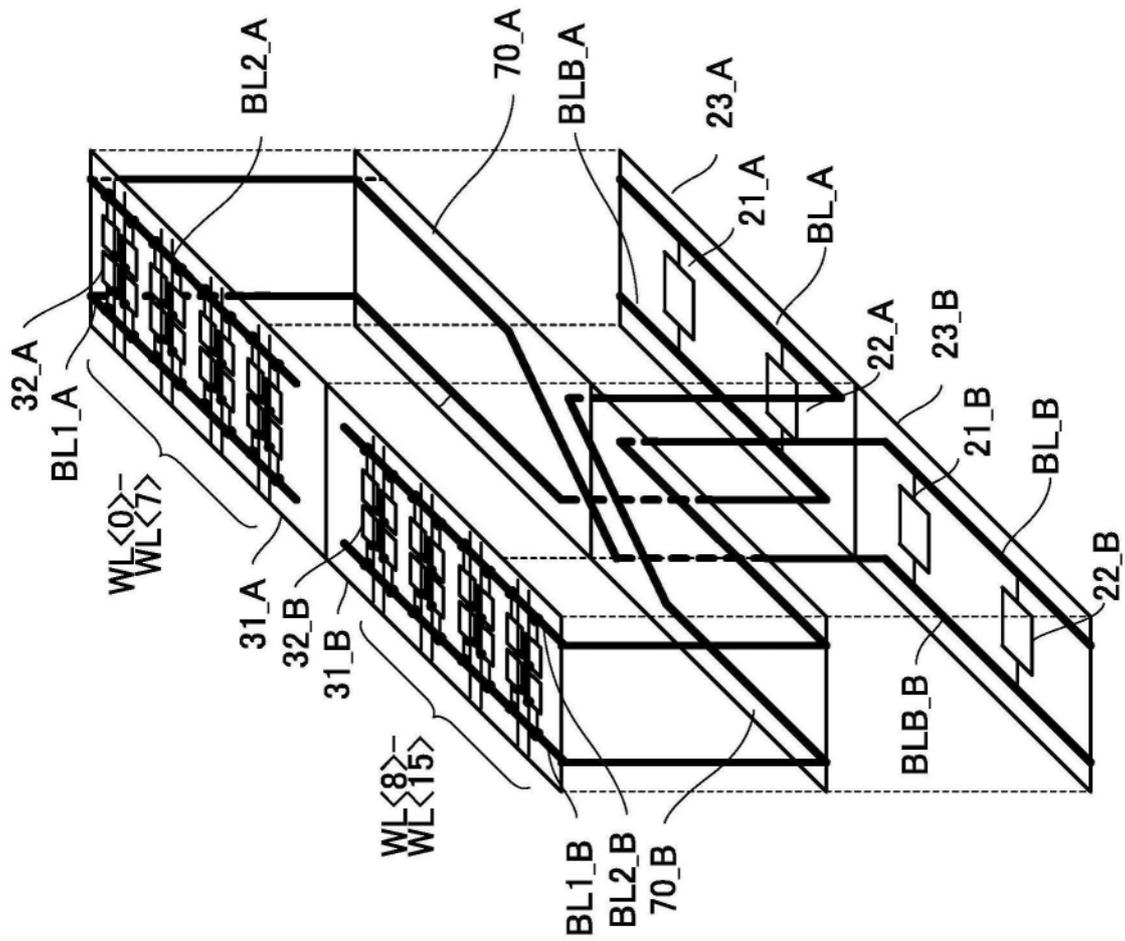


图8B

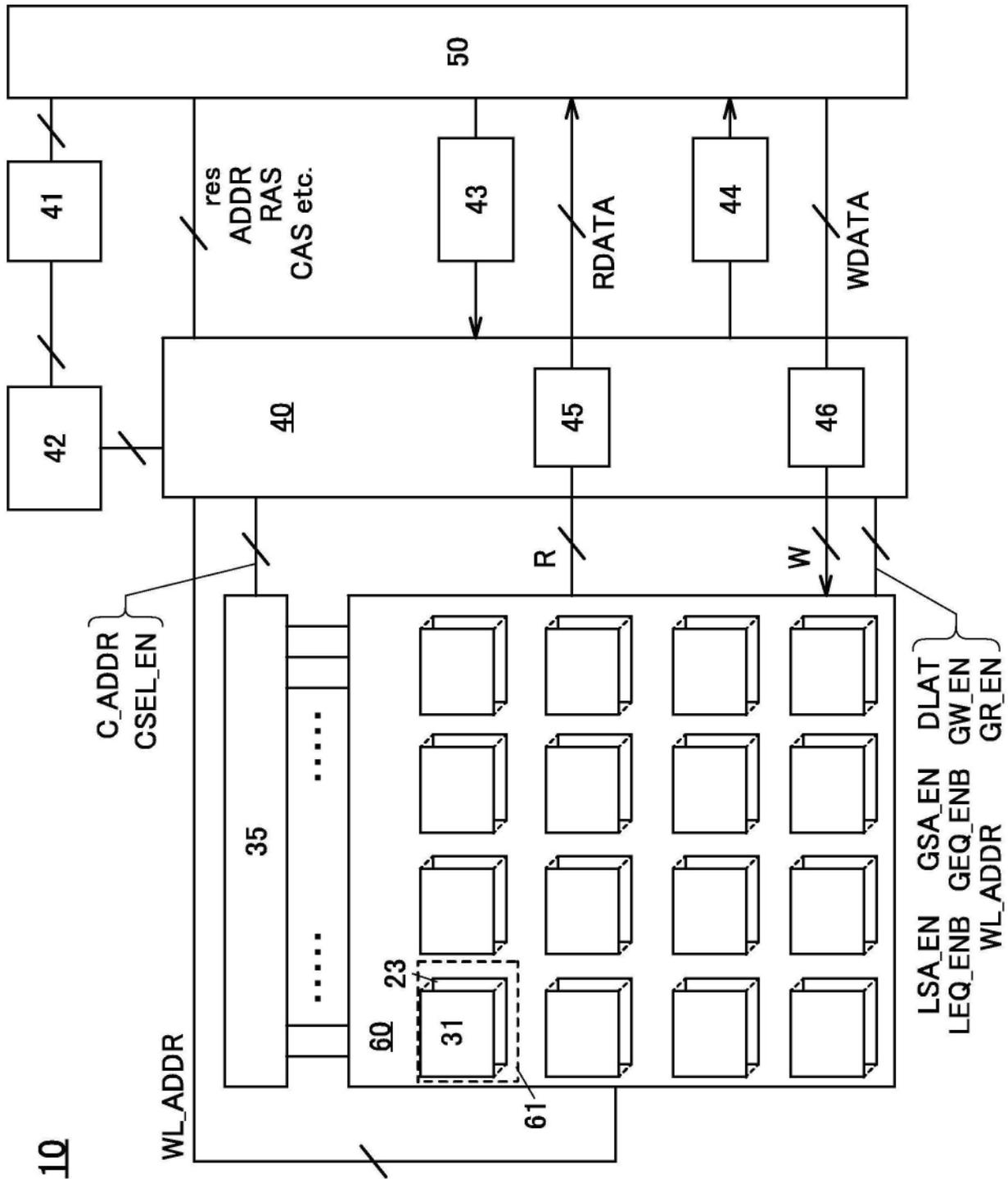


图9

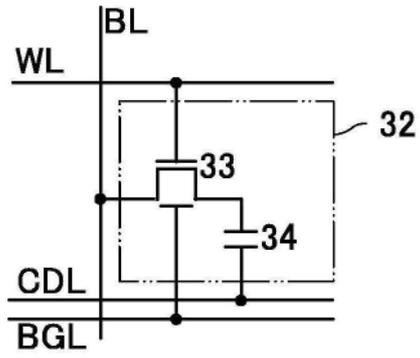


图10A

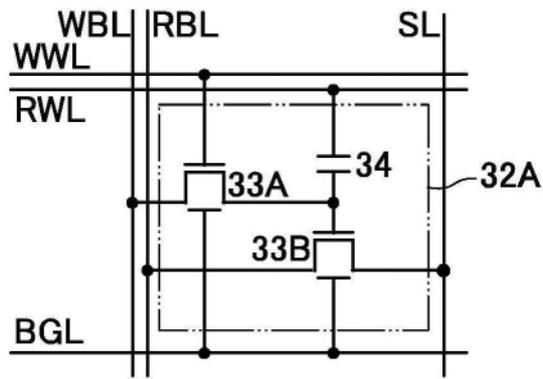


图10B

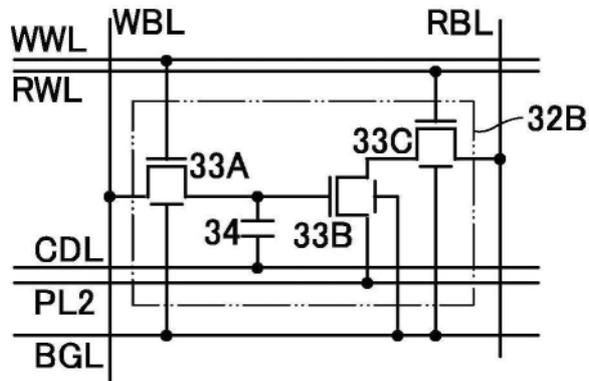


图10C

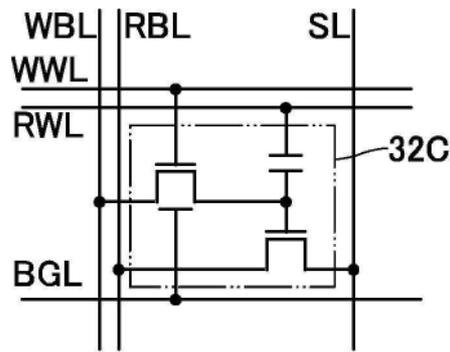


图10D

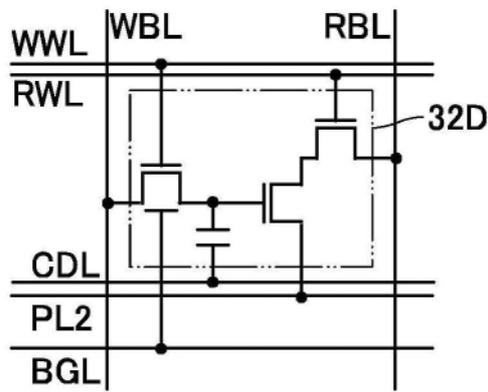


图10E

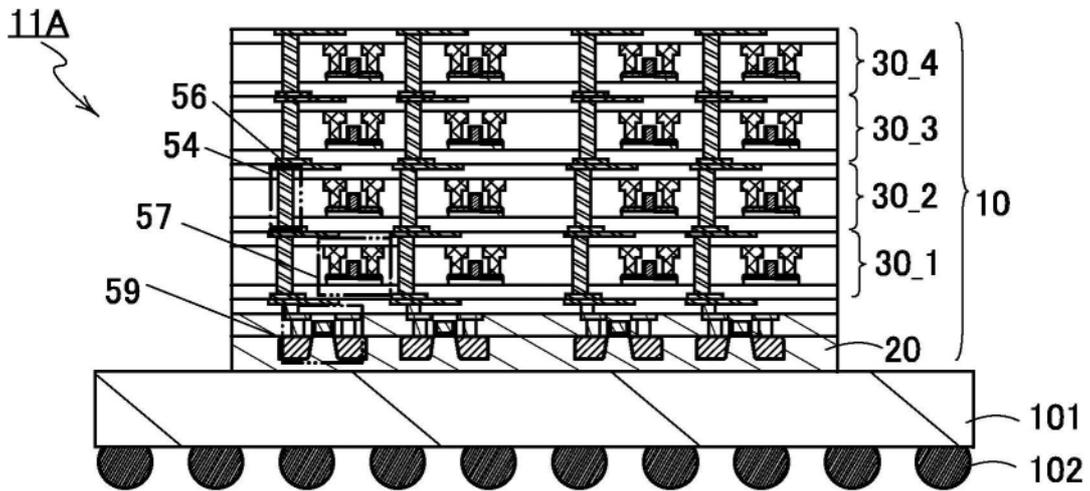


图11A

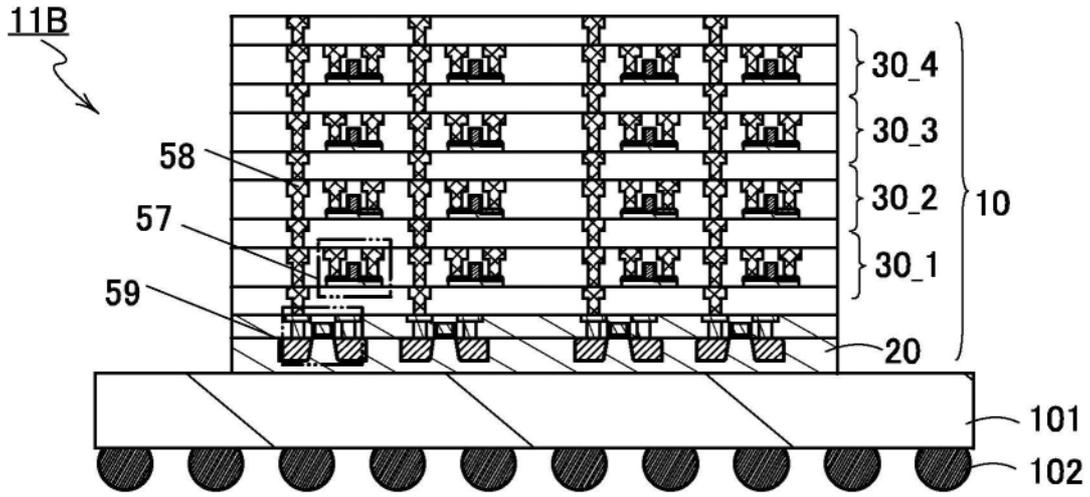


图11B

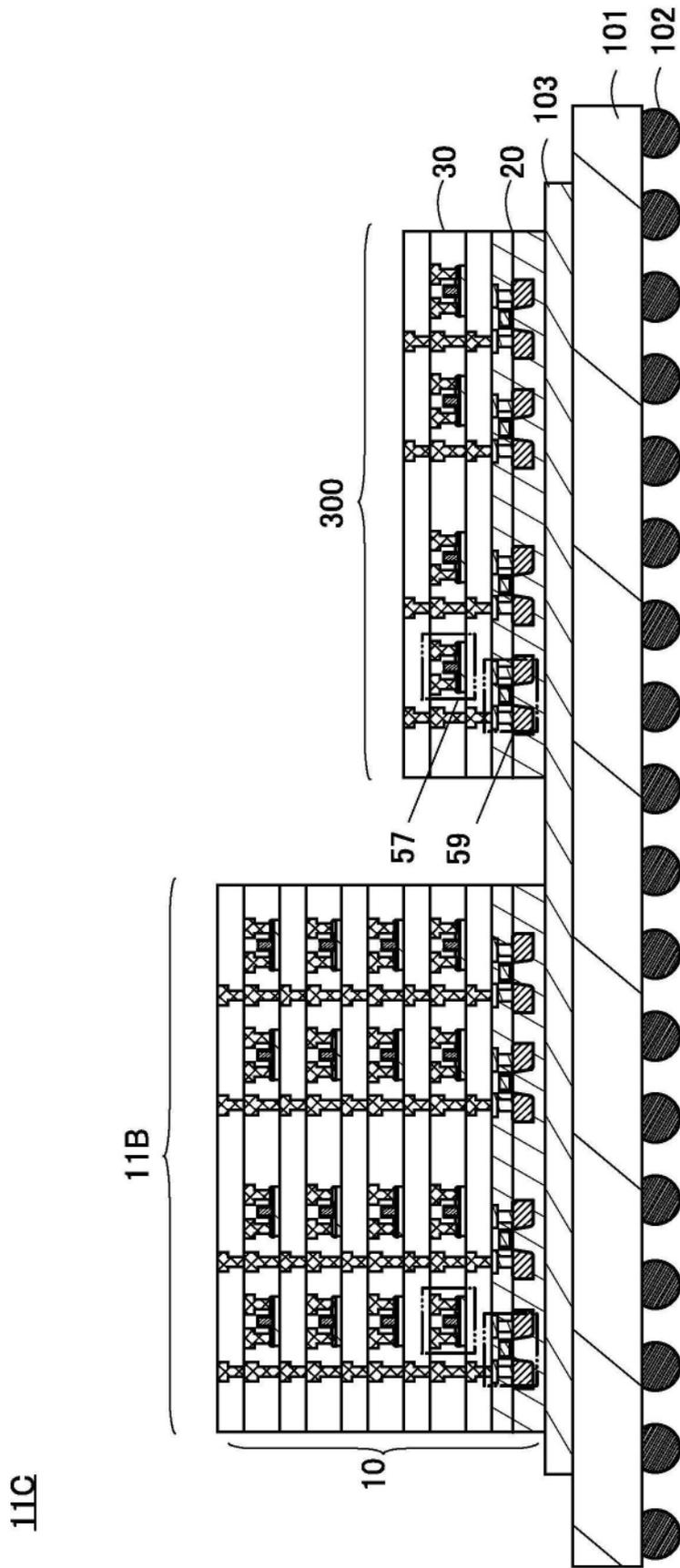


图12

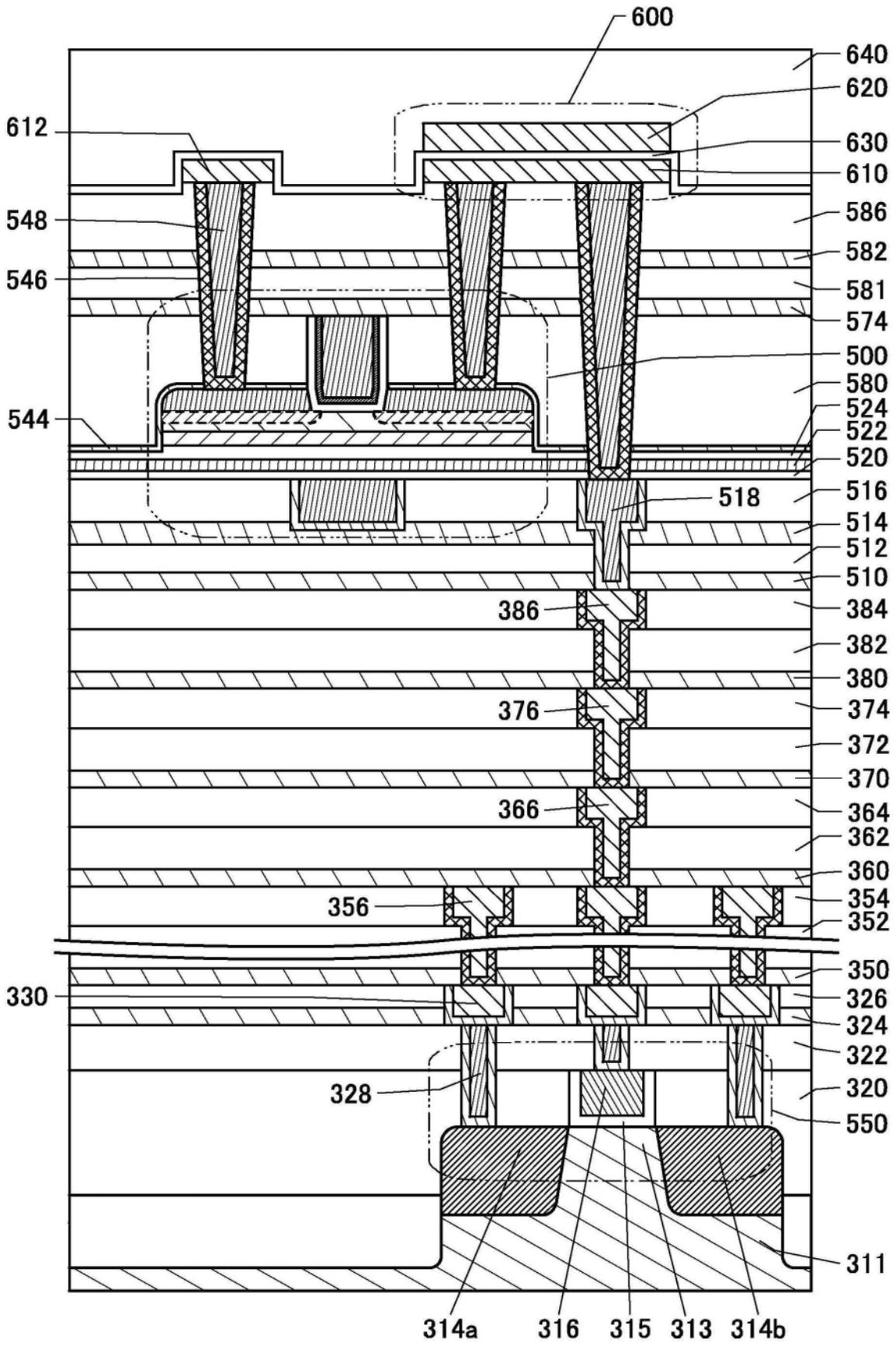


图13

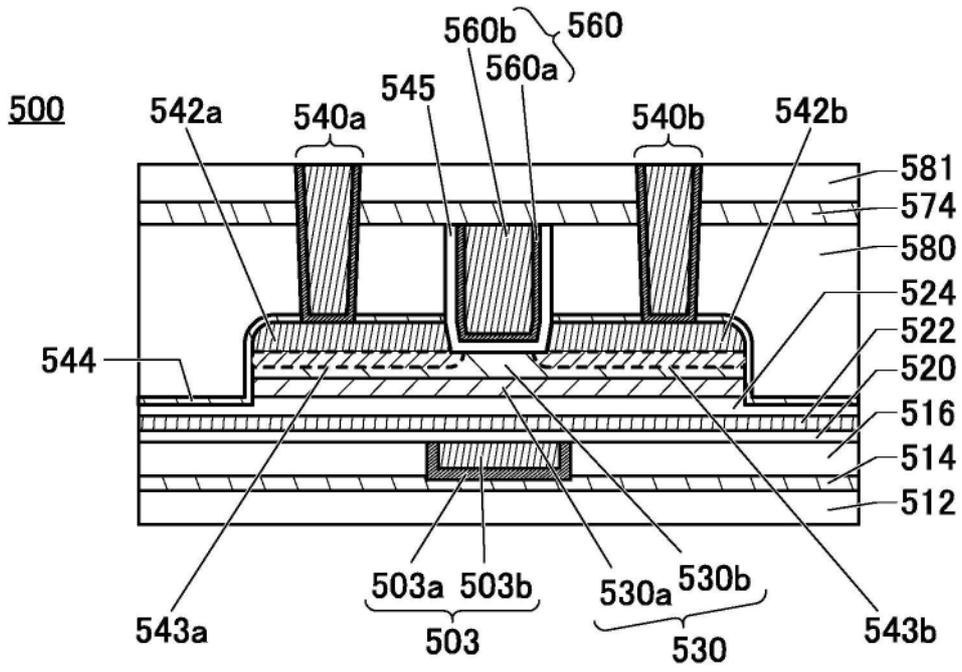


图14A

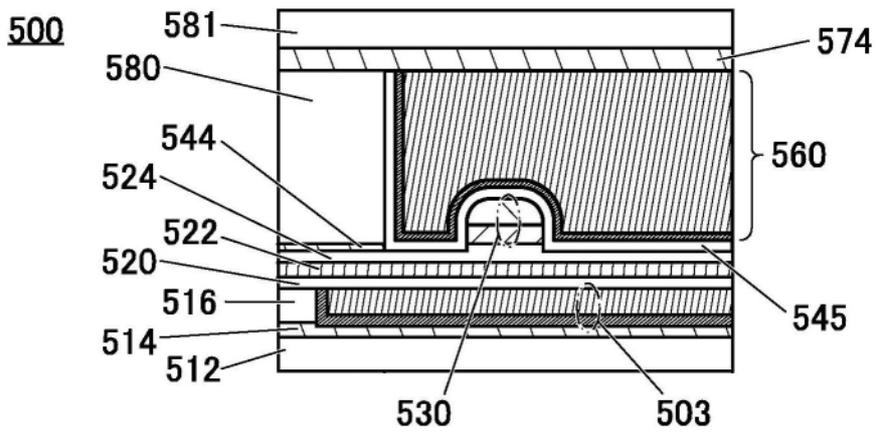


图14B

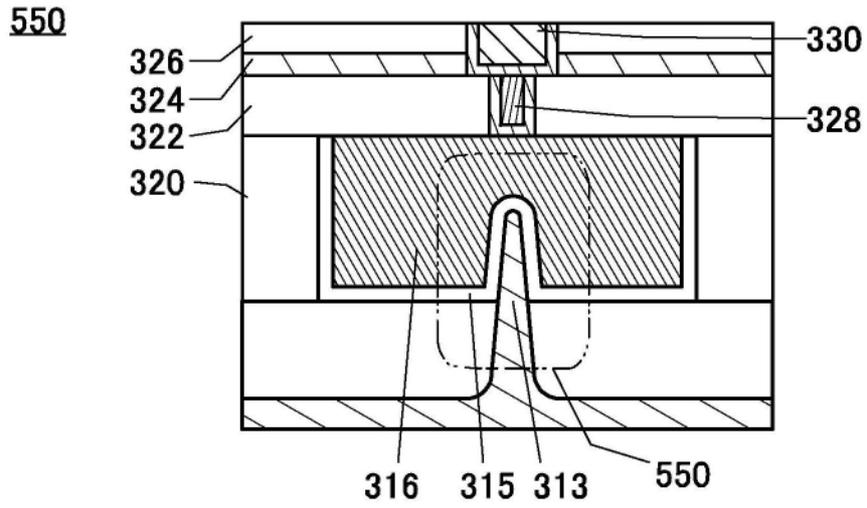


图14C

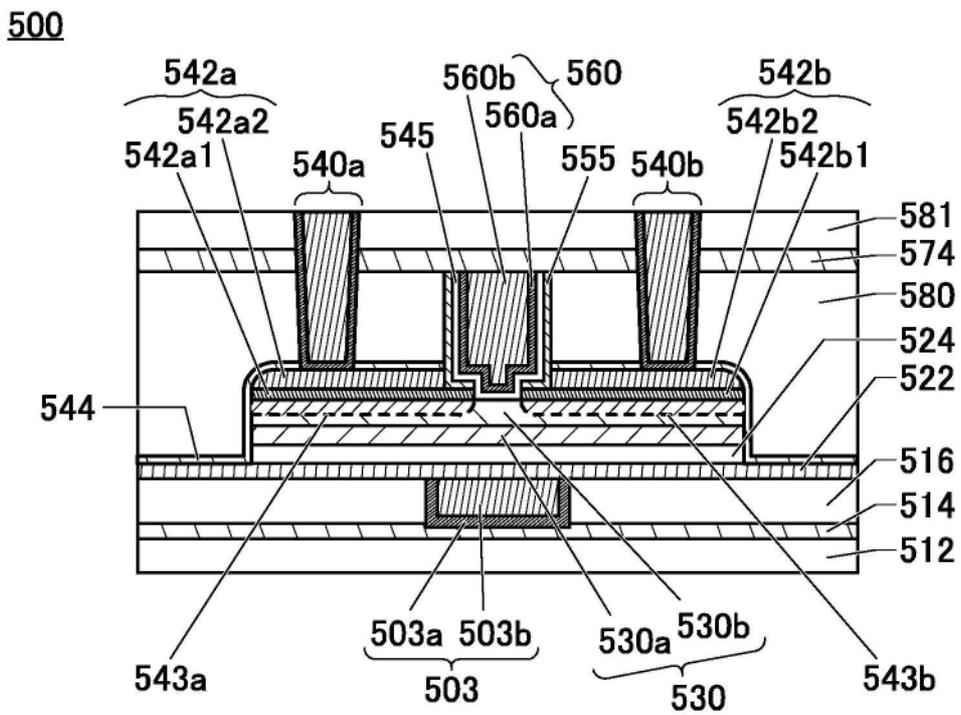


图15

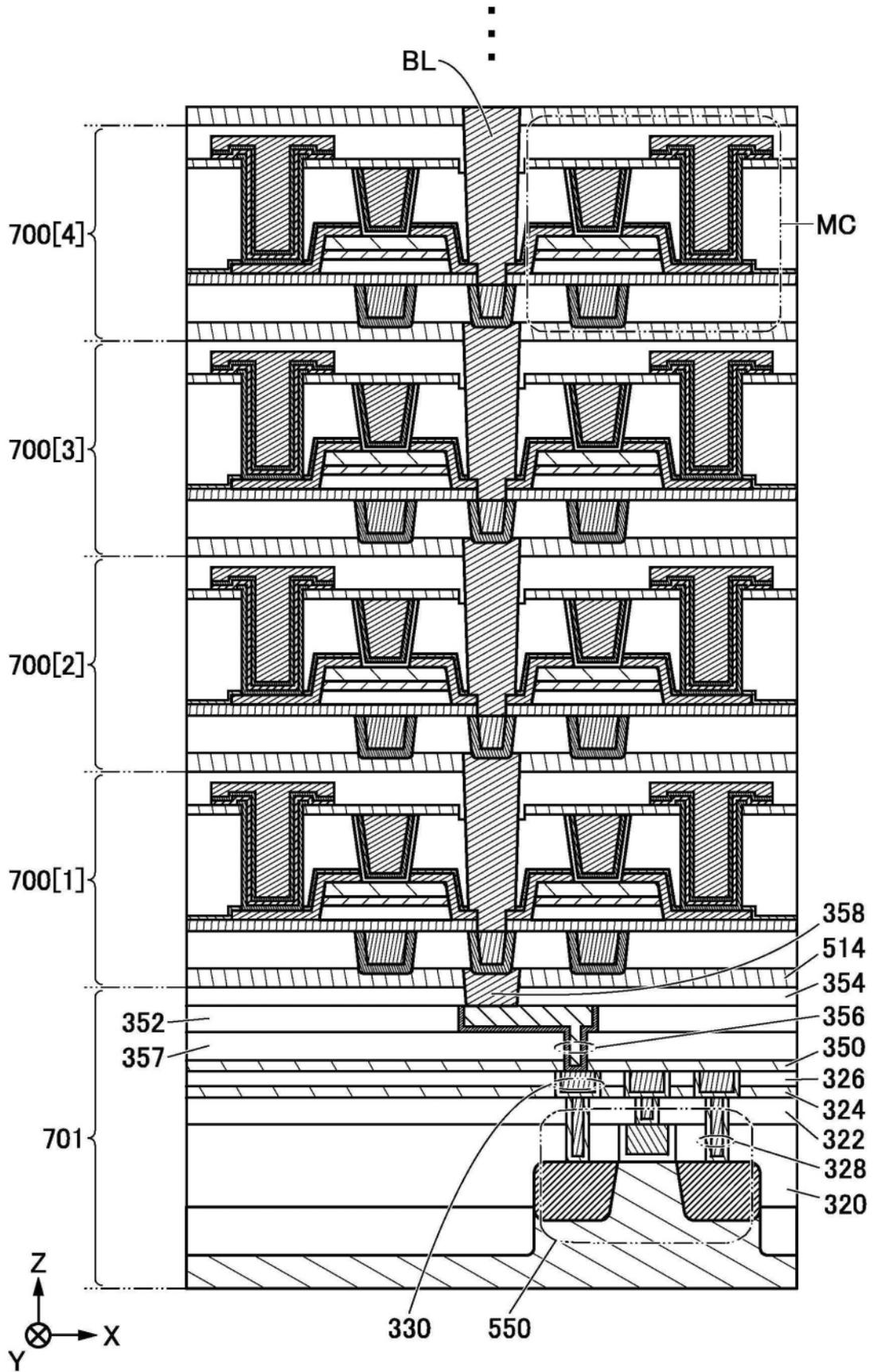


图16

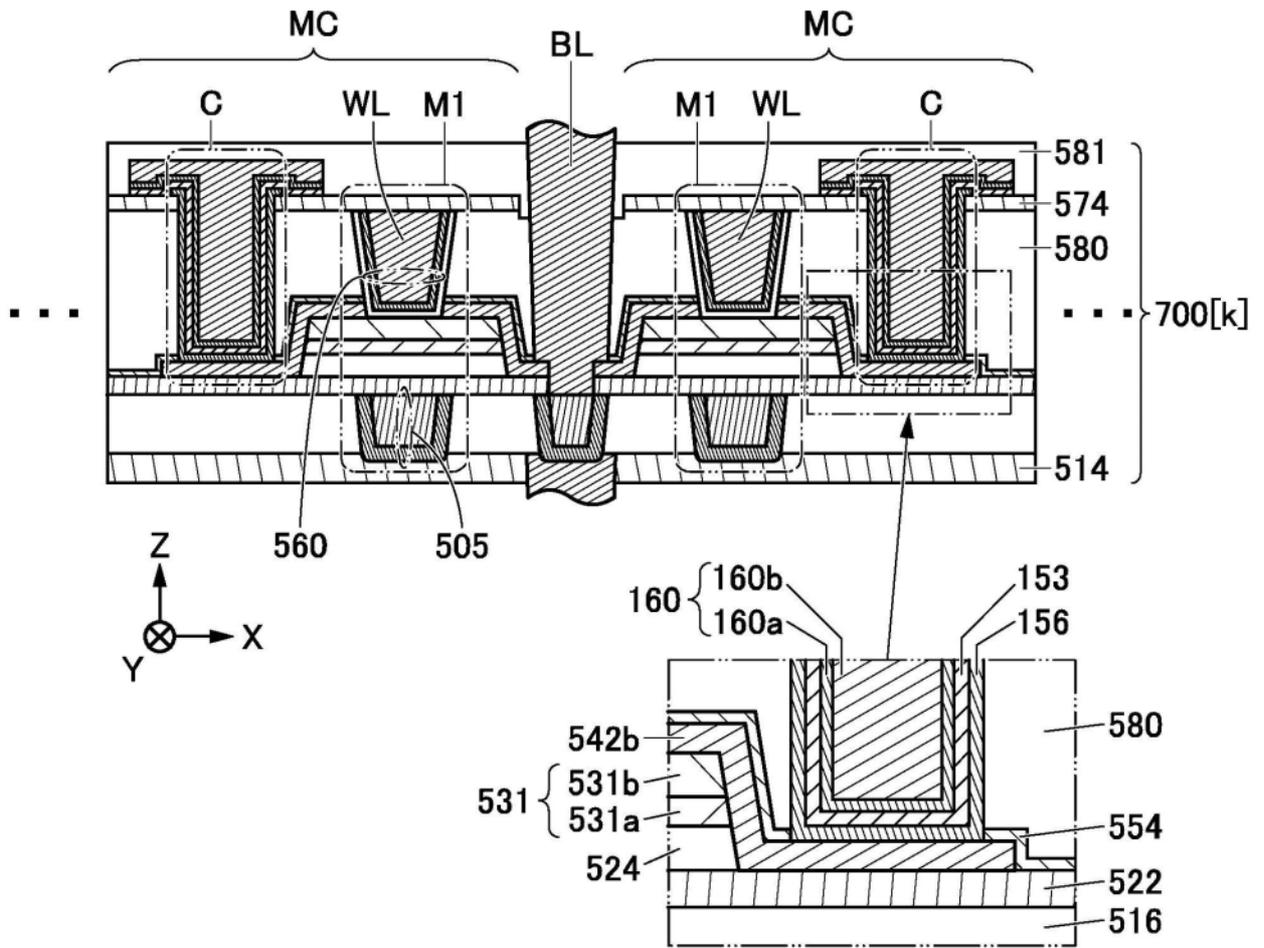


图17A

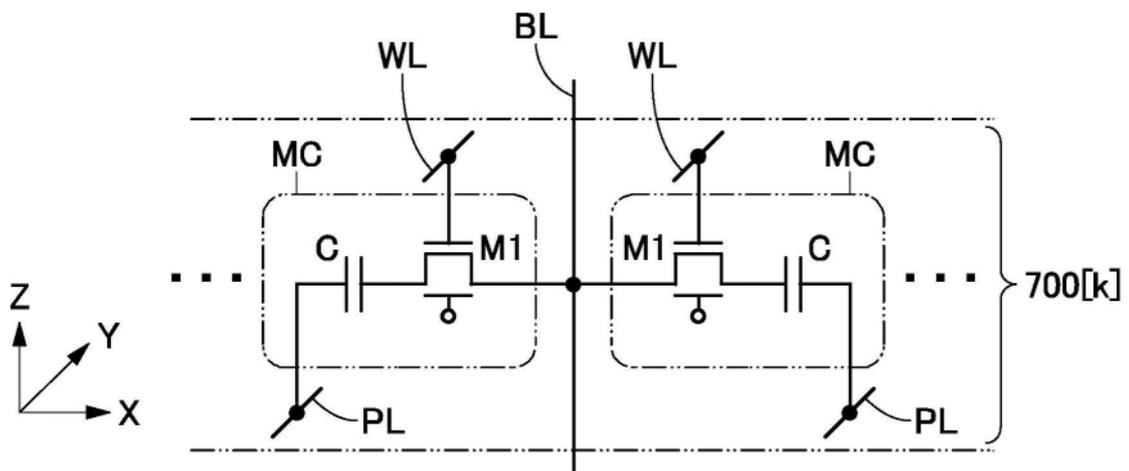


图17B

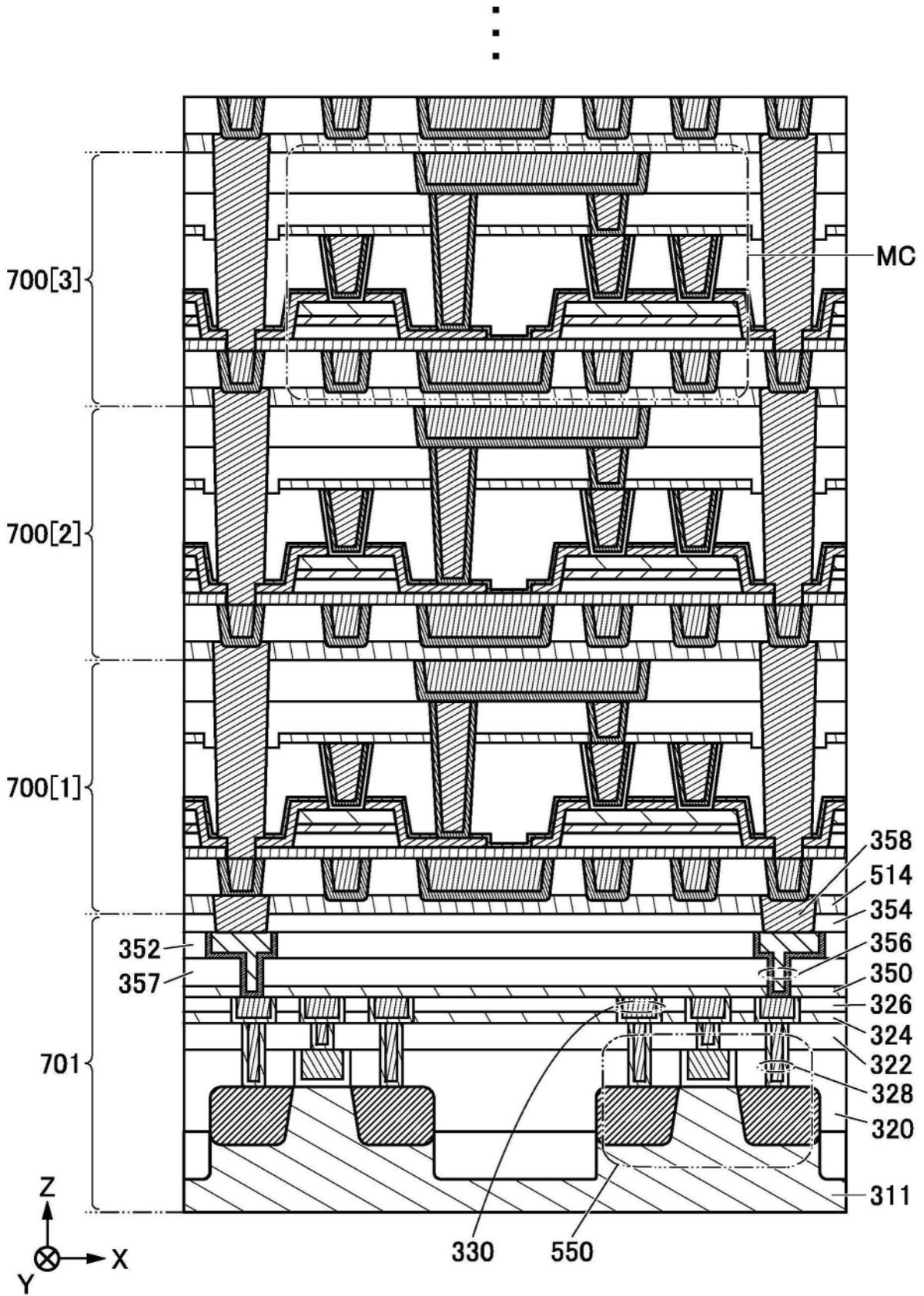


图18



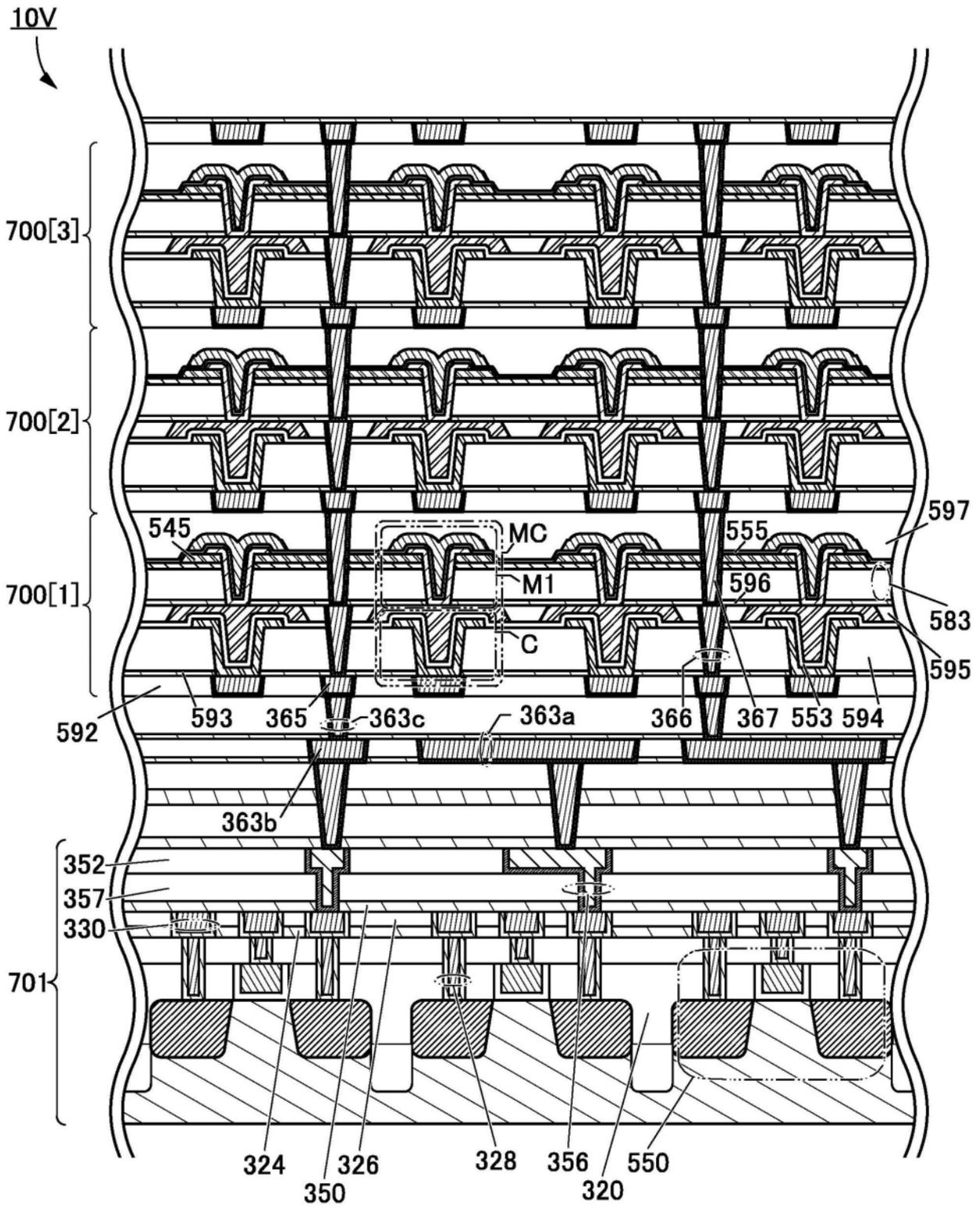


图20

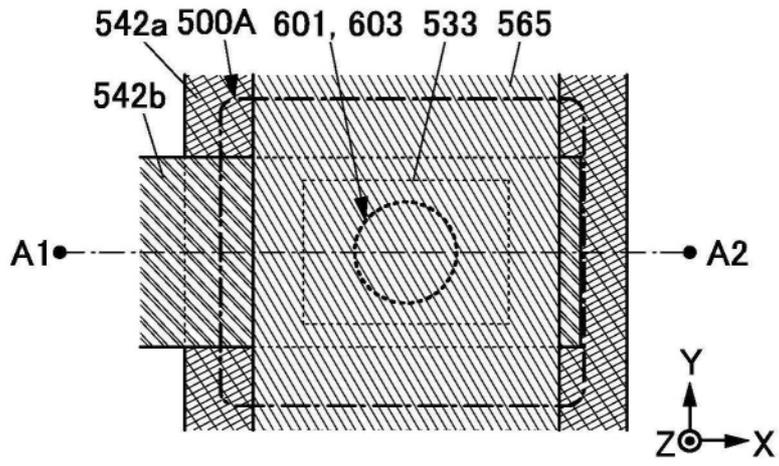


图21A

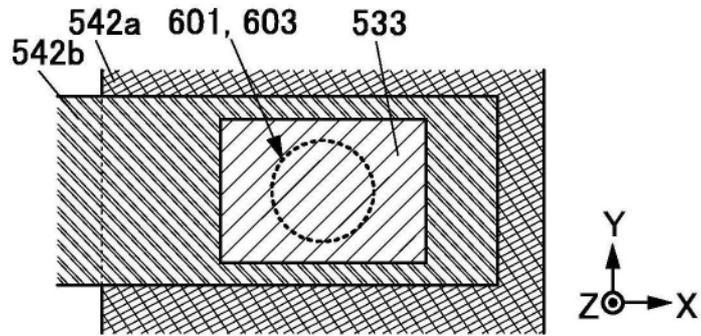


图21B

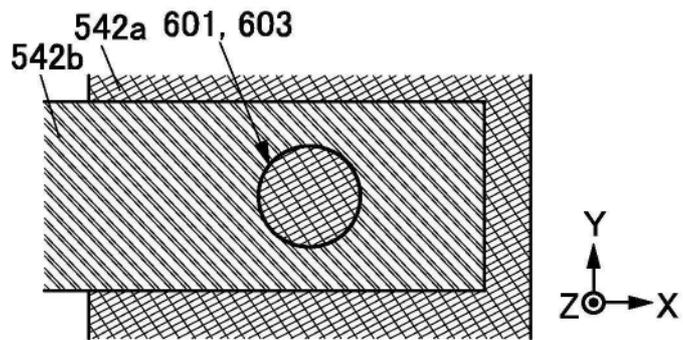


图21C

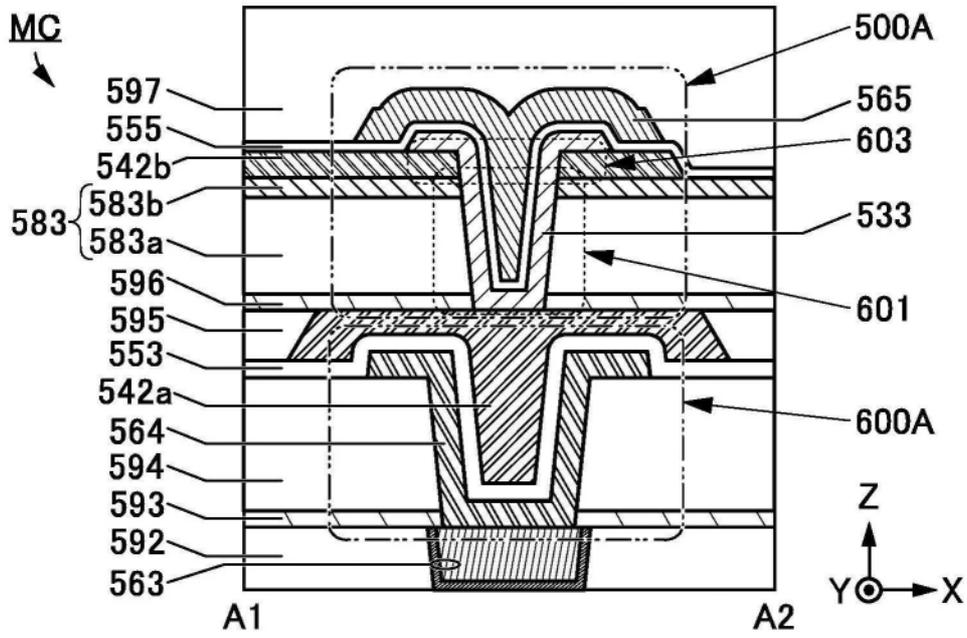


图21D

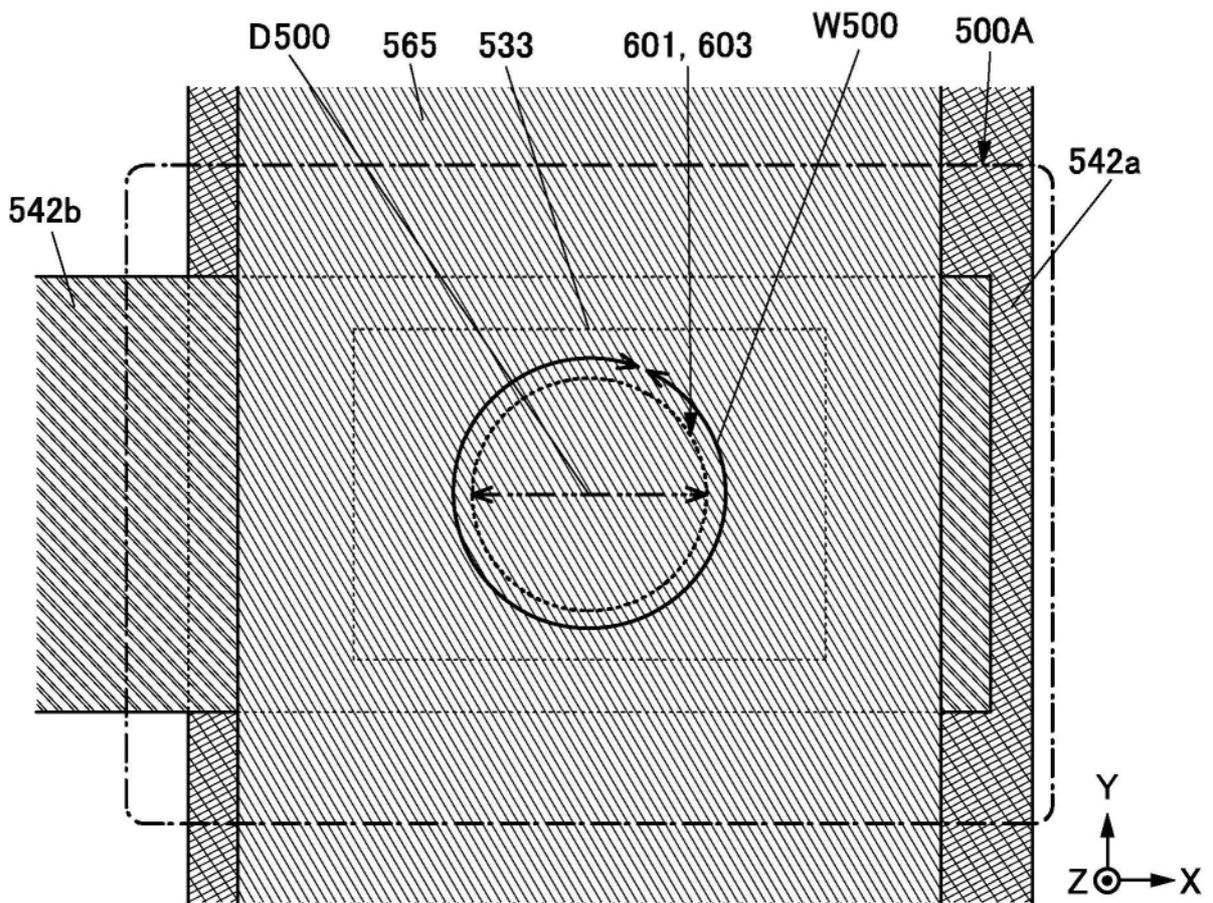


图22A

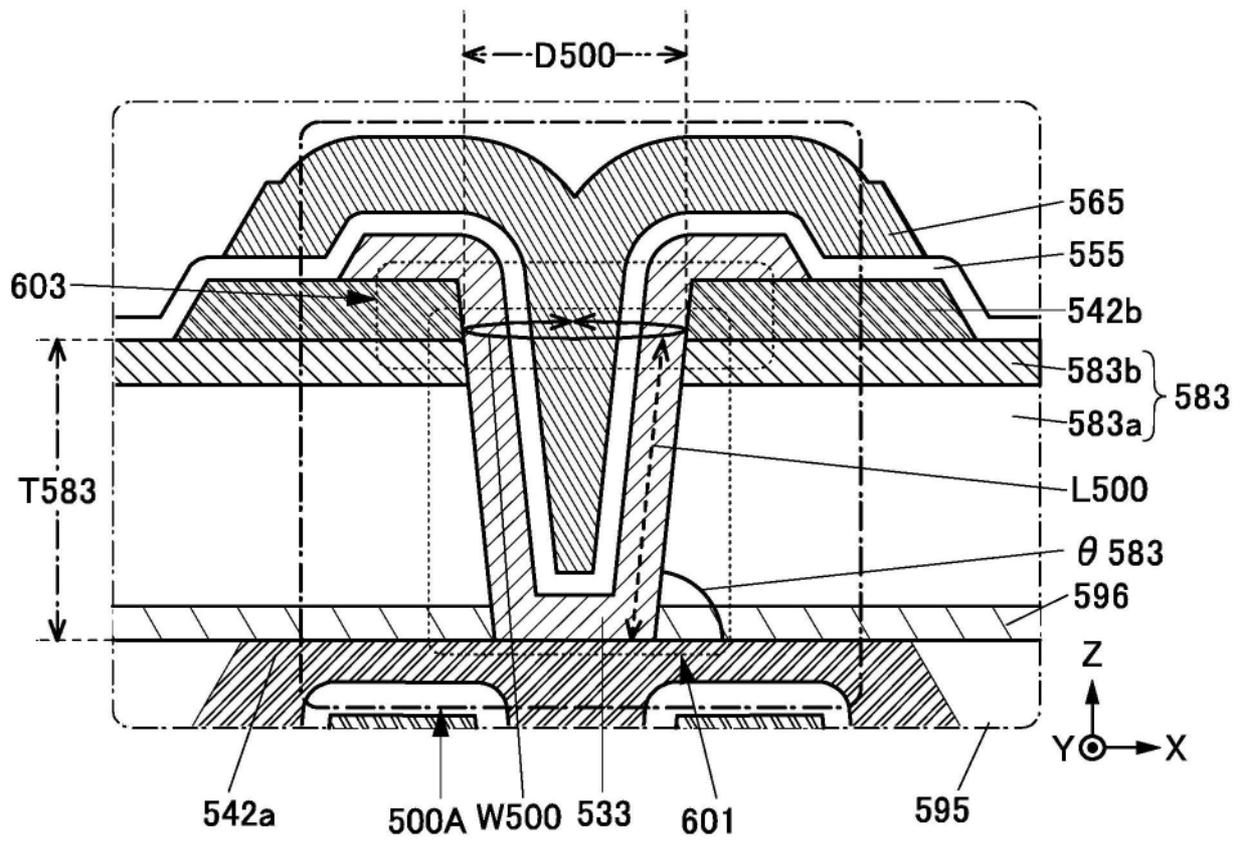


图22B

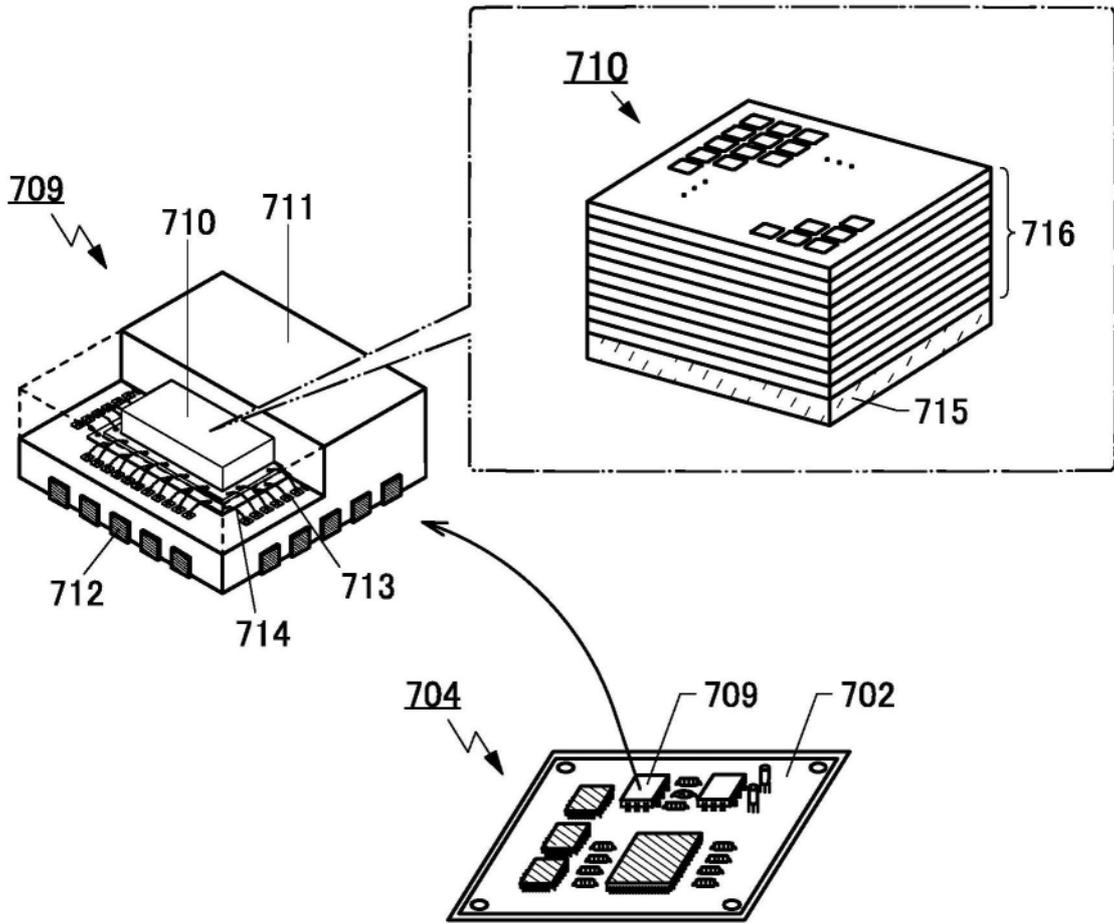


图23A

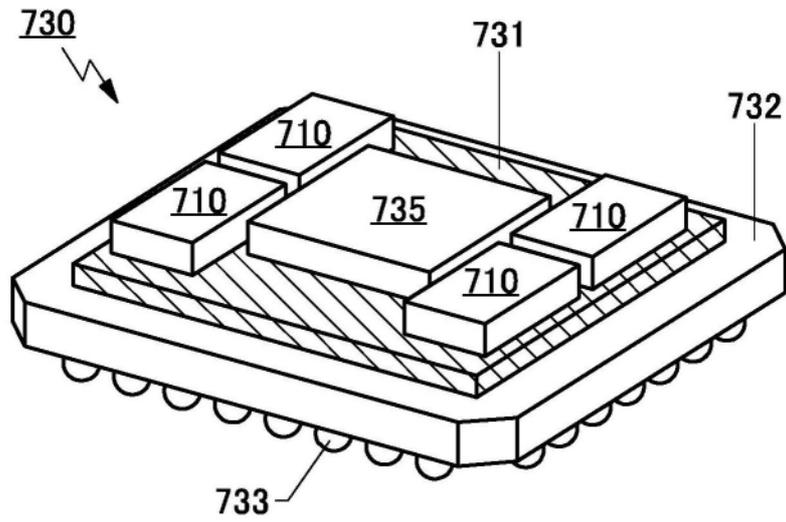


图23B

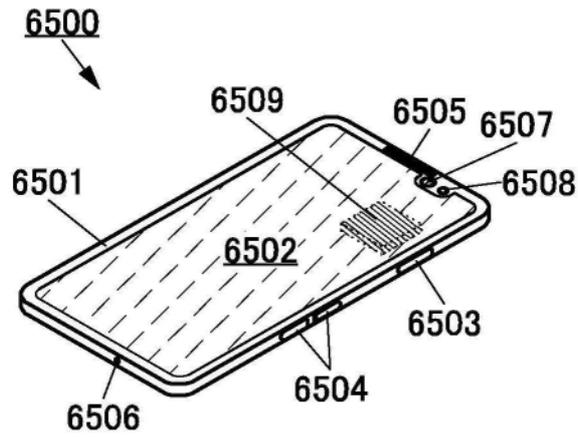


图24A

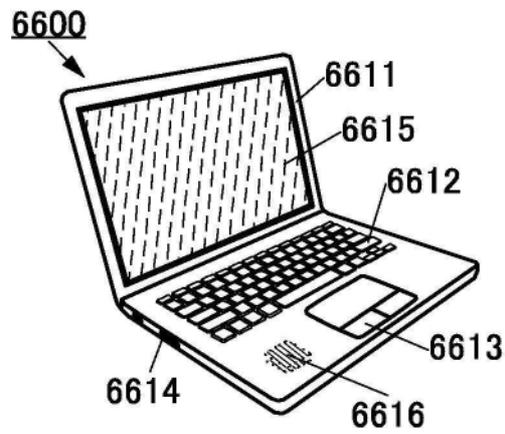


图24B

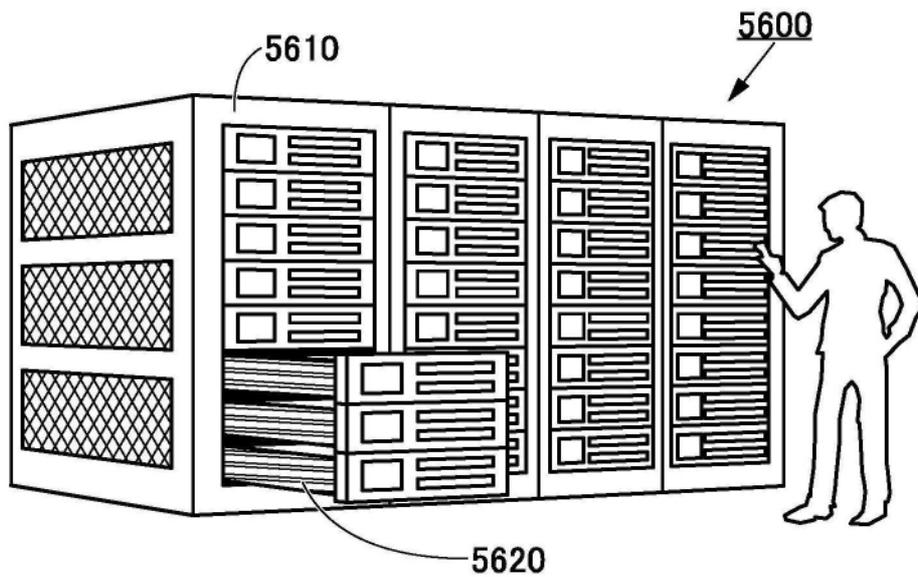


图24C

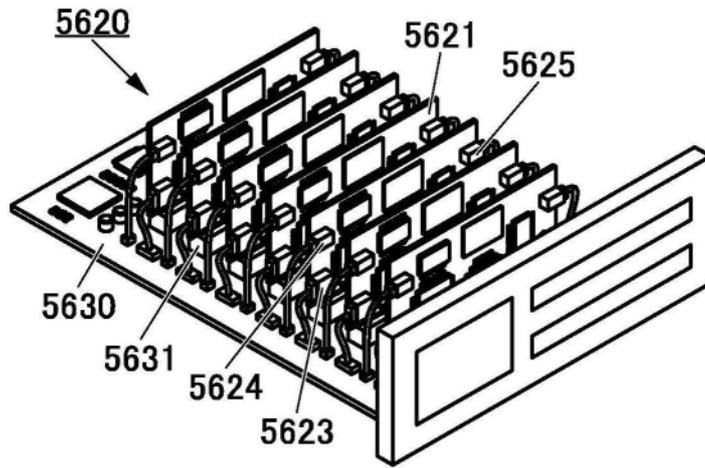


图24D

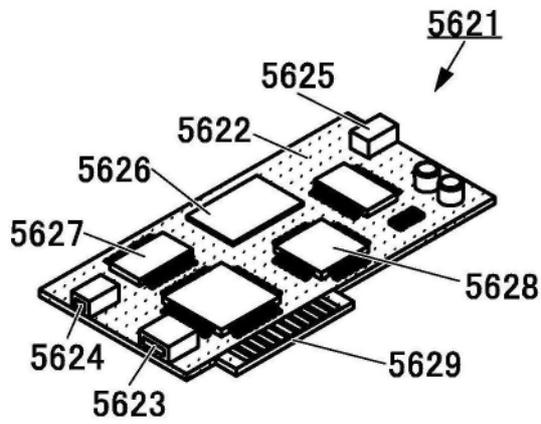


图24E

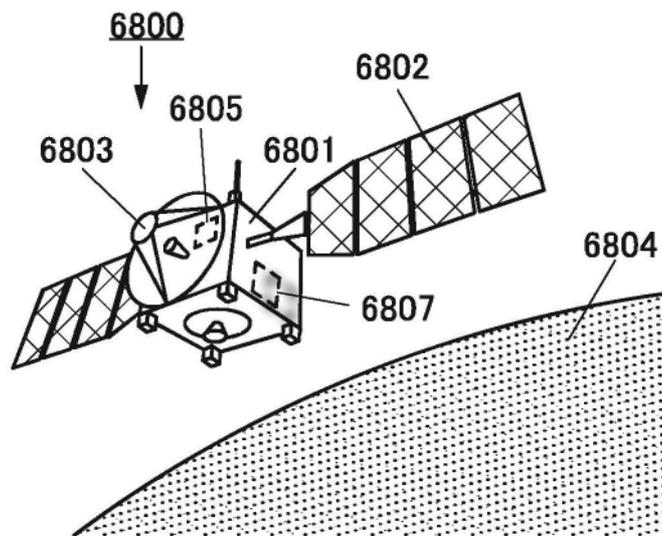


图25

7000

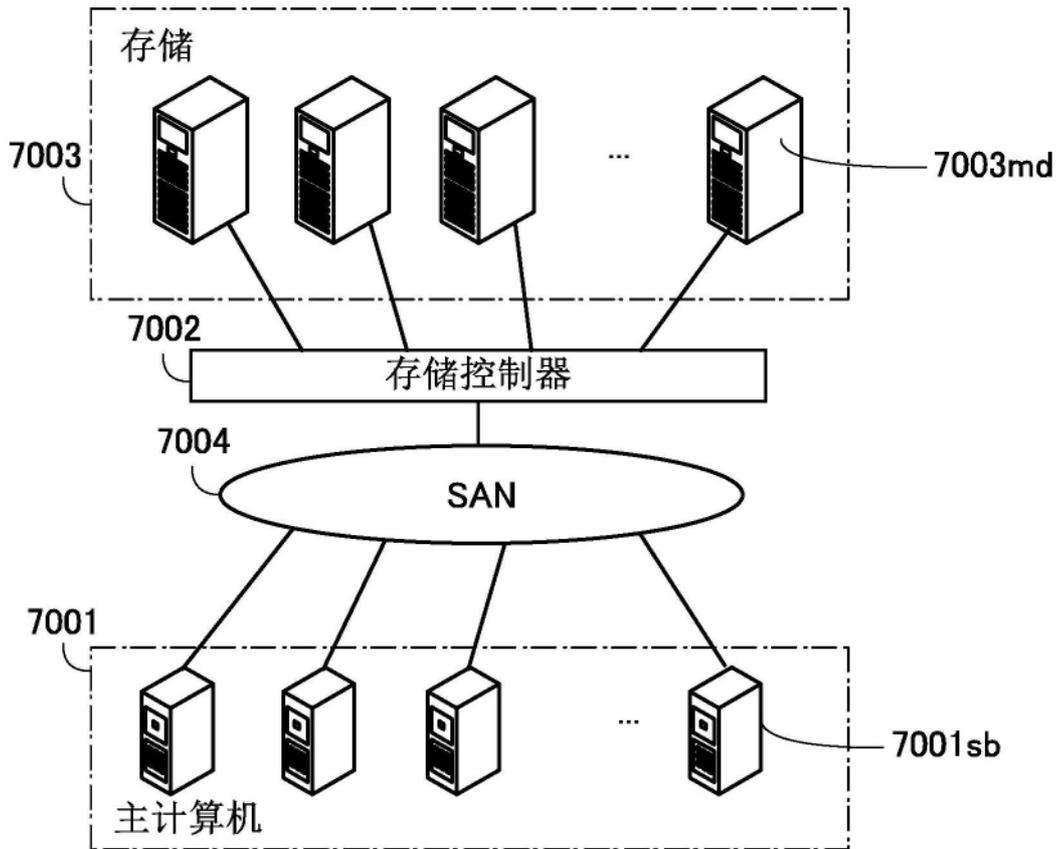


图26