

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4868576号
(P4868576)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月25日(2011.11.25)

(51) Int. Cl.		F I			
HO4N	9/07	(2006.01)	HO4N	9/07	A
HO4N	9/64	(2006.01)	HO4N	9/64	R
			HO4N	9/07	C

請求項の数 24 (全 33 頁)

(21) 出願番号	特願2006-18764 (P2006-18764)	(73) 特許権者	591128453
(22) 出願日	平成18年1月27日 (2006.1.27)		株式会社メガチップス
(65) 公開番号	特開2007-201869 (P2007-201869A)		大阪府大阪市淀川区宮原4丁目1番6号
(43) 公開日	平成19年8月9日 (2007.8.9)	(74) 代理人	100088672
審査請求日	平成21年1月20日 (2009.1.20)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	佐々木 元
			大阪市淀川区宮原4丁目1番6号 株式会 社メガチップスLSIソリューションズ内
		審査官	内田 勝久

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項1】

画像センサーが有する複数の画像データ読み出しチャンネルの各々から同期して読み出された各画像信号を当該画像データ読み出しチャンネルに対応する入力チャンネルで画素クロック毎に受信して、受信した画像データに対して前記画像センサーに特有の問題点に起因した所定の画像処理を前記画素クロック毎に並列的に実行するパイプライン型の複数の画像センサー前処理ユニットと、

前記複数の画像センサー前処理ユニットの各々の入力チャンネル毎に独立に、ある時点に於ける画素の色を指定する色選択タイミング信号を生成して、各画像センサー前処理ユニットに対して対応する色選択タイミング信号を出力する色タイミングアレンジメント部とを備え、

前記色タイミングアレンジメント部は、前記画素クロックに基づき水平方向に於ける画素の読み出しタイミングを定義する水平カウンタと、前記画素クロックに基づき垂直方向に於ける前記画素の読み出しタイミングを定義する垂直カウンタとを備え、前記水平カウンタのカウント値と前記垂直カウンタのカウント値とに基づいて前記色選択タイミング信号を生成し、

前記各画像センサー前処理ユニットは当該ユニットに対応する前記色選択タイミング信号に応じて前記所定の画像処理を実行することを特徴とする、
画像処理装置。

【請求項2】

請求項 1 記載の画像処理装置であって、
前記色タイミングアレイメント部は、

前記水平カウンタと、前記垂直カウンタとを備え、前記水平カウンタの出力信号の内少なくとも最下位ビットを含む下位ビット（1ビット以上）と前記垂直カウンタの出力信号の内少なくとも最下位ビットを含む下位ビット（1ビット以上）とを合わせることに
より、その繰り返し範囲が規定されるカラーベースタイミング信号を生成するカラーベース
タイミング信号生成部と、

前記入力チャンネル毎に設けられ、且つ、その各々は、前記カラーベースタイミング信号
の前記繰り返し範囲内に於ける各場所の当該入力チャンネルに対応した色の種類を与え
るデータが格納された複数のレジスタを備える、複数のタイミングレジスタと、

前記入力チャンネル毎に設けられ、且つ、その各々は、対応する前記複数のタイミング
レジスタの各々の出力を入力とし、前記カラーベースタイミング信号によって、各入力チ
ャンネルに属するタイミングレジスタ内の該当するレジスタの出力を前記色選択タイミン
グ信号として選択する、複数のタイミングレジスタ用セレクタとを備えることを特徴とす
る、

画像処理装置。

【請求項 3】

請求項 2 記載の画像処理装置であって、

前記カラーベースタイミング信号生成部は、

前記画素クロックに基づき前記画像センサーからの前記水平方向に於ける画素の読み出
しタイミングを管理するグローバル水平方向カウンタと、

前記画素クロック及び前記グローバル水平方向カウンタのキャリーアウト端子から出力
される水平方向リセット信号に基づき前記画像センサーからの前記垂直方向に於ける前記
画素の読み出しタイミングを管理するグローバル垂直方向カウンタと、

前記グローバル水平方向カウンタのリセットに同期してリセットされ、且つ、前記カラ
ーベースタイミング信号の前記繰り返し範囲の前記水平方向に於ける周期を最大 n ビット
($n - 1$) の範囲内で以って決定するローカル水平方向カウンタと、

前記グローバル垂直方向カウンタのリセットに同期してリセットされ、且つ、前記カラ
ーベースタイミング信号の前記繰り返し範囲の前記垂直方向に於ける周期を最大 m ビット
($m - 1$) の範囲内で以って決定するローカル垂直方向カウンタと、

前記ローカル水平方向カウンタのカウント値と前記ローカル垂直方向カウンタのカウン
タ値とを選択的に合成して前記カラーベースタイミング信号を生成するセレクタ部とを備
えることを特徴とする、

画像処理装置。

【請求項 4】

請求項 2 記載の画像処理装置であって、

前記カラーベースタイミング信号生成部は、

前記水平カウンタの前記下位ビットと前記垂直カウンタの前記下位ビットとを選択的に
割り当てて前記繰り返し範囲を規定することで前記カラーベースタイミング信号を生成す
ることを特徴とする、

画像処理装置。

【請求項 5】

請求項 4 記載の画像処理装置であって、

前記カラーベースタイミング信号生成部は、

前記水平カウンタの下位 2 ビットと前記垂直カウンタの下位 2 ビットとの組合せ、

前記水平カウンタの下位 3 ビットと前記垂直カウンタの最下位 1 ビットとの組合せ、

前記水平カウンタの最下位 1 ビットと前記垂直カウンタの下位 3 ビットとの組合せ、

の何れかを選択的に割り当てることにより前記カラーベースタイミング信号を生成するこ
とを特徴とする、

画像処理装置。

10

20

30

40

50

【請求項 6】

請求項 1 乃至 5 のうちの何れか 1 項に記載の画像処理装置であって、
 各入力チャンネルに共通な、前記所定の画像処理の実行に必要な各色用の補正データを格納しており、その出力の全ては前記各画像センサー前処理ユニットに入力される補正データ用レジスタを更に備えており、
 前記複数の画像センサー前処理ユニットの各々は、
 前記補正データ用レジスタの出力を当該ユニットに対応する前記色選択タイミング信号によって選択出力するセレクタと、
 前記セレクタが選択出力する補正データを用いて前記画像データに対して前記所定の画像処理を実行する画像処理回路とを備えることを特徴とする、
 画像処理装置。

10

【請求項 7】

請求項 1 乃至 6 のうちの何れか 1 項に記載の画像処理装置であって、
 前記各画像センサー前処理ユニットは、
 色毎に設けられており、色毎に当該色の明るさと出力値との非線形特性を補正するリニアライゼーション特性を保有する複数のリニアライゼーションテーブル用レジスタと、
 当該ユニットに対応する前記色選択タイミング信号に応じて前記複数のリニアライゼーションテーブル用レジスタの出力を選択する第 1 セレクタと、
 前記第 1 セレクタが選択・出力するリニアライゼーション特性を用いて入力画像データの非線形性を補正処理するリニアライゼーション処理部とを備えることを特徴とする、
 画像処理装置。

20

【請求項 8】

請求項 7 記載の画像処理装置であって、
 前記各画像センサー前処理ユニットは、
 前記複数のリニアライゼーションテーブル用レジスタの出力の中で当該ユニットに対応する特定の出力を指定する固定リニアライゼーションパラメータを保有するレジスタと、
 前記レジスタの出力及び当該ユニットに対応する前記色選択タイミング信号の何れかを選択・出力する第 2 セレクタを更に備えており、
 前記第 1 セレクタは、前記第 2 セレクタの出力値に応じて前記複数のリニアライゼーションテーブル用レジスタの出力を選択することを特徴とする、
 画像処理装置。

30

【請求項 9】

請求項 8 記載の画像処理装置であって、
 前記各画像センサー前処理ユニットが有する前記複数のリニアライゼーションテーブル用レジスタの各々に保有されている前記リニアライゼーション特性は、複数個の折れ線から成る特性であり、
 前記各画像センサー前処理ユニットは、
 色毎に設けられ、その各々は色毎に当該色に対応する前記複数個の折れ線の内のある折れ線のあるレベルをリミット値として保有する複数のリミット用レジスタと、
 前記第 2 セレクタの出力値に応じて前記複数のリミット用レジスタの出力を選択する第 3 セレクタとを更に備えており、
 前記リニアライゼーション処理部は、前記入力画像データが前記第 3 セレクタの出力が与える前記リミット値以上となるときには、その補正処理をクリップすることを特徴とする、
 画像処理装置。

40

【請求項 10】

請求項 1 乃至 9 のうちの何れか 1 項に記載の画像処理装置であって、
 前記複数の画像センサー前処理ユニットの各々は、受信した画像データに対して前記画像信号の正規化を行うための黒レベル補正処理を前記画素クロック毎に実行する黒レベル補正処理部を有し、

50

前記水平カウンタ及び前記垂直カウンタによって、前記画像センサーの各画素の位置が規定され、

前記黒レベル補正処理部は、

入力する画像信号に対応する画素の前記位置に応じて、当該入力画像信号に対応する色の一定の黒レベル補正データを変調して、当該変調データを前記入力画像信号から減算することを特徴とする、

画像処理装置。

【請求項 1 1】

請求項 1 0 記載の画像処理装置であって、

前記黒レベル補正処理部は、

前記水平カウンタ及び前記垂直カウンタで規定される位置座標内に離散的に配置された複数の黒レベル変調データを保有しており、前記入力画像信号に対応する画素の前記位置に於ける変調データを、前記複数の黒レベル変調データを用いた内挿補間によって求めることを特徴とする、

画像処理装置。

【請求項 1 2】

請求項 1 1 記載の画像処理装置であって、

前記黒レベル補正処理部は、

対角線上に隣り合う場合を除いて、互いに隣り合う黒レベル変調データ同士の配置位置の間隔が常に 2^n (n は自然数) に成る様に配置された前記複数の黒レベル変調データを用いて前記内挿補間を行うことを特徴とする、

画像処理装置。

【請求項 1 3】

請求項 1 2 記載の画像処理装置であって、

前記黒レベル補正処理部は、

変調範囲の物理的な広さを規定する前記水平カウンタ及び前記垂直カウンタの上位ビットを選択することを特徴とする、

画像処理装置。

【請求項 1 4】

請求項 1 2 又は 1 3 に記載の画像処理装置であって、

正及び負の値を取り得るオフセット値を前記水平カウンタ及び前記垂直カウンタの各々の出力値に独立に加算して、前記複数の黒レベル変調データで規定される変調範囲の中心を前記画像センサーの有効画素領域の中心に一致させた後に、前記内挿補間の演算を行うことを特徴とする、

画像処理装置。

【請求項 1 5】

請求項 1 乃至 1 4 のうちの何れか 1 項に記載の画像処理装置であって、

前記複数の画像センサー前処理ユニットの各々は、受信した画像データに対して前記画像信号の正規化を行うためのホワイトバランス補正処理を前記画素クロック毎に実行するホワイトバランス補正処理部を有し、

前記水平カウンタ及び前記垂直カウンタによって、前記画像センサーの各画素の位置が規定され、

前記ホワイトバランス補正処理部は、

入力する画像信号に対応する画素の前記位置に応じて、当該入力画像信号に対応する色の一定のホワイトバランス補正データを変調して、当該変調データを前記入力画像信号に乗算することを特徴とする、

画像処理装置。

【請求項 1 6】

請求項 1 5 記載の画像処理装置であって、

前記ホワイトバランス補正処理部は、

10

20

30

40

50

前記水平カウンタ及び前記垂直カウンタで規定される位置座標内に離散的に配置された複数のホワイトバランス変調データを保有しており、前記入力画像信号に対応する画素の前記位置に於ける変調データを、前記複数のホワイトバランス変調データを用いた内挿補間によって求めることを特徴とする、
画像処理装置。

【請求項 17】

請求項 16 記載の画像処理装置であって、
前記ホワイトバランス補正処理部は、
対角線上に隣り合う場合を除いて、互いに隣り合うホワイトバランス変調データ同士の配置位置の間隔が常に 2^n (n は自然数) に成る様に配置された前記複数のホワイトバ
ランス変調データを用いて前記内挿補間を行うことを特徴とする、
画像処理装置。

10

【請求項 18】

請求項 17 記載の画像処理装置であって、
前記ホワイトバランス補正処理部は、
変調範囲の物理的な広さを規定する前記水平カウンタ及び前記垂直カウンタの上位ビットを選択することを特徴とする、
画像処理装置。

【請求項 19】

請求項 17 又は 18 に記載の画像処理装置であって、
正及び負の値を取り得るオフセット値を前記水平カウンタ及び前記垂直カウンタの各々の出力値に独立に加算して、前記複数のホワイトバランス変調データで規定される変調範囲の中心を前記画像センサーの有効画素領域の中心に一致させた後に、前記内挿補間の演算を行うことを特徴とする、
画像処理装置。

20

【請求項 20】

請求項 1 乃至 19 のうちの何れか 1 項に記載の画像処理装置であって、
前記複数の画像センサー前処理ユニットの各々は、受信した画像データに対して、当該画像信号と当該画像信号に対応する着目画素の近傍の同色の画素の画像信号との差分信号に一定の尾引き補正ゲインを乗算して得られる尾引き補正值を加算する尾引き補正処理を前記画素クロック毎に実行する尾引き補正処理部を有し、
前記水平カウンタ及び前記垂直カウンタによって、前記画像センサーの各画素の位置が規定され、

30

前記尾引き補正処理部は、
入力する画像信号に対応する前記着目画素の前記位置に応じて、当該入力画像信号に対応する色の前記尾引き補正ゲインを変調して、当該被変調補正ゲインを前記差分信号に乗算することで前記尾引き補正值を得ることを特徴とする、
画像処理装置。

【請求項 21】

請求項 20 記載の画像処理装置であって、
前記尾引き補正処理部は、
前記水平カウンタ及び前記垂直カウンタで規定される位置座標内に離散的に配置された複数の尾引き補正ゲイン変調データを保有しており、前記入力画像信号に対応する前記着目画素の前記位置に於ける前記被変調補正ゲインを、前記複数の尾引き補正ゲイン変調データを用いた内挿補間によって求めることを特徴とする、
画像処理装置。

40

【請求項 22】

請求項 21 記載の画像処理装置であって、
前記尾引き補正処理部は、
対角線上に隣り合う場合を除いて、互いに隣り合う尾引き補正ゲイン変調データ同士の

50

配置位置の間隔が常に 2^n (n は自然数) に成る様に配置された前記複数の尾引き補正ゲイン変調データを用いて前記内挿補間を行うことを特徴とする、
画像処理装置。

【請求項 23】

請求項 22 記載の画像処理装置であって、
前記尾引き補正処理部は、
変調範囲の物理的な広さを規定する前記水平カウンタ及び前記垂直カウンタの上位ビットを選択することを特徴とする、
画像処理装置。

【請求項 24】

請求項 22 又は 23 に記載の画像処理装置であって、
正及び負の値を取り得るオフセット値を前記水平カウンタ及び前記垂直カウンタの各々の出力値に独立に加算して、前記複数の尾引き補正ゲイン変調データで規定される変調範囲の中心を前記画像センサーの有効画素領域の中心に一致させた後に、前記内挿補間の演算を行うことを特徴とする、
画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数の画像データ読み出しチャンネルを有する画像センサーに特有の補正処理（黒レベル補正、ホワイトバランス補正等）を行う画像処理装置に関する。

【背景技術】

【0002】

図 23 は、従来技術に於ける、デジタル（スチル、ビデオ）カメラ用画像処理 LSI の構成を模式的に示すブロック図である。本装置に於いては、画像センサー PIS の画像データ読み出しチャンネル RCH0 は 1 チャンネルであり、その結果、各画素に於ける画像データは線順位にラスタースキャンされて順次に読み出される。そして、画像センサー PIS の有効画素領域内の各画素に設けられた色フィルタの配列（色の並び方）は、所謂、RGB Bayer（RGB ベイヤー）配列となっている。

【0003】

画素クロック（図示せず）に応じて画像センサー PIS から順次に読み出された画像データは先ず A/D 変換器 300P によって A/D 変換された上で、C-MOS LSI 上の画像センサーデータ前処理ユニット（以下、SPU（センサープロセッシングユニット）と言う。）100P に入力される。SPU100P は、本来的な画像処理を行う回路では無く、画像センサー PIS に特有の問題点に起因した処理を、即ち、黒レベル補正、ホワイトバランス補正及び欠陥画素補正を画像センサー PIS からの入力画像データに対して実行して、正規化された RGB Bayer 信号を得るユニットである。

【0004】

画像センサー PIS から入力される RGB Bayer 信号の正規化処理を模式的に示した図が図 24 であり、本図 24 は後述する実施の形態 1 に於いても援用される図面である。図 24 (a) に示される R（赤）、G（緑）及び B（青）の各色信号は線形性を有することが前提となっており、各色信号は黒レベル補正を施されて、それらの原点が揃えられる（図 24 (b) 参照。）。更に、各色信号はホワイトバランス補正を施されて、それらの特性は重なり合い、正規化される（図 24 (c) 参照。）。

【0005】

正規化された RGB Bayer 信号は、次に RPU200P に入力されて、補正等の本来的な画像処理を施される。

【0006】

図 25 は、従来技術に於ける SPU100P の主要部分の構成を模式的に示すブロック図である。同図に於いて、グローバル H カウンタ 1 は、画素クロック CLK を入力信号と

10

20

30

40

50

してその受信数をカウントすることでカウント値HCNTを生成して、画像センサーPISからの画像データの水平方向に於ける読み出しタイミングを定義乃至は管理するグローバル水平方向カウンタである。又、グローバルVカウンタ2は、画素クロックCLKに同期して、グローバルHカウンタ1のキャリアウトCOから出力されるリセット信号を受信する毎にそのカウント値VCNTを1ずつインクリメントすることで、画像センサーPISからの画像データの垂直方向に於ける読み出しタイミングを定義乃至は管理するグローバル垂直方向カウンタである。尚、両カウンタ1, 2は後述する実施の形態1でも適用される構成要素である。SPU100Pでは、画像センサーPISの読み出しチャンネルが1チャンネルであるため、RGB Bayer配列の下では、補正データを読み出すためのタイミング信号の繰り返し範囲は、2×2で良い。従って、グローバルHカウンタ1のカウント値HCNTの最下位ビットHCNT(0)とグローバルVカウンタ2のカウント値VCNTの最下位ビットVCNT(0)との合成によって、2ビットの色選択タイミング信号COLSELが生成される。又、予め、黒レベル補正值用レジスタBLRが、SPU100P内に配備されている。ここで、黒レベル補正值用レジスタBLRは、RGB Bayer配列下での各色(全4色)が割り当てられる上記2×2の繰り返し範囲の各場所に於ける黒レベル補正值をそれぞれ格納するレジスタBL0~BL3を有する。即ち、レジスタBL0は、上記繰り返し範囲内の00位置に於ける色Rの黒レベル補正值を格納しており、レジスタBL1は、上記繰り返し範囲内の01位置に於ける色Grの黒レベル補正值を格納しており、レジスタBL2は、上記繰り返し範囲内の10位置に於ける色Gbの黒レベル補正值を格納しており、レジスタBL3は、上記繰り返し範囲内の11位置に於ける色Bの黒レベル補正值を格納している。同様に、ホワイトバランス補正值用レジスタWBRも、SPU100P内に配備されている。そして、SPU100Pで特筆すべき点は、図25に示されている通り、各色の各場所に於ける黒レベル補正值及びホワイトバランス補正值が共に、対応するセクタ11P, 12Pを介して、色選択タイミング信号COLSELによって直接的に選択されているところにある。尚、参照符号13P及び14Pは、それぞれ、黒レベル補正処理部及びホワイトバランス補正処理部である。

【発明の開示】

【発明が解決しようとする課題】

【0007】

<問題点その1>

より高画質の画像生成を求めて、画像センサー(CCDセンサー又はCMOSセンサー等)の高精細化、従って、画素数の増大化が求められている。斯かる要求に応じて、画素数が8Mピクセルあるいは10Mピクセル以上の画像センサーが実現されるに至っている。この様な画像センサーの画素数の増大化に対して、斯かる画像センサーを使用するデジタルスチルカメラメーカーは、単位時間当たりのコマ数、即ち、連写速度の維持乃至は更なる向上を追及している。このため、例えば、画素数が3Mピクセルの場合に連写速度が10コマ/秒であるとしたときには、データレート乃至は画像データ読み出しレートは30Mピクセル/秒となり、この連写速度を維持するならば、画素数が5Mピクセルの場合には画像データ読み出しレートは50Mピクセル/秒に、画素数が8Mピクセルの場合には画像データ読み出しレートは80Mピクセル/秒に、画素数が10Mピクセルの場合には画像データ読み出しレートは100Mピクセル/秒にも達する。それにも拘らず、CCDセンサーの動作スピードの最大値は35MHz程度であり、又、CMOSセンサーの場合には、その最大値は50MHz~100MHz程度である。又、C-MOS LSIの動作速度は約100MHz程度である。画像センサーを低価格で且つ低消費電力で作成しようとする場合には、画像センサーの動作スピードの最大値は40MHz程度であることが望ましい。そうすると、1チャンネルで画像データを画像センサーから読み出している限り、既述した読み出しレートが50Mピクセル/秒以上となる連写速度を維持・実現することは不可能となる。この様な問題点を根本的に解決するためには、画像センサーの画像データの読み出しチャンネル数を増やす必要がある。斯かる必要性に応じて、昨今では、複数の読み出しチャンネルを有する画像センサーが実現されるに至っている。

【 0 0 0 8 】

この様な読み出しチャンネル数の増大化に伴い、様々な画像データの読み出しパターンが提案・実現されるに至っており、この様な画像データの読み出しパターンの多様化に如何に対応すべきかと言う新たな問題点が生じている。この点につき、読み出しチャンネル数が2である場合について以下に簡単に考察することとする。

【 0 0 0 9 】

例えば、RGB Bayer配列の下に於いて、読み出しチャンネル数が2である場合の読み出しパターンとして、図26に示すパターンが一例として考えられる。この読み出しパターンでは、第1番目の読み出しチャンネルRCH0より、画像センサーのある偶数ラインに属するR色の画像データのみを読み出す一方、第2番目の読み出しチャンネルRCH1より、当該偶数ラインに属するGr色の画像データのみを読み出す。次の奇数ラインでは、第1番目の読み出しチャンネルRCH0よりGb色の画像データのみを読み出し、第2番目の読み出しチャンネルRCH1よりB色の画像データのみを読み出す。あるいは、その変形例として、画像センサーのある偶数ラインに属するR色及びGr色の画像データを第1番目の読み出しチャンネルRCH0より読み出す一方、次の奇数ラインに属するGb色及びB色の画像データを第2番目の読み出しチャンネルRCH1より読み出すと言うパターン例も有り得る。

10

【 0 0 1 0 】

RGB Bayer配列下に於いて、更なる一例として、図27に示すパターンが考えられる。更に、図28に示す様に、画像センサーのRGB Bayer配列をその中央より左右に2分化して、あるラインに於いて左側から順次に読み出す一方、右側からも順次に読み出すと言う読み出しパターンも提案・実現されている。更には、画像センサーのRGB Bayer配列のある領域では縦方向に読み出す一方、その他の領域では水平方向に読み出すと言う読み出しパターンも提案されている。

20

【 0 0 1 1 】

この様に、読み出しチャンネル数が2である場合でも上記の通り様々な読み出しパターンが提案されている。そうすると、読み出しチャンネル数がそれ以上に増えるときには、読み出しパターンはより複雑化して、その数は鰻登りに増大化する。

【 0 0 1 2 】

以上の通り、画像センサーのメーカー毎に、あるいは、同一メーカー内の製品であってもその型番毎に、画像センサーからの読み出しパターンは千差万別であると言える。従って、画像センサーから読み出された画像データに対して画像処理を施す汎用LSI(画像処理装置)を設計・製作する側から見れば、デジタルカメラメーカーが採用する画像センサーが如何なる画像読み出しパターンを有していようとも、その画像読み出しパターンに対して常に対応可能な汎用性に富んだ画像処理LSIを提供する必要性が有ると言える。この様な問題点は早急に対応を求められる課題である。

30

【 0 0 1 3 】

< 問題点その2 >

既述の通り、画像センサーに於ける画素数の増大化に伴い、画像センサーの有効画素領域は同じであるため、画像センサーに於ける各セルのサイズはより一層小さくならざるを得なくなる。この様に画像センサーの各セルの微細化に伴い、各セルの出力信号のレベルは相対的に小さくなり、従って、出力信号の線形性も損なわれて来る。このため、画像センサーの有効画素領域内の場所毎に、あるいは、ライン毎に、その特性が異なるセルが頻出して来る。そのため、画像センサーの有効画素領域内の場所毎に、各画素のRGB Bayer信号を正規化するために必要な黒レベル補正值及びホワイトバランス補正值が異なってくる事となる。この様な画像センサーの各セルの微細化に伴い生じる上記の問題点を克服して、各画素のRGB Bayer信号を高精度で補正することが求められる。

40

【 0 0 1 4 】

この発明は、既述した懸案事項に対処すべく成されたものであり、その目的の第1は上記の問題点その1を克服した画像処理装置を提供する点にあり、その目的の第2は上記の

50

問題点その2を克服した画像処理装置を提供する点にある。

【課題を解決するための手段】

【0015】

この発明の主題は、画像処理装置に於いて、画像センサーが有する複数の画像データ読み出しチャンネルの各々から同期して読み出された各画像信号を当該画像データ読み出しチャンネルに対応する入力チャンネルで画素クロック毎に受信して、受信した画像データに対して前記画像センサーに特有の問題点に起因した所定の画像処理を前記画素クロック毎に並列的に実行するパイプライン型の複数の画像センサー前処理ユニットと、前記複数の画像センサー前処理ユニットの各々の入力チャンネル毎に独立に、ある時点に於ける画素の色を指定する色選択タイミング信号を生成して、各画像センサー前処理ユニットに対して対応する色選択タイミング信号を出力する色タイミングアレンジメント部とを備え、前記色タイミングアレンジメント部は、前記画素クロックに基づき水平方向に於ける画素の読み出しタイミングを定義する水平カウンタと、前記画素クロックに基づき垂直方向に於ける前記画素の読み出しタイミングを定義する垂直カウンタとを備え、前記水平カウンタのカウント値と前記垂直カウンタのカウント値とに基づいて前記色選択タイミング信号を生成し、前記各画像センサー前処理ユニットは当該ユニットに対応する前記色選択タイミング信号に応じて前記所定の画像処理を実行することを特徴とする。

10

【0016】

以下、この発明の主題の様々な具体化を、添付図面を基に、その効果・利点と共に、詳述する。

20

【発明の効果】

【0017】

請求項1に係る発明によれば、複数の画像データ読み出しチャンネルを有する画像センサーからの様々な読み出しパターンに対応可能な、画像センサーに起因した所定の画像処理を実行する画像処理装置を提供することが出来る。

【0018】

請求項2に係る発明によれば、入力チャンネル毎に独立に色選択タイミング信号を確実に生成することが出来る。

【0019】

請求項3に係る発明によれば、任意の周期を有するローカルな繰り返し範囲のパターンで以って色選択タイミング信号を生成することが出来る。

30

【0020】

請求項4に係る発明によれば、色選択タイミング信号の繰り返し範囲を変更することが出来る。

【0021】

請求項5に係る発明によれば、色選択タイミング信号の繰り返し範囲を3組合せの範囲内で変更することが出来る。

【0022】

請求項6に係る発明によれば、補正データ用レジスタは各画像センサー前処理ユニットの外側に配備されて各ユニットに共通のレジスタとして用いられるため、補正データ用レジスタを各ユニット内に配備する場合と比較して、レジスタを構成するゲート数を格段に削減化して省電力化を図ることが出来る。

40

【0023】

請求項7に係る発明によれば、画像センサーからのデータの読み出しパターンが如何なるパターンであろうとも、入力チャンネル毎に且つ色毎に、画像センサーの微細化に起因した、色の明るさと出力値との非線形特性を補正することが出来る。

【0024】

請求項8に係る発明によれば、画像センサーの微細化に起因した非線形特性の補正のみならず、入力チャンネル毎に、画像センサーの出力側の回路系統等その他の原因に起因した非線形特性をも選択的に補正することが出来る。

50

【 0 0 2 5 】

請求項 9 に係る発明によれば、入力チャンネル毎に且つ色毎に、リニアライゼーション処理のクリップを行うことが出来る。

【 0 0 2 6 】

請求項 1 0 に係る発明によれば、画像センサーの画面全体に渡って発生する、黒レベル信号のオフセットドリフトを軽減化することが出来る。

【 0 0 2 7 】

請求項 1 1 に係る発明によれば、内挿補間と言う比較的簡単な手法によって各画素位置に於ける黒レベル補正データの変調データを求めることが出来る。

【 0 0 2 8 】

請求項 1 2 に係る発明によれば、黒レベル補正処理に関して、内挿補間の演算式に現れる割り算式をシフト処理で対応可能な 2 のべき乗の割り算として求めることが出来るので、LSI として製作される画像処理装置の回路規模の大型化を抑止することが出来る。

【 0 0 2 9 】

請求項 1 3 に係る発明によれば、画像センサーの有効画素領域のサイズに合わせて、両カウンタ出力のビットの選択によって、離散的に配置された複数の黒レベル変調データで以って規定される変調範囲の物理的な広さを変更することが出来る。

【 0 0 3 0 】

請求項 1 4 に係る発明によれば、変調範囲の中心を画像センサーの有効画素領域の中心に一致させることが出来る。

【 0 0 3 1 】

請求項 1 5 に係る発明によれば、画像センサーの画面全体に渡って発生する、ホワイトバランスのオフセットドリフトを軽減化することが出来る。

【 0 0 3 2 】

請求項 1 6 に係る発明によれば、内挿補間と言う比較的簡単な手法によって各画素位置に於けるホワイトバランス補正データの変調データを求めることが出来る。

【 0 0 3 3 】

請求項 1 7 に係る発明によれば、ホワイトバランス補正処理に関して、内挿補間の演算式に現れる割り算式をシフト処理で対応可能な 2 のべき乗の割り算として求めることが出来るので、LSI として製作される画像処理装置の回路規模の大型化を抑止することが出来る。

【 0 0 3 4 】

請求項 1 8 に係る発明によれば、画像センサーの有効画素領域のサイズに合わせて、両カウンタ出力のビットの選択によって、離散的に配置された複数のホワイトバランス変調データで以って規定される変調範囲の物理的な広さを変更することが出来る。

【 0 0 3 5 】

請求項 1 9 に係る発明によれば、ホワイトバランスゲインの変調範囲の中心を画像センサーの有効画素領域の中心に一致させることが出来る。

【 0 0 3 6 】

請求項 2 0 に係る発明によれば、画像センサーの画面全体に渡って発生する、尾引き補正ドリフトを軽減化することが出来る。

【 0 0 3 7 】

請求項 2 1 に係る発明によれば、内挿補間と言う比較的簡単な手法によって各画素位置に於ける被変調補正ゲインを求めることが出来る。

【 0 0 3 8 】

請求項 2 2 に係る発明によれば、尾引き補正処理に関して、内挿補間の演算式に現れる割り算式をシフト処理で対応可能な 2 のべき乗の割り算として求めることが出来るので、LSI として製作される画像処理装置の回路規模の大型化を抑止することが出来る。

【 0 0 3 9 】

請求項 2 3 に係る発明によれば、画像センサーの有効画素領域のサイズに合わせて、両

10

20

30

40

50

カウンタ出力のビットの選択によって、離散的に配置された複数の尾引き補正ゲイン変調データで以って規定される変調範囲の物理的な広さを変更することが出来る。

【 0 0 4 0 】

請求項 2 4 に係る発明によれば、尾引き補正ゲインの変調範囲の中心を画像センサーの有効画素領域の中心に一致させることが出来る。

【発明を実施するための最良の形態】

【 0 0 4 1 】

(実施の形態 1)

< 複数入力チャンネル下での色選択タイミング信号のプログラマブルな構成 >

図 1 は、本実施の形態に係るデジタル(スチル、ビデオ)カメラ用画像処理 L S I の構成を模式的に示すブロック図である。図 1 の一例では、画像センサー(例えば C C D センサー又は C M O S センサー等の固体撮像デバイス) I S の画像データ読み出しチャンネル R C H 0 ~ R C H 3 の数は 4 チャンネルである。そして、画像センサー I S の有効画素領域内の各画素に設けられた色フィルタの配列(色の並び方)は、既述した R G B B a y e r 配列となっている。R G B B a y e r 配列においては、図 1 に太線で示す様に、R(赤)色の隣に配置される G(緑)色は R 色の影響を受けるため、G r 色として表示され、又、R 色の直下に配置される G 色は、その隣に位置する B(青)色の影響を受けるため、G b 色として表示される。

【 0 0 4 2 】

画素クロック(ここでは図示せず。)に応じて各画像データ読み出しチャンネル R C H 0 ~ R C H 3 から並列的に読み出された画像データは、当該画像データ読み出しチャンネルに対応した A / D 変換器 3 0 0 ~ 3 0 3 によって A / D 変換された上で、C - M O S L S I 上の S P U (画像センサーデータ前処理ユニット) 1 0 0 に入力される。ここで、S P U 1 0 0 は、図 2 3 の S P U 1 0 0 P と同様に、画像センサー I S に特有の問題点に起因して生じる画像データの補正処理(黒レベル補正、ホワイトバランス補正、欠陥画素補正等の所定の画像処理)を行って、入力した R G B B a y e r 信号(10 ビット ~ 16 ビットのデータ)を正規化する第 1 画像処理部である(この点に関して既述した図 2 4 を参照)。又、C - M O S L S I 上の R P U 2 0 0 は、図 2 3 の R P U 2 0 0 P と同様に、各画像データ読み出しチャンネル R C H 0 ~ R C H 3 毎に正規化された R G B B a y e r 信号に対して本来の画像処理(ガンマ補正、色空間変換処理等)を実施する第 2 画像処理部である。尚、図 1 では、図示の便宜上、S P U 1 0 0 の 4 チャンネルの出力は 1 本の信号として擬似的に描かれている。本実施の形態の中核部は、S P U 1 0 0 の内部構成にあるので、以下では、S P U 1 0 0 の構成・動作を詳述する。

【 0 0 4 3 】

図 2 は、S P U 1 0 0 の構成の主要部を模式的に示すブロック図である。S P U 1 0 0 は、大別して、(1) 画像センサーの画像データ読み出しチャンネル数に対応して 4 個のユニットから成る第 1 乃至第 4 チャンネル用補正処理部 S P U - C 0 ~ S P U - C 3 と、(2) 3 ビット信号である各チャンネル用色選択タイミング信号 C 0 C S ~ C 3 C S を生成・出力するカラータイミングアレンジメント部 1 0 と、(3) 第 1 乃至第 4 チャンネル用補正処理部 S P U - C 0 ~ S P U - C 3 の各々に共通して用いられる、8 種類の各色の黒レベル補正データ D L 0 ~ D L 7 (18 ビット信号)及び 8 種類の各色のホワイトバランス補正データ W B 0 ~ W B 7 (18 ビット信号)を格納する S P U レジスタ 9 とから成る。ここで、B a y e r 配列では基本的に R, G r, G b, B の 4 色で各画素の色が特定されるけれども、本実施の形態では、S P U 1 0 0 は 8 種類の色に対応可能である。これは、既述した図 2 8 に示された読み出しパターンにも対応可能とするためである。

【 0 0 4 4 】

これらの構成要素の中で、第 1 乃至第 4 チャンネル用補正処理部 S P U - C 0 ~ S P U - C 3 は、画像センサー I S が有する複数の画像データ読み出しチャンネルの各々から画素クロックに同期して読み出された各画像信号を、当該画像データ読み出しチャンネルに対応する入力チャンネルで画素クロック毎に受信して、受信した画像データ(C 0 I n p

10

20

30

40

50

ut ~ C3 Input) に対して、上記色選択タイミング信号(C0CS ~ C3CS) に応じて、上記所定の画像処理を画素クロック毎に並列的に実行する、パイプライン型の複数の入力チャンネル用画像センサー前処理ユニットに該当する。

【0045】

又、カラータイミングアレンジメント部10は、本実施の形態の特徴的構成要素の一つであり、画像センサーISからの画像データの読み出しタイミングを定義・管理する水平カウンタ及び垂直カウンタ(何れもこの段階で図示せず。)の両カウント値に基づいて、各入力チャンネル毎に独立にある時点に於ける画素の色を指定する色選択タイミング信号C0CS ~ C3CSを生成して、各入力チャンネル用画像センサー前処理ユニットSPU - C0 ~ SPU - C3に対して対応する色選択タイミング信号を出力する回路である。

10

【0046】

第1乃至第4チャンネル用補正処理部SPU - C0 ~ SPU - C3の各々の入力チャンネルには、画像センサーISから画素クロックに応じて読み出された各画像データC0Input ~ C3Inputが並列的に入力する。又、各チャンネル用補正処理部SPU - C0 ~ SPU - C3の内部構成は互いに同等であるので、それぞれの補正処理部の内部構成の記載を第1チャンネル用補正処理部SPU - C0の内部構成の記載で以って代表させることとする。図2に示す様に、第1セクタ11C0は、入力する8種類の各色の黒レベル補正データDL0 ~ DL7の内から、この時点で入力した画像データC0Inputを与える画素位置の色に対応した黒レベル補正データを、入力する第1チャンネル用色選択タイミング信号C0CSの指定値に基づいて選択・出力する。そして、黒レベル補正処理部13C0は、黒レベル補正データDL0 ~ DL7の内からセレクトされた黒レベル補正データに基づき入力画像データC0Inputに対して黒レベル補正を実行する。更に、第2セクタ12C0は、入力する8種類の各色のホワイトバランス補正データWB0 ~ WB7の内から、この時点で入力した画像データC0Inputを与える画素位置の色に対応したホワイトバランス補正データを、同じく第1チャンネル用色選択タイミング信号C0CSの指定値に基づいて選択・出力する。その結果、ホワイトバランス補正処理部14C0は、ホワイトバランス補正データWB0 ~ WB7の内からセレクトされたホワイトバランス補正データに基づき入力画像データC0Inputに対してホワイトバランス補正データを施して、入力した画像データC0Inputを正規化する。尚、その後に行われる欠陥画素補正処理等の他の処理は、図2では省略されている。

20

30

【0047】

図2に示す通り、本SPU100の特徴点の別の一つは、SPUレジスタ9が、各チャンネル用補正処理部SPU - C0 ~ SPU - C3の内部に配備されるのではなくて、第1乃至第4各チャンネル用補正処理部SPU - C0 ~ SPU - C3の外部に別途配備されている点にある。この様なSPUレジスタ9が保有する補正データの共有化により、レジスタを構成するゲート数を格段に削減化して、本SPU100の低消費電力化を達成することが可能となる。

【0048】

以下では、中核部の一つであるカラータイミングアレンジメント部10の構成・動作を記載することとする。

40

【0049】

先ず、カラータイミングアレンジメント部10の基本的な構成及び動作を理解し易くすると言う観点から、画像読み出しチャンネル数を2とし、且つ、Bayer配列の下で水平方向に2画素分で垂直方向にも2画素分から構成される2x2の繰り返し範囲乃至は周期で以って画像データを読み出していく場合を想定することとする。その様なケースに於けるカラータイミングアレンジメント部の構成及び繰り返し範囲を図示した図面が、図3である。

【0050】

図3に於いて、グローバルHカウンタ1及びグローバルVカウンタ2は、それぞれ、図25で既述したグローバルHカウンタ1及びグローバルVカウンタ2に該当する。図3の

50

場合では、画像読み出しの繰り返し範囲は 2×2 の領域となるので、ある時点に於ける繰り返し範囲内の画素位置を特定するカラーベースタイミング信号CLBASE Tは2ビットの信号で良い。従って、図3の基本例では、カラーベースタイミング信号CLBASE Tは、グローバルHカウンタ1のカウント値HCNTの最下位ビット信号HCNT(0)と、グローバルVカウンタ2のカウント値VCNTの最下位ビット信号VCNT(0)との合成で以って生成される。又、Bayer配列下に於ける4色の各色の黒レベル補正データはそれぞれレジスタBL0~BL3内に予め格納されており、4個のレジスタBL0~BL3から成る黒レベル補正データ用レジスタ部BLRは、各入力チャンネルCH0, CH1に共通に使用される。そして、図3の装置で特筆すべき点は、各入力チャンネルCH0, CH1毎に別個に、タイミングレジスタTRCH0, TRCH1及びタイミングレジスタ用セクタTSELCH0, TSELCH1を配設している点にある。ここで、第1画像データ読み出しチャンネルに対応した第1チャンネルCH0用のタイミングレジスタTRCH0は、カラーベースタイミング信号CLBASE Tの上記繰り返し範囲内の各場所に於ける色(Bayer配列下に於ける4色中の何れかの色)を与える4個のレジスタT01~T04(その値はCPU(図示せず)によって格納される。)を有している。即ち、タイミングレジスタTRCH0は、各カウンタの最下位1ビットで以ってそれぞれのレジスタT01~T04の位置を選定しておいた上で、それぞれの位置に対応した色の値を選定したレジスタ内にCPUによって格納して成る、いわゆる「インデックスレジスタ」である。又、第2画像データ読み出しチャンネルに対応した第2チャンネルCH1用のタイミングレジスタTRCH1も、タイミングレジスタTRCH0と同様な構成を、
 タイミングレジスタTRCH0とは独立して有する。そして、第1チャンネルCH0用セクタTSELCH0は、タイミングレジスタTRCH0内のレジスタT01~T04の内から、画素クロックCLKの両カウンタ1, 2への入力に応じて出力されるカラーベースタイミング信号CLBASE Tの指令値に対応するレジスタの値を選択して、その被選択信号(2ビット)を第1チャンネルCH0用の色選択タイミング信号C0CSとして第1チャンネルCH0用の補正処理部SPU-C0内のセクタBLSELCH0に出力する。この色選択タイミング信号C0CSは、ある時点に於いて第1画像データ読み出しチャンネルからその画像データが読み出された画素の色を指定する。同様に、第2チャンネルCH1に関して、第1チャンネルCH0とは独立して、第2チャンネルCH1用セクタTSELCH1は、タイミングレジスタTRCH1内のレジスタT11~T14の内から、カラーベースタイミング信号CLBASE Tの指令値に対応するレジスタの値を選択して、その被選択信号(2ビット)を第2チャンネルCH1用の色選択タイミング信号C1CSとして第2チャンネルCH1用の補正処理部SPU-C1内のセクタBLSELCH1に出力する。この色選択タイミング信号C1CSもまた、第1チャンネルCH0とは独立して、上記ある時点に於いて並列的に第2画像データ読み出しチャンネルからその画像データが読み出された画素の色を指定する。

【0051】

図3の回路の特徴点は、上記の通り、一旦、カラーベースタイミング信号CLBASE Tで以ってタイミングレジスタ内の複数個のレジスタの中から該当するレジスタを選択した上で、当該選択により生成された色選択タイミング信号によって、ある時点に於ける画素の色に対応する黒レベル補正データを適切に選択する点にある。換言すれば、図3の回路は、先ず画像データの読み出しのタイミングを選択しておき、次にこの選択したタイミングに於ける黒レベル補正データを選択するという構成を採用している。この構成により、繰り返し範囲を任意に設定可能とすることで、SPU100は様々な画像読み出しパターンにも対応可能となる。これに対して、既述した図25の従来構成では、両カウンタ1, 2から生成した色選択信号COLSELによって各チャンネル用の黒レベル補正データをレジスタBLRからダイレクトに読み出すため、SPU100Pは様々な画像読み出しパターンに対応することが出来なくなっている。

【0052】

以上の記載の理解を前提として、次に、図2のカラータイミングアレンジメント部10

10

20

30

40

50

の実装例を検討する。

【 0 0 5 3 】

図 4 及び図 5 は、カラータイミングアレンジメント部 1 0 の実装例を示すブロック図である。図 4 の回路に於ける追加的特徴点は、図 5 のグローバル H カウンタ 1 及びグローバル V カウンタ 2 に加えて、ローカル H カウンタ 5 及びローカル V カウンタ 6 を設けて、これらのカウンタ 5 , 6 からカラーベースタイミング信号 C L B A S E T を生成している点にある。ここで、図 5 のグローバル H カウンタ 1 及びグローバル V カウンタ 2 は、それぞれ、図 2 5 及び図 3 で既述したグローバル H カウンタ 1 及びグローバル V カウンタ 2 に該当しており、画像センサー I P の有効画素領域全体中での読み出し対象画素の位置を決定している。

10

【 0 0 5 4 】

これらの構成要素の中で、ローカル H カウンタ 5 は、図 5 のグローバル H カウンタ 1 のキャリアアウト端子 C O から出力される水平方向リセット信号 H R E S E T、及び、画像センサー I S の有効画素領域全体のリセット信号 H V R E S E T によってリセットされ、且つ、カラーベースタイミング信号 C L B A S E T の繰り返し範囲の水平方向に於ける周期を最大 n ビット ($n - 1$) の範囲内で以って決定するローカル水平方向カウンタである。ここで、リセット信号 H V R E S E T は、図 5 に示す通り、水平方向リセット信号 H R E S E T 及びグローバル垂直方向カウンタ 2 のキャリアアウト端子 C O から出力される垂直方向リセット信号 V R E S E T をその入力信号とする A N D 回路 3 の出力信号である。上記の通り、ローカル H カウンタ 5 は、最大 n ビットの範囲内で、繰り返し範囲の水平方向に於ける周期を任意値に設定することが出来る。即ち、図 4 に示す通り、ローカル H カウンタ 5 は、その内部に、最大値 n ビットまで指定することが可能な、繰り返し範囲の水平方向に於ける周期のデータ (予め C P U によって格納される。) が格納されているレジスタ 5 R を有しており、本実装例では、レジスタ 5 R に格納されているデータは $n = 3$ ビット、即ち $8 (= 0 7)$ であるため、ローカル H カウンタ 5 は、繰り返し範囲の水平方向の周期に関しては、3 ビットのカウンタ値を出力する (H C (0) , H C (1) , H C (2)) 。他方、ローカル V カウンタ 6 は、A N D 回路 3 の出力信号 H V R E S E T によってリセットされ、且つ、カラーベースタイミング信号 C L B A S E T の上記繰り返し範囲の垂直方向に於ける周期を最大 m ビット ($m - 1$) の範囲内で以って決定するローカル垂直方向カウンタであり、最大 m ビットの範囲内で、繰り返し範囲の垂直方向に於ける周期を任意値に設定することが出来る。即ち、図 4 に示す通り、ローカル V カウンタ 6 は、その内部に、最大値 m ビットまで指定することが可能な、繰り返し範囲の垂直方向に於ける周期のデータ (予め C P U によって格納される。) が格納されているレジスタ 6 R を有しており、本実装例では、レジスタ 5 R に格納されているデータは $m = n = 3$ ビット、即ち $8 (= 0 7)$ であるため、ローカル V カウンタ 6 は、繰り返し範囲の垂直方向の周期に関しては、3 ビットのカウンタ値を出力する (V C (0) , V C (1) , V C (2)) 。

20

30

【 0 0 5 5 】

例えば、レジスタ 5 R , 6 R 内の値をそれぞれ 2 , 2 に C P U で以って設定すると、ローカル H カウンタ 5 及びローカル V カウンタ 6 の両カウンタ値で生成されるカラーベースタイミング信号 C L B A S E T の繰り返し範囲は、図 6 の (a) に示される 3×3 の領域となる。又、レジスタ 5 R , 6 R 内の値をそれぞれ 2 , 3 に C P U で以って設定すれば、繰り返し範囲は、図 6 の (b) に示される 3×4 の領域となる。この様に、各レジスタ 5 R , 6 R 内に設定する値を適宜に定めることによって、本 S P U 1 0 0 のユーザーは、最大 8×8 の範囲内で以って、任意の大きさ乃至は任意のパターンの繰り返し範囲を容易に実現することが出来、その様な任意のパターンの繰り返し範囲の利用によって様々な画像データの読み出しパターンに対応出来ることとなる。

40

【 0 0 5 6 】

以上の通り、図 4 の回路では、ローカルな任意の周期の繰り返し範囲を生成するために、ローカル H カウンタ 5 及びローカル V カウンタ 6 を組み込んでいる。即ち、A N D 回路 3 は、水平方向リセット信号 H R E S E T 及びグローバル V カウンタ 2 のキャリアアウト

50

端子C Oから出力される垂直方向リセット信号V R E S E Tを、その入力信号とする。そして、ローカルHカウンタ5は、グローバルHカウンタ1のリセットに同期してリセットされ、即ち、水平方向リセット信号H R E S E T及びAND回路3の出力信号H V R E S E Tによってリセットされ、且つ、カラーベースタイミング信号の繰り返し範囲の水平方向に於ける周期を最大nビット(n - 1)の範囲内で以って決定する。更に、ローカルVカウンタ6は、グローバルVカウンタ2のリセットに同期してリセットされ、即ち、AND回路3の出力信号H V R E S E Tによってリセットされ、且つ、カラーベースタイミング信号の繰り返し範囲の垂直方向に於ける周期を最大mビット(m - 1)の範囲内で以って決定する。

【0057】

上記の通り、ローカルHカウンタ5及びローカルVカウンタ6の両カウント値で以って実現可能な最大の大きさ8 × 8の繰り返し範囲では(各ローカルカウンタの下位3ビットずつを使用する場合)、色の値を定める64個の場所が与えられるが、この様な64個もの大きな場所は実際の読み出しパターンを考えると、不要である。実際には、水平方向に長く延びて繰り返す読み出しパターンでは、逆に垂直方向に関しては繰り返しの長さ乃至は周期は相対的に短くなる。同様に、垂直方向に長く延びて繰り返す読み出しパターンでは、水平方向に関しては繰り返しの長さ乃至は周期は相対的に短くなる。この様な読み出しパターンの構造上の特徴を考慮するならば、本願発明者は、カラーベースタイミング信号C L B A S E Tの繰り返し範囲に含まれる場所の数は16個で十分ではないかと、考えた。繰り返し範囲に含まれる場所の数が16個の場合には、4 × 4、8 × 2及び2 × 8の3種類の繰り返し範囲のみが設定可能である。そこで、図4の回路では、両カウント値H C (1)及びV C (2)をそれぞれ入力信号とし、C P Uで設定される信号V L E Nをそのセレクト信号とする第1セクタ7、及び、両カウント値H C (2)及びV C (1)をそれぞれ入力信号とし、C P Uで設定される信号H L E Nをそのセレクト信号とする第2セクタ8を、ローカルHカウンタ5及びローカルVカウンタ6の出力側に配備して、4個のカウント信号C L B A S E T (0) = H C (0)、第1セクタ7の出力信号C L B A S E T (1)、第2セクタ8の出力信号C L B A S E T (3)及びカウント信号C L B A S E T (2) = V C (0)を合わせることで、8ビットのカラーベースタイミング信号C L B A S E Tを生成している。従って、カラーベースタイミング信号C L B A S E Tは、16個の場所から成る繰り返し範囲内の、ある時点に於ける場所を示すタイミング信号である。

【0058】

ユーザーが使用する画像センサーI Sの実際の画像データ読み出しパターンを踏まえて、C P U (図示せず。)によって設定するセレクト信号V L E N、H L E Nの組合せは、図4の回路に於いては、図7に示す通りである。即ち、図7 (a)に示す様に、V L E N = 0、H L E N = 0、従って、ローカルHカウンタ5及びローカルVカウンタ6の各々の下位2ビットの組合せによって、4 × 4のサイズの繰り返し範囲を実現することが出来る。あるいは、図7 (b)に示す様に、V L E N = 0、H L E N = 1に設定することで、水平方向に8画素ずつ繰り返しし、垂直方向に2画素乃至は2ライン分繰り返す、8 × 2のサイズの繰り返し範囲を実現することが出来る。あるいは、図7 (c)に示す様に、V L E N = 1、H L E N = 0に設定することで、水平方向に2画素ずつ繰り返しし、垂直方向に8画素ずつ繰り返す、2 × 8のサイズの繰り返し範囲を実現することが出来る。この様に、ローカルHカウンタ5及びローカルVカウンタ6の各々の下位2ビットを選択的に割り当てることにより、カラーベースタイミング信号C L B A S E Tの繰り返し範囲を適宜に変更することが出来る。もちろん非常に複雑な読み出しパターンが必要である場合には、本発明の水平及び垂直のカウンタのビット長を拡張し、8 × 8、16 × 16等の繰り返し範囲を実現しても構わない。

【0059】

以上の様な3種類のカラーベースタイミング信号C L B A S E Tの繰り返し範囲を適宜に選択・設定することで、図4の回路を有するS P U 1 0 0は、画像センサーI Sの様々

10

20

30

40

50

な画像データ読み出しパターンに対応することが可能となる。

【 0 0 6 0 】

図 4 に示す通り、各入力チャンネル CH_0 , CH_1 , CH_2 , CH_3 毎に独立に、タイミングレジスタ $TR_0 \sim TR_3$ 及びタイミングレジスタ用セレクタ $TRS_0 \sim TRS_3$ が配備されている。図 3 に関して既述した通り、各タイミングレジスタ $TR_0 \sim TR_3$ はインデックスレジスタであり、カラーベースタイミング信号 $CLBASE_T$ の繰り返し範囲内の場所数が 16 個であるため、16 個のレジスタを有している。従って、ユーザーは、両カウンタ 1, 2 の下位 2 ビットの合成で得た信号で以って 16 個の各レジスタの位置をそれぞれ選択した上で、CPU によって、選択した各位置のレジスタに対応する繰り返し範囲内の各場所の色のデータを格納する。その結果、各タイミングレジスタ $TR_0 \sim TR_3$ は、ある読み出し時点に於ける繰り返し範囲内の該当場所に於ける色の種類を決定する 16 個のレジスタの出力（当該各出力は色の種類が 8 種類であるため 8 ビット信号である。）を備える。そして、各セレクタ TRS_X ($X: 0 \sim 3$) は、対応するタイミングレジスタ TR_X ($X: 0 \sim 3$) の 16 個の出力の中から、入力するカラーベースタイミング信号 $CLBASE_T$ のレベルに応じて、それぞれの読み出し時点に於ける繰り返し範囲内の該当場所に於ける色の種類を与えるレジスタの出力を選択して、選択したレジスタの出力を各入力チャンネル CH_X ($X: 0 \sim 3$) に於ける色選択タイミング信号 CXC_S ($X: 0 \sim 3$) として出力する。各セレクタ TRS_X から出力された色選択タイミング信号 CXC_S が、図 2 に於ける色選択タイミング信号 C_0CS , C_1CS , C_2CS , C_3CS (3 ビット信号) である。

10

20

【 0 0 6 1 】

以上の記載から明らかな通り、各構成要素 1, 2, 3, 4, 5, 6, 7, 8 から成る回路部分は、水平カウンタの出力信号の内少なくとも最下位ビットを含む下位ビット（1 ビット以上）と垂直カウンタの出力信号の内少なくとも最下位ビットを含む下位ビット（1 ビット以上）とを合わせることにより、その繰り返し範囲が規定されるカラーベースタイミング信号 $CLBASE_T$ を生成する「カラーベースタイミング信号生成部」を成す。尚、図 7 の (a)、(b) 及び (c) の繰り返し範囲のパターンを採用する限りにおいては、ローカル H カウンタ 5 及びローカル V カウンタ 6 を適用する必然性は無く、その代わりに、図 5 のグローバル H カウンタ 1 及びグローバル V カウンタ 2 のカウント値を用いて図 7 の (a)、(b) 及び (c) の繰り返し範囲のパターンを実現するカラーベースタイミング信号 $CLBASE_T$ を生成することが出来る。その意味で、上記に言う「水平カウンタ」にはグローバル H カウンタ 1 のみを使用する場合及びローカル H カウンタ 5 をも使用する場合の両者を包摂する技術用語である。同様に、上記に言う「垂直カウンタ」も、グローバル V カウンタ 2 のみを使用する場合及びローカル V カウンタ 6 をも使用する場合の両者を包摂する技術用語である。又、図 4 の両セレクタ 7, 8 を「セレクタ部」と総称する。

30

【 0 0 6 2 】

図 2 の $SPU100$ が実現出来る機能乃至は利点は、以上の記載から明白な通り、8 個の色に対応可能であり、且つ、色を与えるタイミング信号は各入力チャンネル毎に独立であるので、繰り返し範囲内の色の種類をチャンネル毎に別々に独立して設定できる点である。従って、各入力チャンネル用補正処理部 $SPUC_X$ ($X: 0 \sim 3$) の外側に設けられた SPU レジスタ 9 に格納されている 8 個の黒レベル補正データ（あるいは 8 個のホワイトバランス補正データ）を繰り返し範囲内の場所毎にセレクトしていくこととなる。重複して言えば、本 $SPU100$ は、任意のタイミングに於いて、4 入力チャンネルの補正処理部のそれぞれに独立に、読み出しパターンに対応した色を割り当てる処理を実行することが出来る。

40

【 0 0 6 3 】

< 黒レベルの 2 次元変調補正 >

既述した通り、画像センサー IS の画素数の増大化に伴う微細化の影響により、あるいは、半導体ウエハから画像センサー IS のチップを切り出す場所による影響により、RG

50

Bayer 信号の正規化処理の第 1 段階である黒レベル補正に於ける各色の黒レベル補正データを画面全体に於いて常に一定値と看做すことが出来なくなっている。即ち、画像センサー IS の画面全体に渡って、各色の黒レベル補正データには微妙な歪みが生じている（一様ではない。）。換言すれば、画面全体に渡って、各色の黒レベル補正データには、オフセットドリフトが発生しているのである。例えば、図 8 に例示する様に、有効画素領域 EPR 内に於いて、4 色 (R, Gr, Gb, B) の内の各色 i の x 方向及び y 方向に於ける黒レベル補正データ $DLix, Dliy$ には、オフセット値 Mx, My が生じており、しかも、オフセット値 Mx, My は、有効画素領域 EPR の全体に渡って、微妙に変化している。この様な各色の黒レベル補正データのオフセットドリフトを除去するには、全ての画素毎に、当該画素の位置に於ける黒レベル補正データ $DLix, Dliy$ のオフセット値 Mx, My を変調データとして一定値の黒レベル補正データ $DLix, Dliy$ から逐一差し引いてやれば良い。しかし、その様な画素毎の且つ色毎の逐次補正は、画像センサー IS の画素数を考えれば、非現実的な方法であると言わざるを得ない。そのため、図 8 に例示した様な画面全体に渡って発生する黒レベル補正データのオフセットドリフトを有効に軽減出来る実用的な対策が要求されている。

【0064】

そこで、本実施の形態では、図 2 に示す、各入力チャンネルの SPU 回路 SPU-CX ($X: 0 \sim 3$) に於ける黒レベル補正処理部 13CX ($X: 0 \sim 3$) は、グローバル水平カウンタ 1 及びグローバル垂直カウンタ 2 で規定される位置座標内に離散的に配置された複数個の黒レベル変調データを保有しておき、入力画像信号に対応する画素の位置に於ける黒レベル補正データの変調データを、上記複数個の黒レベル変調データを用いた内挿補間によって求めることとしている。この近似方法によれば、各 SPU 回路 SPU-CX は上記複数個の黒レベル変調データを保有しておけば足りる。

【0065】

各入力チャンネル CHX の黒レベル補正処理部 13CX ($X: 0 \sim 3$) の回路構成としては、2 種類のタイプを考えることが出来る。その第 1 のタイプとして、例えば、図 9 に例示する様に、入力画像データ CXInput ($X: 0 \sim 3$) から、色選択タイミング信号 CXCS ($X: 0 \sim 3$) の指令値に応じてセレクトタ 11CX ($X: 0 \sim 3$) が選択した、入力画像データ CXInput に対応する画素の色に関する一定値の黒レベル補正データ $DLi (i: 0 \sim 3)$ を減算器 28 で差し引いた上で、更に変調回路 2DCOR が内挿補間によって算出した当該画素の変調データ $MDLi (i: 0 \sim 3)$ を減算器 28 の出力から減算器 29 で差し引くこととしても良い。この場合、減算器 28, 29 の前後が逆転しても黒レベル信号の変調結果は同様である。尚、図 9 では、便宜上、SPU レジスタ 9 は、4 色 (R, Gr, Gb, B) の黒レベル補正データ $DL0, DL1, DL2, DL3$ をそれぞれ格納する 4 個のレジスタ 91 ~ 94 を有するものとしている。

【0066】

あるいは、その第 2 のタイプとして、例えば、図 10 に例示する様に、各入力チャンネル CHX の黒レベル補正処理部 13CX ($X: 0 \sim 3$) を構成しても良い。この例では、乗算器 30 は、変調回路 2DCOR が内挿補間によって算出した当該画素の変調データ $MDLiP (i: 0 \sim 3)$ とセレクトタ 11CX ($X: 0 \sim 3$) が選択した当該画素の色の黒レベル補正データ (一定値) DLi とを乗算して変調データ $MDLi (i: 0 \sim 3)$ を求めた上で、その値を減算器 31 に於いて入力画像データ CXInput から差し引いている。

【0067】

何れのタイプに於いても、各入力チャンネル CHX の黒レベル補正処理部 13CX ($X: 0 \sim 3$) は、入力画像信号に対応する画素の位置に応じて、当該入力画像信号に対応する色の一定の黒レベル補正データを変調して、当該変調データを入力画像信号から減算している、と言える。以下の記載では、便宜上、図 9 のタイプの構成を考えることとする。

【0068】

図 11 は、変調回路 2DCOR に於ける変調データの算出方法を模式的に示す図であり

10

20

30

40

50

、横軸はグローバルHカウンタ（以下、単にH（水平）カウンタと言う。）1のカウンタ値HCNT（X）を示し、縦軸はグローバルVカウンタ（以下、単にV（垂直）カウンタと言う。）2のカウンタ値VCNT（Y）を示している。しかも、図11では、便宜上、ベストなケースとして、画像センサーISの有効画素領域EPRの4隅の各々の画素位置に、黒レベル変調データP（00）、P（01）、P（10）、P（11）が配置されている。ここで、4個の黒レベル変調データP（00）、P（01）、P（10）、P（11）は、変調回路2DCORが有するレジスタ（図示せず。）内に予めCPU（図示せず。）によって格納されている。そして、各黒レベル変調データP（00）、P（01）、P（10）、P（11）は、それぞれ、デジタルカメラメーカーが予め2次元的に一様でないオフセット値を持つ画像センサーISの画面に対して各画素位置の黒レベル信号を測定し、それらの測定結果に基づいて、各画素位置（10,10）、（2058,10）、（10,1510）、（2058,1510）に於けるオフセット値（図8のオフセット値Mx, My参照。）に該当するデータを算出した後に、算出値を対応する上記のレジスタ内に設定したものである。

【0069】

図11に於いて、変調回路2DCORは、ある画素位置（X,Y）に於ける黒レベルの変調データP（X,Y）を、予め設定された4点での黒レベル変調データP（00）、P（01）、P（10）、P（11）を用いて内挿補間、即ち、線形補間によって算出する内挿補間演算部を有する。例えば、各黒レベル変調データP（00）、P（01）、P（10）、P（11）が100,20,20,10となる様に、黒レベル信号にオフセットドリフトが生じている場合には、有効画素領域EPRの中心位置に於ける変調データP（X,Y）の値は、線形補間で近似した場合には、37.5となる。この様に、本実施の形態に係る変調回路2DCORは、図11の場合においては、予め設定された4個の黒レベル変調データP（00）、P（01）、P（10）、P（11）を用いた内挿補間演算により、各画素位置の変調データP（X,Y）の値を決定する。この場合、変調回路2DCORは、4個の黒レベル変調データP（00）、P（01）、P（10）、P（11）のみをデータとして保有しておけば良いので、現実的且つ簡単に各画素位置に於ける変調データP（X,Y）を求めることが出来る。

【0070】

図12は、各画素位置に於ける変調データP（X,Y）を内挿補間演算により求める他の一例を示す図である。図12に於いては、予めデジタルカメラメーカーによって設定されている黒レベル変調データの数は9個であり、しかも、図11と同様に有効画素領域EPRの各隅に4個の黒レベル変調データP（00）、P（02）、P（20）、P（22）が配置され、更に有効画素領域EPRの各辺の真ん中にも4個の黒レベル変調データP（01）、P（10）、P（21）、P（12）が配置されると共に、有効画素領域EPRの中心位置にも黒レベル変調データP（11）が配置されている。その結果、有効画素領域EPRは、9個の上記黒レベル変調データによって、4個のブロック<R0>、<R1>、<R2>、<R3>に分割される。図12の場合には、変調回路2DCORは、各ブロック<Ri>（i:0~3）に属する画素位置（X,Y）に於ける変調データP（X,Y）を、当該ブロック<Ri>の4隅に配置された4個の黒レベル変調データを用いた内挿補間演算により求める。例えば、ブロック<R0>に属する画素位置（X,Y）に於ける変調データP（X,Y）は、4個の黒レベル変調データP（00）、P（01）、P（10）、P（11）を用いた内挿補間演算により求められる。又、ブロック<R1>に属する画素位置（X,Y）に於ける変調データP（X,Y）は、4個の黒レベル変調データP（01）、P（02）、P（11）、P（12）を用いた内挿補間演算により求められる。その他のブロック<R2>及び<R3>についても、同様である。この様に、本実施の形態に係る変調回路2DCORは、図12の一例の場合においては、予め設定された9個の黒レベル変調データP（00）、P（01）、P（10）、P（11）、P（02）、P（12）、P（20）、P（21）、P（22）を用いた内挿補間演算により、各画素位置の変調データP（X,Y）の値を決定する。この場合、変調回路2DCORは

10

20

30

40

50

、上記9個の黒レベル変調データのみをデータとして保有しておけば良いので、同じく、現実的且つ比較的簡単に、各画素位置に於ける変調データ $P(X, Y)$ を求めることが出来る。

【0071】

本実施の形態に係る変調回路2DCORに於ける各画素位置の変調データ(オフセット値)を算出する方法の原理は以上の通りであるが、そこには次の様な問題点がある。

【0072】

即ち、複数個の黒レベル変調データから各画素位置の変調データを内挿補間する際には、常に内挿補間の演算式中に割り算処理が入って来る。例えば、図13に示す1次元での内挿補間に於いても見受けられる通り、2点 $(0, A)$ 、 (L, B) 間に位置する任意の点 $P(X, Y)$ を与える演算式は、 $Y = A + (B - A) / L \times X$ となり、この式にも $1/L$ という除算処理が入って来る。この様な割り算処理(除算)では、LSIで以ってSPU100を設計・製作するに当たっては、ゲート数の増大に伴う回路規模の大型化が発生し、除算は一般的にLSI回路にとって厄介な処理であると、言える。

【0073】

しかし、内挿補間の演算式から除算を除く事は出来ないで、その代わりに、内挿補間の演算式に現れる除算式を $1/2^n$ という形式の除算式で与えることが出来るならば、LSI回路ではシフトレジスタを用いたシフト処理で以って容易に対処可能となる(例えば、2進数の100は10進数では4であり、2進数の100を右側に1ビットだけシフトさせた2進数の010は10進数では2であるので、2進数のデータを右側に1ビットシフトさせる処理は10進数では $1/2$ の処理に該当するのである。)

【0074】

そこで、本実施の形態の変調回路2DCORに於いては、図14に示す様に、予め設定される複数個の黒レベル変調データで規定される変調範囲を、対角線上に隣り合う場合を除いて、互いに隣り合う黒レベル変調データ同士の配置位置の間隔が常に 2^n (n は正の整数) に成る様に配置された範囲に設定する。この様な黒レベル変調データの配置により、変調範囲は、図14の通り、黒レベル変調データM2DR11が配置された位置に該当する変調範囲の中心位置から、水平方向及び垂直方向にそれぞれ位置間隔 2^n だけ離隔した各位置に対称的に各黒レベル変調データが配置されて成る、且つ、その各々が4個の黒レベル変調データで規定される4個のゾーン乃至は小領域に分割された、領域となる。図14の一例では、9個の黒レベル変調データがそこに配置された変調範囲は 4096×4096 のサイズの正方形であるので、画像センサーISの有効画素領域EPR中の画素数は約10Mピクセルとなる。

【0075】

ここで留意すべき点は、9個の黒レベル変調データが図14に示す通りに配置された変調範囲の中心位置座標と、画像センサーISの有効画素領域EPRの中心位置座標とは、一般的に一致しないことである。この様な両中心位置座標の齟齬が存在する場合には補正精度が低下するため、Hカウンタ1のカウント値HCNT(X)及びVカウンタ2のカウント値VCNT(Y)で規定される位置座標軸の物理的な原点Poriginalを、変調範囲の中心位置座標と使用する画像センサーISの有効画素領域EPRの中心位置座標とが互いに一致する様に、シフトさせる。図14では、その様なシフト処理後の位置座標軸の仮想的な原点は点 $P(0, 0)$ として表現されている。斯かる位置座標軸の原点のシフト処理は、後述する通り、図14に示す9個の黒レベル変調データで規定される(換言すれば、Hカウンタ1のカウント値HCNT(X)及びVカウンタ2のカウント値VCNT(Y)の上位ビットで規定される)変調範囲の中心の位置座標と、使用する画像センサーの有効画素領域の中心の位置座標とを求めた上で、両中心の位置座標が互いに一致する様な、正及び負の値を取り得るオフセット値を算出し、その後、算出したオフセット値をHカウンタ1及びVカウンタ2の各々の出力値に独立に加算することで、達成される。その結果、図14に示す通り、シフト後(オフセット値加算後)の仮想的な原点 $P(0, 0)$ から水平方向に x だけ、且つ、垂直方向に y だけ離れた画素位置に於ける、黒レベルの

オフセット値である変調データM2DRESは、左上のゾーンの4隅に配置された黒レベル補正データM2DROO, M2DR01, M2DR10, M2DR11から内挿補間されて求められる。その他のゾーンに属する画素位置に於ける変調データの算出も、同様に、当該ゾーンの4隅にある黒レベル補正データから内挿補間されて求められる。

【0076】

図15は、図14で示した変調データの内挿補間方法を実行する変調回路2DCORの具体的構成例を示すブロック図である。図15に於いて、レジスタ1ORは、既述した、Hカウンタ1のカウント値HCNT(X)及びVカウンタ2のカウント値VCNT(Y)で規定される位置座標軸の物理的な原点Poriginalを、変調範囲の中心位置座標と使用する画像センサーISの有効画素領域EPRの中心位置座標とが互いに一致するようにシフトさせる際の水平方向に於けるシフト量、即ちオフセット値Hoff(+/-)(図14のオフセット値M2DHCOFに相当)を保有する。加算器32は、Hカウンタ1のカウント値HCNT(13ビット信号)にオフセット値Hoff(+/-)を加算する。同様に、レジスタ2ORは、位置座標軸の物理的な原点Poriginalを、変調範囲の中心位置座標と使用する画像センサーISの有効画素領域EPRの中心位置座標とが互いに一致するようにシフトさせる際の垂直方向に於けるシフト量、即ちオフセット値Voff(+/-)(図14のオフセット値M2DVCOFに相当)を保有する。そして、加算器33は、Vカウンタ2のカウント値VCNT(13ビット信号)にオフセット値Voff(+/-)を加算する。

【0077】

図15の回路例では、オフセット値Hoff(+/-)を加算された13ビット信号のカウント値HCNTは、3個のカウンタ出力信号HCNT[12:4], HCNT[11:3], HCNT[10:2]に分別される。ここでは、説明の便宜上、3個のカウンタ出力信号HCNT[12:4], HCNT[11:3], HCNT[10:2]は、共に8ビットの信号とされている。そして、セレクタ34は、CPU(図示せず。)が発するセレクト信号SELHの指令値に応じて、3個のカウンタ出力信号HCNT[12:4], HCNT[11:3], HCNT[10:2]を選択する。この選択により、後述する通り、変調範囲の水平方向に於ける物理的な広さが規定される。同様に、オフセット値Voff(+/-)を加算された13ビット信号のカウント値VCNTは、共に8ビットの信号である、3個のカウンタ出力信号VCNT[12:4], VCNT[11:3], VCNT[10:2]に分別される。そして、セレクタ35は、CPU(図示せず。)が発するセレクト信号SELVの指令値に応じて、3個のカウンタ出力信号VCNT[12:4], VCNT[11:3], VCNT[10:2]を選択する。同様に、この選択により、後述する通り、変調範囲の垂直方向に於ける物理的な広さが規定される。

【0078】

ここでは、便宜上、セレクタ34の出力信号AHC(8ビット信号)としてカウンタ出力信号HCNT[12:4]が選択され、且つ、セレクタ35の出力信号AVC(8ビット信号)としてカウンタ出力信号VCNT[12:4]が選択されるものとする。この様な選択の場合には、両カウンタ出力信号HCNT[12:4], VCNT[12:4]で規定される変調範囲は、図16に例示される通り、256×256の正方形となる。そして、この例では、当該256×256の変調範囲は、総数9個の黒レベル変調データ、即ち、当該変調範囲の中心位置に於ける黒レベル変調データP11, 各4隅の位置に於ける4個の黒レベル変調データP00, P02, P20, P22, 各辺の中央位置に於ける4個の黒レベル変調データP01, P10, P12, P21によって規定される。その結果、当該変調範囲は、それぞれが128(2⁷)×128(2⁷)の広さの正方形である、4個のゾーン乃至は領域<R0>~<R3>に分割される。

【0079】

上記の9個の黒レベル変調データP11, P00, P02, P20, P22, P01, P10, P12, P21は、図15の回路では、それぞれに対応するレジスタMR1~MR9に予めCPU(図示せず。)によって格納されている。そして、セレクタ34の出力

10

20

30

40

50

信号 AHC (カウンタ出力信号 HCNT[12:4]に相当)の最上位ビット AHC(7)とセクタ35の出力信号 AVC(カウンタ出力信号 VCNT[12:4]に相当)の最上位ビット AVC(7)とが合成され、合成後の2ビット信号は、各セクタ36, 37, 38, 39のセレクト信号となる。従って、出力信号 AHCの最上位ビット AHC(7)と出力信号 AVCの最上位ビット AVC(7)との合成信号は、Hカウンタ1及びVカウンタ2で以ってその位置が定義される、各着目画素が、図16に示される4個の領域 <R0> ~ <R3>の何れに属するかを規定する。即ち、各セクタ36, 37, 38, 39の0の値が選択された場合には、図16の領域 <R0>に着目画素が位置していることが決定される。又、各セクタ36, 37, 38, 39の1の値が選択された場合には、図16の領域 <R1>に着目画素が位置していることが決定される。又、各セクタ36, 37, 38, 39の2の値が選択された場合には、図16の領域 <R2>に着目画素が位置していることが決定される。又、各セクタ36, 37, 38, 39の3の値が選択された場合には、図16の領域 <R3>に着目画素が位置していることが決定される。

【0080】

そして、出力信号 AHCの残りの下位ビット信号 AHC[6:0]は、当該着目画素が属する領域 <Rj> (j: 0~3)のローカルな原点、即ち、当該領域の左上の隅の位置から水平方向にxだけ離れた位置を規定する。同様に、出力信号 AVCの残りの下位ビット信号 AVC[6:0]は、当該着目画素が属する領域 <Rj> (j: 0~3)のローカルな原点、即ち、当該領域の左上の隅の位置から垂直方向にyだけ離れた位置を規定する。

【0081】

図16に示す変調範囲では、対角線上に隣り合う場合を除いて、互いに隣り合う黒レベル変調データ同士の配置位置の間隔が常に 2^7 に成る様に、9個の黒レベル変調データが配置されているので、4個の領域 <R0> ~ <R3>の内のある領域 <Rj> (j: 0~3)に着目画素が属している場合には、図15の内挿補間演算部40は、

【0082】

【数1】

$$P_{out} = \frac{(128-y)}{128} \times \left(\frac{(128-x)}{128} \times L.U. + \frac{x}{128} \times R.U. \right) + \frac{y}{128} \times \left(\frac{(128-x)}{128} \times L.Low. + \frac{x}{128} \times R.Low. \right)$$

【0083】

で与えられる式に基づいて、当該着目画素のローカルな画素位置(x, y)に於ける変調データ Pout を算出し、算出結果 Pout をデータ MDLi (図9参照)として減算器29に出力する。その際、内挿補間演算部40は、シフト処理によって、数1で与えられる式の中の除算を実行する。そのため、LSIで除算を行う際に問題となる回路規模の増大は回避される。内挿補間演算部40による演算・出力の結果、ローカルな画素位置(x, y)に於ける黒レベル信号のオフセット値が除去乃至は軽減される。

【0084】

尚、図16の変調範囲を16分割に設定する場合には、出力信号 AHCの最上位ビット AHC(7)とその次の上位ビット AHC(6)から成る2ビット信号と、出力信号 AVCの最上位ビット AVC(7)とその次の上位ビット AVC(6)から成る2ビット信号との合成信号を各セクタのセレクト信号として用いれば良い。

【0085】

図15の回路に於いて、セクタ34が信号 HCNT[11:3]を選択し、且つ、セクタ35が信号 VCNT[11:3]を選択する様にCPU(図示せず。)がセレクト信号 SELH, SELVを制御する場合には、変調範囲は、図17に示す様に、第1変調範囲

10

20

30

40

50

< R > の 1 / 4 の領域に該当する第 2 変調範囲 < R 0 A > に縮小される。更に、セレクタ 3 4 が信号 H C N T [1 0 : 2] を選択し、且つ、セレクタ 3 5 が信号 V C N T [1 0 : 2] を選択する場合には、変調範囲は、第 2 変調範囲 < R 0 A > の 1 / 4 の領域に該当する第 3 変調範囲 < R 0 A A > に更に縮小される。更にカウント値 H C N T [1 2 : 0], V C N T [1 2 : 0] を細かく分別すれば、更にその物理的範囲が狭くなる変調範囲を実現出来る。あるいは、カウント値 H C N T [1 2 : 0], V C N T [1 2 : 0] から分別される信号のビット数を増やせば、図 1 7 の第 1 変調範囲 < R > よりも更にその物理的範囲が広がる変調範囲を実現出来る。この様に、使用する画像センサー I S の有効画素領域 E P R の寸法乃至は大きさに応じて、カウント値 H C N T [1 2 : 0], V C N T [1 2 : 0] の上位ビットを適宜に選択することによって、変調範囲の物理的な広さを変更することが出来る。

10

【 0 0 8 6 】

< ホワイトバランスゲインの 2 次元変調補正 >

既述の通り、画素数増大化のための画像センサー I S の微細化は、ホワイトバランス補正に於いても、その補正データが画面全体に渡ってドリフトを生じさせると言う影響をもたらす。そこで、ホワイトバランス補正データに関して、< 黒レベルの 2 次元変調補正 > の欄で記載した解決手段を全面的に採用する。即ち、各入力チャンネルのホワイトバランス補正処理部 1 4 C i (i : 0 ~ 3) (図 2 参照) は、入力する画像信号に対応する画素の位置に応じて、当該入力画像信号に対応する色の一定のホワイトバランス補正データを変調して、当該変調データを当該入力画像信号に乗算する。

【 0 0 8 7 】

20

より詳細には、ホワイトバランス補正処理部は、水平カウンタ 1 及び垂直カウンタ 2 で規定される位置座標内に離散的に配置された複数のホワイトバランス変調データを保有しており、入力画像信号に対応する画素の位置に於ける変調データを、複数のホワイトバランス変調データを用いた内挿補間によって求める。その際、ホワイトバランス補正処理部は、対角線上に隣り合う場合を除いて、互いに隣り合うホワイトバランス変調データ同士の配置位置の間隔が常に 2^n (n は正の整数) に成る様に配置された複数のホワイトバランス変調データを用いて上記内挿補間を行う。そして、内挿補間に際して、ホワイトバランス補正処理部は、水平カウンタ 1 及び垂直カウンタ 2 の上位ビットを選択して、変調範囲の物理的な広さを規定すると共に、正及び負の値を取り得るオフセット値を水平カウンタ 1 及び垂直カウンタ 2 の各々の出力値に独立に加算して、複数のホワイトバランス変調データで規定される変調範囲の中心を画像センサー I S の有効画素領域 E P R の中心に一致させた後に、上記内挿補間の演算を行う。

30

【 0 0 8 8 】

尚、ホワイトバランス補正処理部の構成及び変調方法は黒レベル補正データの変調回路の構成及び動作と基本的に同一であるため、その図示化を割愛する。

【 0 0 8 9 】

< 尾引き補正ゲインの 2 次元変調補正 >

画像センサー I S の画素数増大に伴う特性の劣化によって、図 1 8 に示す様に、S P U 回路 1 0 0 (図 2) の各入力チャンネル用 S P U 回路 S P U - C i (i : 0 ~ 3) に入力する画像データの波形に尾引きが生じる。このような波形の立ち上がり及び立下りのなまりを補正するべく、各入力チャンネル用 S P U 回路 S P U - C i (i : 0 ~ 3) は、尾引き補正処理部 (後記の実装例の図 2 2 を参照。) を有する。即ち、尾引き補正処理部は、画素クロック C L K 毎に、ある着目画素の画像信号 P_n と着目画素の近傍の同色の画素の画像信号 P_{n-1} との差分信号 ($P_{n-1} - P_n$) に一定の尾引き補正ゲイン を乗算して得られる尾引き補正值 を、受信した画像データ P_n に加算する (図 1 8 を参照。) 、尾引き補正処理を実行する。ところが、このような尾引き補正処理で用いられる上記尾引き補正ゲイン 自体にもまた、黒レベル補正データと同様に、微細化の影響により、画面全体に渡ってドリフトが発生する。

40

【 0 0 9 0 】

そこで、本実施の形態では、尾引き補正ゲイン に対しても、< 黒レベルの 2 次元変調

50

補正 > の欄に記載した解決手段を全面的に採用する。即ち、尾引き補正処理部は、入力する画像信号に対応する着目画素の位置に応じて、当該入力画像信号に対応する色の尾引き補正ゲインを変調して、当該被変調補正ゲインを上記差分信号に乗算することで尾引き補正值を得る。

【 0 0 9 1 】

より詳細には、尾引き補正処理部は、水平カウンタ 1 及び垂直カウンタ 2 で規定される位置座標内に離散的に配置された複数の尾引き補正ゲイン変調データを保有しており、入力画像信号に対応する着目画素の位置に於ける被変調補正ゲインを、複数の尾引き補正ゲイン変調データを用いた内挿補間によって求める。特に、内挿補間式中の除算を L S I のシフト処理で実行可能とするために、尾引き補正処理部は、対角線上に隣り合う場合を除いて、互いに隣り合う尾引き補正ゲイン変調データ同士の配置位置の間隔が常に 2^n (n は正の整数) に成る様に配置された複数の尾引き補正ゲイン変調データを用いて上記内挿補間を行う。その際、尾引き補正処理部は、水平カウンタ 1 及び垂直カウンタ 2 の上位ビットを選択することで、変調範囲の物理的な広さを規定する。そして、尾引き補正処理部は、正及び負の値を取り得るオフセット値を水平カウンタ 1 及び垂直カウンタ 2 の各々の出力値に独立に加算して、複数の尾引き補正ゲイン変調データで規定される変調範囲の中心を画像センサー I S の有効画素領域 E P R の中心に一致させた後に、上記内挿補間の演算を行う。

10

【 0 0 9 2 】

< リニアライゼーション処理 >

20

以下に記載の処理の要点は、入力チャンネル毎に於いて、色毎に異なるリニアライゼーション特性を定義しておき、既述した色選択タイミング信号によってリニアライゼーション特性を切替えてリニアライゼーション処理を実行可能とする点にある。この点につき、図面を用いてリニアライゼーション処理の説明を展開する。

【 0 0 9 3 】

既述した通り、画像センサーの画素数の増大化を実現するための画像センサーの微細化に伴い、画像センサーの各画素を構成する半導体エレメントに於ける特性の内相対的にレベルの小さい部分を用いざるを得ない状況となっている。このため、従来では各色の明るさと出力値との特性は線形性を有していたのが、昨今では各色の明るさと出力値との特性は非線形となっている。

30

【 0 0 9 4 】

例えば、図 19 の (a) に模式的に例示する様に、R 色の明るさと出力値との特性 R_0 は実際には非線形になっている。その他の色 (G_r , G_b , B 色) についても、同様に、明るさと出力値との特性は非線形になっている。

【 0 0 9 5 】

そこで、図 19 の (b) に模式的に例示する様に、R 色に関して、特性 R_0 とは逆特性の関係となる曲線 R_C をリニアライゼーション特性として定義することにする。その様な定義のリニアライゼーション特性 R_C を補正用特性として用いれば、両特性 R_0 , R_C は互いに相殺し合って、結果的に得られる特性は、図 19 の (c) の様な線形性を有する直線 R となる。この様な原理をここでは基本的に用いてリニアライゼーション処理を行う。具体的な回路構成は、次の通りである。

40

【 0 0 9 6 】

図 20 は、各入力チャンネル X (X : 0 ~ 3) 用補正処理部 S P U - C X が有するリニアライゼーション処理を実行する回路部分の構成を示すブロック図である (この様な回路構成が入力チャンネル X (X : 0 ~ 3) 毎に設けられている。) 。本リニアライゼーション処理部の中核部を成すのが、リニアライゼーション用テーブルレジスタ L T R である。図 20 に示す様に、リニアライゼーション用テーブルレジスタ L T R は、4 種類 (R , G_r , G_b , B) の色毎に、各色用リニアライゼーション用テーブルレジスタ 17 , 18 , 19 , 20 を有している。例えば、R 用リニアライゼーション用テーブルレジスタ 17 は、図 19 の (b) に示した様なリニアライゼーション特性 R_C のデータを保有している (

50

予めCPU（図示せず）によって書き込まれている。）。実際には、R用リニアライゼーション用テーブルレジスタ17は、図21に例示する様に、画像センサーISに於けるR色の明るさと出力値との非線形性を逆特性で以って補正するリニアライゼーション特性RCの曲線を、例えば32本の折れ線グラフで以って分割された33個の折れ線データRCAとして保有している。この点は、その他の色のリニアライゼーション用テーブルレジスタ18～20に関するも同様である。そして、各色のリニアライゼーション用テーブルレジスタ17～20の出力データ（16ビット信号）が、第1セクタ21に入力されている。

【0097】

第1セクタ21は、基本的な動作として、既述した当該入力チャンネルX（CH0～CH3）に対応する色選択タイミング信号CXCS（X：0～3）を選択信号SEL1として受信して、リニアライゼーション用テーブルレジスタ17～20の出力の中で、色選択タイミング信号CXCSが指令するある時点に於ける画素の色に応じたリニアライゼーション用テーブルレジスタ17～20を選択・出力する。その結果、リニアライゼーション処理部26は、第1セクタ21が選択・出力する33個のリニアライゼーション特性データを用いて、図19に於いて既述した補正原理に従って、入力画像データCXInput（X：0～3）の非線形性を補正し、その後、線形化された入力画像データCXInputをホワイトバランス補正部（図示せず。）に出力する。

【0098】

これにより、画像センサーISからの画像データの読み出しパターンが如何なるパターンであろうとも、入力チャンネル毎に且つ色毎に、画像センサーISの微細化に起因した、色の明るさと出力値との非線形特性を確実に補正することが出来る。

【0099】

追加的な構成要素として、図20に示す様に、固定リニアライゼーションパラメータ用レジスタ15及び第2セクタ16を設けても良い。ここでの視点は、各入力チャンネルに入力する画像データの非線形性は、画像センサーISの微細化に起因したものの他に、画像センサーISの各読み出しチャンネル側に設けられている増幅器等の特性に起因したものもあるという点である。特に、後者の、画像センサーISの出力側の回路系統等その他の原因に起因した非線形特性は、読み出しチャンネル毎に異なる。そこで、固定リニアライゼーションパラメータ用レジスタ15には、4チャンネルCH0～CH3の各チャンネルに固有な値として、既述した4個のリニアライゼーション用テーブルレジスタ17～20の内の何れか一つのテーブルレジスタの特性を、後者の原因に起因した非線形特性を補正するための当該チャンネル用のリニアライゼーション特性として指定する値が、予めCPU（図示せず。）によって格納されている。そして、第2セクタ16は、（1）上記の前者（画像センサーISの微細化）の原因に起因した非線形特性を補正するときには、CPU（図示せず。）が発するセレクト信号SEL2のレベル（指令値）に応じて、当該チャンネルの色選択タイミング信号CXCSを選択する一方（既述したリニアライゼーション補正が実行される。）、（2）上記の后者（読み出し経路上の構成要素の特性）の原因に起因した非線形特性を補正するときには、CPU（図示せず。）が発するセレクト信号SEL2は固定リニアライゼーションパラメータ用レジスタ15の出力値を選択する様に指令し、その結果、固定リニアライゼーションパラメータ用レジスタ15の出力値（パラメータ）が第1セクタ21のセレクト信号SEL1となるので、リニアライゼーション用テーブルレジスタ17～20の出力の中で、セレクト信号SEL1によって選択された当該チャンネルに特定のリニアライゼーション用テーブルレジスタの出力がリニアライゼーション処理部26に入力され、同部26は後者に起因した非線形特性を補正する処理を実行する。

【0100】

この様に、（1）複数のリニアライゼーションテーブル用レジスタ17～20の出力の中で当該ユニットに対応する特定の出力を指定する固定リニアライゼーションパラメータを保有する「レジスタ15」と、（2）レジスタ15の出力及び当該ユニットに対応する

10

20

30

40

50

色選択タイミング信号 C X C S の何れか一方を選択・出力する「第 2 セレクタ 1 6」を、本補正処理部 S P U - C X 内に更に具備させることで、画像センサーの微細化に起因した非線形特性の補正のみならず、入力チャンネル毎に、画像センサーの出力側の回路系統等その他の原因に起因した非線形特性をも選択的に補正することが可能となる。

【 0 1 0 1 】

更なる追加的構成要素として、図 2 0 に示す様に、各色用のリミッタ用レジスタ 2 2 ~ 2 5 と第 3 セレクタ 2 7 とから成るリミット部 L M I P を設けても良い。ここでの視点は、図 2 1 に例示する様に（各折れ線の水平ピッチは均等である。）、3 2 本の折れ線グラフで分割されたりニアライゼーション特性に対してリミット値を設けて、その値を越える
10
とリニアライゼーション処理を終了させることにある。即ち、図 2 0 に示す通り、（ 1 ）
4 個のリミッタ用レジスタ 2 2 ~ 2 5 は、色毎に設けられており、その各々は、色毎に、
当該色のリニアライゼーション特性を分割する 3 2 本の折れ線の内のある折れ線のあるレベルをリミット値として保有している。そして、（ 2 ）第 3 セレクタ 2 7 は、第 2 セレクタ 1 6 の出力値に応じて、4 個のリミッタ用レジスタ 2 2 ~ 2 5 の出力を選択して、選択したリミット値（ 1 6 ビット信号）L M I をリニアライゼーション処理部 2 6 に出力する。その結果、リニアライゼーション処理部 2 6 は、入力画像データ C X I p u t が第 3 セレクタ 2 7 の出力 L M I が与えるリミット値以上となるときには、その補正処理をクリップする。

【 0 1 0 2 】

< 実装例 >

図 2 2 は、各入力チャンネルの S P U 回路 S P U - C X (X : 0 ~ 3) の主要な一部的実装例を示すブロック図である。図 2 2 に於いて、前段の回路 C 1 は尾引き補正処理部であり、次段の回路 C 2 は黒レベル補正処理部であり、その次の回路 C 3 はリニアライゼーション処理実行回路であり、図示していないが、回路 C 3 の後に、ホワイトバランス補正処理部が配設されている。
20

【 0 1 0 3 】

（付記）

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や変形例を、この発明の範囲から逸脱することの無い範囲内で
30
考えることが可能である。

【 産業上の利用可能性 】

【 0 1 0 4 】

この発明は、例えばデジタル（スチル、ビデオ）カメラが有する画像センサーの各読み出しチャンネルから読み出された画像データに対して読み出したデータを大容量メモリ上にバッファリングせずに画像処理を画素クロック毎に並列に実行する完全リアルタイムパイプライン型の画像処理装置用 L S I に適用して好適である。

【 図面の簡単な説明 】

【 0 1 0 5 】

【 図 1 】 画像センサーの読み出しチャンネルと本実施の形態に係る画像処理装置の入力チャンネルとの関係を示すブロック図である。
40

【 図 2 】 画像処理装置の S P U 回路の構成例を示すブロック図である。

【 図 3 】 カラータイミングアレンジメント部の動作原理を示すブロック図である。

【 図 4 】 カラータイミングアレンジメント部の主要部分の構成例を示すブロック図である。

【 図 5 】 カラータイミングアレンジメント部の一部の構成を示すブロック図である。

【 図 6 】 図 4 の回路のローカル H カウンタ及びローカル V カウンタで設定可能な任意の大きさの繰り返し範囲の一例を示す図である。

【 図 7 】 3 種類の繰り返し範囲を示す図である。

【 図 8 】 画面全体に渡って発生する黒レベル信号のオフセットドリフトを模式的に例示す
50

る図である。

【図 9】黒レベル補正処理部の構成の一例を示すブロック図である。

【図 10】黒レベル補正処理部の構成の他の例を示すブロック図である。

【図 11】変調回路に於ける変調データを求める方法の原理を示す図である。

【図 12】変調回路に於ける変調データを求める他の方法の原理を示す図である。

【図 13】1次元での線形補間（内挿補間）の一例を示す図である。

【図 14】変調回路に於ける変調データを求める実用的な方法を示す図である。

【図 15】変調回路の構成例を示すブロック図である。

【図 16】図 15 の変調回路に於いて変調範囲を 256×256 と設定した場合の変調データを求める実用的な方法を示す図である。

10

【図 17】図 15 の変調回路に於いて変調範囲の物理的な広さを変更可能とする方法を示す図である。

【図 18】尾引き補正の方法を示す図である。

【図 19】リニアライゼーション処理の方法を示す図である。

【図 20】各入力チャンネルの S P U 回路に於けるリニアライゼーション処理回路の構成例を示すブロック図である。

【図 21】リニアライゼーション特性を折れ線で分割した場合を示す図である。

【図 22】各入力チャンネルの S P U 回路の主要な一部の実装例を示すブロック図である。

【図 23】従来技術に於ける画像センサーの読み出しチャンネルと画像処理装置の入力チャンネルとの関係を示すブロック図である。

20

【図 24】R G B Bayer 信号の正規化処理を示す図である。

【図 25】従来技術に於ける S P U 回路の構成例を示すブロック図である。

【図 26】画像データ読み出しパターンの一例を示す図である。

【図 27】画像データ読み出しパターンの一例を示す図である。

【図 28】画像データ読み出しパターンの一例を示す図である。

【符号の説明】

【0106】

100 S P U

I S 画像センサー

9 S P U レジスタ

10 カラータイミングアレンジメント部

C 0 I n p u t 画像データ

S P U - C 0 第1入力チャンネル用 S P U 回路部

13 C 0 黒レベル補正処理部

14 C 0 ホワイトバランス補正処理部

1 グローバル H カウンタ

2 グローバル V カウンタ

C L B A S E T カラーベースタイミング信号

T R 0 第1入力チャンネル用タイミングレジスタ

T R S 0 タイミングレジスタ用セレクタ

C 0 C S 第1入力チャンネル用色選択タイミング信号

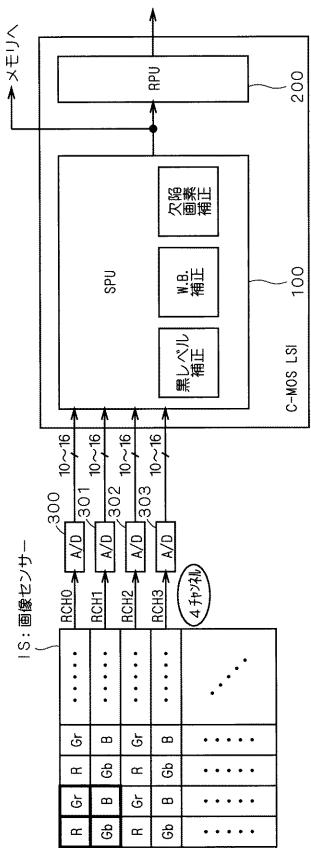
5 ローカル H カウンタ

6 ローカル V カウンタ

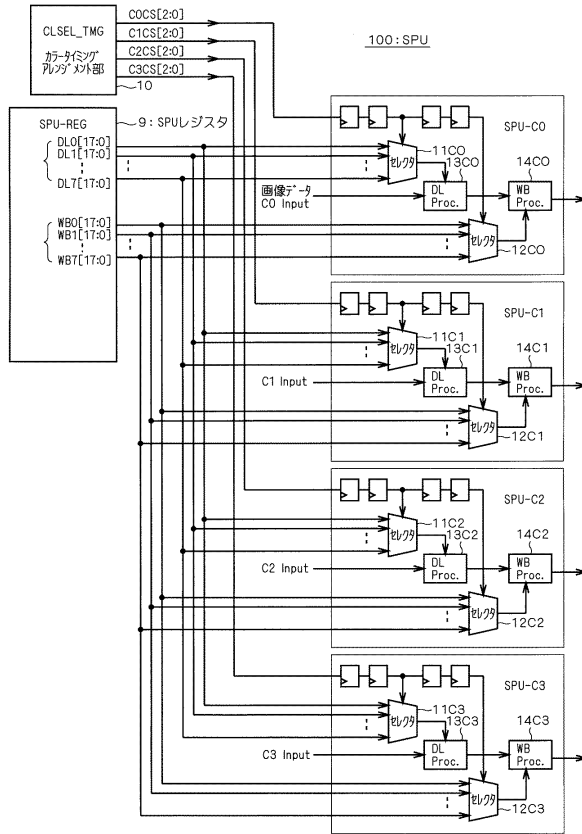
30

40

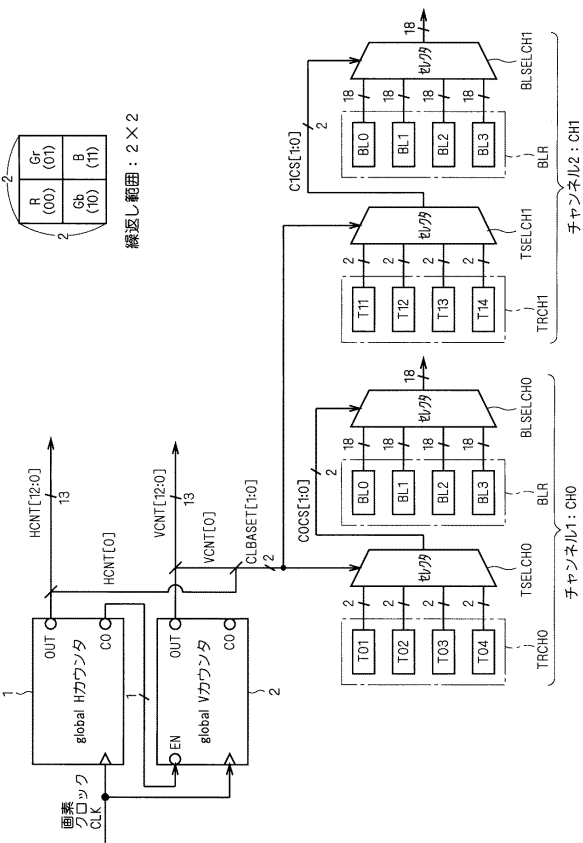
【図1】



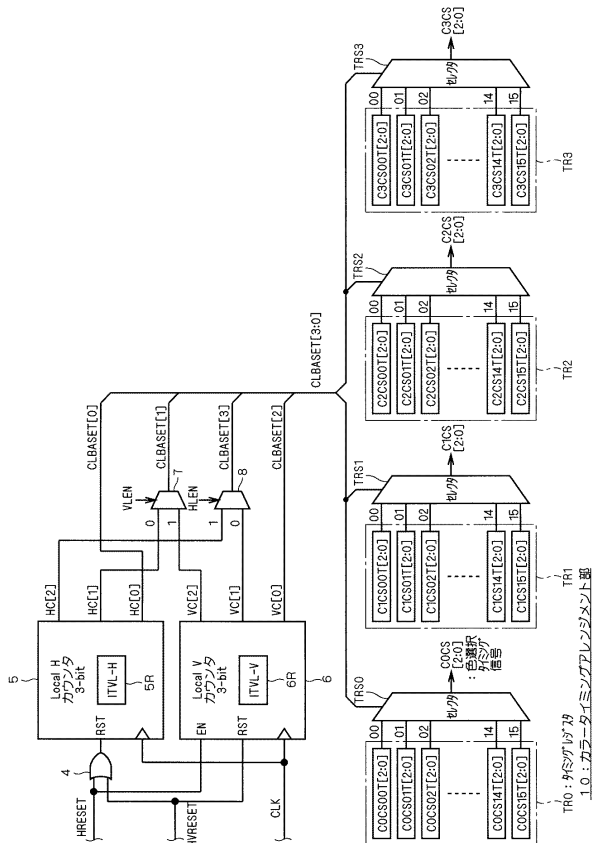
【図2】



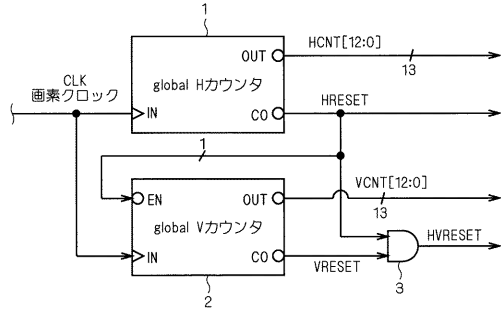
【図3】



【図4】

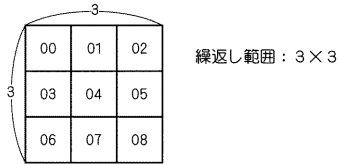


【図5】

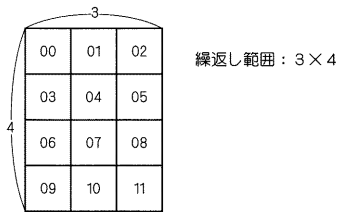


【図6】

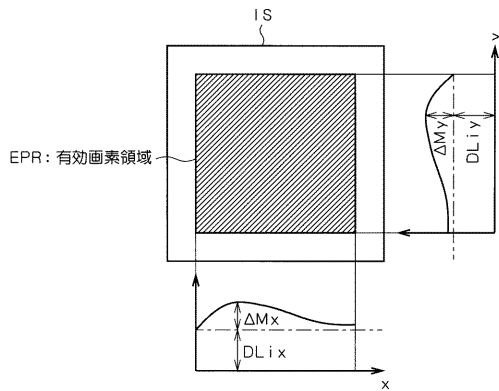
(a) ITVL-H: 2
ITVL-V: 2



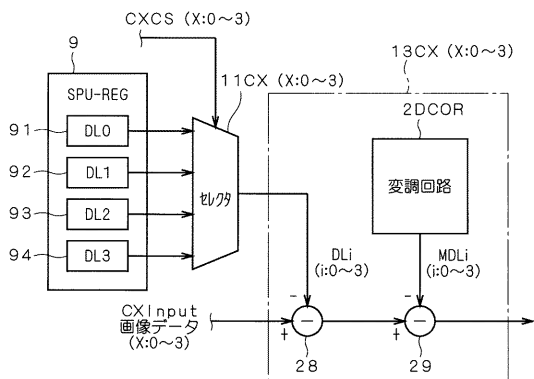
(b) ITVL-H: 2
ITVL-V: 3



【図8】



【図9】



【図7】

Timing(CxCSxxT) Arrangement

(a) VLEN,HLEN=0,0:H4max,V4max cyclic

00	01	02	03
04	05	06	07
08	09	10	11
12	13	14	15

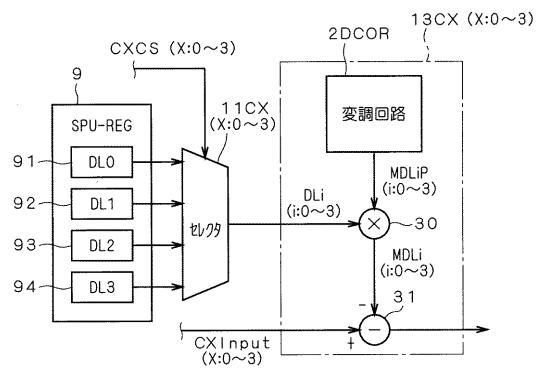
(b) VLEN,HLEN=0,1:H8max,V2max cyclic

00	01	02	03	08	09	10	11
04	05	06	07	12	13	14	15

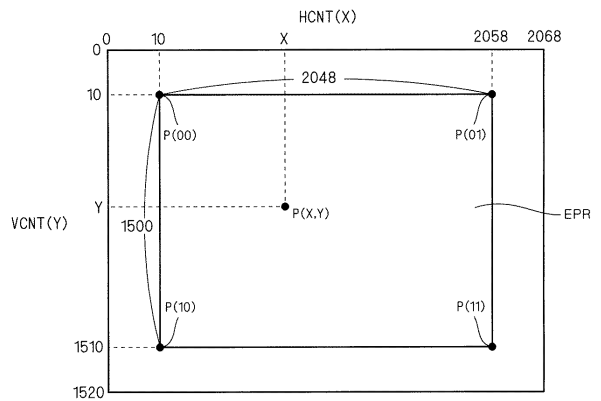
(c) VLEN,HLEN=1,0:H2max,V8max cyclic

00	01
04	05
08	09
12	13
02	03
06	07
10	11
14	15

【図10】

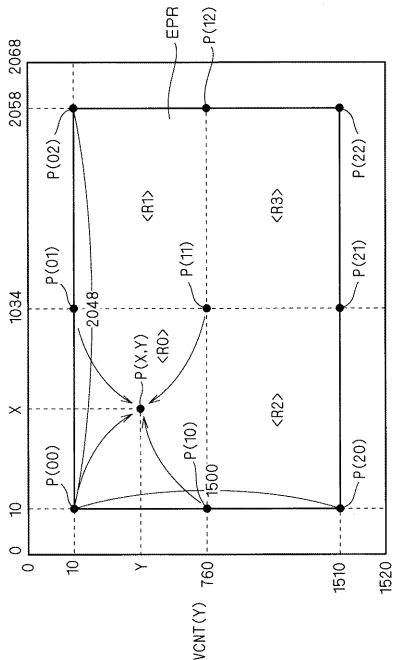


【図11】

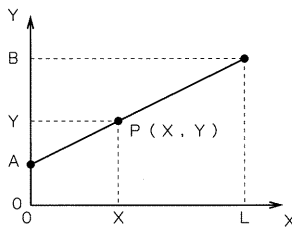


P(00),P(01),P(10),P(11) : 黒レベル変調データ
P(X,Y) : 画素位置(X,Y)に於ける内挿補間された変調データ

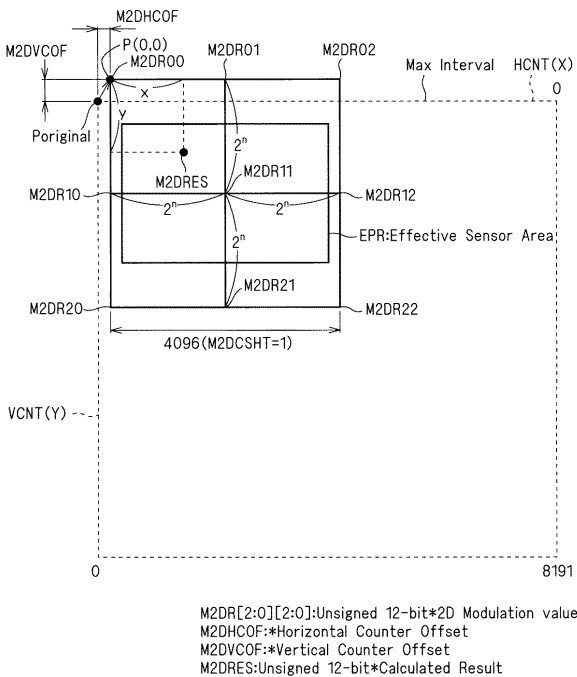
【図 1 2】



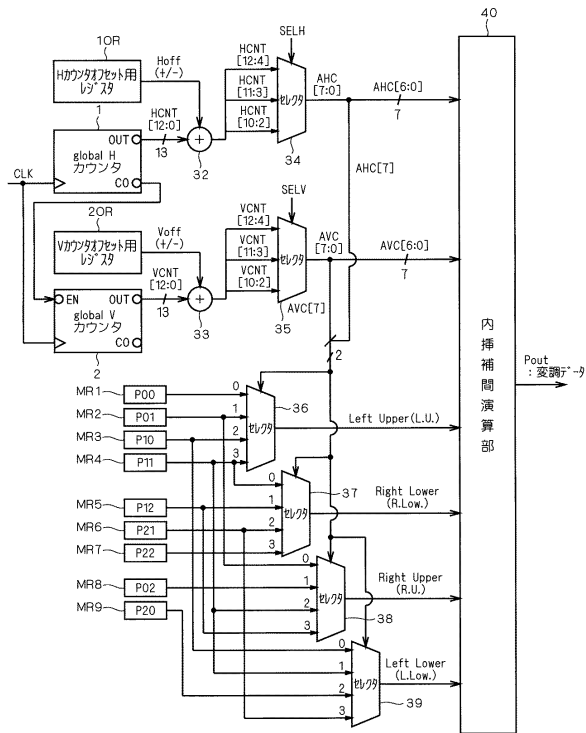
【図 1 3】



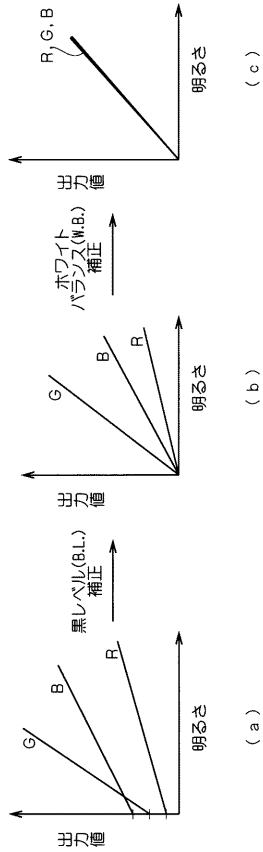
【図 1 4】



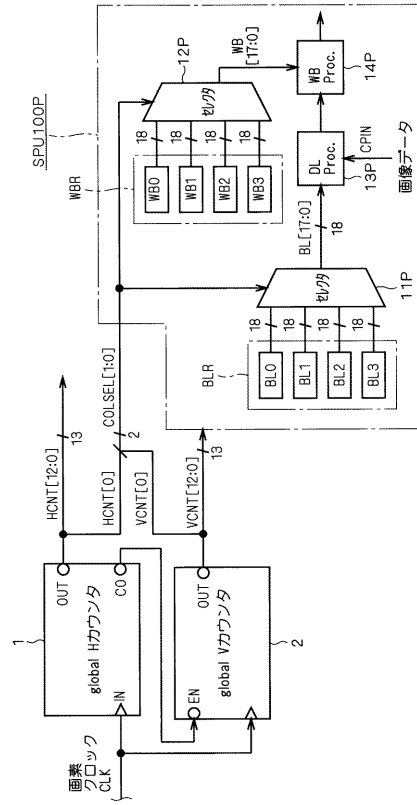
【図 1 5】



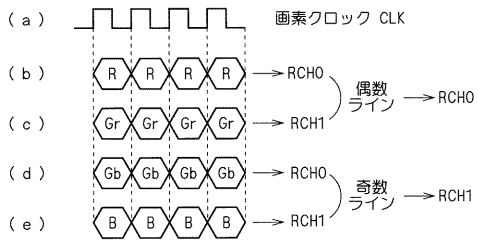
【図 24】



【図 25】

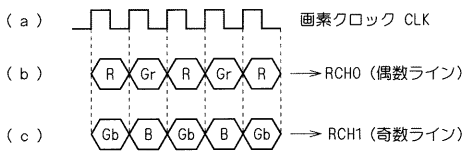


【図 26】



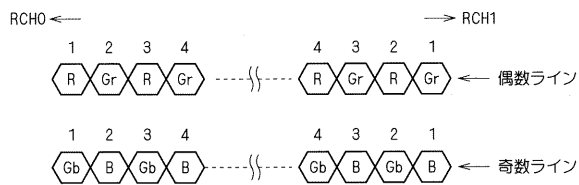
画像データ読出しパターン 1

【図 27】



画像データ読出しパターン 2

【図 28】



画像データ読出しパターン 3

フロントページの続き

- (56)参考文献 特開2004-304460(JP,A)
特開2007-036774(JP,A)
特開2007-020108(JP,A)
特開2005-020689(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 9/04 ~ 9/11
H04N 9/44 ~ 9/78