【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第１区分
【発行日】平成17年9月8日(2005.9.8)

【公開番号】特開2000-9803(P2000-9803A)
【公開日】平成12年1月14日(2000.1.14)
【出願番号】特願平10-174650
【国際特許分類第７版】
　ＧＯ１Ｒ　31/28
　ＧＯ６Ｆ　11/22
　ＨＯ１Ｌ　27/04
　ＨＯ１Ｌ　21/822
【ＦＩ】
　ＧＯ１Ｒ　31/28　　Ｖ
　ＧＯ６Ｆ　11/22　３３０Ｂ
　ＧＯ１Ｒ　31/28　　Ｐ
　ＨＯ１Ｌ　27/04　　Ｔ

【手続補正書】
【提出日】平成17年3月15日(2005.3.15)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】請求項５
【補正方法】変更
【補正の内容】
【請求項５】
　前記位相比較手段は、
　前記第１の入力信号と前記第２の入力信号とﾉの信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
　所定のサンプリング期間において、前記論理出力信号を前記位相比較結果として出力する位相比較結果出力手段とを有する、
請求項１ないし請求項４のうちいずれか１項に記載の半導体装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】請求項８
【補正方法】変更
【補正の内容】
【請求項８】
　前記位相比較手段は、
　前記第１の入力信号と前記第２の入力信号とﾉの信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
　前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、
　前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、
　所定のノードと固定電位との間の信号経路上に設けられ、前記所定のノードへの電流供給時に前記ラッチ信号に基づき前記所定のノードを流れる電流量を変動させる電流量調整手段とを備え、
　前記位相比較結果出力端子は前記所定のノードを含み、前記位相比較結果は前記所定のノードを流れる電流を含む、

請求項７記載の半導体装置。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】請求項９
【補正方法】変更
【補正の内容】
【請求項９】
前記位相比較手段は、
前記第１の入力信号と前記第２の入力信号とのの信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、
前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、
前記ラッチ信号を受け、前記ラッチ信号の所定のエッジ変化回数をカウントしてカウント結果を得るカウンタとを備える、
請求項７記載の半導体装置。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
図２１のデータＤＡＴＡの波形がＬ１で、クロックＣＬＫの波形がＬ３の場合のセットアップタイムＴＳ０のタイミング検証試験を行う場合でも、実際にはデータＤＡＴＡとクロックＣＬＫそれぞれにスキューαが生じるため、データＤＡＴＡの位相が波形Ｌ２のように早くなり、クロックＣＬＫの位相が波形Ｌ４のように遅くなると、当初設定したセットアップタイムＴＳ１よりかなり大きいセットアップタイムＴＳ２でタイミング検証試験を行ってしまうことになる。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１３
【補正方法】変更
【補正の内容】
【００１３】
したがって、クロックＣＬＫがデータＤＡＴＡより０．６ｎｓの位相遅れがある場合でも、製品規格のセットアップである０．２ｎｓを確実に保証するためにはテストプログラム値を－０．４ｎｓ（クロックＣＬＫの位相をデータＤＡＴＡより０．４ｎｓを早める）としなければならない。なぜならば、テストプログラム値ｔｐを－０．４ｎｓより大きな値に設定にすると、クロックＣＬＫがデータＤＡＴＡより０．６ｎｓの位相遅れがある場合に、０．２より大きい（ｔｐ＋０．６）セットアップタイムでタイミング検証試験が行われることになり、セットアップタイム０．２ｎｓを満足しない被試験ＬＳＩ５０５を誤って良と判定してしまう危険性があるからである。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【００２１】
請求項５記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記

第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、所定のサンプリング期間において、前記論理出力信号を前記位相比較結果として出力する位相比較結果出力手段とを有している。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】
請求項８記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、所定のノードと固定電位との間の信号経路上に設けられ、前記所定のノードへの電流供給時に前記ラッチ信号に基づき前記所定のノードを流れる電流量を変動させる電流量調整手段とを備え、前記位相比較結果出力端子は前記所定のノードを含み、前記位相比較結果は前記所定のノードを流れる電流を含んでいる。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更
【補正の内容】
【００２５】
請求項９記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、前記ラッチ信号を受け、前記ラッチ信号の所定のエッジ変化回数をカウントしてカウント結果を得るカウンタとを備えている。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００５５
【補正方法】変更
【補正の内容】
【００５５】
したがって、Ｉ／Ｏバッファセル２００内におけるテストモード端子１４より得られるセル外入力信号とデータＤＡＴＡとの位相が一致したタイミングを基準としてタイミング条件を設定することにより、実施の形態１のＬＳＩ同様、実施の形態２のＬＳＩに対する高精度なタイミング検証試験を行うことができる。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００５６
【補正方法】変更
【補正の内容】
【００５６】
加えて、ＭＵＸ１８によってクロックＣＬＫを選択することにより、実施の形態１と同様、Ｉ／Ｏバッファセル２００内におけるデータＤＡＴＡとクロックＣＬＫとの位相が一致したタイミングを基準としてタイミング条件を設定することもできる。

【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００５７
【補正方法】変更
【補正の内容】
【００５７】
このように、実施の形態２のＬＳＩは、位相比較結果をモニタすることにより、Ｉ／Ｏバッファセル２００内におけるデータＤＡＴＡとセル外入力信号との間の基準タイミング及びデータＤＡＴＡとクロックＣＬＫとの間の基準タイミングのいずれかを選択的に認識することができる。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００６５
【補正方法】変更
【補正の内容】
【００６５】
したがって、Ｉ／Ｏバッファセル２０１～２０３それぞれにおける前段のセル出力信号とデータＤＡＴＡとの位相が一致したタイミングを基準としてタイミング条件を設定することにより、実施の形態１のＬＳＩ同様、実施の形態３のＬＳＩのＩ／Ｏバッファ群の各Ｉ／Ｏバッファセルそれぞれに対する高精度なタイミング検証試験を行うことができる。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００６６
【補正方法】変更
【補正の内容】
【００６６】
また、実施の形態３のＬＳＩは、実施の形態２と同様、位相比較結果をモニタすることにより、Ｉ／Ｏバッファセル２０１～２０３内におけるデータＤＡＴＡと前段セルのセル出力信号との間の基準タイミング及びデータＤＡＴＡとクロックＣＬＫとの間の基準タイミングのいずれかを選択的に認識することができる。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】００７８
【補正方法】変更
【補正の内容】
【００７８】
インバータ３７は、テスタ電源ユニット３８，接地レベル間に設けられる。インバータ３７のＰＭＯＳトランジスタ３５のソースは位相比較結果出力端子６０を介してテスタ電源ユニット３８に接続され、ＮＭＯＳトランジスタ３６のドレイン，ソース間に浮遊キャパシタ３１が寄生する。テスタ電源ユニット３８はＬＳＩテスタ１００の位相比較結果出力端子６０に電源を供給するとともに、位相比較結果出力端子６０を流れる電流量を検出する機能を有している。
【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】０１００
【補正方法】変更
【補正の内容】
【０１００】
このような構成の実施の形態６の位相比較器は、図１２に示すように、ゲート信号Ｓ２５の“Ｈ”立ち上がりを検出する毎にデジタルカウンタ４０によってその回数がカウント

することができる。したがって、クロックＣＬＫをＮサイクル期間入力させた後、フリップフロップ４１～４６の反転出力部バーＱから６ビットのカウント結果ＣＮＴを得ることができる。

【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】０１１４
【補正方法】変更
【補正の内容】
【０１１４】
テストモード端子１４より入力されるテストモード信号ＳＴＭ１はテストモード入力部４を介してＭＵＸ５２～５４の制御入力に共通に付与される。ＭＵＸ５２の他方入力は“Ｈ”固定され、ＭＵＸ５４の他方入力は“Ｌ”固定される。ＭＵＸ５２～５４はテストモード信号ＳＴＭ１の“Ｈ”／“Ｌ”に基づき一方入力／他方入力より得られる信号を出力する。

【手続補正１７】
【補正対象書類名】明細書
【補正対象項目名】０１１５
【補正方法】変更
【補正の内容】
【０１１５】
データ端子５より入力されるデータＤＡＴＡはデータ入出力部１２及びトランスファゲート５６を介してレシーバ６Ｌの一方入力に付与される。

【手続補正１８】
【補正対象書類名】明細書
【補正対象項目名】０１１７
【補正方法】変更
【補正の内容】
【０１１７】
レシーバ６Ｌの出力とドライバ８Ｌの入力とがトランスファゲート５８を介して接続され、レシーバ６Ｌの入力とドライバ８Ｌの出力とがトランスファゲート５６を介して接続される。ドライバ８Ｌは内部ロジック５０からの出力信号を信号入力部９より受け、制御入力に得られる信号の“Ｈ”立ち上がりをトリガとして、受信した信号をドライブして得られる出力信号を、トランスファゲート５６及びデータ入出力部１２を介してデータ端子５から出力するとともに、内部にラッチするラッチ機能を有している。

【手続補正１９】
【補正対象書類名】明細書
【補正対象項目名】０１２１
【補正方法】変更
【補正の内容】
【０１２１】
一方、“Ｈ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与すれば、クロックＣＬＫがレシーバ６Ｌの制御入力に印加されるため、反転クロックＲＣＬＫがドライバ８Ｌの制御入力に印加され、Ｄフリップフロップ８１の出力部Ｑより得られる信号がバッファ８３，８２を介してそれぞれトランスファゲート５６及び５８のＮチャネルゲートに印加されることにより、図１７に示すような等価回路を構成してデータＤＡＴＡとクロックＣＬＫとの位相比較を行うことができる。

【手続補正２０】
【補正対象書類名】明細書
【補正対象項目名】０１２２
【補正方法】変更

【補正の内容】
【０１２２】
図１８は、図１７で示した等価回路を構成する実施の形態９の位相比較動作を示すタイミング図である。図１８において、期間Ｔ１は“Ｈ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与した期間、期間Ｔ２は“Ｌ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与した期間を示す。
【手続補正２１】
【補正対象書類名】明細書
【補正対象項目名】０１２６
【補正方法】変更
【補正の内容】
【０１２６】
次のクロックＣＬＫのサイクルで、内部ロジック５０の影響がドライバ８Ｌの入力に現れないようにして、テストモード信号ＳＴＭ１を“Ｌ”にすることにより、図１８の期間Ｔ２に示すように、ドライバ８Ｌから“Ｈ”のデータＤＡＴＡをデータ端子５に出力することができる。
【手続補正２２】
【補正対象書類名】明細書
【補正対象項目名】０１３３
【補正方法】変更
【補正の内容】
【０１３３】
請求項２記載の半導体装置における入出力バッファセルは、外部信号用テストモード信号に基づき、位相比較結果あるいは内部出力信号を外部出力用選択信号として出力する外部信号用選択手段と、外部出力用選択信号をバッファリング処理して外部出力信号を出力する外部信号出力手段とを備えている。
【手続補正２３】
【補正対象書類名】明細書
【補正対象項目名】０１３５
【補正方法】変更
【補正の内容】
【０１３５】
請求項３記載の半導体装置における入出力バッファセルは、第２のテストモード信号に基づき、セル外入力信号及びクロックのうち一方の信号を位相比較手段に出力する第２の信号選択手段をさらに備えている。
【手続補正２４】
【補正対象書類名】明細書
【補正対象項目名】０１３９
【補正方法】変更
【補正の内容】
【０１３９】
請求項５記載の半導体装置における入出力バッファセルの位相比較手段は、第１の入力信号と第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、所定のサンプリング期間において、論理出力信号に基づく信号を位相比較結果として出力する位相比較結果出力手段とを有している。
【手続補正２５】
【補正対象書類名】明細書
【補正対象項目名】０１４０
【補正方法】変更
【補正の内容】

【０１４０】
したがって、位相比較結果の論理値が一致を指示するか不一致を指示するかによって、第１及び第２の入力信号間の入出力バッファセル内における位相関係を認識することができる。また、論理ゲートと位相比較結果出力手段のみで位相比較結果を出力することができるため、その回路構成は比較的簡単で済む。
【手続補正２６】
【補正対象書類名】明細書
【補正対象項目名】０１４４
【補正方法】変更
【補正の内容】
【０１４４】
したがって、ラッチ信号の論理値が一致を指示する期間を反映した位相比較結果を得ることができる。
【手続補正２７】
【補正対象書類名】明細書
【補正対象項目名】図面の簡単な説明
【補正方法】変更
【補正の内容】
【図面の簡単な説明】
【図１】 この発明の実施の形態１であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。
【図２】 実施の形態１のＬＳＩを用いた位相比較方法を示すフローチャートである。
【図３】 この発明の実施の形態２であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。
【図４】 この発明の実施の形態３であるＬＳＩのＩ／Ｏバッファセル群の構成を示す回路図である。
【図５】 この発明の実施の形態４であるＬＳＩの位相比較器の内部構成を示す回路図である。
【図６】 この発明の実施の形態５であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。
【図７】 この発明の実施の形態５であるＬＳＩの位相比較器の内部構成を示す回路図である。
【図８】 実施の形態５の位相比較器の位相比較動作を示すタイミング図である。
【図９】 実施の形態５の位相比較器の位相比較動作を示す波形図である。
【図１０】 実施の形態５の位相比較器の他の態様を示す説明図である。
【図１１】 この発明の実施の形態６であるＬＳＩの位相比較器の内部構成を示す回路図である。
【図１２】 実施の形態６の位相比較器の位相比較動作を示すタイミング図である。
【図１３】 この発明の実施の形態７であるＬＳＩのＩ／Ｏバッファセルの構成を示す説明図である。
【図１４】 この発明の実施の形態８であるＬＳＩのＩ／Ｏバッファセルの構成を示す説明図である。
【図１５】 この発明の実施の形態９であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。
【図１６】 実施の形態９のＩ／Ｏバッファセルの第１の動作時の等価回路を示す回路図である。
【図１７】 実施の形態９のＩ／Ｏバッファセルの第２の動作時の等価回路を示す回路図である。
【図１８】 実施の形態９のＩ／Ｏバッファセルの動作を示すタイミング図である。

【図１９】　従来のＬＳＩテスタを用いたＬＳＩの試験実施時の構成を示す説明図である。
【図２０】　従来のＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。
【図２１】　従来のデータとクロックとの間に生じるスキューを示したタイミング図である。
【符号の説明】
１，１０１，２００～２０３，２０５　Ｉ／Ｏバッファセル、２，２Ａ　位相比較器、３，１８，５２～５４　マルチプレクサ（ＭＵＸ）、４０　デジタルカウンタ、４７　シフト回路、５５　インバータ、５６，５８　トランスファゲート、６０　位相比較結果出力端子、７３　プライマリー端子、８１　Ｄフリップフロップ、８２，８３　バッファ。
【手続補正２８】
【補正対象書類名】図面
【補正対象項目名】図２１
【補正方法】変更
【補正の内容】
【図２１】

