



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	101998900683341
Data Deposito	05/06/1998
Data Pubblicazione	05/12/1999

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	B		

Titolo

DECODIFICATORE DI RIGA PER UN DISPOSITIVO DI MEMORIA A BASSA TENSIONE DI ALIMENTAZIONE.

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: MICHELONI Rino, CAMPARDO Giovanni

*** *****

TO 98A 000497

La presente invenzione è relativa ad un decodificatore di riga per un dispositivo di memoria a bassa tensione di alimentazione.

Come è noto, i dispositivi di memoria sono tipicamente organizzati a matrice nella quale linee di parola connettono i terminali di porta delle celle poste su una stessa riga e linee di bit connettono i terminali di pozzo delle celle poste su una stessa colonna. Singole righe della matrice di memoria vengono quindi indirizzate mediante un decodificatore di riga ricevente in ingresso un indirizzo codificato.

Un decodificatore di riga può essere rappresentato schematicamente mediante una pluralità di invertitori, uno per riga, formati, ciascuno, da un transistor di pull-up e da un transistor di pull-down e comandati da un circuito combinatorio ricevente in ingresso gli indirizzi codificati allo scopo di portare ogni volta l'uscita di uno solo degli invertitori, in particolare

CERBARO Elena
[iscrizione Albo nr 426/BM]

di quello pilotante la riga indirizzata, ad un valore logico alto.

Per garantire il corretto funzionamento del decodificatore di riga sia nella fase di lettura che nella fase di programmazione delle celle di memoria è altresì noto disporre, tra l'uscita e l'ingresso di ciascun invertitore, un transistor PMOS di reazione che consente di portare, quando acceso, l'ingresso dell'invertitore ad una tensione pari alla tensione di alimentazione, garantendo così il completo spegnimento del transistor di pull-up dell'invertitore stesso e l'annullamento della tensione di uscita. A monte di ciascun invertitore è poi disposto un pass transistor avente lo scopo di separare la parte a bassa tensione (predecodifica) da quella ad alta tensione (decodifica vera e propria) al fine di evitare malfunzionamenti dovuti a possibili polarizzazioni dirette di giunzioni pozzo/bulk del transistor P-channel disposto a monte.

Attualmente, è sentita l'esigenza di garantire il funzionamento a bassa tensione di alimentazione dei dispositivi integrati, soprattutto per soddisfare le esigenze di bassi consumi tipiche dei dispositivi portatili, ad esempio dei telefoni cellulari.

D'altra parte, la riduzione della tensione di alimentazione dà origine ad una serie di problemi. In par-

ticolare, la lettura delle celle di una memoria diventa particolarmente delicata in quanto possono sorgere errori di lettura legati alla distribuzione delle tensioni di soglia delle celle. Infatti, essendo generalmente la tensione di lettura fornita ai terminali di porta delle celle da leggere coincidente con la tensione di alimentazione, tutte le celle cancellate aventi una tensione di soglia vicina alla tensione di alimentazione non conducono corrente durante la lettura o conducono una corrente molto bassa e vengono quindi erroneamente lette come celle scritte.

Per risolvere tale problema, è stata proposta una soluzione basata sul principio di elevare la tensione di lettura, ovvero di fornire al terminale di porta della cella da leggere una tensione superiore alla tensione di alimentazione e generata tramite un apposito stadio detto "di boost". In questo modo, anche le celle cancellate aventi una tensione di soglia molto prossima alla tensione di alimentazione possono essere portate in conduzione ed essere lette correttamente.

Attualmente esistono differenti soluzioni basate su tale principio, in seguito indicate, rispettivamente, col nome di boost continuo, boost impulsato globale, boost impulsato locale limitato ad una soglia p-channel e boost impulsato locale limitato a due soglie p-

CERBARO Elena
Ritirazione Albo nr 426/BW

channel.

Nella soluzione a "boost continuo", un condensatore di boost viene gradualmente caricato fino ad un valore di tensione superiore alla tensione di alimentazione mediante un treno di impulsi. Il condensatore di boost provvede quindi a mantenere una linea comune della memoria (linea di boost) alla sovratensione desiderata. Questa soluzione presenta il vantaggio che il condensatore di boost non deve essere di capacità elevata dato che la sovratensione viene prodotta mediante una serie di piccoli incrementi e quindi l'area da esso occupata è relativamente ridotta. Per questo stesso motivo, però, il tempo necessario alla carica iniziale del condensatore è decisamente elevato, per cui i dispositivi di memoria utilizzando tale soluzione presentano un elevato tempo di accesso in seguito all'accensione o alla riattivazione dopo una condizione di stand-by.

Per ovviare a tale inconveniente è possibile utilizzare un secondo stadio di boost che mantenga il condensatore di boost carico durante la condizione di stand-by, ma in tal modo aumenta il consumo di corrente.

Nella soluzione a "boost impulsato globale", viene utilizzato un condensatore di boost di capacità molto elevata che viene caricato tramite un singolo impulso solo nell'istante in cui è richiesta la lettura di una

CERBARO Elena
Iscrizione Albo nr 420/BWJ

cella di memoria, ad esempio nell'istante in cui commutano gli indirizzi in lettura o commuta allo stato attivo il segnale di abilitazione del chip. In tal modo vengono risolti i problemi legati all'elevato tempo di accesso in fase di rientro dalla condizione di stand-by e di accensione e al consumo di corrente nella fase di stand-by stessa, ma sorgono altri problemi legati all'elevata area occupata dal condensatore e dai circuiti di pilotaggio necessari e alla temporizzazione della fase di carica del condensatore.

Con le soluzioni a "boost impulsato locale limitato ad una soglia p-channel" e a "boost impulsato locale limitato a due soglie p-channel" vengono sfruttati i vantaggi del boost continuo e del boost impulsato globale, in quanto esse consentono di elevare la tensione di lettura solo quando, e soprattutto solo dove, è realmente necessario. Tali soluzioni sono descritte in EP-A-0 814 481 e nella domanda di brevetto europeo N. 97830739.5 depositata il 31.12.97.

Anche tali soluzioni non sono esenti da inconvenienti. Infatti, per garantire l'accensione del solo invertitore di pilotaggio della riga da indirizzare e lo spegnimento degli invertitori di pilotaggio delle altre righe dello stesso settore, la tensione di boost che può essere generata non deve superare un limite superiore

CERBARO Elena
Iscrizione Albo nr 426/BMI

pari alla tensione di alimentazione più una soglia p-channel nella prima soluzione e alla tensione di alimentazione più due soglie p-channel nella seconda. Queste limitazioni sulla tensione di boost risultano però del tutto incompatibili con le richieste di generazioni future di dispositivi di memoria funzionanti con tensioni di alimentazioni prossime ad 1 V.

Scopo della presente invenzione è quello di realizzare un decodificatore di riga che superi gli inconvenienti sopra indicati.

Secondo la presente invenzione viene realizzato un decodificatore di riga per un dispositivo di memoria a bassa tensione di alimentazione ed un metodo di lettura di una cella di memoria a bassa tensione di alimentazione, come descritti nella rivendicazione 1 e, rispettivamente, 7.

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra l'architettura di un dispositivo di memoria includente un decodificatore di riga secondo la presente invenzione;

- la figura 2 illustra uno schema elettrico del presente decodificatore di riga; e

CERBARO Elena
Iscrizione Albo nr 426/BW

- la figura 3 illustra temporizzazioni di segnali del dispositivo di memoria secondo il metodo oggetto della presente invenzione.

In figura 1 è indicato con 1, nel suo complesso, un dispositivo di memoria comprendente una matrice di memoria 2 formata da una pluralità di celle 4 disposte su righe e colonne; uno stadio di alimentazione 6 generante tensioni di alimentazione V_{CC} , V_{BB} , V_{NEG} , V_{BST} e V_{GND} ; uno stadio logico 8 generante segnali di indirizzo $A<0-n>$, un segnale di controllo CNT per lo stadio di alimentazione 6, un segnale di precarica PC, segnali di comando CM, un segnale di pilotaggio PS ed un segnale ausiliario PX descritti in dettaglio in seguito; uno stadio di predecodifica 10 ricevente in ingresso i segnali di indirizzo $A<0-n>$ ed i segnali di comando CM e generante in uscita segnali di predecodifica $Lx<0-x>$, $Ly<0-y>$, $Lz<0-z>$ e $P<0-p>$, con x, y, z e p numeri prefissati; ed uno stadio di decodifica finale 12 ricevente in ingresso i segnali di predecodifica Lx , Ly , Lz e P ed i segnali di precarica PC, di pilotaggio PS e ausiliario PX e generante in uscita segnali di polarizzazione $R<0-r>$, con r numero delle righe, forniti, ciascuno, ad una rispettiva riga 3 della matrice di memoria 2.

I segnali di precarica PC, di comando CM e di pilotaggio PS, nonché i segnali di indirizzo A e di predeco-

difica Lx, Ly, Lz e P, sono segnali di tipo logico aventi uno stato logico basso definito dalla tensione di massa ed uno stato logico alto definito dalla tensione V_{CC} , il segnale ausiliario PX è un segnale di tipo logico avente un valore logico basso definito dalla tensione di massa ed uno stato logico alto definito dalla tensione V_{BB} , mentre il segnale di controllo CNT è un segnale di tipo logico avente un valore logico basso definito dalla tensione di massa ed uno stato logico alto definito dalla tensione V_{BB} .

Lo stadio di predecodifica 10 comprende una pluralità di circuiti di predecodifica 14 ricevanti in ingresso differenti combinazioni dei segnali di indirizzo A e generanti in uscita rispettivi segnali di predecodifica Lx, Ly, Lz, P e lo stadio di decodifica finale 12 comprende una pluralità di circuiti di decodifica finale 16 ricevanti in ingresso differenti combinazioni dei segnali di predecodifica Lx, Ly, Lz e P e generanti in uscita segnali di polarizzazione R, in modo di per sé noto.

In figura 2 è illustrato lo schema circuitale di un circuito di decodifica finale 16 per il pilotaggio di due generiche righe 3 della matrice di memoria, indicate nel seguito come riga i-esima e i+1-esima, ricevanti in ingresso gli stessi segnali di predecodifica Lx, Ly ed

Lz, ad esempio $Lx<0>$, $Ly<0>$, $Lz<0>$, ma differenti segnali di predecodifica P, ad esempio $P<0>$ e $P<1>$, e generanti in uscita i segnali di polarizzazione $R<i>$ e $R<i+1>$ per la riga i-esima e, rispettivamente, la riga i+1-esima.

In particolare, il circuito di decodifica finale 16 è collegato ad una prima linea di alimentazione 20 posta alla tensione di alimentazione V_{CC} (ad esempio, pari a 1-3 V); ad una linea di massa 22 posta alla tensione di massa V_{GND} (0 V); ad una seconda linea di alimentazione 24 posta alla tensione di alimentazione V_{BB} che durante l'indirizzamento delle celle 4 è pari alla tensione di alimentazione V_{CC} , durante la lettura è pari ad una tensione di boost V_{BST} maggiore della tensione V_{CC} (ad esempio 3 V), durante la programmazione è pari alla tensione di programmazione V_{PP} maggiore della tensione di boost V_{BST} (ad esempio 12 V), ed in particolari modalità operative descritte in seguito è pari ad una tensione V_{ERP} compresa tra la tensione V_{CC} e la tensione di massa V_{GND} (ad esempio 2 V); ed una terza linea di alimentazione 26 posta ad una tensione di alimentazione V_{NEG} che, durante la lettura e la programmazione, è pari alla tensione di massa V_{GND} e durante la cancellazione è pari ad una tensione di cancellazione V_{ERN} , minore della tensione di massa V_{GND} (ad esempio -8 V).

Ciascun circuito di decodifica finale 16 comprende un circuito di ingresso 28 del tipo a porta logica NAND dinamica ricevente in ingresso i segnali di predecodifica Lx, Ly, Lz, P ed il segnale di precarica PC; una pluralità di circuiti di polarizzazione 30 di uscita di tipo "latch" generante in uscita il segnale di polarizzazione R; ed una pluralità di circuiti interruttori 32 interposti ciascuno tra il circuito di ingresso 28 ed il circuito di polarizzazione 30, riceventi in ingresso il segnale di pilotaggio PS, il segnale ausiliario PX ed aventi lo scopo di interrompere selettivamente il collegamento tra il circuito di ingresso 28 ed i circuiti di polarizzazione 30 in base ai segnali PS, PX.

Il circuito di ingresso 28 presenta un circuito di selezione comune 34 comprendente tre transistori NMOS 36, 38 e 40 disposti fra loro in serie, interposti tra un nodo 42 e la linea di massa 22 e riceventi ciascuno un rispettivo segnale di predecodifica Lx<0>, Ly<0> e Lz<0>. Il circuito di ingresso 28 comprende inoltre una pluralità di circuiti di selezione riga 44 formati ciascuno da un transistorore di precarica 46 di tipo PMOS e da un transistorore di selezione 48 di tipo NMOS aventi terminali di porta riceventi il segnale di precarica PC e, rispettivamente, il segnale di predecodifica P, terminali di pozzo collegati tra loro e definenti un nodo

50 e terminali di sorgente collegati alla prima linea di alimentazione 20 e, rispettivamente, al nodo 42. Ciascun circuito di selezione riga 44 comprende inoltre un transistor PMOS 52 disposto in parallelo al rispettivo transistor di precarica 46 ed avente terminale di porta collegato alla linea di massa 22, terminale di pozzo collegato al nodo 50 e terminale di sorgente collegato alla prima linea di alimentazione 20.

Il transistor PMOS 52 presenta dimensioni molto più piccole di quelle del transistor di precarica 46, è sempre acceso e ha lo scopo di impedire che in determinate condizioni di funzionamento il nodo 50 risulti flottante, come sotto spiegato.

Ciascun circuito di polarizzazione 30 comprende un primo ed un secondo invertitore 54, 56 collegati fra loro in antiparallelo. In particolare, il primo invertitore 54 comprende un transistor PMOS 60 di "pull up" ed un transistor NMOS 62 di "pull down" aventi terminali di porta collegati fra loro e definenti un nodo 64, terminali di pozzo collegati fra loro e definenti un nodo 66 sul quale è presente il rispettivo segnale di polarizzazione R e terminali di sorgente collegati alla seconda, rispettivamente, alla terza linea di alimentazione 24, 26. Il secondo invertitore 56 comprende un transistor PMOS 70 di "pull up" ed un transistor NMOS 72

CERBARO Elena
Iscrizione Albo nr 426/BMI

di "pull down" aventi terminali di porta collegati fra loro ed al nodo 66, terminali di pozzo collegati fra loro ed al nodo 64 e terminali di sorgente collegati alla seconda linea di alimentazione 24, rispettivamente, alla linea di massa 22.

Nel caso in cui il dispositivo di memoria operi con possibilità di cancellazione cosiddetta "con gate negativa" (che prevede l'applicazione di una tensione negativa ai terminali di porta delle celle, di una tensione positiva al terminale di sorgente, con terminale di pozzo flottante), il transistor NMOS 62 deve essere realizzato in triplo well (cioè il bulk del transistor deve essere realizzato in una sacca P formata in una sacca N polarizzata a V_{CC} a sua volta formata nel substrato, posto a massa) mentre il transistor NMOS 72 può essere realizzato nel modo classico.

Il circuito interruttore 32 comprende un primo ed un secondo transistor di "pass" 74, 76 di tipo NMOS disposti fra loro in serie, interposti fra il nodo 50 ed il nodo 64 e ricevuti sul terminale di porta il segnale di pilotaggio PS e, rispettivamente, ausiliario PX.

Nel circuito di fig. 2, i transistori 46, 48 e 52 (a monte del circuito interruttore 32) sono del tipo a bassa tensione, ossia con ossido di porta sottile mentre i transistori 60, 62, 70, 72 (a valle del circuito in-

terruttore 32) sono del tipo ad alta tensione, ossia con ossido di porta spesso.

In figura 2 è inoltre illustrato lo schema circuitale di un circuito elevatore di tensione 80 appartenente allo stadio di alimentazione 6 (fig. 1) e generante in uscita la tensione di boost V_{BST} . In particolare, il circuito elevatore di tensione 80 comprende una quarta linea di alimentazione 82 posta ad una tensione V_{PC} che durante la lettura è pari alla tensione di alimentazione V_{CC} e durante la programmazione è pari ad una tensione di programmazione V_{PP} ; un circuito di boost 84 generante la tensione di boost V_{BST} ; ed un transistor PMOS 86 ricevante sul terminale di porta il segnale di controllo CNT ed avente il terminale di pozzo collegato alla quarta linea di alimentazione 82 ed il terminale di sorgente collegato all'uscita del circuito di boost 84 e definente con esso un nodo 88 al quale è collegata la seconda linea di alimentazione 24.

Il funzionamento del circuito di figura 2 verrà ora descritto facendo riferimento alla figura 3. In particolare, la descrizione che segue verrà effettuata partendo da una condizione iniziale in cui i segnali di indirizzo A e i segnali di predecodifica L_x , L_y , L_z e P sono stabili, il segnale di precarica PC è posto nello stato logico alto, il segnale di pilotaggio PS ed il segnale di

CERBARO Elena
Iscrizione Albo nr 426/BW

controllo CNT sono posti allo stato logico basso.

Inoltre, per comodità descrittiva, il funzionamento del circuito illustrato in figura 2 verrà descritto trascurando inizialmente i transistori di pass 76 dei circuiti interruttori 32.

Inizialmente, il segnale di controllo CNT è basso; il transistore PMOS 86 è acceso e collega il nodo 88 alla quarta linea di alimentazione 82 la cui tensione è quindi pari a V_{PC} (che, come sopra detto, in lettura è pari a V_{CC}). La seconda linea di alimentazione 24 è quindi alla tensione V_{CC} .

Non appena viene rilevata una transizione dei segnali di indirizzo A (istante t_0 di fig. 3), il segnale di precarica PC commuta allo stato logico basso ed il segnale di pilotaggio PS commuta allo stato logico alto, dando così inizio alla fase di precarica dei circuiti di ingresso 28. In particolare, quando il segnale di precarica PC assume lo stato logico basso ed il segnale di pilotaggio PS assume lo stato logico alto, i transistori di precarica 46 sono accesi e collegano i nodi 50 alla tensione V_{CC} della prima linea di alimentazione 20 (stato logico alto). Anche i transistori di pass 74 sono accesi e portano anche i nodi 64 alla tensione V_{CC} .

In questa situazione, tutti i segnali di polarizzazione R sono nello stato logico basso.

CERBARO Elena
(iscrizione Albo nr 426/BM)

Dopo un ritardo dovuto alla commutazione delle porte logiche di predecodifica, i segnali di predecodifica L_x , L_y , L_z e P commutano (istante t_1 in figura 3) per l'indirizzamento della riga da leggere.

Dopo un certo tempo (dopo che lo stadio logico 8 ha rilevato in modo noto la commutazione degli indirizzi), il segnale di precarica PC commuta nuovamente allo stato logico alto (istante t_2 in figura 3), spegnendo i transistori di precarica 46 e ponendo fine alla fase di precarica.

In questa situazione, supponendo che i segnali di predecodifica L_x , L_y , L_z e P indirizzino la riga i -esima, i transistori NMOS 36, 38 e 40 del circuito di selezione comune 34 si accendono, tirando verso massa il nodo 50 associato alla riga i -esima, che assume stato logico basso. Dato che il transistore di selezione 74 è acceso, lo stato logico basso del nodo 50 provoca l'accensione del transistore PMOS 60 dell'invertitore 54 pilotante la riga i -esima e quindi il collegamento del nodo 66 alla seconda linea di alimentazione 24. Il segnale R della riga- i -esima si porta quindi nello stato logico alto, alla tensione V_{BS} , ora pari a V_{CC} .

I transistori di selezione 48 dei circuiti di selezione riga 44 delle altre righe dello stesso circuito di decodifica finale 16 sono invece spenti; inoltre, il

transistore PMOS 52 di tali altre righe è acceso; quindi i nodi 50 associati alle altre righe del settore rimangono nello stato logico alto definito in fase di precarica, mantenendo i relativi segnali R a massa. Il transistore PMOS 52 garantisce in questa fase che il nodo 50 associato alle righe non indirizzate non rimanga flottante dopo lo spegnimento del transistore di precarica 46, evitando tuttavia elevati consumi di corrente nella riga indirizzata (i-esima), date le sue piccole dimensioni.

Successivamente, il segnale di pilotaggio PS commuta nuovamente allo stato logico basso, spegnendo i transistori di pass 74. Anche in questa fase, il nodo 50 dei circuiti di selezione di riga 44 non relativi alla riga indirizzata viene mantenuto sicuramente nello stato logico alto dal transistore PMOS 52. In questa fase, inoltre, il circuito di ingresso 28 e il circuito di polarizzazione 30 sono elettricamente separati tra loro e i circuiti di polarizzazione 30 stessi mantengono lo stato logico precedentemente memorizzato.

Dopo un breve ritardo, il segnale di controllo CNT commuta allo stato logico alto (istante t_4 in figura 3), dando inizio alla fase di boost. In particolare, si spegne il transistore PMOS 86 e la tensione V_{BB} passa dal valore V_{CC} al valore V_{BST} maggiore della tensione V_{CC} .

Di conseguenza, nel circuito di polarizzazione 30 associato alla riga indirizzata i -esima, il nodo 66, collegato alla seconda linea di alimentazione 24 attraverso il transistor PMOS 60 acceso, porta il segnale di polarizzazione $R_{<i>$ dalla tensione V_{CC} alla tensione V_{BST} , consentendo la lettura delle celle poste sulla riga i -esima. I segnali di polarizzazione R delle altre righe non indirizzate rimangono invece a zero.

Al termine della fase di boost, il segnale di controllo CNT commuta nuovamente allo stato logico basso per consentire l'indirizzamento di una successiva riga a bassa tensione.

Pertanto, la soluzione circuitale sopra descritta permette di effettuare l'operazione di decodifica alla tensione V_{CC} e di eseguire l'operazione di boost soltanto nell'istante in cui viene effettuata la lettura.

La presenza del transistor NMOS 72 nell'invertitore 56 aumenta la velocità di commutazione dal livello alto a quello basso del nodo 64 collegato alla riga indirizzata e quindi riduce il consumo di corrente associato alla contemporanea accensione dei transistori PMOS e NMOS 70, 72 durante la commutazione. In particolare, per aumentare la velocità di commutazione del nodo 64, in assenza del transistor 72, sarebbe necessario aumentare le dimensioni dei transistori 36, 38, 40, 48, in

CERBARO Elena
Iscrizione Albo nr 426/BM

modo che questi portino rapidamente il nodo 64 a massa. Dato il numero di transistori coinvolti, ciò risulta svantaggioso. Viceversa, il transistorore 72 riesce a rendere tale commutazione più rapida in quanto esso agisce direttamente e da solo sul nodo 64 stesso, ed è pilotato alla tensione V_{BB} , più alta della V_{CC} . Inoltre, l'invertitore 56 garantisce il mantenimento dello stato logico basso del nodo 64 dopo la commutazione del segnale di pilotaggio PS e lo spegnimento del pass transistor 74, evitando così che il nodo 64 stesso rimanga flottante.

Il transistorore di pass 76 (sempre acceso) del circuito interruttore 32 è utile nel caso in cui la linea di alimentazione 24 assuma un valore V_{ERP} compreso tra V_{CC} e massa (V_{GND}), ad esempio in caso di cancellazione oppure nel caso di DMA (Direct Memory Access) per misurare la transcaratteristica delle celle della matrice. Il transistorore di pass 76 impedisce che vada in conduzione diretta la giunzione pozzo/body dei transistori PMOS 70 degli invertitori 56, dato che il segnale ausiliario PX ha temporizzazione identica a quella del segnale di pilotaggio PS descritta in precedenza, con uno stato logico basso pari alla tensione di massa, ma ha stato logico alto pari alla tensione V_{ERP} inferiore alla tensione V_{CC} .

Infatti, in assenza del transistorore di pass 76,

quando i nodi 50 e 64 sono nello stato logico alto (a V_{CC}) e la seconda linea di alimentazione 24 si porta alla tensione di DMA V_{PC} inferiore alla tensione V_{CC} , il terminale di pozzo del transistor PMOS 70 (di tipo P) si trova ad una tensione maggiore rispetto al body (di tipo N) del transistor 70, causando quindi l'accensione del diodo parassita formato dalle regioni di pozzo e body stesse.

La presenza dei transistori di pass 76 (che ricevono la segnale PX al valore logico alto, ora pari a V_{ERP}), impedisce che ciò accada, impedendo al nodo 64 di salire ad una tensione maggiore di V_{ERP} meno la tensione di soglia del transistor NMOS 76.

Nei casi di utilizzo di tensioni di alimentazione V_{CC} molto basse, ad esempio inferiori ad 1,8 V, la tensione di soglia persa dai transistori di pass 74 dei circuiti interruttori 32 può essere recuperata effettuando una operazione di boost sul segnale di pilotaggio PS e tale operazione non è particolarmente complicata se si considera che il segnale di pilotaggio PS non è selettivo ma è comune a tutti i circuiti interruttori controllati 32.

La struttura circuitale descritta in figura 2 presenta i seguenti vantaggi. In primo luogo, essa non presenta le limitazioni sopra descritte del boost locale

e consente di applicare alle linee di parola del dispositivo di memoria qualsiasi valore di tensione di boost V_{BST} . Inoltre, essa consente di sfruttare i vantaggi tipici del boost locale in quanto solamente la tensione di alimentazione dei circuiti di polarizzazione 30 viene survoltata.

Inoltre, la linea di alimentazione da survoltare (linee 24) è unica e quindi è sufficiente un unico circuito di boost.

In aggiunta, non essendoci limitazioni sulla tensione di boost, il decodificatore di riga secondo la presente invenzione può essere impiegato sia con boost continuo sia con boost impulsato globale, dove viene impiegata una vera e propria pompa di carica. In questo modo, possono essere progettate dispositivi di memoria operanti a bassissime tensione di alimentazione, anche inferiori ad 1 V, in quanto utilizzando una pompa di carica per la lettura la tensione applicata ai terminali di porta delle celle può essere survoltata fino al valore desiderato.

La soluzione circuitale secondo la presente invenzione consente di ridurre sensibilmente il consumo dinamico del decodificatore di riga 1.

La presenza dei transistori NMOS 72 consente di indirizzare una cella successiva durante la lettura di una

cella precedente ("burst mode"). Infatti, durante la lettura di una cella collegata alla riga i -esima indirizzata, quando il relativo circuito interruttore 32 separa la riga indirizzata stessa dallo stadio di predecodifica 10 e dal rispettivo circuito di ingresso 28, che quindi possono ricevere un nuovo indirizzo, il transistor NMOS 72 garantisce che il nodo 64 associato alla riga indirizzata rimanga sicuramente a massa. In questo caso, per garantire la precarica di tutte le righe, compresa quella precedentemente indirizzata, uno dei segnali di predecodifica L_x , L_y , L_z o P viene brevemente portato a zero, così da consentire la precarica di tutti i nodi 50 alla tensione di alimentazione V_{cc} e il conseguente azzeramento di tutte le righe i , come rappresentato nella parte destra della fig. 3.

Infine, la soluzione circuitale secondo la presente invenzione presenta una occupazione di area di silicio inferiore rispetto alle soluzioni con predecodifica ad alta tensione.

Risulta infine chiaro che al decodificatore di riga qui descritto ed illustrato possono essere apportate modifiche e varianti possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione.

R I V E N D I C A Z I O N I

1. Decodificatore di riga per un dispositivo di memoria (1) comprendente una prima linea di riferimento (20) posta ad un primo potenziale di riferimento (V_{CC}); una seconda linea di riferimento (82) posta ad un secondo potenziale di riferimento (V_{PC}) commutabile fra detto primo potenziale di riferimento (V_{CC}) ed almeno un potenziale di programmazione (V_{PP}) maggiore di detto primo potenziale di riferimento (V_{CC}); ed almeno un circuito di decodifica finale (16);

detto circuito di decodifica finale (16) comprendendo un circuito di ingresso (28) collegato a detta prima linea di riferimento (20) e ricevente un segnale di predecodifica (P), un circuito di polarizzazione (30) di uscita generante un segnale di polarizzazione (R) ed un circuito interruttore (32) interposto tra detto circuito di ingresso (28) e detto circuito di polarizzazione (30), ricevente un segnale di pilotaggio (PS) ed atto ad interrompere selettivamente il collegamento elettrico tra detto circuito di ingresso (28) e detto circuito di polarizzazione (30) in base a detto segnale di pilotaggio (PS);

caratterizzato dal fatto di comprendere inoltre mezzi elevatori di tensione (80) collegati a detta seconda linea di riferimento (82), ricevanti un segnale di

CERBARO Elena
Iscrizione Albo nr 426/BMJ

controllo (CNT) e generanti su una propria uscita (88) un terzo potenziale di riferimento (V_{BB}) commutabile, in base a detto segnale di controllo (CNT), fra detto primo potenziale di riferimento (V_{CC}), detto potenziale di programmazione (V_{PP}) ed un potenziale survoltato (V_{BST}) compreso tra detto primo potenziale di riferimento e detto potenziale di programmazione (V_{PP});

detto decodificatore di riga (1) essendo inoltre caratterizzato dal fatto di comprendere una terza linea di riferimento (24) collegata a detta uscita (88) di detti mezzi elevatori di tensione (80) e dal fatto che detto circuito di polarizzazione (30) è collegato a detta terza linea di riferimento (24).

2. Decodificatore secondo la rivendicazione 1, caratterizzato dal fatto che detto circuito di polarizzazione (30) comprende un primo ed un secondo invertitore (54, 56) collegati fra loro in antiparallelo.

3. Decodificatore secondo la rivendicazione 2, caratterizzato dal fatto di comprendere inoltre una quarta linea di riferimento (22) posta ad un quarto potenziale di riferimento (V_{GND}) minore di detto primo potenziale di riferimento (V_{CC}) ed una quinta linea (26) posta ad un quinto potenziale di riferimento commutabile fra detto quarto potenziale di riferimento (V_{GND}) ed un potenziale di cancellazione ($V_{ERN,}$) minore di detto quarto potenzia-

CERBARO Elena
Iscrizione Albo nr 426/BMJ

le di riferimento (V_{GND}); detto primo invertitore (54) essendo collegato fra dette terza e quinta linea di riferimento (24, 26) e detto secondo invertitore (56) essendo collegato fra dette terza e quarta linea (24, 22).

4. Decodificatore secondo la rivendicazione 3, caratterizzato dal fatto che detto secondo invertitore (56) comprende un primo ed un terzo transistor (70, 72) fra loro complementari aventi rispettivi terminali di controllo collegati fra loro e ad un terminale di uscita di detto primo invertitore (54), rispettivi primi terminali collegati fra loro e ad un terminale di ingresso di detto primo invertitore e rispettivi secondi terminali collegati a detta terza linea (24) e, rispettivamente, a detta quarta linea di riferimento (22).

5. Decodificatore secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto secondo potenziale di riferimento (V_{PC}) di detta terza linea (24) è commutabile fra detto primo potenziale di riferimento (V_{CC}), detto potenziale di programmazione (V_{PP}) ed un sesto potenziale di riferimento (V_{ERP}) compreso tra detti quarto e primo potenziale di riferimento (V_{GND} , V_{CC}) e dal fatto che detto circuito interruttore (32) comprende un primo ed un secondo transistor di pass (74, 76) collegati in serie fra detto circuito di ingresso (28) e detto circuito di polarizzazione

(30), detto primo transistor di pass ricevendo su un proprio terminale di controllo detto segnale di pilotaggio (PS), detto segnale di pilotaggio essendo commutabile fra detti primo e quarto potenziale di riferimento (V_{GND} , V_{CC}), detto secondo transistor di pass (76) ricevendo su un proprio terminale di controllo un segnale ausiliario (PX), detto segnale ausiliario essendo commutabile fra detti sesto e quarto potenziale di riferimento (V_{ERP} , V_{GND}).

6. Metodo di lettura di una cella di memoria (4) appartenente ad una riga di memoria mediante un decodificatore di riga (1) comprendente una linea di riferimento (20) posta ad un primo potenziale di riferimento (V_{CC}); una linea di polarizzazione (24) posta ad un secondo potenziale di riferimento (V_{BB}) commutabile fra detto primo potenziale di riferimento (V_{CC}), un potenziale di programmazione (V_{PP}) maggiore di detto primo potenziale di riferimento (V_{CC}) ed un potenziale survolto (V_{BST}) compreso tra detto primo potenziale di riferimento (V_{CC}) e detto potenziale di programmazione (V_{PP});

caratterizzato dal fatto di comprendere in successione le fasi di:

- inviare segnali di indirizzo ad un circuito di selezione (34, 44);

- porre detto secondo potenziale di riferimento

CERBARO Elena
(iscrizione Albo nr 426/BMI)

(V_{BB}) di detta linea di polarizzazione (24) pari a detto primo potenziale di riferimento (V_{CC});

- commutare un segnale di polarizzazione (R) di detta riga;

- separare elettricamente detta riga da detto circuito di selezione; e

- commutare detto secondo potenziale di riferimento (V_{BB}) di detta linea di polarizzazione (24) da detto primo potenziale di riferimento (V_{CC}) a detto potenziale survoltato (V_{BST}).

7. Metodo secondo la rivendicazione 6, caratterizzato dal fatto che, mentre detto secondo potenziale di riferimento (V_{BB}) di detta linea di polarizzazione (24) è a detto potenziale survoltato (V_{BST}), vengono eseguite le fasi di: leggere detta cella di memoria (4) e contemporaneamente inviare nuovi segnali di indirizzo a detto circuito di selezione (34, 44).

8. Metodo secondo la rivendicazione 7, caratterizzato dal fatto di comprendere successivamente le fasi di:

- commutare detto secondo potenziale di riferimento (V_{BB}) di detta linea di polarizzazione (24) a detto primo potenziale di riferimento (V_{CC});

- collegare elettricamente detta riga (3) ad un circuito di precarica (44) di detto circuito di selezione (34, 44); e

- commutare un segnale di polarizzazione (R) di una nuova riga (3).

9. Decodificatore di riga per un dispositivo di memoria a bassa tensione di alimentazione e metodo di lettura di una cella di memoria a bassa tensione di alimentazione, sostanzialmente come descritti con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

Elena
CERBARO Elena
Iscrizione Albo nr 426/BM



CERBARO Elena
Iscrizione Albo nr 426/BM

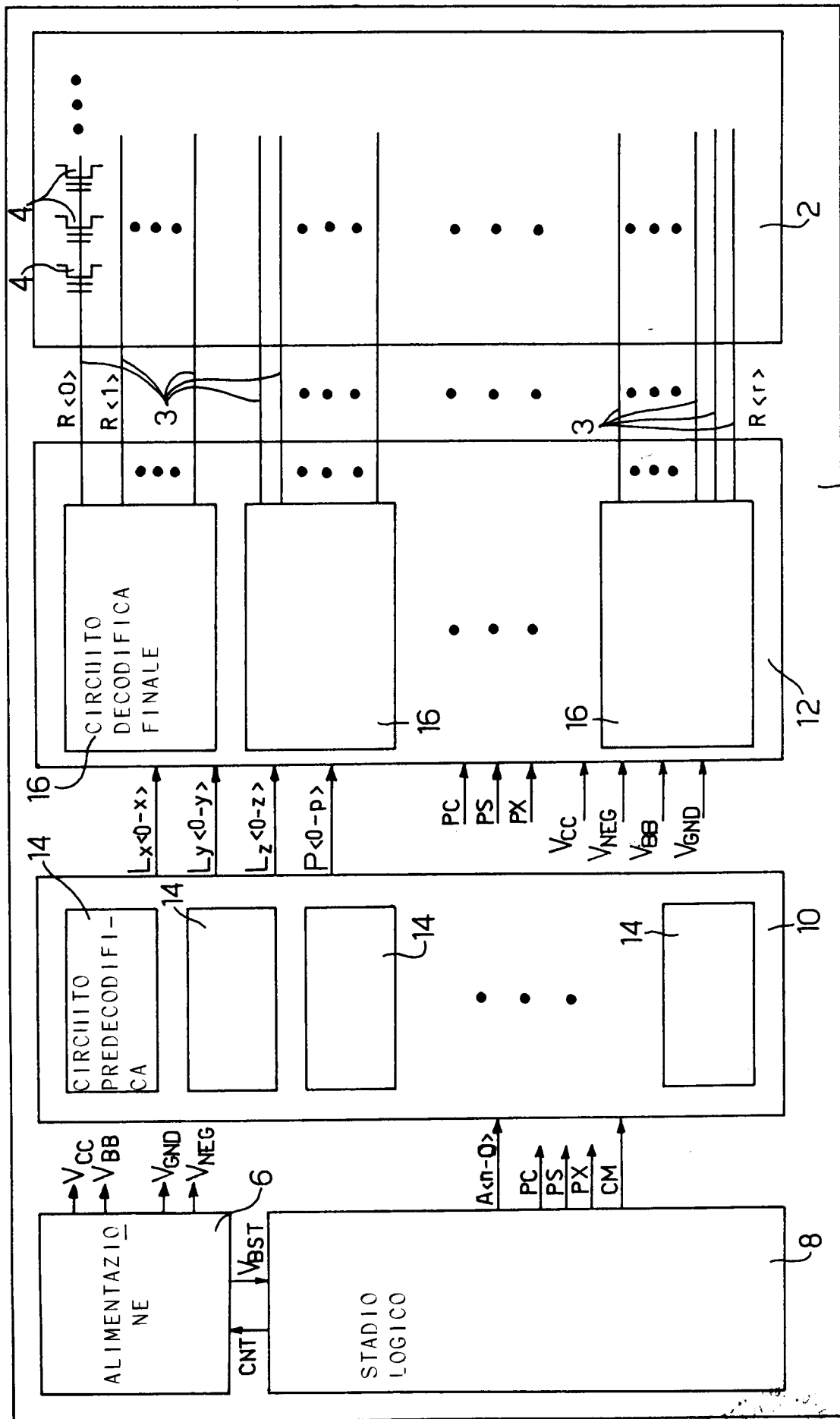
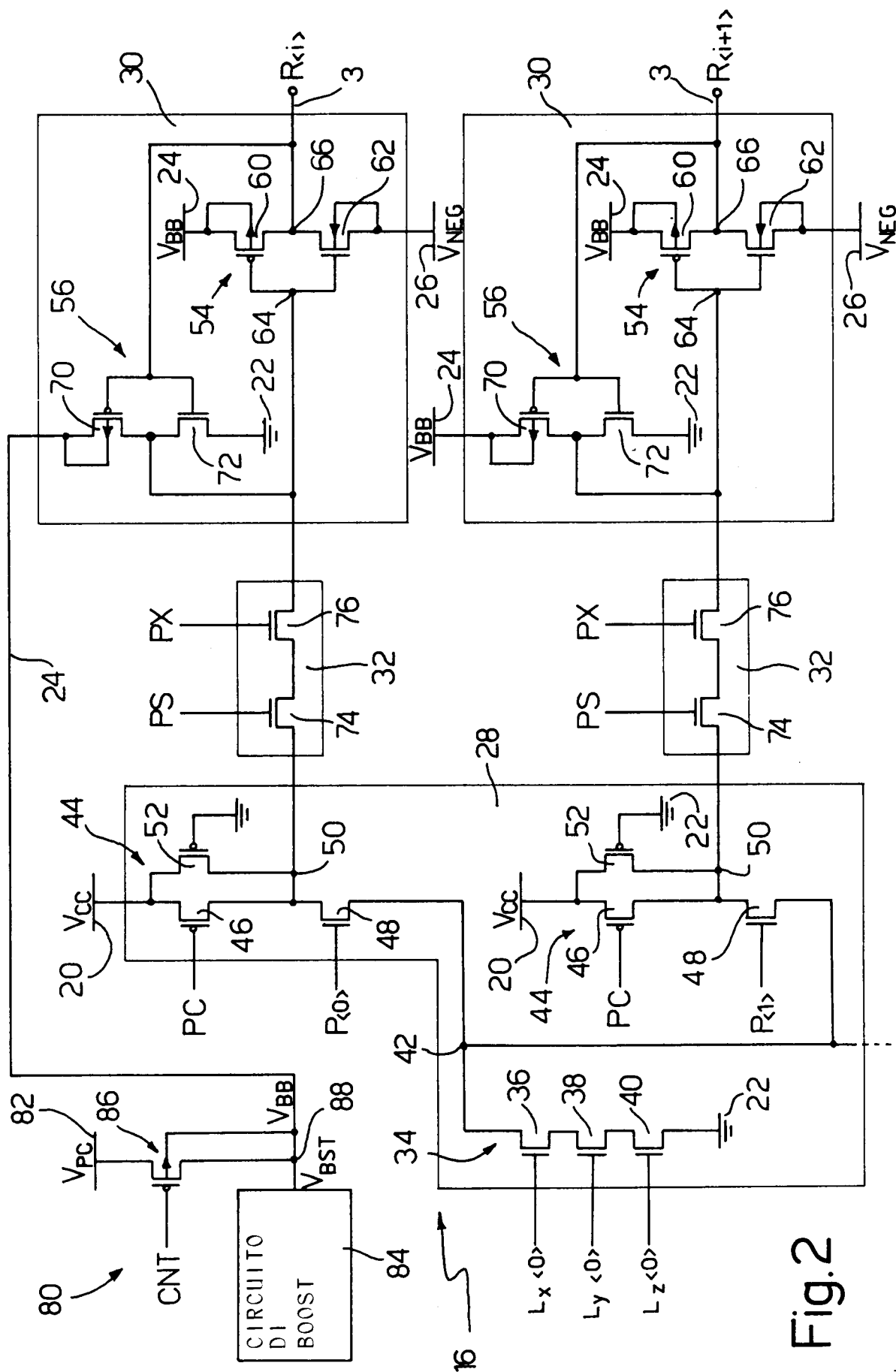
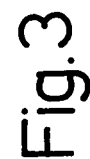


Fig.1



p.i.: STMICROELECTRONICS S.R.L.

CERBANO Elena
 (iscrizione Aibo nr 426/BMI)



CEPBAO Eletto
 Iscrizione Albo nr 426/BMI

