(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 4 月 4 日 (04.04.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/065989 A1

(51) 国际专利分类号:
H01L 23/538 (2006.01) *H01L 21/768* (2006.01)

(21) 国际申请号: PCT/CN2022/133246

(22) 国际申请日: 2022 年 11 月 21 日 (21.11.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211176956.8 2022年9月26日 (26.09.2022) CN

(71) 申请人: 长鑫存储技术有限公司 **(CHANGXIN MEMORY TECHNOLOGIES, INC.)** [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 陆勇 **(LU, Yong)**; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 宋小杰 **(SONG, Xiaojie)**; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 陈晓鹏 **(CHEN, Xiaopeng)**; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 韩凯 **(HAN, Kai)**; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所（普通合伙） **(SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP)**; 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

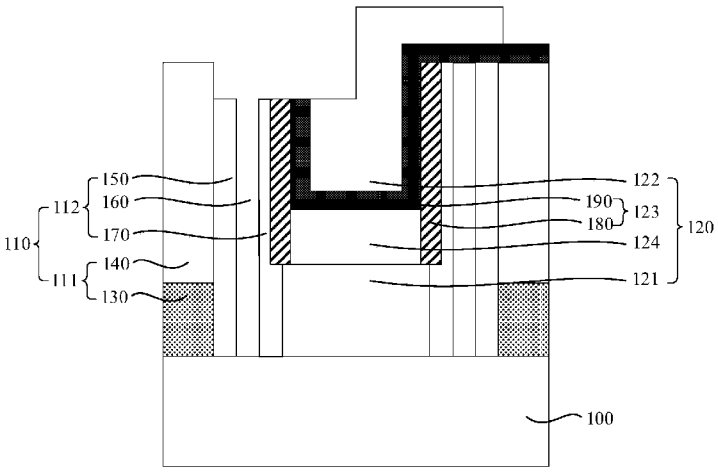


图 1

(57) **Abstract:** The embodiments of the present disclosure relate to the field of semiconductors. Provided are a semiconductor structure and a manufacturing method therefor. The semiconductor structure comprises: a substrate; bit line structures, the bit line structures being located on the substrate and arranged at intervals; and capacitor contact structures, located between adjacent bit line structures. Each capacitor contact structure comprises: a contact plug, a landing pad and a barrier layer located between the landing pad and the contact plug, the top surface of the contact plug being lower than the top surfaces of the bit line structures, the top portion of the contact plug comprising a transition layer, and the barrier layer being further located between the transition layer and the bit line structures. Therefore, reliability of the semiconductor structure is improved.

WO 2024/065989 A1

[见续页]

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例涉及半导体领域，提供一种半导体结构及其制作方法，其中，半导体结构包括：衬底；位线结构，位线结构位于衬底上且间隔排布；电容接触结构，位于相邻位线结构之间，电容接触结构包括：接触插塞，着陆垫以及位于着陆垫与接触插塞之间的阻挡层，接触插塞的顶面低于位线结构的顶面；其中，接触插塞顶部包含过渡层，阻挡层还位于过渡层和位线结构之间。可以提高半导体结构的可靠性。

半导体结构及其制作方法

交叉引用

[0001] 本公开要求于 2022 年 09 月 26 日递交的名称为“半导体结构及其制作方法”、申请号为 202211176956.8 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法。

背景技术

[0003] 动态随机存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管；晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连；字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或通过位线将数据信息写入到电容器中进行存储。

[0004] 目前，在形成动态随机存储器的过程中，部分工艺步骤会影响形成的电容接触结构的可靠性。

发明内容

[0005] 本公开实施例提供一种半导体结构及其制作方法，至少可以提高半导体结构的可靠性。

[0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，包括：衬底；位线结构，所述位线结构位于所述衬底上且间隔排布；电容接触结构，位于相邻所述位线结构之间，所述电容接触结构包括：接触插塞，着陆垫以及位于所述着陆垫与所述接触插塞之间的阻挡层，所述接触插塞的顶面低于所述位线结构的顶面；其中，所述接触插塞顶部包含过渡层，所述阻挡层还位于所述过渡层和所述位线结构之间。

[0007] 在一些实施例中，所述阻挡层包括：第一子阻挡层，所述第一子阻挡层覆盖所述过渡层朝向所述位线结构的侧壁；第二子阻挡层，所述第二子阻挡层覆盖所述过渡层的顶面。

[0008] 在一些实施例中，所述第一子阻挡层的厚度为 0.2~2nm。

[0009] 在一些实施例中，所述第一子阻挡层与所述第二子阻挡层的材料相同，包括：氮化钛或氮化钽。

[0010] 在一些实施例中，所述接触插塞的材料包括硅，所述过渡层的材料包括：硅化钴、硅

化镍或硅化钛。

[0011] 在一些实施例中，所述着陆垫的材料包括：钨、铝或铜。

[0012] 在一些实施例中，所述位线结构包括位线主体及侧壁隔离层，所述侧壁隔离层位于所述位线主体朝向所述电容接触结构的侧壁，所述阻挡层还位于所述着陆垫与所述侧壁隔离层之间，所述侧壁隔离层为多层复合结构。

[0013] 在一些实施例中，所述侧壁隔离层由所述位线主体朝向所述电容接触结构依次包括：第一绝缘层、空气间隙层及第二绝缘层。

[0014] 在一些实施例中，所述第一子阻挡层和所述第二子阻挡层还位于所述着陆垫朝向所述位线结构的侧壁。

[0015] 在一些实施例中，所述着陆垫还覆盖与所述电容接触结构相邻的两个所述位线结构中的一者的部分顶面。

[0016] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构的制作方法，包括：提供衬底；形成位线结构，所述位线结构位于所述衬底上，且多个所述位线结构间隔排布；形成电容接触结构，所述电容接触结构包括：接触插塞，着陆垫以及位于所述着陆垫与所述接触插塞之间的阻挡层，所述接触插塞的顶面低于所述位线结构的顶面，其中，所述接触插塞顶部包含过渡层，所述阻挡层还位于所述过渡层和所述位线结构之间。

[0017] 在一些实施例中，形成所述阻挡层的方法包括：形成第一子阻挡层，所述第一子阻挡层覆盖所述过渡层朝向所述位线结构的侧壁；形成第二子阻挡层，所述第二子阻挡层覆盖所述过渡层的顶面。

[0018] 在一些实施例中，形成所述第一子阻挡层的方法包括：形成第一初始阻挡层，所述第一初始阻挡层覆盖所述位线结构的侧壁及所述位线结构的顶面；刻蚀所述第一初始阻挡层，剩余所述第一初始阻挡层覆盖所述位线结构的侧壁，剩余所述第一初始阻挡层作为所述第一子阻挡层。

[0019] 在一些实施例中，形成所述过渡层的方法包括：形成金属导电层，所述金属导电层位于所述接触插塞的顶面；采用退火工艺使所述金属导电层与所述接触插塞反应形成过渡层；去除所述金属导电层。

[0020] 在一些实施例中，形成所述着陆垫的方法包括：形成初始着陆垫，所述初始着陆垫覆盖所述位线结构的顶面，所述初始着陆垫还覆盖所述阻挡层的侧壁；刻蚀所述初始着陆垫，以使剩余所述初始着陆垫覆盖与所述电容接触结构相邻的两个所述位线结构中的一者的部分顶面，剩余所述初始着陆垫作为所述着陆垫。

[0021] 在一些实施例中，形成所述位线结构的方法包括：形成位线主体，所述位线主体位于所述衬底上且间隔排布；形成初始侧壁隔离层，所述初始侧壁隔离层位于所述位线主体朝向所述电容接触结构的侧壁；刻蚀部分所述初始侧壁隔离层，以暴露所述衬底的顶面，剩余所述初始侧壁隔离层作为侧壁隔离层，所述侧壁隔离层与所述位线主体构成所述位线结构。

[0022] 在一些实施例中，形成所述初始侧壁隔离层的方法包括：形成第一绝缘层，所述第一绝缘层位于所述位线主体朝向所述电容接触结构的侧壁；形成介质层，所述介质层位于所述第一绝缘层朝向所述电容接触结构的侧壁；形成第二绝缘层，所述第二绝缘层位于所述介质层朝向所述电容接触结构的侧壁。

附图说明

[0023] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0024] 图 1 为本公开一实施例提供的一种半导体结构的结构示意图；

[0025] 图 2 至图 8 为本公开一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

[0026] 本公开实施提供一种半导体结构，通过设置电容接触结构位于相邻的位线结构之间，且电容接触结构包括：接触插塞，着陆垫以及位于着陆垫与接触插塞之间的阻挡层，且阻挡层还位于过渡层和位线结构之间，通过阻挡层将过渡层进行保护，从而可以避免后续的工艺步骤对过渡层造成影响，从而可以提高半导体结构的可靠性。

[0027] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0028] 参考图 1，图 1 为本公开实施例提供的一种半导体结构，包括：衬底 100；位线结构 110，位线结构 110 位于衬底 100 上且间隔排布；电容接触结构 120，位于相邻位线结构 110 之间，电容接触结构 120 包括：接触插塞 121，着陆垫 122 以及位于着陆垫 122 与接触插塞 121 之间的阻挡层 123，接触插塞 121 的顶面低于位线结构 110 的顶面；其中，接触插塞 121 顶部包含过渡层 124，阻挡层 123 还位于过渡层 124 和位线结构 110 之间。

[0029] 本公开实施例通过设置位于衬底 100 上的位线结构 110 读取存储单元中的数据信息，或者通过位线结构 110 将数据信息写入到存储单元内进行存储，通过设置电容接触结构 120 可以将电容的信号引出，或者便于向电容中存储信号，通过接触插塞 121 与衬底 100 进行电连接，通过设置着陆垫 122 可以将接触插塞 121 的电信号引出，通过设置过渡层 124 可以避免出现因为着陆垫 122 与接触插塞 121 之间差异过大导致的异常，通过设置位于过渡层 124 和位线结构 110 之间的阻挡层 123 可以将过渡层 124 保护起来，从而可以避免过渡层 124 受到其他工艺步骤的影响，从而可以提高半导体结构的可靠性。

[0030] 在一些实施例中，在一些实施例中，衬底 100 为半导体材料，半导体材料包括但不限于硅衬底、锗衬底、锗硅衬底或碳化硅衬底的任一种。衬底 100 还可以是离子掺杂衬底，掺杂离子为 N 型离子或者 P 型离子，N 型离子具体可以为磷离子、砷离子或者锑离子，P 型离子具体可以为硼离子、铟离子或者氟化硼离子。

[0031] 在一些实施例中，位线结构 110 包括位线主体 111 及侧壁隔离层 112，侧壁隔离层 112 位于位线主体 111 朝向电容接触结构 120 的侧壁，阻挡层 123 还位于着陆垫 122 与侧壁隔离层 112 之间，侧壁隔离层 112 为多层复合结构。

[0032] 可以理解的是，位线主体 111 也就是位线结构 110 中用于读取存储单元中的数据信息，或者通过位线结构 110 将数据信息写入到存储单元内进行存储的部分，侧壁隔离层 112 也就是将位线结构 110 与其他不需要进行电连接的结构进行隔离的部分，通过侧壁隔离层 112 可以提高半导体结构的可靠性，通过设置阻挡层 123 位于着陆垫 122 与侧壁隔离层 112 之间可以在形成侧壁隔离层 112 的工艺步骤中或者形成侧壁隔离层 112 之后的工艺步骤中，避免着陆垫 122 通过与侧壁隔离层 112 正对的侧壁导致着陆垫 122 被污染，从而可以提高半导体结构的可靠性。

[0033] 在一些实施例中，位线主体 111 可以包括位线导电层 130 及位线保护层 140，位线保护层 140 可以位于位线导电层 130 的顶面，位线导电层 130 也就是位线主体 111 中用于导电的部分，位线保护层 140 也就是用于保护位线主体 111 的部分，通过位线导电层 130 可以用于读取存储单元中的数据信息，或者通过位线导电层 130 将数据信息写入到存储单元内进行存储，通过位线保护层 140 可以在后续的工艺步骤中保护位线导电层 130 不受影响，且可以通过位线保护层 140 将位线导电层 130 与外界进行隔离，从而当位线结构 110 受到外界应力作用时可以通过位线保护层 140 吸收一部分的应力作用从而可以减少位线导电层 130 上受到的应力作用。

[0034] 在一些实施例中，位线导电层 130 可以为多层膜层结构的堆叠，或者也可以为单层膜层。

[0035] 在一些实施例中，位线导电层 130 的材料可以包括钨、钴或者镍等金属材料，也可以

包括一些常用的金属半导体化合物材料，例如硅化钴、硅化镍或硅化钛等等。

[0036] 在一些实施例中，位线保护层 140 也可以是多层膜层结构的堆叠，或者也可以是单层膜层。

[0037] 在一些实施例中，位线保护层 140 的材料可以包括氮化硅或者氧化硅等绝缘材料。

[0038] 在一些实施例中，侧壁隔离层 112 由位线主体 111 朝向电容接触结构 120 依次包括：第一绝缘层 150、空气间隙层 160 及第二绝缘层 170。可以理解的是，由于位线结构 110 与电容接触结构 120 都为导电结构，因此在位线结构 110 与电容接触结构 120 之间会形成有寄生电容，通过设置侧壁隔离层 112 的结构依次包括第一绝缘层 150、空气间隙层 160 及第二绝缘层 170 可以减少位线结构 110 与电容接触结构 120 之间的寄生电容，且空气间隙的体积越大、形貌越完整，就越能降低位线结构 110 与电容接触结构 120 之间的寄生电容。

[0039] 在一些实施例中，第一绝缘层 150 的材料可以与第二绝缘层 170 的材料相同，例如都可以是氮化硅材料。

[0040] 在一些实施例中，如图 1 所示，在垂直于衬底 100 表面的方向上第二绝缘层 170 的厚度分布为位于上面部分的第二绝缘层 170 的厚度比位于下面部分的第二绝缘层 170 的厚度薄，然而这部分较薄的第二绝缘层 170 也就是后续工艺步骤中污染杂质容易渗透的部分，因此通过形成第一子阻挡层 180 覆盖第二绝缘层 170 这部分较薄的侧壁可以避免污染杂质透过第二绝缘层 170 污染电容接触结构 120，从而可以提高半导体结构的可靠性。

[0041] 在一些实施例中，接触插塞 121 的材料可以包括硅，过渡层 124 的材料可以包括：硅化钴、硅化镍或硅化钛等，通过控制接触插塞 121 的材料为硅可以减少接触插塞 121 与衬底 100 之间的界面态，从而可以提高半导体结构可靠性，通过控制过渡层 124 的材料为金属半导体化合物可以减少过渡层 124 与接触插塞 121 之间的接触电阻，可以提高半导体结构的性能。

[0042] 在一些实施例中，着陆垫 122 的材料包括：钨、铝或铜，可以理解的是，钨、铝或铜的导电性能较好，通过设置着陆垫 122 的材料为铝或铜可以提高着陆垫 122 的导电性能，且还可以降低电信号的传导时间，提高半导体结构的响应速度。

[0043] 在另一些实施例中，着陆垫 122 还可以是其他金属材料，在又一些实施例中，着陆垫 122 也可以是其他可以导电的材料。

[0044] 在一些实施例中，着陆垫 122 还覆盖与电容接触结构 120 相邻的两个位线结构 110 中的一者的部分顶面。以图示为例，图示中，着陆垫 122 位于电容接触结构 120 右侧的位线结构 110 的部分顶面，通过设置着陆垫 122 覆盖与电容接触结构 120 相邻的两个位线结构 110 中的一者的部分顶面可以将接触插塞 121 的 4F2 排布改为 6F2 排布，从而可以增加半导体结

构的排布密度，提高半导体结构的集成度。

[0045] 需要说明的是上述的 4F2 排布及 6F2 排布中的 F 表示在给定工艺条件下可获得的最小图案尺寸。

[0046] 在一些实施例中，阻挡层 123 包括：第一子阻挡层 180，第一子阻挡层 180 覆盖过渡层 124 朝向位线结构 110 的侧壁；第二子阻挡层 190，第二子阻挡层 190 覆盖过渡层 124 的顶面，第一子阻挡层 180 用于将过渡层 124 朝向位线结构 110 的侧壁保护起来，从而可以在形成侧壁隔离层 112 的工艺步骤中或者形成侧壁隔离层 112 之后的工艺步骤中，避免着陆垫 122 通过与侧壁隔离层 112 正对的侧壁导致着陆垫 122 被污染，从而可以提高半导体结构的可靠性；第二子阻挡层 190 可以用于将过渡层 124 与着陆垫 122 进行隔离，可以避免着陆垫 122 的金属材料的金属离子进入过渡层 124 中，可以保证器件结构的电学性能和可靠性。

[0047] 在一些实施例中，第一子阻挡层 180 还覆盖高于过渡层 124 的侧壁隔离层 112 的侧壁，通过覆盖高于过渡层 124 的侧壁隔离层 112 的侧壁可以避免污染杂质通过第二绝缘层 170 进入电容接触结构 120，可以避免电容接触结构 120 被污染，从而可以提高半导体结构的可靠性。

[0048] 在一些实施例中，第一子阻挡层 180 的厚度为 0.2~2nm，通过设置第一子阻挡层 180 的厚度为 0.2~2nm 可以在保证第一子阻挡层 180 具有较好的保护效果的同时减少第一子阻挡层 180 所需占用的空间，当第一子阻挡层 180 的厚度小于 0.2nm 时，第一子阻挡层 180 保护过渡层 124 的能力并不强，当第一子阻挡层 180 的厚度大于 2nm 时，第一子阻挡层 180 的厚度太厚，会占用后续形成过渡层 124 的空间，可能影响过渡层 124 的性能。

[0049] 在另一些实施例中，第一子阻挡层 180 的厚度还可以是其他厚度，可以根据实际半导体结构的具体尺寸进行调整。

[0050] 在一些实施例中，将第二绝缘层 170 分为两个部分，第一部分是与接触插塞 121 接触的部分，第二部分是位于第一部分顶面的部分，可以理解的是，第二部分的厚度小于第一部分的厚度，第二部分的厚度与第一子阻挡层 180 的厚度之和可以等于第一部分的厚度，通过设置第二部分的厚度与第一子阻挡层 180 的厚度之和等于第一部分的厚度，可以减少第一子阻挡层 180 所占用的空间，也就是说，不改变原有半导体结构的形貌的基础上通过形成有第一子阻挡层 180 提高半导体结构的可靠性。

[0051] 需要说明的是，上述中的厚度相等可以指厚度完全相等，也可以指第二部分的厚度与第一子阻挡层 180 的厚度之和与第一部分的厚度之间的厚度差异在一个预设范围内，在这个范围内的也可以视为第二部分的厚度与第一子阻挡层 180 的厚度之和等于第一部分的厚度。

[0052] 在一些实施例中，第一子阻挡层 180 与第二子阻挡层 190 的材料相同，包括：氮化钛

或氮化钽。通过设置第一子阻挡层 180 与第二子阻挡层 190 的材料相同可以改善第一子阻挡层 180 与第二子阻挡层 190 之间连接的界面态，从而可以提高第一子阻挡层 180 和第二子阻挡层 190 之间连接的紧密型，从而可以提高半导体结构的可靠性。

[0053] 在另一些实施例中，第一子阻挡层 180 和第二子阻挡层 190 的材料也可以不同，例如，第一子阻挡层 180 的材料为氮化钛，第二子阻挡层 190 的材料为氮化钽、氮化钨等。

[0054] 在另一些实施例中，第一子阻挡层 180 和第二子阻挡层 190 的材料还可以是其他材料，第一子阻挡层 180 的材料仅需要满足第一子阻挡层 180 用于保护过渡层 124 的目的即可，第二子阻挡层 190 的材料需满足具有一定的导电性能，且可以避免着陆垫 122 的金属离子扩散至接触插塞 121 中即可。

[0055] 在一些实施例中，第一子阻挡层 180 和第二子阻挡层 190 还位于着陆垫 122 朝向位线结构 110 的侧壁；换句话说，第一子阻挡层 180 不仅覆盖过渡层 124 朝向位线结构 110 的侧壁，还覆盖部分着陆垫 122 朝向位线结构 110 的侧壁，第二子阻挡层 190 还覆盖第一子阻挡层 180 的侧壁，通过设置第一子阻挡层 180 覆盖着陆垫 122 朝向位线结构 110 的侧壁可以降低后续工艺步骤对位线结构 110 的影响，从而可以提高半导体结构的可靠性。

[0056] 在一些实施例中，第一子阻挡层 180 覆盖部分着陆垫 122 朝向位线结构 110 的侧壁，第二子阻挡层 190 还可以覆盖第一子阻挡层 180 的侧壁，从而刻蚀增加着陆垫 122 与空气间隙层 160 之间的间距，从而可以提高半导体结构的可靠性。

[0057] 本公开实施例通过设置位于衬底 100 上的位线结构 110 读取存储单元中的数据信息，或者通过位线结构 110 将数据信息写入到存储单元内进行存储，通过设置电容接触结构 120 可以将电容的信号引出，以便向电容中存储信号，通过接触插塞 121 与衬底 100 进行电连接，通过设置着陆垫 122 可以将接触插塞 121 的电信号引出，通过设置过渡层 124 可以避免出现因为着陆垫 122 与接触插塞 121 之间差异过大导致的异常，通过设置位于过渡层 124 和位线结构 110 之间的阻挡层 123 可以将过渡层 124 保护起来，从而可以避免过渡层 124 受到其他工艺步骤的影响，从而可以提高半导体结构的可靠性。

[0058] 本公开另一实施例还提供一种半导体结构的制作方法，可以用于形成上述半导体结构，以下将结合附图对本公开另一实施例提供的半导体结构的制作方法进行说明，需要说明的是前述实施例相同或相应的部分，可参考前述实施例的相应说明，以下将不做赘述。

[0059] 参考图 2 至图 8 及图 1，其中图 2 至图 8 及图 1 为本公开实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

[0060] 本公开实施例提供的半导体结构的制作方法包括：提供衬底 100；形成位线结构 110，位线结构 110 位于衬底 100 上，且多个位线结构 110 间隔排布；形成电容接触结构 120，电

容接触结构 120 包括：接触插塞 121，着陆垫 122 以及位于着陆垫 122 与接触插塞 121 之间的阻挡层 123，接触插塞 121 的顶面低于位线结构 110 的顶面，其中，接触插塞 121 顶部包含过渡层 124，阻挡层 123 还位于过渡层 124 和位线结构 110 之间。

[0061] 本公开实施例通过形成位线结构 110 可以通过位线结构 110 向后续工艺步骤中形成的存储单元中写入数据信息，或者通过位线结构 110 读取存储单元中存储的数据信息，通过形成电容接触结构 120 可以用于连接后续形成的电容结构及衬底 100，通过形成位于着陆垫 122 与接触插塞 121 之间的阻挡层 123 可以避免接触插塞 121 中的材料粒子扩散至着陆垫 122 中，避免着陆垫 122 的材料被污染，通过形成位于过渡层 124 和位线结构 110 之间的阻挡层 123 可以避免后续的工艺步骤对过渡层 124 造成污染，从而可以将过渡层 124 进行保护，可以提高半导体结构的可靠性。

[0062] 在一些实施例中，形成位线结构 110 的方法包括：形成位线主体 111，位线主体 111 位于衬底 100 上且间隔排布；形成初始侧壁隔离层 113，初始侧壁隔离层 113 位于位线主体 111 朝向电容接触结构 120 的侧壁；刻蚀部分初始侧壁隔离层 113，以暴露衬底 100 的顶面，剩余初始侧壁隔离层 113 作为侧壁隔离层 112，侧壁隔离层 112 与位线主体 111 构成位线结构 110。通过形成位线主体 111 可以用于读取存储单元中的数据信息，或者通过位线结构 110 将数据信息写入到存储单元内进行存储的部分，通过形成初始侧壁隔离层 113 为后续形成侧壁隔离层 112 提供工艺基础，通过刻蚀初始侧壁隔离层 113 以形成暴露衬底 100 顶面的侧壁隔离层 112 从而可以形成具有空气间隙的侧壁隔离层 112，从而可以提高侧壁隔离层 112 的性能，可以减少位线结构 110 与电容接触结构 120 之间的寄生电容。

[0063] 参考图 2，在一些实施例中，形成初始侧壁隔离层 113 的方法可以包括：形成第一绝缘层 150，第一绝缘层 150 位于位线主体 111 朝向电容接触结构 120 的侧壁；形成介质层 161，介质层 161 位于第一绝缘层 150 朝向电容接触结构 120 的侧壁；形成第二绝缘层 170，第二绝缘层 170 位于介质层 161 朝向电容接触结构 120 的侧壁。通过形成的介质层 161 可以为后续形成的具有空气间隙的侧壁隔离层提供工艺基础，后续可以通过直接刻蚀介质层 161 的方式形成空气间隙，从而可以降低半导体结构形成方法的工艺难度。

[0064] 在一些实施例中，第一绝缘层 150 的材料可以是氮化硅，介质层 161 的材料可以是氧化硅，第二绝缘层 162 的材料可以是氮化硅，也就是初始侧壁隔离层 113 的结构为 NON（氮化物-氧化物-氮化物）结构，通过形成 NON 结构可以提高初始侧壁隔离层 113 的绝缘性能，且氮化硅的材料材质较硬，通过形成 NON 结构可以改善初始侧壁隔离层 113 的形貌。

[0065] 在一些实施例中，形成初始侧壁隔离层 113 的方法可以是，通过依次沉积的方式，以分别形成第一绝缘层 150、介质层 161 及第二绝缘层 170；在另一些实施例中，形成初始侧壁隔离层 113 的方法还可以是形成初始绝缘层，初始绝缘层占用需要形成的第一绝缘层 150、

介质层 161 及第二绝缘层 170 的空间，通过刻蚀初始绝缘层的方式形成第一绝缘层 150 及第二绝缘层 170，再通过沉积的方式在第一绝缘层 150 及第二绝缘层 170 之间形成介质层 161。

[0066] 在一些实施例中，形成的第一绝缘层 150、介质层 161 及第二绝缘层 170 的厚度可以是相等，通过控制第一绝缘层 150、介质层 161 及第二绝缘层 170 的厚度相等，可以在通过沉积的方式形成第一绝缘层 150、介质层 161 及第二绝缘层 170 的过程中，不需要调整沉积的数量及喷涂相应材料的速率，从而可以简化半导体结构的工艺步骤；在另一些实施例中，第一绝缘层 150、介质层 161 及第二绝缘层 170 的厚度也可以不相等，例如可以控制形成的介质层 161 的厚度大于第一绝缘层 150 及第二绝缘层 170 的厚度，可以理解的是，介质层 161 的厚度越大，后续形成的空气间隙层的厚度也就越大，后续形成的侧壁隔离层 112 的绝缘性能也就越好，降低位线结构 110 与电容接触结构 120 之间的寄生电容的能力也就越强；第一绝缘层 150、介质层 161 及第二绝缘层 170 的厚度还可以是依次增加或者依次减小等。

[0067] 需要说明的是，上述提到的第一绝缘层 150、介质层 161 及第二绝缘层 170 的厚度是指沿图示中位线结构 110 朝向电容接触结构的方向上第一绝缘层 150、介质层 161 及第二绝缘层 170 的尺寸。

[0068] 参考图 3，形成顶面低于位线主体 111 顶面的接触插塞 121，可以理解的是，通过回刻蚀图 2 所示的半导体结构的接触插塞 121，在回刻蚀的过程中部分第二绝缘层 170 还被同时刻蚀，然而这部分被刻蚀的第二绝缘层 170 可能导致污染杂质通过第二绝缘层 170 进入电容接触结构 120 内，导致电容接触结构 120 被污染。

[0069] 参考图 4 至图 8，形成阻挡层 123 的方法可以包括：形成第一子阻挡层 180，第一子阻挡层 180 覆盖过渡层 124 朝向位线结构 110 的侧壁；形成第二子阻挡层 190，第二子阻挡层 190 覆盖过渡层 124 的顶面，通过形成第一子阻挡层 180 可以将过渡层 124 朝向位线结构 110 的侧壁保护起来，从而可以在形成侧壁隔离层 112 的工艺步骤中或者形成侧壁隔离层 112 之后的工艺步骤中，避免着陆垫 122 通过与侧壁隔离层 112 正对的侧壁导致着陆垫 122 被污染，从而可以提高半导体结构的可靠性，通过形成第二子阻挡层 190 可以将过渡层 124 与着陆垫 122 进行隔离，可以避免着陆垫 122 的金属材料的金属离子进入过渡层 124 中，可以保证器件结构的电学性能和可靠性。

[0070] 具体的参考图 4 及图 5，形成第一子阻挡层 180 的方法包括：形成第一初始阻挡层 181，第一初始阻挡层 181 覆盖位线结构 110 的侧壁及位线结构 110 的顶面；刻蚀第一初始阻挡层 181，剩余第一初始阻挡层 181 覆盖位线结构 110 的侧壁，剩余第一初始阻挡层 181 为第一子阻挡层 180。

[0071] 具体的，参考图 4，形成第一初始子阻挡层 181，第一初始子阻挡层 181 覆盖位线主体 111 的顶面、初始侧壁隔离层 113 的顶面及侧壁以及接触插塞 121 的顶面。

[0072] 在一些实施例中，形成第一初始子阻挡层 181 的方法可以是通过化学气相沉积，以在位线主体 111 的顶面、初始侧壁隔离层 113 的顶面及侧壁以及接触插塞 121 的顶面形成第一初始子阻挡层 181。

[0073] 参考图 5，刻蚀第一初始子阻挡层 181 以暴露位线主体 111 顶面、初始侧壁隔离层 113 的顶面及接触插塞 121 的顶面，剩余第一初始子阻挡层 181 作为第一子阻挡层 180。

[0074] 参考图 6，形成过渡层 124，在一些实施例中，形成过渡层 124 的方法可以包括：形成金属导电层（图中未示出），金属导电层位于接触插塞 121 的顶面；采用退火工艺使金属导电层与接触插塞 121 反应形成过渡层 124；去除金属导电层，换句话说，也就是加热使得金属导电层和接触插塞 121 的离子相互扩散以形成过渡层 124，可以减小过渡层 124 与接触插塞 121 之间的接触电阻，从而可以提高半导体结构的电学性能。

[0075] 在一些实施例中，退火工艺的工艺维度可以为 400℃~1000℃。可以理解的是，当热退火工艺的工艺温度小于 400℃时，金属导电层与接触插塞 121 反应的效果不佳，且反应速率较慢，当热退火工艺的工艺温度大于 1000℃时，形成的过渡层 124 不稳定，导致部分过渡层 124 还原成半导体材料，可能会影响形成的电容接触结构的可靠性。

[0076] 参考图 7，形成第二子阻挡层 190，第二子阻挡层 190 覆盖位线主体 111 的顶面、初始侧壁隔离层 113 的顶面及第一子阻挡层 180 的顶面，第二子阻挡层还覆盖第一子阻挡层 180 的侧壁及过渡层 124 的顶面，

[0077] 参考图 8，刻蚀部分第二子阻挡层 190，剩余第二子阻挡层 190 覆盖第一子阻挡层 180 的侧壁、过渡层 124 的顶面、与电容接触结构 120 相邻的初始侧壁隔离层 113 中的一者的顶面以及与该初始侧壁隔离层 113 接触连接的位线主体 111 的顶面。

[0078] 继续参考图 7 及图 8，形成着陆垫 122 的方法包括：形成初始着陆垫 200，初始着陆垫 200 覆盖位线结构 110 的顶面，初始着陆垫 200 还覆盖阻挡层 123 的侧壁；刻蚀初始着陆垫 200，以使剩余初始着陆垫 200 覆盖与电容接触结构 120 相邻的两个位线结构 110 中的一者的部分顶面，剩余初始着陆垫 200 作为着陆垫 122。通过在图 6 所示的半导体结构的表面整面沉积的方式形成初始着陆垫 200，从而可以确保初始着陆垫 200 可以填充满过渡层 124 以及第一子阻挡层 180 围成的空间，从而可以提高后续形成的着陆垫 122 的可靠性，通过刻蚀初始着陆垫 200 的方式以形成间隔排布的着陆垫 122，避免相邻的着陆垫 122 之间电连接，从而可以提高半导体结构的可靠性。

[0079] 参考图 1，形成着陆垫 122 之后，刻蚀介质层 161 以形成空气间隙层 160，通过形成空气间隙层 160 可以提高侧壁隔离层 112 的绝缘性能，且可以减少位线结构 110 与电容接触结构 120 之间的寄生电容。

[0080] 本公开实施例通过形成位线结构110可以通过位线结构110向后续工艺步骤中形成的存储单元中写入数据信息，或者通过位线结构 110 读取存储单元中存储的数据信息，通过形成电容接触结构 120 可以用于连接后续形成的电容结构及衬底 100，通过形成位于着陆垫 122 与接触插塞 121 之间的阻挡层 123 可以避免接触插塞 121 中的材料粒子扩散至着陆垫 122 中，避免着陆垫 122 的材料被污染，通过形成位于过渡层 124 和位线结构 110 之间的阻挡层 123 可以避免后续的工艺步骤对过渡层 124 造成污染，从而可以将过渡层 124 进行保护，可以提高半导体结构的可靠性。

[0081] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各自更动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括:

衬底;

位线结构，所述位线结构位于所述衬底上且间隔排布;

电容接触结构，位于相邻所述位线结构之间，所述电容接触结构包括:接触插塞，着陆垫以及位于所述着陆垫与所述接触插塞之间的阻挡层，所述接触插塞的顶面低于所述位线结构的顶面;

其中，所述接触插塞顶部包含过渡层，所述阻挡层还位于所述过渡层和所述位线结构之间。

2. 根据权利要求 1 所述的半导体结构，其中，所述阻挡层包括:

第一子阻挡层，所述第一子阻挡层覆盖所述过渡层朝向所述位线结构的侧壁;

第二子阻挡层，所述第二子阻挡层覆盖所述过渡层的顶面。

3. 根据权利要求 2 所述的半导体结构，其中，所述第一子阻挡层的厚度为 0.2~2nm。

4. 根据权利要求 2 所述的半导体结构，其中，所述第一子阻挡层与所述第二子阻挡层的材料相同，包括:氮化钛或氮化钽。

5. 根据权利要求 1 所述的半导体结构，其中，所述接触插塞的材料包括硅，所述过渡层的材料包括:硅化钴、硅化镍或硅化钛。

6. 根据权利要求 1 所述的半导体结构，其中，所述着陆垫的材料包括:钨、铝或铜。

7. 根据权利要求 2 所述的半导体结构，其中，所述位线结构包括位线主体及侧壁隔离层，所述侧壁隔离层位于所述位线主体朝向所述电容接触结构的侧壁，所述阻挡层还位于所述着陆垫与所述侧壁隔离层之间，所述侧壁隔离层为多层复合结构。

8. 根据权利要求 7 所述的半导体结构，其中，所述侧壁隔离层由所述位线主体朝向所述电容接触结构依次包括:第一绝缘层、空气间隙层及第二绝缘层。

9. 根据权利要求 7 所述的半导体结构，其中，所述第一子阻挡层和所述第二子阻挡层还位于所述着陆垫朝向所述位线结构的侧壁。

10. 根据权利要求 1 所述的半导体结构，其中，所述着陆垫还覆盖与所述电容接触结构相邻的两个所述位线结构中的一者的部分顶面。

11. 一种半导体结构的制作方法，包括:

提供衬底；

形成位线结构，所述位线结构位于所述衬底上，且多个所述位线结构间隔排布；

形成电容接触结构，所述电容接触结构包括：接触插塞，着陆垫以及位于所述着陆垫与所述接触插塞之间的阻挡层，所述接触插塞的顶面低于所述位线结构的顶面，其中，所述接触插塞顶部包含过渡层，所述阻挡层还位于所述过渡层和所述位线结构之间。

12. 根据权利要求 11 所述的半导体结构的制作方法，其中，形成所述阻挡层的方法包括：

形成第一子阻挡层，所述第一子阻挡层覆盖所述过渡层朝向所述位线结构的侧壁；

形成第二子阻挡层，所述第二子阻挡层覆盖所述过渡层的顶面。

13. 根据权利要求 12 所述的半导体结构的制作方法，其中，形成所述第一子阻挡层的方法包括：

形成第一初始阻挡层，所述第一初始阻挡层覆盖所述位线结构的侧壁及所述位线结构的顶面；

刻蚀所述第一初始阻挡层，剩余所述第一初始阻挡层覆盖所述位线结构的侧壁，剩余所述第一初始阻挡层作为所述第一子阻挡层。

14. 根据权利要求 11 所述的半导体结构的制作方法，其中，形成所述过渡层的方法包括：

形成金属导电层，所述金属导电层位于所述接触插塞的顶面；

采用退火工艺使所述金属导电层与所述接触插塞反应形成过渡层；

去除所述金属导电层。

15. 根据权利要求 11 所述的半导体结构的制作方法，其中，形成所述着陆垫的方法包括：

形成初始着陆垫，所述初始着陆垫覆盖所述位线结构的顶面，所述初始着陆垫还覆盖所述阻挡层的侧壁；

刻蚀所述初始着陆垫，以使剩余所述初始着陆垫覆盖与所述电容接触结构相邻的两个所述位线结构中的一者的部分顶面，剩余所述初始着陆垫作为所述着陆垫。

16. 根据权利要求 11 所述的半导体结构的制作方法，其中，形成所述位线结构的方法包括：

形成位线主体，所述位线主体位于所述衬底上且间隔排布；

形成初始侧壁隔离层，所述初始侧壁隔离层位于所述位线主体朝向所述电容接触结构的侧壁；

刻蚀部分所述初始侧壁隔离层，以暴露所述衬底的顶面，剩余所述初始侧壁隔离层作为

侧壁隔离层，所述侧壁隔离层与所述位线主体构成所述位线结构。

17. 根据权利要求 16 所述的半导体结构的制作方法，其中，形成所述初始侧壁隔离层的方法包括:

形成第一绝缘层，所述第一绝缘层位于所述位线主体朝向所述电容接触结构的侧壁;

形成介质层，所述介质层位于所述第一绝缘层朝向所述电容接触结构的侧壁;

形成第二绝缘层，所述第二绝缘层位于所述介质层朝向所述电容接触结构的侧壁。

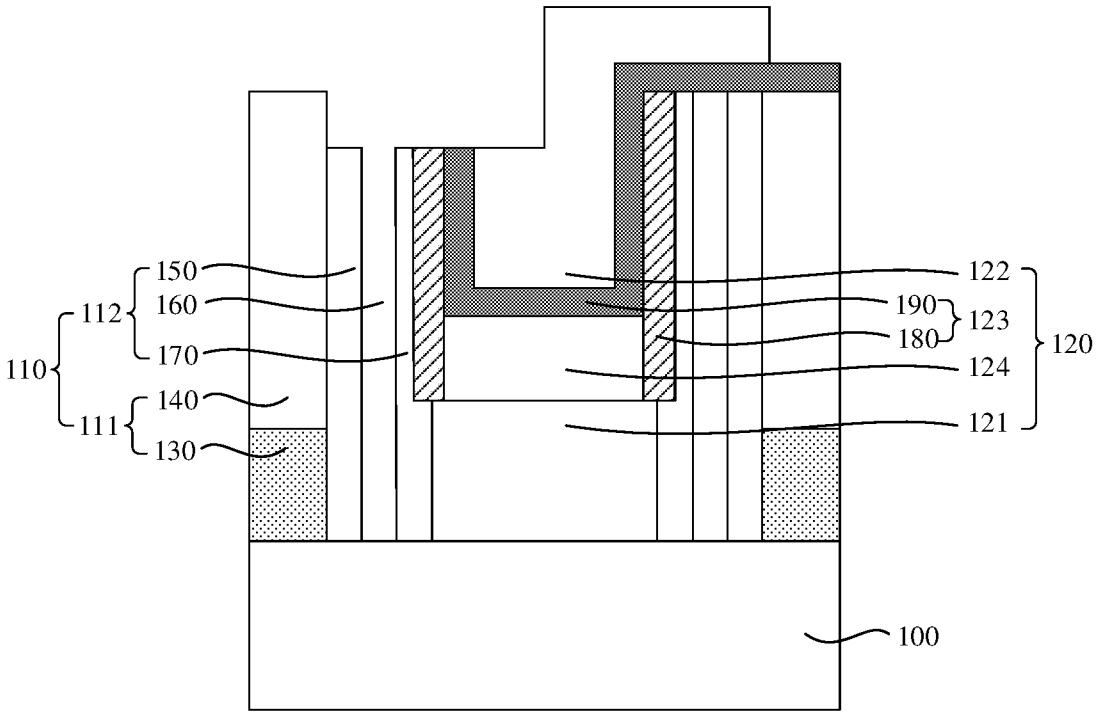

150
160
112
170
110
140
111
130
122
190
123
180
120
124
121
100

图 1

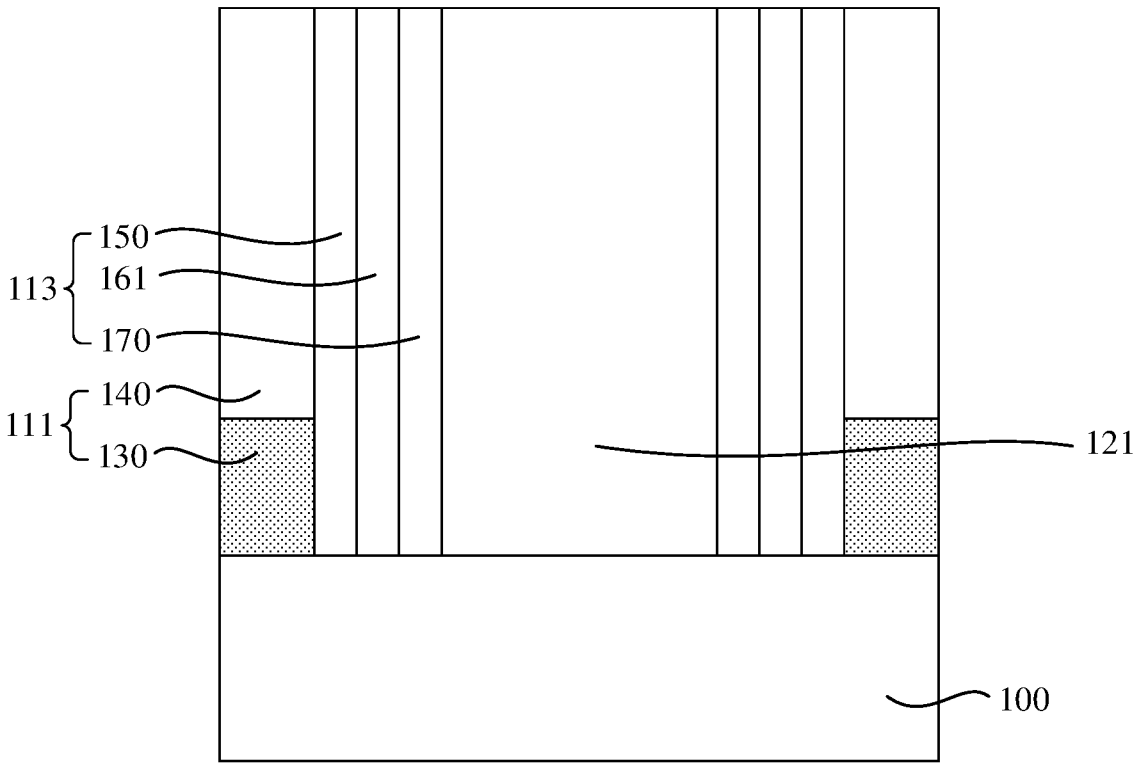

150
161
113
170
140
111
130
121
100

图 2

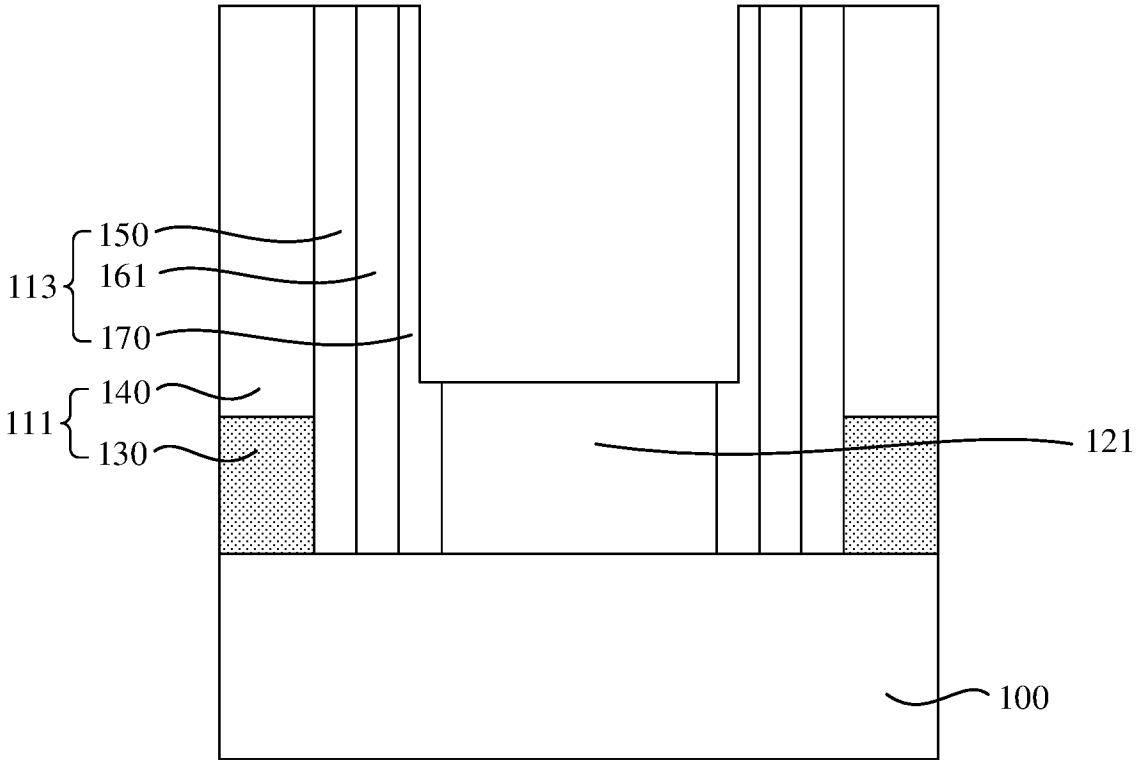

150
113
161
170
140
111
130
121
100

图 3

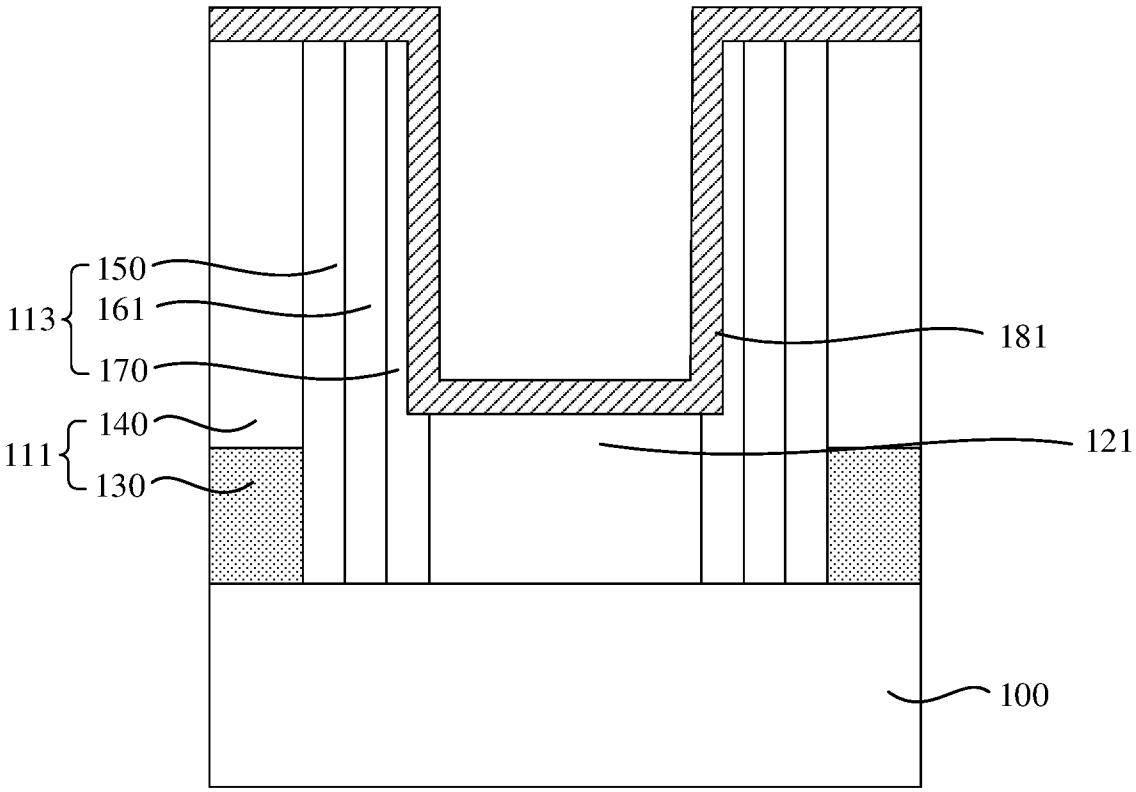

150
113
161
170
181
140
111
130
121
100

图 4

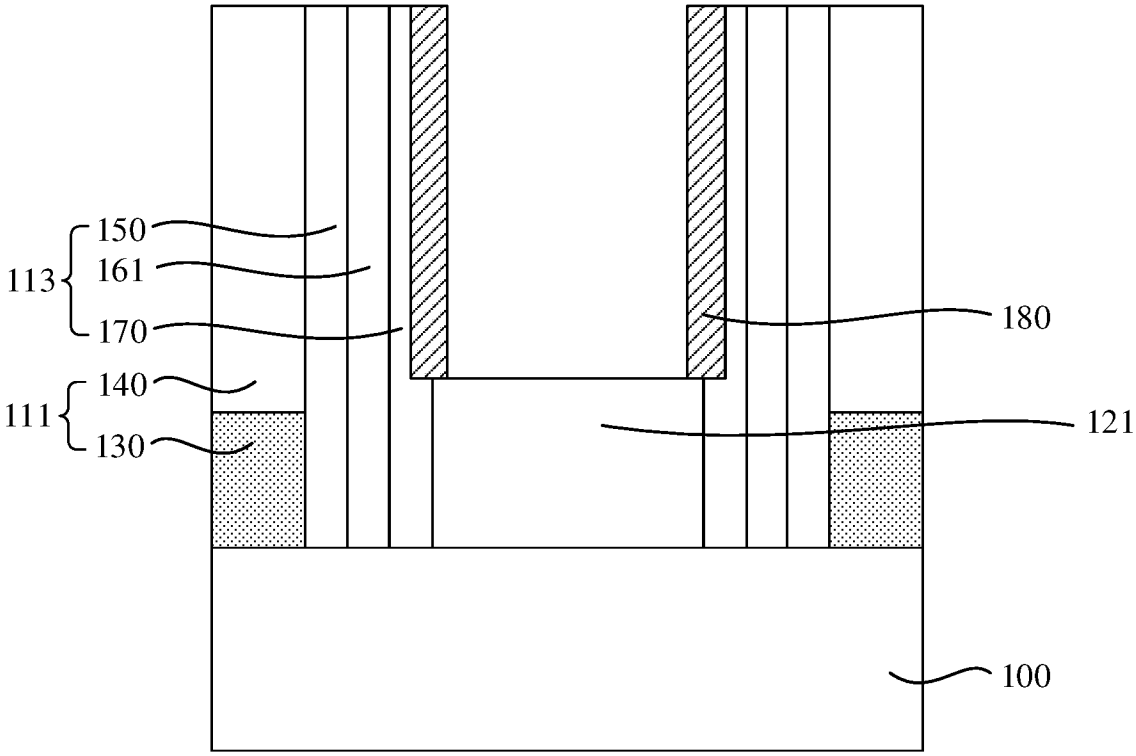

150
161
113
170
140
111
130
180
121
100

图 5

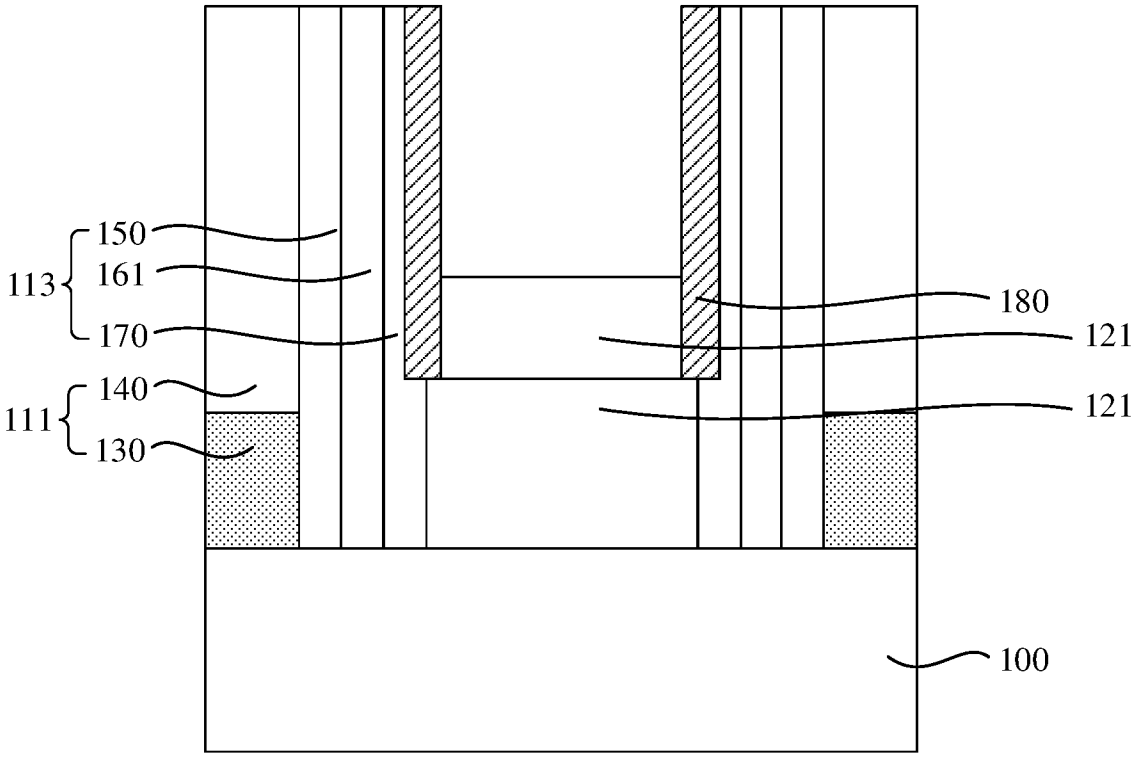

150
161
113
170
140
111
130
180
121
121
100

图 6

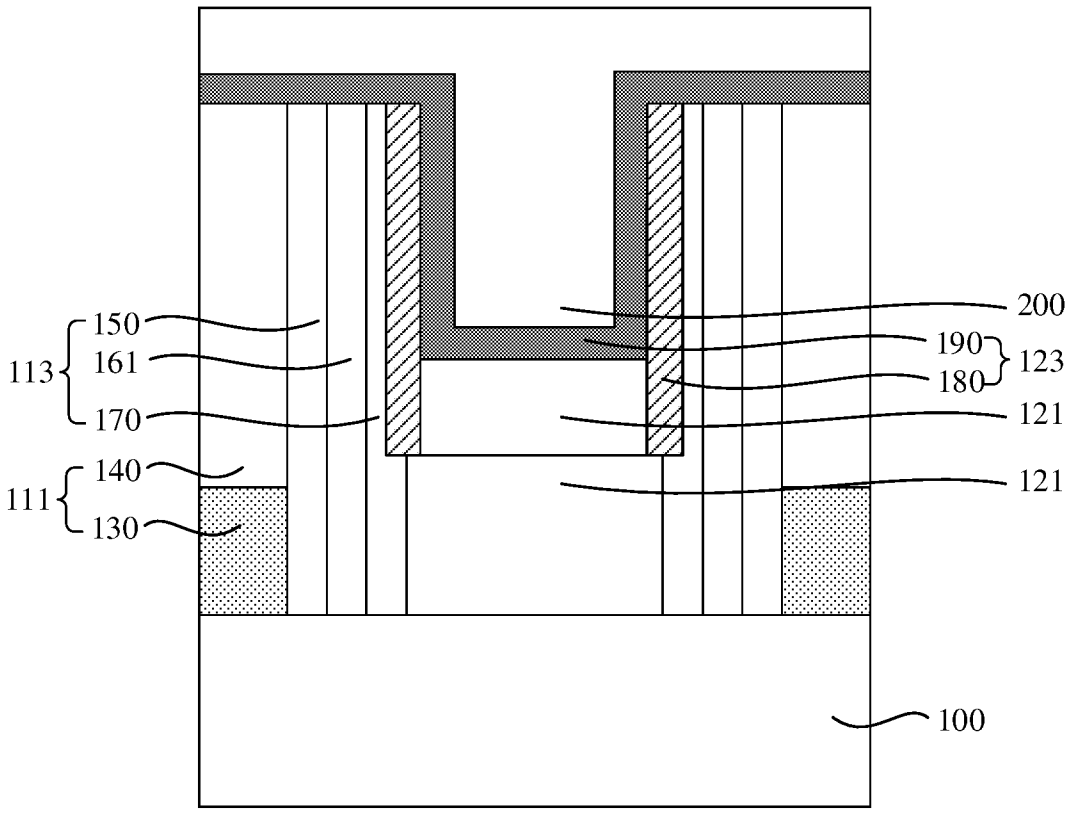

150
161
113
170
140
111
130
200
190
123
180
121
121
100

图 7

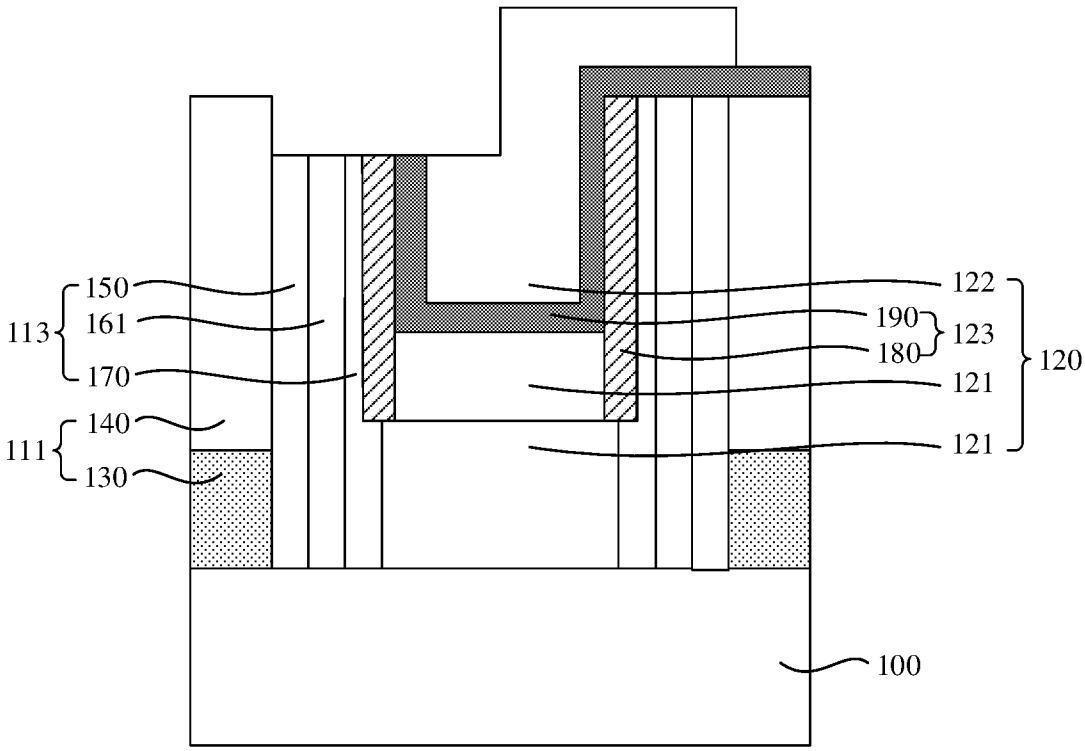

150
161
113
170
140
111
130
122
190
123
180
120
121
121
100

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/133246

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/538(2006.01)i; H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, ENTXT, CNTXT, ENTXTC, CNKI, IEEE: semiconductor, structure, contact, layer, material, insulate, barrier, conduct, plug, bit, line, capacitor, top, 半导体, 结构, 接触, 层, 材料, 绝缘, 阻挡, 导电, 插, 塞, 位线, 电容, 顶

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 114093870 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 25 February 2022 (2022-02-25) description, paragraphs [0023]-[0090], and figures 1-28	1-17
Y	CN 112490180 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 12 March 2021 (2021-03-12) description, paragraphs [0030]-[0094], and figures 1-17	1-17
A	CN 115020376 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 06 September 2022 (2022-09-06) entire document	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 May 2023	**26 May 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/133246

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 114093870 A	25 February 2022	WO 2022042022 A1	03 March 2022
		US 2023056204 A1	23 February 2023
CN 112490180 A	12 March 2021	None	
CN 115020376 A	06 September 2022	US 2023020650 A1	19 January 2023

国际检索报告

国际申请号
PCT/CN2022/133246

A. 主题的分类

H01L 23/538(2006.01)i；H01L 21/768(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

DWPI，ENTXT，CNTXT，ENTXTC，CNKI，IEEE：semiconductor，structure，contact，layer，material，insulate，barrier，conduct，plug，bit，line，capacitor，top，半导体，结构，接触，层，材料，绝缘，阻挡，导电，插，塞，位线，电容，顶

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 114093870 A (长鑫存储技术有限公司) 2022年2月25日 (2022-02-25) 说明书第[0023]-[0090]段，图1-28	1-17
Y	CN 112490180 A (中芯国际集成电路制造(上海)有限公司等) 2021年3月12日 (2021-03-12) 说明书第[0030]-[0094]段，图1-17	1-17
A	CN 115020376 A (长鑫存储技术有限公司) 2022年9月6日 (2022-09-06) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年5月24日	2023年5月26日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 闫东 电话号码 (+86) 62089267

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/133246

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114093870	A	2022年2月25日	WO	2022042022	A1	2022年3月3日
				US	2023056204	A1	2023年2月23日
CN	112490180	A	2021年3月12日		无		
CN	115020376	A	2022年9月6日	US	2023020650	A1	2023年1月19日