



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217635
(11) (B1)

(51) Int. Cl.³
G 06 F 11/12

(22) Přihlášeno 09 04 81
(21) (PV 2690-81)

(40) Zveřejněno 30 04 82

(45) Vydáno 15 09 84

(75)
Autor vynálezu

GOLAN PETR ing., PRAHA

(54) Úplně samočinně kontrolovaný hlídač kódu „m z n“ s pamětí a s indikátorem chyby

1

Vynález se týká úplně samočinně kontrolovaného hlídače kódu „m z n“ s pamětí a indikací všech jednosměrných chyb hlídaného kódu „m z n“ a každé chyby způsobené jednonásobnou poruchou typu trvalá logická 0 nebo trvalá logická 1 v hlídači. Hlídač podle vynálezu je důležitým doplňkem číslicových systémů, které jsou úplně samočinně kontrolovány, to jest takových, které jsou samočinně testované a bezpečné proti poruchám.

Dosud známé úplně samočinně kontrolované hlídače kódu „m z n“ patří do třídy kombinačních obvodů a nejsou tedy vybaveny pamětí chyby. Chyba se u nich musí indikovat přídatným indikačním obvodem, který není samočinně testován. Může proto dojít k neindikované poruše, po níž indikační obvod přestane plnit svou funkci, takže indikátor nemůže signalizovat případnou chybu hlídaného kódu „m z n“.

Uvedený nedostatek je odstraněn hlídačem podle vynálezu, jehož podstata spočívá v tom, že vstupní sběrnice pro signály v kódu „m z n“ je připojena ke sběrnicevému vstupu úplně samočinně kontrolovaného hlídače zúženého kódu „(m+1) z (n+2)“, z jehož výstupů se signály v kódu „1 ze 2“ je zavedena zpětná vazba. První výstup hlídače zúženého kódu „(m+1) z (n+2)“ je při-

2

pojen na vstup prvního zpožďovacího členu a na první vstup porovnávacího logického členu. Druhý výstup hlídače zúženého kódu „(m+1) z (n+2)“ je připojen na vstup druhého zpožďovacího členu a na druhý vstup porovnávacího logického členu. Výstup porovnávacího logického členu je připojen na spouštěcí vstup prvního monostabilního klopného obvodu spouštěného čelem spouštěcího impulsu a na spouštěcí vstup druhého monostabilního klopného obvodu spouštěného rovněž čelem spouštěcího impulsu. Výstup prvního monostabilního klopného obvodu je připojen na hodinový vstup prvního bistabilního klopného obvodu typu D, řízeného úrovní hodinového impulsu. Výstup druhého monostabilního klopného obvodu je připojen na hodinový vstup druhého bistabilního klopného obvodu typu D, řízeného úrovní hodinového impulsu. Výstup prvního zpožďovacího členu je připojen na datový vstup prvního bistabilního klopného obvodu. Výstup druhého zpožďovacího členu je připojen na datový vstup druhého bistabilního klopného obvodu. Výstup prvního bistabilního klopného obvodu je připojen na první zpětnovazební vstup hlídače zúženého kódu „(m+1) z (n+2)“. Výstup druhého bistabilního klopného obvodu je připojen na druhý zpětnovazební vstup hlídače zúženého kódu „(m+1) z (n+2)“. Hlídač podle vynálezu je opatřen indikátorem chyby, kte-

rý je připojen mezi zpětnovazební vstupy hlídače zúženého kódu „ $(m+1)$ z $(n+2)$ “.

Hlídačem podle vynálezu se dosáhne zapamatování každé jednosměrné chyby hlídaného kódu „ m z n “, jejíž trvání je delší než nastavený časový interval, a každé chyby způsobené jednonásobnou poruchou typu trvalá logická 0 nebo trvalá logická 1 v hlídači. Zapojením je dosaženo toho, že hlídač je i s indikátorem chyb úplně samočinně kontrolován.

Na připojeném výkresu je znázorněno blokové schéma hlídače podle vynálezu.

Hlídač je proveden tak, že vstupní sběrnice pro signály z kódu „ m z n “ je připojena ke sběrniceovému vstupu 11 úplně samočinně kontrolovaného hlídače 1 zúženého kódu „ $(m+1)$ z $(n+2)$ “, první výstup hlídače 1 je připojen na vstup 21 prvního zpožďovacího členu 2 a na první vstup 61 porovnávacího logického členu 6, druhý výstup hlídače 1 je připojen na vstup 31 druhého zpožďovacího členu 3 a na druhý vstup 62 porovnávacího logického členu 6, výstup porovnávacího logického členu 6 je připojen na spouštěcí vstup 71 prvního monostabilního klopného obvodu 7, spouštěcího čelem spouštěcího impulsu, a na spouštěcí vstup 81 druhého monostabilního klopného obvodu 8, spouštěcího čelem spouštěcího impulsu, výstup prvního monostabilního klopného obvodu 7 je připojen na hodinový vstup 41 prvního bistabilního klopného obvodu 4 typu D, řízeného úrovní hodinového impulsu, výstup druhého monostabilního klopného obvodu 8 je připojen na hodinový vstup 51 druhého bistabilního klopného obvodu 5 typu D, řízeného úrovní hodinového impulsu, výstup prvního zpožďovacího členu 2 je připojen na datový vstup 42 prvního bistabilního klopného obvodu 4, výstup druhého zpožďovacího členu 3 je připojen na datový vstup 52 druhého bistabilního klopného obvodu 5, výstup prvního bistabilního klopného obvodu 4 je připojen na první zpětnovazební vstup 12 hlídače 1 a výstup druhého bistabilního klopného obvodu 5 je připojen na druhý zpětnovazební vstup 13 hlídače 1. Mezi zpětnovazební vstupy 12 a 13 hlídače 1 je připojen indikátor chyby 9.

Hlídač podle vynálezu je asynchronní sekvenční obvod. Na jeho vstup jsou z hlídané sběrnice přivedeny signály v kódu „ m z n “ a dva zpětnovazební signály v kódu „1 ze 2“. Vstupní signály tvoří zúžený kód „ $(m+1)$ z $(n+2)$ “, který má oproti úplnému kódu „ $(m+1)$ z $(n+2)$ “ pouze $2\binom{m}{n}$ kódových slov. Zúžený kód „ $(m+1)$ z $(n+2)$ “ se hlídá úplně samočinně kontrolovaným hlídačem 1, jehož výstup je v kódu „1 ze 2“. Vyskytne-li se na vstupu nekódová kombinace nebo dojde-li k jednonásobné poruše typu trvalá logická 0 nebo trvalá logická 1 v hlídači 1, objeví se na výstupu hlídače 1 nekódové kombinace (00) nebo (11). Tyto nekódové kombinace jsou prostřednictvím

zpětné vazby přes zpožďovací členy 2 a 3 a přes bistabilní klopné obvody 4 a 5 přivedeny na zpětnovazební vstupy 12 a 13 hlídače 1. Tím dojde k porušení zúženého kódu „ $(m+1)$ z $(n+2)$ “ na vstupu hlídače 1 a díky zpětné vazbě se tato chyba trvale zapamatuje a může být indikována například dvěma antiparalelně zapojenými svítkami, které jsou připojeny mezi zpětnovazební vstupy 12 a 13 hlídače 1. Není-li chyba, svítí vždy jedna ze svítek, v případě chyby nesvítí žádná. Nulování chyby lze provést při správném slově kódu „ m z n “ na vstupní sběrnici vnučením kombinace (01) nebo (10) na zpětnovazební vstupy hlídače 1. Toho lze dosáhnout například vypnutím a zapnutím napájení bistabilních klopných obvodů 4 a 5, u nichž se zajistí, aby při zapnutí napájení měly na výstupech vzájemně různé logické hodnoty. Nekódové kombinace (00) nebo (11) se mohou na krátký okamžik objevit na výstupu hlídače 1 také díky souběhu vstupních proměnných nebo vlivem hazardu v hlídači 1. Aby tyto případy nebyly indikovány jako chyba, je do zpětné vazby hlídače 1 zapojen úplně samočinně kontrolovaný obvod, který po vzniku souběhu výstupních proměnných hlídače 1 způsobuje na krátkou dobu rozpojení zpětné vazby. Tento zpětnovazební obvod funguje tak, že při vzniku souběhu výstupních proměnných hlídače 1 dojde ke změně logické hodnoty signálu na výstupu porovnávacího logického členu 6, čímž se spustí monostabilní klopné obvody 7 a 8, jež ovládají blokovací impulsy hodinové vstupy 41 a 51 bistabilních klopných obvodů 4 a 5. Bistabilní klopné obvody 4 a 5 jsou typu D, řízené úrovní hodinových impulsů. Negenerují-li monostabilní klopné obvody 7 a 8 právě blokovací impulsy, sledují výstupy bistabilních klopných obvodů 4 a 5 všechny změny logických hodnot signálů na datových vstupech 42 a 52 a zpětná vazba je uzavřena. Jsou-li monostabilní klopné obvody 7 a 8 spuštěny, je zpětná vazba přerušena a na výstupech bistabilních klopných obvodů 4 a 5 jsou signály s logickou hodnotou, která odpovídá logické hodnotě signálů na datových vstupech 42 a 52 v okamžiku těsně před příchodem blokovacích impulsů. Šířka impulsů obou monostabilních klopných obvodů je shodná a je nastavena tak, aby překlenula dovolenou dobu trvání souběhu výstupních proměnných hlídače 1, během níž ještě nemá být souběh indikován jako chyba. Zpoždění zpožďovacích členů 2 a 3 je nastaveno tak, aby při vzniku souběhu na výstupu hlídače 1 měly signály na hodinových vstupech 41 a 51 bistabilních klopných obvodů 4 a 5 dostatečný předstih před signály na datových vstupech 42 a 52.

Podmínkou správné funkce celého zapojení je stabilita, jíž se dosáhne vhodným návrhem hlídače 1. Vyjádříme-li kterékoliv kódové slovo kódu „ m z n “ jako logický sou-

čin odpovídajících jedničkových proměnných a označíme-li tento součin písmenem S a písmeny X a Y označíme proměnné na zpětnovazebních vstupech 12 a 13 hlídače 1, pak k zabránění rozkmitání hlídače podle vynálezu stačí, aby kódová slova zúženého kódu „(m+1) z (n+2)“, vyjádřená součiny SX a SY dávala logickou 1 na témže výstupu hlídače 1. Bude-li například m=1 a n=2 a označíme-li vstupní proměnné hlídače 1 písmeny A, B a výstupní proměnné označíme písmeny x, y, pak k tomu, aby hlídač 1 byl úplně samočinně kontrolovaný a současně aby zajišťoval stabilitu celého zapojení, stačí, když bude realizovat kombinační funkce x a y ve tvaru

$$\begin{aligned} x &= (AB+BX) \cdot (AX+BY) + \\ &+ (AY+BX) \cdot (AY+BY) \\ y &= [(AX+BX) + (AX+BY)] \cdot \\ &\cdot [(AY+BX) + (AY+BY)]. \end{aligned}$$

Kdyby souběh vstupních proměnných byl příliš krátký na to, aby se spustily monostabilní klopné obvody, lze jej uměle zvětšit tím, že rychlost šíření signálu kombinačním obvodem hlídače 1, realizujícím výstupní funkci x, bude jiná než rychlost šíření signálu kombinačním obvodem realizujícím výstupní funkci y.

Hlídač podle vynálezu umožňuje realizovat úplně samočinně kontrolované indikátory chyb kódů „m z n“. Indikační obvod může být také sestaven tak, že k výstupu úplně samočinně kontrolovaného hlídače kódu „m z n“ bez paměti, který je v kódu „1 ze 2“, se kaskádně připojí úplně samočinně kontrolovaný hlídač kódu „1 ze 2“ s pamětí a s indikátorem chyby. Hlídač podle vynálezu umožňuje také hlídat kód „1 ze 3“ jednodušším způsobem, než se to provádělo dosud. Úplně samočinně kontrolovaný obvod ve zpětné vazbě hlídače podle vynálezu lze použít k odstranění kritického souběhu i u jiných sekvenčních obvodů.

PŘEDMET VYNÁLEZU

1. Úplně samočinně kontrolovaný hlídač kódu „m z n“ s pamětí a s indikátorem chyby, vyznačující se tím, že vstupní sběrnice pro signály v kódu „m z n“ je připojena ke sběrnicevému vstupu (11) úplně samočinně kontrolovaného hlídače (1) zúženého kódu „(m+1) z (n+2)“, první výstup hlídače (1) je připojen na vstup (21) prvního zpožďovacího členu (2) a na první vstup (61) porovnávacího logického členu (6), druhý výstup hlídače (1) je připojen na vstup (31) druhého zpožďovacího členu (3) a na druhý vstup (62) porovnávacího logického členu (6), výstup porovnávacího logického členu (6) je připojen na spouštěcí vstup (71) prvního monostabilního klopného obvodu (7), spouštěného čelem spouštěcího impulsu, a na spouštěcí vstup (81) druhého monostabilního klopného obvodu (8), spouštěného čelem spouštěcího impulsu, výstup prvního monostabilního klopného obvodu (7) je připojen na hodinový vstup (41) prvního bista-

bilního klopného obvodu (4) typu D, řízeného úrovní hodinového impulsu, výstup druhého monostabilního klopného obvodu (8) je připojen na hodinový vstup (51) druhého bista-bilního klopného obvodu (5) typu D, řízeného úrovní hodinového impulsu, výstup prvního zpožďovacího členu (2) je připojen na datový vstup (42) prvního bista-bilního klopného obvodu (4), výstup druhého zpožďovacího členu (3) je připojen na datový vstup (52) druhého bista-bilního klopného obvodu (5), výstup prvního bista-bilního klopného obvodu (4) je připojen na první zpětnovazební vstup (12) hlídače (1) a výstup druhého bista-bilního klopného obvodu (5) je připojen na druhý zpětnovazební vstup (13) hlídače (1).

2. Úplně samočinně kontrolovaný hlídač podle bodu 1 vyznačující se tím, že mezi zpětnovazební vstupy (12, 13) hlídače (1) je připojen indikátor chyby (9).

