

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40820

(P2010-40820A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	5 F 0 8 3
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 A	

審査請求 未請求 請求項の数 23 O L (全 42 頁)

(21) 出願番号	特願2008-202771 (P2008-202771)	(71) 出願人	000005108
(22) 出願日	平成20年8月6日(2008.8.6)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	木下 勝治
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	笹子 佳孝
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	高浦 則克
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

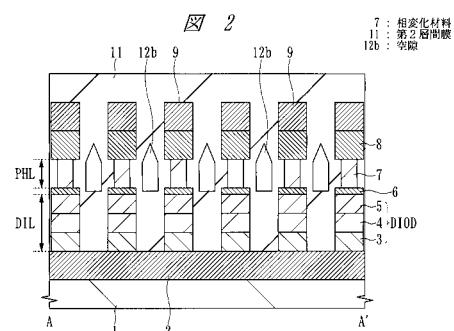
(54) 【発明の名称】 不揮発性記憶装置及びその製造方法

(57) 【要約】

【課題】相変化材料からなる記憶素子とダイオードからなる選択素子とを組み合わせたクロスポイント型のメモリセルによって構成される相変化メモリを備えた不揮発性記憶装置において、相変化材料を高温にしてもダイオードが高温になりにくいメモリセル構造を実現することのできる技術を提供する。

【解決手段】第1方向に沿って延びる複数の第1金属配線2と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線9との交点に、相変化材料7からなる記憶素子と、第1多結晶シリコン膜3、第2多結晶シリコン膜4及び第3多結晶シリコン膜5の積層構造のダイオードからなる選択素子とによって構成されるメモリセルを配置し、隣接する選択素子の間及び隣接する記憶素子の間に層間膜（例えば第2層間膜11）を形成し、隣接する記憶素子の間に設けられた層間膜に空隙（例えば空隙12b）を形成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 方向に沿って延びる複数の第 1 金属配線と、
前記第 1 方向と直交する第 2 方向に沿って延びる複数の第 3 金属配線と、
前記第 1 金属配線と前記第 3 金属配線との交点に記憶素子と選択素子とから成るメモリセルによって構成された不揮発性メモリを有する不揮発性記憶装置において、
前記メモリセルは、
半導体基板と、
前記半導体基板上に周辺回路と電氣的に接続して設けられた前記第 1 金属配線と、
前記第 1 金属配線上に前記第 1 金属配線と電氣的に接続して設けられた前記選択素子と、
前記選択素子上に前記選択素子と電氣的に接続して設けられた前記記憶素子と、
前記記憶素子上に前記記憶素子と電氣的に接続して設けられた第 2 金属配線と、
前記第 2 金属配線上に前記第 2 金属配線と電氣的に接続し、かつ周辺回路と電氣的に接続して設けられた前記第 3 金属配線と、
隣接する前記記憶素子間に空隙を有して、隣接する記憶素子間及び隣接する選択素子間を埋める層間膜とを含むことを特徴とする不揮発性記憶装置。

10

【請求項 2】

請求項 1 記載の不揮発性記憶装置において、前記選択素子はダイオードであり、前記記憶素子は相変化材料であることを特徴とする不揮発性記憶装置。

20

【請求項 3】

請求項 1 記載の不揮発性記憶装置において、前記記憶素子の幅が前記選択素子の幅よりも狭く、かつ前記第 2 金属配線の幅が前記記憶素子の幅よりも大きいことを特徴とする不揮発性記憶装置。

【請求項 4】

請求項 1 記載の不揮発性記憶装置において、隣接する前記選択素子間の前記層間膜の充填率は、選択素子の重心とこれに隣接する選択素子の重心とを結ぶ平面において 75%以上であり、隣接する前記記憶素子間の前記層間膜の充填率は、記憶素子の重心とこれに隣接する記憶素子の重心とを結ぶ平面において 75%以下 50%以上であることを特徴とする不揮発性記憶装置。

30

【請求項 5】

請求項 1 記載の不揮発性記憶装置において、前記第 1 方向に隣接する前記記憶素子間の前記層間膜に形成された前記空隙の幅が、前記第 2 方向に隣接する前記記憶素子間の前記層間膜に形成された前記空隙の幅よりも広いことを特徴とする不揮発性記憶装置。

【請求項 6】

第 1 方向に沿って延びる複数の第 1 金属配線と、
前記第 1 方向と直交する第 2 方向に沿って延びる複数の第 3 金属配線と、
前記第 1 金属配線と前記第 3 金属配線との交点に記憶素子と選択素子とから成るメモリセルによって構成された不揮発性メモリを有する不揮発性記憶装置において、
前記メモリセルは、
半導体基板と、
前記半導体基板上に周辺回路と電氣的に接続して設けられた前記第 1 金属配線と、
前記第 1 金属配線上に前記第 1 金属配線と電氣的に接続して設けられた前記選択素子と、
前記選択素子上に前記選択素子と電氣的に接続して設けられた前記記憶素子と、
前記記憶素子上に前記記憶素子と電氣的に接続して設けられた第 2 金属配線と、
前記第 2 金属配線上に前記第 2 金属配線と電氣的に接続し、かつ周辺回路と電氣的に接続して設けられた前記第 3 金属配線と、
隣接する前記記憶素子間を埋めずに前記記憶素子の側面を被覆し、隣接する前記選択素子間を埋める第 1 熱伝導率の層間膜と、

40

50

前記記憶素子の側面を被覆する前記第 1 熱伝導率の層間膜により形成される空間を埋める第 2 熱伝導率の層間膜とを含み、

前記第 2 熱伝導率が前記第 1 熱伝導率よりも低いことを特徴とする不揮発性記憶装置。

【請求項 7】

請求項 6 記載の不揮発性記憶装置において、前記選択素子はダイオードであり、前記記憶素子は相変化材料であることを特徴とする不揮発性記憶装置。

【請求項 8】

請求項 6 記載の不揮発性記憶装置において、前記第 1 熱伝導率の層間膜は T E O S であり、前記第 2 熱伝導率の層間膜はポーラス M S Q であることを特徴とする不揮発性記憶装置。

【請求項 9】

請求項 6 記載の不揮発性記憶装置において、隣接する前記選択素子間の前記第 2 熱伝導率の層間膜の充填率は、選択素子の重心とこれに隣接する選択素子の重心とを結ぶ平面において 2 5 % 以下であり、隣接する前記記憶素子間の前記第 2 熱伝導率の層間膜の充填率は、記憶素子の重心とこれに隣接する記憶素子の重心とを結ぶ平面において 5 0 % 以下 2 5 % 以上であることを特徴とする不揮発性記憶装置。

【請求項 10】

第 1 方向に沿って延びる複数の第 1 金属配線と、
前記第 1 方向と直交する第 2 方向に沿って延びる複数の第 3 金属配線と、
前記第 1 金属配線と前記第 3 金属配線との交点に記憶素子と選択素子とから成るメモリセルによって構成された不揮発性メモリを有する不揮発性記憶装置において、

前記メモリセルは、

半導体基板と、

前記半導体基板上に周辺回路と電氣的に接続して設けられた前記第 1 金属配線と、

前記第 1 金属配線上に前記第 1 金属配線と電氣的に接続して設けられた前記選択素子と

、
前記選択素子上に前記選択素子と電氣的に接続して設けられた前記記憶素子と、

前記記憶素子上に前記記憶素子と電氣的に接続して設けられた第 2 金属配線と、

前記第 2 金属配線上に前記第 2 金属配線と電氣的に接続し、かつ周辺回路と電氣的に接続して設けられた前記第 3 金属配線と、

隣接する前記選択素子間を埋める第 1 熱伝導率の層間膜と、

隣接する前記記憶素子間を埋める第 2 熱伝導率の層間膜とを含み、

前記第 2 熱伝導率が前記第 1 熱伝導率よりも低いことを特徴とする不揮発性記憶装置。

【請求項 11】

請求項 10 記載の不揮発性記憶装置において、前記選択素子はダイオードであり、前記記憶素子は相変化材料であることを特徴とする不揮発性記憶装置。

【請求項 12】

請求項 10 記載の不揮発性記憶装置において、前記第 1 熱伝導率の層間膜は T E O S であり、前記第 2 熱伝導率の層間膜はポーラス M S Q であることを特徴とする不揮発性記憶装置。

【請求項 13】

請求項 1、6 または 10 のいずれか 1 項に記載の不揮発性記憶装置において、前記選択素子と前記記憶素子との間にはバッファ層が形成されていることを特徴とする不揮発性記憶装置。

【請求項 14】

(a) 半導体基板上に第 1 金属膜、選択素子材料、バッファ層、相変化材料及び第 2 金属膜を順次形成する工程と、

(b) 第 1 方向に沿って前記第 2 金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第 1 金属膜を順次エッチングして、前記相変化材料の幅が前記バッファ層または前記選択素子材料の幅よりも狭いストライプ状に加工する工程と、

10

20

30

40

50

(c) 前記半導体基板上に第1層間膜を形成して、隣接する前記第2金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第1金属膜の積層パターンの間を前記第1層間膜により埋める工程と、

(d) 前記第1層間膜の表面を研磨して、前記第2金属膜の上面を露出させる工程と、

(e) 前記半導体基板上に第3金属膜を形成する工程と、

(f) 前記第1方向と直交する第2方向に沿って前記第3金属膜、前記第2金属膜、前記相変化材料、前記バッファ層及び前記選択素子材料を順次エッチングして、前記相変化材料の幅が前記バッファ層または前記選択素子材料の幅よりも狭いストライプ状に加工する工程と、

(g) 前記半導体基板上に第2層間膜を形成して、隣接する前記第3金属膜、前記第2金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第1金属膜の積層パターンの間を前記第2層間膜により埋める工程と、

を有し、

隣接する前記相変化材料の間の前記(c)工程で形成される前記第1層間膜及び前記(g)工程で形成される前記第2層間膜に、空隙を形成することを特徴とする不揮発性記憶装置の製造方法。

【請求項15】

(a) 半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成する工程と、

(b) 第1方向に沿って前記第2金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第1金属膜を順次エッチングして、ストライプ状に加工する工程と、

(c) 前記第2金属膜及び前記相変化材料の前記第1方向に沿った側面をエッチングして、前記第2金属膜及び前記相変化材料を細く加工する工程と、

(d) 前記半導体基板上に第1層間膜を形成して、前記第2金属膜及び前記相変化材料の側面を被覆して、隣接する前記第2金属膜及び前記相変化材料の積層パターンの間を埋めずに空間を形成し、同時に、隣接する前記バッファ層、前記選択素子材料及び前記第1金属膜の積層パターンの間を埋める工程と、

(e) 前記第1層間膜をエッチバックする工程と、

(f) 前記半導体基板上に第2層間膜を形成して、隣接する前記第2金属膜及び前記相変化材料の積層パターンの中の空間を埋めた後、前記第2層間膜の表面を研磨して前記第2金属膜の上面を露出させる工程と、

(g) 前記半導体基板上に第3金属膜を形成する工程と、

(h) 前記第1方向と直交する第2方向に沿って前記第3金属膜、前記第2金属膜、前記相変化材料、前記バッファ層及び前記選択素子材料を順次エッチングして、ストライプ状に加工する工程と、

(i) 前記第2金属膜及び前記相変化材料の前記第2方向に沿った側面をエッチングして、前記第2金属膜及び前記相変化材料を細く加工する工程と、

(j) 前記半導体基板上に第3層間膜を形成して、前記第2金属膜及び前記相変化材料の側面を被覆して、隣接する前記第2金属膜及び前記相変化材料の積層パターンの間を埋めずに空間を形成し、同時に、隣接する前記バッファ層、前記選択素子材料及び前記第1金属膜の積層パターンの間を埋める工程と、

(k) 前記第3層間膜をエッチバックする工程と、

(l) 前記半導体基板上に第4層間膜を形成して、隣接する前記第2金属膜及び前記相変化材料の積層パターンの中の空間を埋める工程と、

を有することを特徴とする不揮発性記憶装置の製造方法。

【請求項16】

(a) 半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成する工程と、

(b) 第1方向に沿って前記第2金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第1金属膜を順次エッチングして、ストライプ状に加工する工程と、

(c) 前記第 2 金属膜及び前記相変化材料の前記第 1 方向に沿った側面をエッチングして、前記第 2 金属膜及び前記相変化材料を細く加工する工程と、

(d) 前記半導体基板上に第 1 層間膜を形成して、隣接する前記第 2 金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第 1 金属膜の積層パターンの間を埋める工程と、

(e) 前記第 1 層間膜をエッチバックして、隣接する前記第 2 金属膜及び前記相変化材料の積層パターンを間の前記第 1 層間膜を除去する工程と、

(f) 前記半導体基板上に第 2 層間膜を形成して、隣接する前記第 2 金属膜及び前記相変化材料の積層パターンを間の埋めた後、前記第 2 層間膜の表面を研磨して前記第 2 金属膜の上面を露出させる工程と、

(g) 前記半導体基板上に第 3 金属膜を形成する工程と、

(h) 前記第 1 方向と直交する第 2 方向に沿って前記第 3 金属膜、前記第 2 金属膜、前記相変化材料、前記バッファ層及び前記選択素子材料を順次エッチングして、ストライプ状に加工する工程と、

(i) 前記第 2 金属膜及び前記相変化材料の前記第 2 方向に沿った側面をエッチングして、前記第 2 金属膜及び前記相変化材料を細く加工する工程と、

(j) 前記半導体基板上に第 3 層間膜を形成して、隣接する前記第 2 金属膜、前記相変化材料、前記バッファ層、前記選択素子材料及び前記第 1 金属膜の積層パターンを間の埋める工程と、

(k) 前記第 3 層間膜をエッチバックして、隣接する前記第 3 金属膜、前記第 2 金属膜及び前記相変化材料の積層パターンを間の前記第 3 層間膜を除去する工程と、

(l) 前記半導体基板上に第 4 層間膜を形成して、隣接する前記第 3 金属膜、前記第 2 金属膜及び前記相変化材料の積層パターンを間の埋める工程と、

を有することを特徴とする不揮発性記憶装置の製造方法。

【請求項 17】

請求項 15、または 16 のいずれか 1 項に記載の不揮発性記憶装置の製造方法において、前記第 2 層間膜及び前記第 4 層間膜の熱伝導率が前記第 1 層間膜及び前記第 3 層間膜の熱伝導率よりも低いことを特徴とする不揮発性記憶装置の製造方法。

【請求項 18】

請求項 15、または 16 のいずれか 1 項に記載の不揮発性記憶装置の製造方法において、前記第 1 層間膜及び前記第 3 層間膜は T E O S であり、前記第 2 層間膜及び前記第 4 層間膜はポーラス M S Q であることを特徴とする不揮発性記憶装置の製造方法。

【請求項 19】

(a) 半導体基板上に第 1 金属膜、選択素子材料及び第 1 バッファ層を順次形成する工程と、

(b) 第 1 方向に沿って前記第 1 バッファ層、前記選択素子材料及び前記第 1 金属膜を順次エッチングして、ストライプ状に加工する工程と、

(c) 前記半導体基板上に第 1 層間膜を形成して、隣接する前記第 1 バッファ層、前記選択素子材料及び前記第 1 金属膜の積層パターンを間の埋める工程と、

(d) 前記第 1 層間膜の表面を研磨して前記第 1 バッファ層の上面を露出させる工程と、

(e) 前記第 1 方向と直交する第 2 方向に沿って前記第 1 バッファ層及び前記選択素子材料を順次エッチングして、ストライプ状に加工する工程と、

(f) 前記半導体基板上に第 2 層間膜を形成して、隣接する前記第 1 バッファ層、前記選択素子材料及び第 1 金属膜の積層パターンを間の埋める工程と、

(g) 前記第 2 層間膜の表面を研磨して前記第 1 バッファ層の上面を露出させる工程と、

(h) 前記半導体基板上に第 2 バッファ層、相変化材料及び第 2 金属膜を順次形成する工程と、

(i) 前記第 1 方向に沿って前記第 2 金属膜、前記相変化材料及び前記第 2 バッファ層を順次エッチングして、ストライプ状に加工する工程と、

(j) 前記半導体基板上に第 3 層間膜を形成して、隣接する前記第 2 金属膜、前記相変化

10

20

30

40

50

材料及び前記第 2 バッファ層の積層パターンの間を埋める工程と、

(k) 前記第 3 層間膜の表面を研磨して前記第 2 金属膜の上面を露出させる工程と、

(l) 前記第 2 方向に沿って前記第 2 金属膜、前記相変化材料及び前記第 2 バッファ層を順次エッチングして、ストライプ状に加工する工程と、

(m) 前記半導体基板上に第 4 層間膜を形成して、隣接する前記第 2 金属膜、前記相変化材料及び前記第 2 バッファ層の積層パターンの間を埋める工程と、

(n) 前記第 4 層間膜の表面を研磨して前記第 2 金属膜の上面を露出させる工程と、

(o) 前記半導体基板上に第 3 金属膜を形成する工程と、

(p) 前記第 2 方向に沿って前記第 3 金属膜をエッチングして、ストライプ状に加工する工程と、

10

を有することを特徴とする不揮発性記憶装置の製造方法。

【請求項 20】

請求項 19 記載の不揮発性記憶装置の製造方法において、前記第 3 層間膜及び前記第 4 層間膜の熱伝導率が前記第 1 層間膜及び前記第 2 層間膜の熱伝導率よりも低いことを特徴とする不揮発性記憶装置の製造方法。

【請求項 21】

請求項 19 記載の不揮発性記憶装置の製造方法において、前記第 1 層間膜及び前記第 2 層間膜は T E O S であり、前記第 3 層間膜及び前記第 4 層間膜はポーラス M S Q であることを特徴とする不揮発性記憶装置の製造方法。

【請求項 22】

請求項 14、15、16 または 19 のいずれか 1 項に記載の不揮発性記憶装置の製造方法において、前記選択素子材料は、第 1 多結晶シリコン膜、第 2 多結晶シリコン膜及び第 3 多結晶シリコン膜を下層から順に積層した構造であり、前記第 1 多結晶シリコン膜は第 1 導電型の不純物を含み、第 3 多結晶シリコン膜は前記第 1 導電型と異なる第 2 導電型を含み、前記第 1 多結晶シリコン膜及び前記第 3 多結晶シリコン膜の不純物濃度は前記第 2 多結晶シリコン膜の不純物濃度よりも高いことを特徴とする不揮発性記憶装置の製造方法。

20

【請求項 23】

請求項 14、15、16 または 19 のいずれか 1 項に記載の不揮発性記憶装置の製造方法において、前記相変化材料は、カルコゲン元素のうちの少なくとも 1 元素を含むことを特徴とする不揮発性記憶装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性記憶装置及びその製造技術に関し、特に、金属化合物の結晶状態と非晶質状態との間の相変化により決まる抵抗値を不揮発に記憶し、電氣的に書き換え可能な相変化メモリを備えた不揮発性記憶装置及びその製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

不揮発性記憶装置には、金属化合物の結晶状態と非晶質状態とを記憶情報として用いるものがあり、一般にテルル化合物がその記憶材料として用いられている。その原理は金属化合物の結晶状態の反射率と非晶質状態の反射率との違いを情報として記憶するものであり、例えば D V D (Digital Versatile Disk) のような光学的情報記憶媒体に広く用いられている。

【0003】

ところで、近年、金属化合物を電氣的情報記憶媒体に用いる提案がなされている。この金属化合物を電氣的情報記憶媒体に用いる方法は、前述した金属化合物を光学的情報記憶媒体に用いる光学的手法と異なり、金属化合物の結晶状態と非晶質状態との電氣抵抗の差、すなわち結晶の低抵抗状態と非晶質の高抵抗状態との違いを電流量または電圧変化によ

40

50

って検出する電気的手法である。例えば特開 2003-100085 号公報（特許文献 1）には、相変化メモリまたは相変化型メモリと呼ばれる金属化合物を用いた電気的情報記憶媒体が開示されている。

【0004】

相変化メモリの基本的なメモリセルの構造は、記憶素子（相変化材料）と選択素子とを組み合わせた構造である。相変化メモリは、選択素子から電流を加えることで記憶素子に発生するジュール熱により記憶素子を結晶状態若しくは非晶質状態にすることで情報を記憶、保持する。その書換えは、電氣的に高抵抗の非晶質状態にする場合、大電流を印加して記憶素子の温度が融点以上となるようにした後、急冷すればよく、電氣的に低抵抗の結晶状態にする場合、印加する電流を制限して記憶素子の温度が融点より低い結晶化温度となるようにすればよい。一般に記憶素子の抵抗値は相変化により 2 桁から 3 桁も変化する。このため、相変化メモリは、記憶素子が結晶状態か非晶質状態かによって読み出し信号が大きく異なるので、センス動作が容易である。

10

【0005】

例えば特開 2003-303941 号公報（特許文献 2）には、低コストで製造することのできるクロスポイント型のメモリセルを有する相変化メモリが開示されている。

【特許文献 1】特開 2003-100085 号公報

【特許文献 2】特開 2003-303941 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0006】

クロスポイント型のメモリセルでは、誤った情報の書込みを防ぐために選択素子としてダイオードを用いる必要がある。前述したように、選択素子であるダイオードから記憶素子である相変化材料へ電流を流すことにより、メモリセルの情報は書換えられる。このことは、相変化材料がその結晶状態を変化させるため高温になる一方で、ダイオードも同様に抵抗を持つため高温になることを意味する。

【0007】

しかしながら、ダイオードが高温になると、ダイオード内の不純物プロファイルが崩れてしまい、適切な読み出しを行うのに必要なオフ電流が維持できない、またはダイオード自体が熱的に破壊されるなどの問題を引き起こしてしまう。ダイオードが高温にならないようにダイオードの材料を熱伝導率の高い材料とすることも可能ではあるが、この場合は、相変化材料を高温にするために大電流が必要となる、または必要とする高温にならず情報の書換えが困難となるなどの問題を引き起こす。従って、クロスポイント型のメモリセルにおける課題は、書き換え時にダイオードは高温になりにくく、かつ相変化材料は高温になりやすいメモリセル構造を開発することにある。

30

【0008】

本発明の目的は、相変化材料からなる記憶素子と、ダイオードからなる選択素子とを組み合わせたクロスポイント型のメモリセルによって構成される相変化メモリを備えた不揮発性記憶装置において、相変化材料を高温にしてもダイオードが高温になりにくいメモリセル構造を実現することのできる技術を提供することにある。

40

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの一実施の形態を簡単に説明すれば、次のとおりである。

【0011】

この実施の形態は、第 1 方向に沿って延びる複数の第 1 金属配線と、第 1 方向と直交する第 2 方向に沿って延びる複数の第 3 金属配線と、第 1 金属配線と第 3 金属配線との交点

50

に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置である。メモリセルは、第1金属配線上に設けられた選択素子と、選択素子上に設けられた記憶素子と、記憶素子上に設けられた第2金属配線と、第2金属配線上に設けられた第3金属配線とから構成され、隣接する選択素子の間及び記憶素子の間には層間膜が形成され、隣接する記憶素子の間に設けられた層間膜には空隙が形成されている。

【0012】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置である。メモリセルは、第1金属配線上に設けられた選択素子と、選択素子上に設けられた記憶素子と、記憶素子上に設けられた第2金属配線と、第2金属配線上に設けられた第3金属配線とから構成され、隣接する記憶素子の間には、隣接する選択素子の間に設けられる層間膜よりも熱伝導率が低い層間膜が設けられている。

【0013】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置の製造方法である。まず、半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成した後、第1方向に沿って第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜を順次エッチングして、相変化材料の幅がバッファ層または選択素子材料の幅よりも狭いストライプ状に加工する。続いて隣接する第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜の積層パターンの間を、隣接する相変化材料の間に空隙を形成して第1層間膜により埋める。続いて第1層間膜の表面を研磨して、第2金属膜の上面を露出させた後、半導体基板上に第3金属膜を形成する。さらに、第2方向に沿って第3金属膜、第2金属膜、相変化材料、バッファ層及び選択素子材料を順次エッチングして、相変化材料の幅がバッファ層または選択素子材料の幅よりも狭いストライプ状に加工する。続いて隣接する第3金属膜、第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜の積層パターンの間を、隣接する相変化材料の間に空隙を形成して第2層間膜により埋める。

【0014】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置の製造方法である。まず、半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成した後、第1方向に沿って第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜を順次エッチングして、ストライプ状に加工する。続いて第1方向に沿って第2金属膜及び相変化材料を細く加工した後、第2金属膜及び相変化材料の側面を被覆し、同時に、隣接するバッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第1層間膜を形成する。続いて第1層間膜をエッチバックした後、第1層間膜よりも熱伝導率が低い第2層間膜によって第1層間膜の被覆性により生じた空間を埋める。続いて第2層間膜の表面を研磨して第2金属膜の上面を露出させた後、半導体基板上に第3金属膜を形成する。さらに第2方向に沿って第3金属膜、第2金属膜、相変化材料、バッファ層及び選択素子材料を順次エッチングして、ストライプ状に加工する。続いて第2方向に沿って第2金属膜及び相変化材料を細く加工した後、第2金属膜及び相変化材料の側面を被覆し、同時に、隣接するバッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第3層間膜を形成する。続いて第3層間膜をエッチバックした後、第3層間膜よりも熱伝導率が低い

第4層間膜によって第3層間膜の被覆性により生じた空間を埋める。

【0015】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置の製造方法である。まず、半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成した後、第1方向に沿って第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜を順次エッチングして、ストライプ状に加工する。続いて第1方向に沿って第2金属膜及び相変化材料を細く加工した後、隣接する第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第1層間膜を形成する。続いて第1層間膜をエッチバックして、隣接する第2金属膜及び相変化材料の積層パターンの間の第1層間膜を除去する。続いて第1層間膜よりも熱伝導率が低い第2層間膜によって隣接する第2金属膜及び相変化材料の積層パターンの間を埋めて、第2層間膜の表面を研磨して第2金属膜の上面を露出させた後、半導体基板上に第3金属膜を形成する。さらに、第2方向に沿って第3金属膜、第2金属膜、相変化材料、バッファ層及び選択素子材料を順次エッチングして、ストライプ状に加工する。続いて第2方向に沿って第2金属膜及び相変化材料を細く加工した後、隣接する第3金属膜、第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第3層間膜を形成する。続いて第3層間膜をエッチバックして、隣接する第2金属膜及び相変化材料の積層パターンの間の第3層間膜を除去する。続いて第3層間膜よりも熱伝導率が低い第4層間膜によって隣接する第2金属膜及び相変化材料の積層パターンの間を埋める。

【0016】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置の製造方法である。まず、半導体基板上に第1金属膜、選択素子材料、バッファ層、相変化材料及び第2金属膜を順次形成した後、第1方向に沿って第2金属膜、相変化材料、バッファ層、選択素子材料及び第1金属膜を順次エッチングして、ストライプ状に加工する。続いて第1方向に沿って第2金属膜及び相変化材料を細く加工した後、バッファ層の上部の幅を下部の幅よりも狭く加工する。続いて第2金属膜及び相変化材料の側面を被覆し、同時に、隣接するバッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第1層間膜を形成した後、第1層間膜よりも熱伝導率が低い第2層間膜によって第1層間膜の被覆性により生じた空間を埋める。続いて第1層間膜及び第2層間膜の表面を研磨して第2金属膜の上面を露出させた後、半導体基板上に第3金属膜を形成する。さらに、第2方向に沿って第3金属膜、第2金属膜、相変化材料、バッファ層及び選択素子材料を順次エッチングして、ストライプ状に加工する。続いて第2方向に沿って第2金属膜及び相変化材料を細く加工した後、バッファ層の上部の幅を下部の幅よりも狭く加工する。続いて第2金属膜及び相変化材料の側面を被覆し、同時に、隣接するバッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋める第3層間膜を形成した後、第3層間膜よりも熱伝導率が低い第4層間膜によって第3層間膜の被覆性により生じた空間を埋める。

【0017】

また、この実施の形態は、第1方向に沿って延びる複数の第1金属配線と、第1方向と直交する第2方向に沿って延びる複数の第3金属配線と、第1金属配線と第3金属配線との交点に記憶素子と選択素子とから成るクロスポイント型のメモリセルによって構成される相変化メモリを有する不揮発性記憶装置の製造方法である。まず、半導体基板上に第1金属膜、選択素子材料及び第1バッファ層を順次形成した後、第1方向に沿って第1バッファ層、選択素子材料及び第1金属膜を順次エッチングして、ストライプ状に加工する。続いて半導体基板上に第1層間膜を形成して、隣接する第1バッファ層、選択素子材料及

び第1金属膜の積層パターンの間を埋めた後、第1層間膜の表面を研磨して第1バッファ層の上面を露出させる。続いて第2方向に沿って第1バッファ層及び選択素子材料を順次エッチングして、ストライプ状に加工する。続いて半導体基板上に第2層間膜を形成して、隣接する第1バッファ層、選択素子材料及び第1金属膜の積層パターンの間を埋めた後、第2層間膜の表面を研磨して第1バッファ層の上面を露出させる。さらに、半導体基板上に第2バッファ層、相変化材料及び第2金属膜を順次形成した後、第1方向に沿って第2金属膜、相変化材料及び第2バッファ層を順次エッチングして、ストライプ状に加工する。続いて半導体基板上に第1または第2層間膜よりも熱伝導率が低い第3層間膜を形成して、隣接する第2金属膜、相変化材料及び第2バッファ層の積層パターンの間を埋めた後、第3層間膜の表面を研磨して第2金属膜の上面を露出させる。続いて第2方向に沿って第2金属膜、相変化材料及び第2バッファ層を順次エッチングして、ストライプ状に加工する。続いて半導体基板上に第1または第2層間膜よりも熱伝導率が低い第4層間膜を形成して、隣接する第2金属膜、相変化材料及び第2バッファ層の積層パターンの間を埋めた後、第4層間膜の表面を研磨して第2金属膜の上面を露出させる。続いて半導体基板上に第3金属膜を形成し、第2方向に沿ってストライプ状に加工する。

10

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものの一実施の形態によって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

相変化材料を高温にしてもダイオードが高温になりにくいメモリセル構造を実現することができる。

20

【発明を実施するための最良の形態】

【0020】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0021】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合及び原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合及び原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合及び原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値及び範囲についても同様である。

30

【0022】

また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態において、ウエハと言うときは、Si（Silicon）単結晶ウエハを主とするが、そのみではなく、SOI（Silicon On Insulator）ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。

40

【0023】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0024】

まず、本発明の実施の形態による相変化メモリの構造がより明確となると思われるため、これまで本発明者によって検討された相変化メモリの基本構造及び基本動作について簡

50

単に説明する。なお、以下の説明において、本発明者によって検討された相変化メモリセルを便宜上、従来の相変化メモリセルと記載する。

【0025】

図57に、従来の相変化メモリの要部断面図を示す。図57中、101は半導体基板、102は第1方向に沿って延びる第1金属配線である。また、103は第1多結晶シリコン膜、104は第2多結晶シリコン膜、105は第3多結晶シリコン膜であり、これら3層で選択素子であるダイオードC D I O Dを形成している。また、106はバッファ層、107は記憶素子である相変化材料、108はプラグ状の第2金属配線、109は第1方向と直交する第2方向に沿って延びる第3金属配線、110は層間膜である。

【0026】

従来の相変化メモリの書換えにおいては、電流は第3金属配線109から第2金属配線108、相変化材料107、バッファ層106、ダイオードC D I O D、そして第1金属配線102へと順に流れる。これらの系において、ジュール熱は主として抵抗の高い部分、すなわち相変化材料107、ダイオードD I O Dとバッファ層106との界面、またはダイオードD I O Dと第1金属配線102との界面で発生する。発生した熱は周囲の材料に拡散する。例えば相変化材料107で発生した熱は相変化材料107の周囲に存在するバッファ層106、第2金属配線108及び層間膜110へ拡散する。

【0027】

(実施の形態1)

本実施の形態1による相変化メモリのメモリマトリクスを図1～図5を用いて説明する。図1はメモリマトリクスの上面図、図2は図1のA-A'線におけるメモリマトリクスの要部断面図、図3は図1のB-B'線におけるメモリマトリクスの要部断面図、図4は図1のC-C'線におけるメモリマトリクスの要部断面図、図5は図1のD-D'線におけるメモリマトリクスの要部断面図である。図1では、メモリマトリクスの構造をわかりやすくするために、第3金属配線、第1金属配線及び半導体基板のみを示している。

【0028】

図中、符号1は半導体基板、符号2は第1方向に沿って延びる第1金属配線である。また、符号3は第1多結晶シリコン膜、符号4は第2多結晶シリコン膜、符号5は第3多結晶シリコン膜であり、これら3層で選択素子であるダイオードD I O Dを形成している。また、符号6はバッファ層(例えばT i N)、符号7は記憶素子である相変化材料(例えばG e₂ S b₂ T e₅)、符号8は第2金属配線(例えばT i N)、符号9は第3金属配線、符号10は第1層間膜(例えばT E O S : テトラエトキシシラン)、符号11は第2層間膜(例えばT E O S)、符号12a及び12bは空隙である。なお、第1層間膜10と第2層間膜11とは互いに異なる領域に形成されており、隣接するダイオードD I O D及び相変化材料等を電氣的に分離している。

【0029】

相変化メモリの書換えにおいては、前述した従来の相変化メモリの電流経路と同様に、第3金属配線9から第2金属配線8、相変化材料7、バッファ層6、ダイオードD I O D、そして第1金属配線2へと順に電流は流れる。

【0030】

従来の相変化メモリでは、相変化材料107が設けられた層C P H Lにおけるメモリセル間の熱伝導率 $K_{C P}$ は、ダイオードC D I O Dが設けられた層C D I Lにおけるメモリセル間の熱伝導率 $K_{C D}$ と等しい。本実施の形態1による相変化メモリでは、ダイオードD I O Dが設けられた層D I Lにおいて隣接するメモリセル間には第1層間膜10または第2層間膜11が存在し、相変化材料7が設けられた層P H Lにおいて隣接するメモリセル間には第1層間膜10及び空隙12a、または第2層間膜11及び空隙12bが存在する。ここで第1層間膜10及び第2層間膜11の熱伝導率は K_I (T E O Sの熱伝導率: 約 $1.4 \text{ W} / (\text{m} \cdot \text{K})$)、空隙12a, 12bの熱伝導率は K_A (真空の熱伝導率: 約 $0 \text{ W} / (\text{cm} \cdot \text{K})$)であり、 $K_A < K_I$ の関係がある。このため、相変化材料7が設けられた層P H Lにおけるメモリセル間の熱伝導率 K_P は、ダイオードD I O Dが設けられ

10

20

30

40

50

た層 D I L におけるメモリセル間の熱伝導率 K_D より小さくなる。

【0031】

従って、本実施の形態 1 による相変化メモリでは、従来の相変化メモリと比較して、ダイオード部分での放熱は大きく、相変化材料部分での放熱は小さくなる。つまり、本実施の形態 1 によるメモリマトリクスは、ダイオード D I O D は高温になりにくく、かつ相変化材料 7 は高温になりやすい構造である。

【0032】

次に、本実施の形態 1 による相変化メモリの製造方法を図 6 ～図 16 を用いて説明する。図 6 及び図 12 はメモリマトリクスの上面図、図 7 ～図 11 及び図 13 は図 1 の B - B ' 線に対応するメモリマトリクスの要部断面図、図 14 ～図 16 は図 1 の A - A ' 線に対応するメモリマトリクスの要部断面図である。

10

【0033】

まず、図 6 及び図 7 に示すように、半導体基板 1 上に、第 1 金属膜 2 a、第 1 多結晶シリコン膜 3、第 2 多結晶シリコン膜 4、第 3 多結晶シリコン膜 5、バッファ層 6、相変化材料 7 及び第 2 金属膜 8 a を順次堆積する。

【0034】

第 1 金属膜 2 a の材料は、例えば W (タングステン) であり、例えば C V D (Chemical Vapor Deposition) 法等により形成することができる。第 1 多結晶シリコン膜 3 が B (ボロン) を不純物として含む多結晶シリコンの場合は、第 1 多結晶シリコン膜 3 と第 1 金属膜 2 a とが直接接合する構造であるため、第 1 金属膜 2 a の材料を W として、第 1 多結晶シリコン膜 3 と第 1 金属膜 2 a との接触抵抗を低くすることが好ましい。第 1 金属膜 2 a の膜厚は、例えば 10 nm 以上 100 nm 以下が望ましい。第 1 金属膜 2 a の膜厚が薄すぎると配線抵抗が高くなり、厚すぎると加工形状の制御が困難となる。

20

【0035】

第 1 多結晶シリコン膜 3 の材料は B、Ga または In の何れかを不純物として含む多結晶シリコン、第 2 多結晶シリコン膜 4 の材料は真性多結晶シリコン、第 3 多結晶シリコン膜 5 の材料は P (リン) または As を不純物として含む多結晶シリコンであり、例えばそれぞれ C V D 法により形成することができる。第 1 多結晶シリコン膜 3、第 2 多結晶シリコン膜 4 及び第 3 多結晶シリコン膜 5 の合計膜厚は、例えば 30 nm 以上 250 nm 以下が望ましい。

30

【0036】

第 1 多結晶シリコン膜 3、第 2 多結晶シリコン膜 4 及び第 3 多結晶シリコン膜 5 は、初めから多結晶シリコンとして成膜せずに、非晶質シリコンとして成膜した後、レーザアニールにより結晶化して成膜することもできる。これにより、プロセス中の熱不可を低減することができる。また、選択素子として P I N ダイオードを例示したが、 $P^+ / N^- / N^+$ ダイオードを用いてもよく、P I N ダイオードと同程度の性能を得ることができる。また、第 1 多結晶シリコン膜 3 と第 1 金属膜 2 a との間には、接触抵抗を下げるため、シリサイド技術を用いてタングステンシリサイドやチタンシリサイド等を形成してもよい。同様に、第 3 多結晶シリコン膜 5 とバッファ層 6 との間に、チタンシリサイド等を形成してもよい。

40

【0037】

バッファ層 6 の材料は、例えば T i N であり、例えば C V D 法等により形成することができる。バッファ層 6 は、第 1 多結晶シリコン膜 3、第 2 多結晶シリコン膜 4 及び第 3 多結晶シリコン膜 5 と、相変化材料 7 との相互拡散を防ぐために設けられており、その膜厚は、厚すぎると相変化メモリの駆動電圧が高くなるため、50 nm 以下が望ましい。

【0038】

相変化材料 7 は、例えば $Ge_2 Sb_2 Te_5$ であり、例えばスパッタリング法等により形成することができる。他の相変化材料 7 としては、カルコゲン元素 (S, Se, Te) のうちの少なくとも 1 元素を含む材料を用いることができ、組成を選択することにより、 $Ge_2 Sb_2 Te_5$ 同程度の性能を得ることができる。相変化材料 7 の膜厚は、例えば

50

5 nm以上300 nm以下が望ましい。

【0039】

第2金属膜8aの材料は、例えばTiNであり、例えばCVD法等により形成することができる。第2金属膜8aの膜厚は、例えば10 nm以上100 nm以下が望ましい。第2金属膜8aの膜厚が薄すぎると後のCMP (Chemical Mechanical Polishing) 工程での削り込み余裕が不足し、厚すぎると相変化メモリの駆動電圧が高くなる。また、バッファ層6及び第2金属配線8aの材料は、熱伝導率の低い材料が好ましく、熱伝導率の低い材料を用いることにより相変化メモリの駆動電圧を低減することができる。

【0040】

次に、図8に示すように、リソグラフィ技術及びドライエッチング技術を用いて、第1方向に沿って第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属膜2aを順次加工する。これにより、第1金属膜2aからなる第1金属配線2が形成される。第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンは、ワード線のパターンであり、隣接のパターンと平行して第1方向に沿ってストライプ状に形成される。また、第1金属配線2は、相変化メモリの読み出し及び書き込みが行えるように、周辺回路を含む半導体基板1と電氣的に接続されている(図示は省略)。

【0041】

相変化材料7の幅は、下層のバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の幅より狭く、かつ第2金属膜2aの幅は、相変化材料7の幅より広い方がよい。これは、後に説明する空隙の形成を容易に行うためである。また、相変化材料7の体積が小さいほど、相変化材料7の書き換え時の駆動電圧を小さくすることができるので、相変化材料7の体積を小さくすることが好ましい。

【0042】

相変化材料7の幅を他の部分よりも狭くする方法としては、まず、第2金属膜8aを異方性ドライエッチング法により加工し、続いて相変化材料7を等方性ドライエッチング法により加工し、その後バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属膜2aを異方性ドライエッチング法により順次加工する方法がある。

【0043】

また、図9に示すように、まず、第2金属膜8a及び相変化材料7を異方性ドライエッチング法により順次加工し、続いて相変化材料7を等方性ドライエッチング法により加工して相変化材料7の側面にサイドエッチングを入れた後、再度、異方性ドライエッチング法によりバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン4、第1多結晶シリコン膜3及び第1金属膜2aを順次加工する方法がある。

【0044】

また、図10に示すように、まず、第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属膜2aを異方性ドライエッチング法により順次加工した後、選択的に相変化材料7の側面にサイドエッチを入れる方法がある。

【0045】

次に、図11に示すように、半導体基板1上に第1層間膜10を形成する。第1層間膜10の材料は、例えばTEOSであり、例えばCVD法等により形成することができる。相変化材料7の幅が、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の幅より狭く、かつ第2金属膜8aの幅が、相変化材料7の幅より広いため、等方的に成膜される条件を用いて第1層間膜10を形成することにより、隣接する第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの間に空隙12aが同時に形成される。あるいは、一旦、埋め込み性の良い成膜条件を用いて隣接する第3多

10

20

30

40

50

結晶シリコン膜 5、第 2 多結晶シリコン膜 4、第 1 多結晶シリコン膜 3 及び第 1 金属配線 2 の積層パターンを第 1 層間膜 10 である程度埋め込んだ後、埋め込み性の悪い条件を用いて隣接する第 2 金属膜 8 a 及び相変化材料 7 の積層パターンを第 1 層間膜 10 で充填してもよい。

【0046】

次に、図 1 2、図 1 3 及び図 1 4 に示すように、CMP 技術を用いて第 1 層間膜 10 の表面を研磨して、第 2 金属膜 8 a の表面を露出させる。図 1 2 はメモリマトリクスの上図であるが、メモリマトリクスの構造をわかりやすくするために、第 2 金属膜 8 a 及び半導体基板 1 のみを示してある。また、図 1 3 は図 1 2 の B-B' 線におけるメモリマトリクスの要部断面図、図 1 4 は図 1 2 の A-A' 線におけるメモリマトリクスの要部断面図

10

【0047】

次に、図 1 5 に示すように、半導体基板 1 上に第 3 金属膜 9 a を形成する。第 3 金属配線 9 a の材料は、例えば W であり、例えば CVD 法等により形成することができる。第 2 金属膜 8 a と第 3 金属膜 9 a との合計膜厚は、例えば 200 nm 以下が望ましい。膜厚が 200 nm より厚くなると、第 2 金属膜 8 a 及び第 3 金属膜 9 a のドライエッチング法による加工が困難となる。

【0048】

次に、図 1 6 に示すように、リソグラフィ技術及びドライエッチング技術を用いて、第 2 方向に沿って第 3 金属膜 9 a、第 2 金属膜 8 a、相変化材料 7、バッファ層 6、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4 及び第 1 多結晶シリコン膜 3 を順次加工する。これにより、第 3 金属膜 9 a からなる第 3 金属配線 9 が形成され、第 2 金属膜 8 a からなるプラグ状の第 2 金属配線 8 が形成される。また、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4 及び第 1 多結晶シリコン膜 3 からなる積層構造のダイオード D I O D が形成される。第 3 金属配線 9、第 2 金属配線 8、相変化材料 7、バッファ層 6、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4 及び第 1 多結晶シリコン膜 3 の積層パターンは、ビット線のパターンであり、隣接のパターンと平行して、第 1 方向と直交する第 2 方向に沿ってストライプ状に形成される。また、第 3 金属配線 9 は、相変化メモリの読み出し及び書き込みが行えるように、周辺回路を含む半導体基板 1 と電氣的に接続されている（図示は省略）。また、前述した図 8～図 10 で説明した方法と同様にして、相変化材料 7 の幅は、下層のバッファ層 6、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4 及び第 1 多結晶シリコン膜 3 の幅より狭く、かつ第 3 金属配線 9 及び第 2 金属配線 8 の幅は、相変化材料 7 の幅より広くなるように加工する。

20

30

【0049】

その後、半導体基板 1 上に第 2 層間膜 11 を形成する。第 2 層間膜 11 の材料は、例えば TEOS であり、例えば CVD 法等により形成することができる。また、前述した空隙 12 a と同様に、隣接する第 3 金属配線 9、第 2 金属配線 8、相変化材料 7、バッファ層 6、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4、第 1 多結晶シリコン膜 3 及び第 1 金属配線 2 の積層パターン間に空隙 12 b が同時に形成される。これにより、前述した図 1～図 5 に示す本実施の形態 1 によるメモリセルが略完成する。ダイオード D I O D の重心と隣接するメモリセルのダイオード D I O D の重心とを結ぶ平面においてメモリセル間の第 1 層間膜 10 の充填率は、例えば 75% 以上であり、相変化材料 7 の重心と隣接するメモリセルの相変化材料 7 とを結ぶ平面においてメモリセル間の第 2 層間膜 11 の充填率は、例えば 75% 以下 50% 以上である。

40

【0050】

次に、本発明の実施の形態 1 によるメモリマトリクスの動作方式を図 1 7 を用いて説明する。図 1 7 は、メモリマトリクスの等価回路の要部構成図である。メモリセル MC_{ij} ($i = 1, 2, 3, \dots, m$) ($j = 1, 2, 3, \dots, n$) は、複数本平行に配置された第 1 金属配線（以下、ワード線） WL_i ($i = 1, 2, 3, \dots, m$) と、ワード線 WL_i と交差するように複数本並行に配置された第 3 金属配線（以下、ビット線） B

50

L_j ($j = 1, 2, 3, \dots, n$) との交点に配置される。前述した図 1 で示したように、ダイオード D I O D と相変化材料 7 とが直列に接続された構造となっており、図 1 7 において、ダイオード D I O D は選択素子 S E に、相変化材料 7 は記憶素子 V R にあたる。

【0051】

相変化メモリの記録は次のように行う。例えばメモリセル M C 1 1 を書き換える場合、1 番目のワード線 W L 1 に電圧 V_h を、他のワード線 W L i に電圧 V_l を、1 番目のビット線 B L 1 に電圧 V_l を、他のビット線 B L j に電圧 V_h を印加し、M C 1 1 の記憶素子 V R に電流を流して情報の記憶を行う。ここで、 $V_h > V_l$ である。書換えの際、非選択のメモリセルに誤書込みが行われないようにするため、整流作用を持つ選択素子 S E が必要となる。また、当然、電圧 V_h は選択素子 S E の降伏電圧以下でなければいけない。

10

【0052】

不揮発性メモリの読み出しは次のように行う。例えば、メモリセル M C 1 1 の情報を読み出す場合、1 番目のワード線 W L 1 に電圧 V_m を、他のワード線 W L i に電圧 V_l を、1 番目のビット線 B L 1 に電圧 V_l を印加し、B L 1 に流れる電流の大きさから情報を読み出す。

【0053】

本実施の形態 1 では第 1 金属配線 2 をワード線とし、第 3 金属配線 9 をビット線として説明したが、第 1 金属配線 2 をビット線とし、第 3 金属配線 9 をワード線としてもよい。

【0054】

20

以上、メモリマトリクスが一階層の場合について述べたが、メモリマトリクスの積層は、メモリセルのビット密度を高くできることから、より好ましい。図 1 8 に、本実施の形態 1 によるメモリマトリクスを二階層に積層した場合の相変化メモリの要部断面図を示す。例えばメモリマトリクスを二階層に積層する場合は、前述した図 1 ~ 図 5 の構造の上に、つまり第 2 層間膜 1 1 上に、本実施の形態 1 の前述した図 6 ~ 図 1 6 を用いて説明した製造方法と同様にして、メモリマトリクスの二階層目のワード線である第 1 金属配線 2 A、二階層目の第 1 多結晶シリコン膜 3 A、二階層目の第 2 多結晶シリコン膜 4 A、二階層目の第 3 多結晶シリコン膜 5 A、二階層目のバッファ層 6 A、二階層目の相変化材料 7 A、二階層目の第 2 金属配線 8 A、二階層目の第 3 金属配線 9 A、二階層目の第 1 層間膜 (図示は省略)、二階層目の第 2 層間膜 1 1 A 及び二階層目の空隙 1 2 b A 等を形成することにより実現できる。さらにメモリマトリクスを k 階層 ($k = 1, 2, 3, \dots, l$) に積層する場合も同様の方法でメモリマトリクスを積層すればよい。

30

【0055】

図 1 9 及び図 2 0 に、本実施の形態 1 によるメモリマトリクスを四階層に積層した場合の相変化メモリの要部断面図を示す。図 1 9 は下部金属配線 A 1 M 1 M、下部金属配線 A 1 M 2 M、下部金属配線 A 2 M 3 M 及び下部金属配線 A 2 M 4 M のパターン (ワード線パターン) に沿った相変化メモリの要部断面図、図 2 0 は上部金属配線 B 2 M 1 M、上部金属配線 B 1 M 2 M、上部金属配線 B 2 M 3 M 及び上部金属配線 B 1 M 4 M のパターン (ビット線パターン) に沿った相変化メモリの要部断面図である。図中の A 1 S T、A 2 S T、B 1 S T 及び B 2 S T は、例えば C M O S (Complementary Metal Oxide Semiconductor) 技術を用いて形成された階層を選択するためのトランジスタであり、図中の符号 D I F は拡散層、G A T はゲートを示す。

40

【0056】

例えばメモリマトリクスを四階層に積層する場合の周辺回路との接続は、図 1 9 及び図 2 0 に示すメモリマトリクスの構造となる。例えば一階層目を選択する場合は、トランジスタ A 1 S T 及びトランジスタ B 2 S T を選択すればよく、二階層目を選択する場合は、トランジスタ A 1 S T 及びトランジスタ B 1 S T を選択すればよい。

【0057】

図 2 1 及び図 2 2 に、本実施の形態 1 によるワード線及びビット線を各階層で共有する場合の相変化メモリの要部断面図を示す。ビット密度は前述した図 1 9 及び図 2 0 におい

50

て説明した構造のビット密度と同じであるが、ワード線及びビット線を各階層で共有した場合は、製造に必要なマスクを削減できるため、製造コストを低減することができる。

【0058】

なお、隣接する第1金属配線2のライン／スペースと隣接する第3金属配線9のライン／スペースとを同じ値に設定してもよいが、隣接する第1金属配線2のライン／スペースと隣接する第3金属配線9のライン／スペースとを互いに異なる値に設定してもよい。例えば隣接する第3金属配線9のスペースを隣接する第1金属配線2のスペースよりも広くすることができる。これは、第1層間膜10は、第2方向に沿って隣接する選択素子及び記憶素子の間に埋め込まれるが、この際、隣接する第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの中に空隙12aが同時に形成される。また、第2層間膜11は、第1方向に沿って隣接する選択素子及び記憶素子の間に埋め込まれるが、この際、隣接する第3金属配線9、第2金属配線8、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターンの中に空隙12bが同時に形成される。このため、第1層間膜10を成膜した際の埋め込み状態と第2層間膜11を成膜した際の埋め込み状態とが互いに異なることがあり、空隙12a、12bの形状を制御するために、隣接する第3金属配線9のスペースを隣接する第1金属配線2のスペースよりも広くすることが必要となる場合もあると考えられる。

【0059】

このように、本実施の形態1によれば、ダイオードD I O D（第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターン）が設けられた層D I Lには、例えばT E O Sからなる第1層間膜10または第2層間膜11が埋め込まれているが、相変化材料7が設けられた層P H Lには、空隙12aが形成された第1層間膜10または空隙12bが形成された第2層間膜11が埋め込まれているので、相変化材料7で発生した熱がダイオードD I O Dへ伝達するのを低減することができる。これにより、相変化材料7が高温となっても、ダイオードD I O Dは高温になりにくいメモリセル構造を実現することができる。

【0060】

（実施の形態2）

本実施の形態2による相変化メモリのメモリマトリクスについて図23～図25を用いて説明する。図23はメモリマトリクスの上面図、図24は図23のA-A'線におけるメモリマトリクスの要部断面図、図25は図23のB-B'線におけるメモリマトリクスの要部断面図である。図23では、メモリマトリクスの構造をわかりやすくするために、第3金属配線、第1金属配線及び半導体基板のみを示している。図中、前述した実施の形態1と同様に、符号1は半導体基板、符号2は第1方向に沿って延びる第1金属配線である。また、符号3は第1多結晶シリコン膜、符号4は第2多結晶シリコン膜、符号5は第3多結晶シリコン膜であり、これら3層で選択素子であるダイオードD I O Dを形成している。また、符号6はバッファ層（例えばT i N）、符号7は記憶素子である相変化材料（例えばG e₂ S b₂ T e₅）、符号8は第2金属配線（例えばT i N）、符号9は第3金属配線である。さらに、符号21は第1層間膜（例えばT E O S）、22は第1層間膜の被覆形状により生じる空間を充填する第2層間膜（例えばポーラスM S Q（Methylsilses-quioxane））、23は第3層間膜（例えばT E O S）、24は第3層間膜の被覆形状により生じる空間を充填する第4層間膜（例えばポーラスM S Q）である。T E O Sの熱伝導率は約1.4 W / (m · K)、ポーラスM S Qの熱伝導率は約0.2 W / (m · K)である。

【0061】

本実施の形態2による相変化メモリでは、ダイオードD I O Dが設けられた層D I Lにおいて隣接するメモリセル間には第1層間膜21または第3層間膜23が存在し、相変化材料7が設けられた層P H Lにおいて隣接するメモリセル間にはサイドウォール形状の第1層間膜21と第1層間膜21のサイドウォール形状から生じる空間を埋める第2層間膜

22、またはサイドウォール形状の第3層間膜23と第3層間膜23のサイドウォール形状から生じる空間を埋める第4層間膜24が存在する。ここで第1層間膜21及び第3層間膜23の熱伝導率を K_{I1} 、第2層間膜22及び第4層間膜24の熱伝導率を K_{I2} とすると、 $K_{I2} < K_{I1}$ であれば、相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率 K_{P1} は、ダイオードDIODが設けられた層DILにおけるメモリセル間の熱伝導率 K_{D1} より小さくなるので、ダイオードDIODが高温になりにくく、かつ相変化材料7が高温になりやすい構造のメモリセルを形成することができる。逆に $K_{I2} > K_{I1}$ であれば、相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率 K_{P1} は、ダイオードDIODが設けられた層DILにおけるメモリセル間の熱伝導率 K_{D1} より大きくなるが、相変化材料7の冷却がより早く、高速動作を可能とするメモリセルを形成することができる。本実施の形態2では、相変化材料7が設けられた層PHLにおけるメモリセル間の材料を第1層間膜21及び第2層間膜22の2種類、または第3層間膜23及び第4層間膜24の2種類で説明したが、3種類以上の材料としてもよい。重要なことは、相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率 K_{P1} と、ダイオードDIODが設けられた層DILにおけるメモリセル間の熱伝導率 K_{D1} とが互いに異なることである。

10

【0062】

次に、本実施の形態2による相変化メモリの製造方法を図26～図32を用いて説明する。図29はメモリマトリクスの上図、図26～図28及び図30は図23のB-B'線におけるメモリマトリクスの要部断面図、図31及び図32は図23のA-A'線におけるメモリマトリクスの要部断面図である。

20

【0063】

まず、前述した実施の形態1の図6及び図7に示した構造から、リソグラフィ技術及びドライエッチング技術を用いて、第1方向に沿って第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン4、第1多結晶シリコン3及び第1金属膜2aをストライプ状に順次加工する。これにより、図26に示すように、第1金属膜2aからなる第1金属配線2が形成される。

【0064】

第2金属膜8a及び相変化材料7の幅は、下層のバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン4及び第1多結晶シリコン膜3の幅より狭い方が好ましい。これは、後に説明する2種類以上の層間膜の形成を容易に行うためである。第2金属膜8a及び相変化材料7の幅を他の部分よりも狭くする方法としては、まず、第2金属膜8a及び相変化材料7を等方性ドライエッチング法により加工して細めた後、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属膜2aを異方性ドライエッチングで加工する方法、前述した実施の形態1の図9に示したように、第2金属膜8a及び相変化材料7を異方性ドライエッチング法により順次加工し、続いて第2金属膜8a及び相変化材料7を等方性ドライエッチング法により加工して細めた後、再度、異方性ドライエッチング法によりバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属膜2aを順次加工する方法等がある。

30

40

【0065】

次に、図27に示すように、半導体基板1上に第1層間膜21を形成する。第1層間膜21の材料は、例えばTEOSであり、例えばCVD法等により形成することができる。第2金属膜8a及び相変化材料7の幅が、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2より狭い。このため、等方的に成膜される条件を用いて第1層間膜21を形成することにより、隣接するバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの間は第1層間膜21により埋め込まれるが、隣接する第2金属膜8a及び相変化材料7の積層パターンの間にはサイドウォール形状の第1層間膜21が形成されて、第1層間膜21により埋め込まれることなく空間が形成される。

50

【0066】

次に、図28に示すように、第2金属膜8aの表面が露出するまで第1層間膜21をエッチバックする。このエッチバックにより、隣接するバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの中に埋め込まれた第1層間膜21をさらに深くまで、例えばバッファ層6のあたりまで、除去することができて、隣接する第2金属膜8a、相変化材料7及びバッファ層6の積層パターンの中にまで、第1層間膜21が形成されない空間を形成することができる。

【0067】

さらに、図29、図30及び図31に示すように、半導体基板1上に第2層間膜22を堆積した後、CMP技術を用いて第2層間膜22の表面を研磨して、第2金属膜8aの表面を露出させる。第2層間膜22の材料は、例えばポーラスMSQであり、例えば塗布法により形成することができる。本実施の形態2では、エッチバックにより第2層間膜22の埋め込み深さが調節可能なため、正確に熱伝導率の異なる材料をメモリセル間に配置することが可能である。図29はメモリマトリクスの上面図であるが、メモリマトリクスの構造をわかりやすくするために、第2金属膜8a、第1金属配線2及び半導体基板1のみを示してある。図30は図29のB-B'線におけるメモリマトリクスの要部断面図、図31は図29のA-A'線におけるメモリマトリクスの要部断面図である。

【0068】

次に、半導体基板1上に第3金属膜を形成した後、リソグラフィ技術及びドライエッチング技術を用いて、第2方向に沿って第3金属膜、第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3をストライプ状に順次加工する。これにより、図32に示すように、第3金属膜からなる第3金属配線9が形成され、第2金属膜8aからなるプラグ状の第2金属配線8が形成される。第3金属配線9の材料は、例えばWであり、例えばCVD法等により形成することができる。第2金属配線8と第3金属配線9との合計膜厚は200nm以下がよい。厚すぎると加工が困難となる。

【0069】

その後、前述した図27～図31を用いて説明した製造方法と同様にして、第3層間膜23及び第4層間膜24を形成する。これにより、前述した図23～図25に示した本実施の形態2による相変化メモリが略完成する。ダイオードDIOの重心と隣接するメモリセルのダイオードDIOの重心とを結ぶ平面においてメモリセル間の第2層間膜22または第4層間膜24の充填率は25%以下、相変化材料7の重心と隣接するメモリセルの相変化材料7とを結ぶ平面においてメモリセル間の第2層間膜22または第4層間膜24の充填率は50%以下25%以上である。

【0070】

本実施の形態2によるメモリマトリクスの動作方式は、前述した実施の形態1と同様である。

【0071】

以上、メモリマトリクスが一階層の場合について述べたが、メモリマトリクスを積層してビット密度を高くすることは、製造コストを低減できることから、より好ましい。図33に、本実施の形態2によるメモリマトリクスを二階層に積層した場合の相変化メモリの要部断面図を示す。例えばメモリマトリクスを二階層に積層する場合は、前述した図23～図25の構造の上に、つまり第4層間膜24上に、本実施の形態2の前述した図26～図32で説明した方法と同様にして、メモリマトリクスの二階層目のワード線である第1金属配線2A、二階層目の第1多結晶シリコン膜3A、二階層目の第2多結晶シリコン膜4A、二階層目の第3多結晶シリコン膜5A、二階層目のバッファ層6A、二階層目の相変化材料7A、二階層目の第2金属配線8A、二階層目の第3金属配線9A、二階層目の第1層間膜（図示は省略）、二階層目の第2層間膜（図示は省略）、二階層目の第3層間膜23A及び二階層目の第4層間膜24Aを形成することにより実現できる。さらにメモ

リマトリクスを k 階層 ($k = 1, 2, 3, \dots, l$) に積層する場合も同様の方法でメモリマトリクスを積層すればよい。

【0072】

図34及び図35に、本実施の形態2によるメモリマトリクスを四階層に積層した場合の相変化メモリの要部断面図を示す。図34は下部金属配線A1M1M、下部金属配線A1M2M、下部金属配線A2M3M及び下部金属配線A2M4Mのパターン(ワード線パターン)に沿った相変化メモリの要部断面図、図35は上部金属配線B2M2M、上部金属配線B1M3M、上部金属配線B2M4M及び上部金属配線B1M5Mのパターン(ビット線パターン)に沿った相変化メモリの要部断面図である。図中のA1ST、A2ST、B1ST及びB2STは、例えばCMOS技術を用いて形成された階層を選択するためのトランジスタであり、図中の符号DIFは拡散層、GATはゲートを示す。

10

【0073】

例えばメモリマトリクスを四階層に積層する場合の周辺回路との接続は、図34及び図35に示すメモリマトリクスの構造となる。例えば一階層目を選択する場合は、トランジスタA1ST及びトランジスタB2STを選択すればよく、二階層目を選択する場合は、トランジスタA1ST及びトランジスタB1STを選択すればよい。

【0074】

なお、本実施の形態2におけるメモリセル間を層間膜で埋め込む際には、前述した図27～図30を用いて説明したように、第1層間膜21を形成し、エッチング法により第1層間膜21を加工し、第1層間膜21の形成により生じた空間を第2層間膜22で埋め込み、さらにCMP法により第2層間膜22を加工する製造工程を採用したが、その製造方法に限定されるものではない。例えば、その製造工程に代えて、以下に説明する製造工程を採用することもできる。

20

【0075】

まず、図36に示すように、半導体基板1上に第1層間膜21を形成する。この際、隣接する第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの間を第1層間膜21により完全に埋め込む。第1層間膜21の材料は、例えばTEOSである。続いて、バッファ層6のあたりまで第1層間膜21をエッチバックする。このエッチバックにより、第2金属膜8a及び相変化材料7を露出させる。

30

【0076】

次に、図37に示すように、半導体基板1上に第2層間膜22を形成して、隣接する第2金属膜8a及び相変化材料7の積層パターンの間を第2層間膜22により完全に埋め込む。その後、CMP技術を用いて第2層間膜22の表面を研磨して、第2金属膜8aの表面を露出させる。第2層間膜22の材料は、例えばポーラスMSQであり、例えば塗布法により形成することができる。

【0077】

上記製造方法を用いることにより、隣接する第2金属膜8a及び相変化材料7の積層パターンの間を完全に第1層間膜21よりも熱伝導率の低い第2層間膜22により埋め込むことができる。

40

【0078】

このように、本実施の形態2によれば、ダイオードDIOD(第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターン)が設けられた層DILにおけるメモリセル間の熱伝導率と相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率とを互いに異なる値とすることができるので、所望する特性を有する相変化メモリの最適設計が容易となる。例えばダイオードDIOD(第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターン)が設けられた層DILには、例えばTEOSからなる第1層間膜21または第3層間膜23を埋め込み、相変化材料7が設けられた層PHLには、例えばTEOSからなる第1層間膜21とポーラスMSQからなる第2層間膜22またはTEOSからなる第3層間膜23とポー

50

ラスMSQからなる第4層間膜24を埋め込むことができる。相変化材料7が設けられた層PHLに、TEOSよりも熱伝導率の低いポーラスMSQからなる層間膜を設けているので、TEOSからなる層間膜のみを設けた場合よりも、相変化材料7で発生した熱がダイオードDIODへ伝達するのを低減することができる。これにより、相変化材料7が高温となっても、ダイオードDIODは高温になりにくい相変化メモリセルを実現することができる。

【0079】

(実施の形態3)

本実施の形態3による相変化メモリのメモリマトリクスについて図38～図40を用いて説明する。図38はメモリマトリクスの上面図、図39は図38のA-A'線におけるメモリマトリクスの要部断面図、図40は図38のB-B'線におけるメモリマトリクスの要部断面図である。図38では、メモリマトリクスの構造をわかりやすくするために、第3金属配線、第1金属配線及び半導体基板のみを示している。図中、前述した実施の形態1と同様に、符号1は半導体基板、符号2は第1方向に沿って延びる第1金属配線である。また、符号3は第1多結晶シリコン膜、符号4は第2多結晶シリコン膜、符号5は第3多結晶シリコン膜であり、これら3層で選択素子であるダイオードDIODを形成している。また、符号6はバッファ層(例えばTiN)、符号7は記憶素子である相変化材料(例えばGe₂Sb₂Te₅)、符号8は第2金属配線(例えばTiN)、符号9は第3金属配線である。さらに、符号31は第1層間膜(例えばTEOS)、32は第1層間膜の被覆形状により生じる空間を充填する第2層間膜(例えばポーラスMSQ)、33は第3層間膜(例えばTEOS)、34は第3層間膜の被覆形状により生じる空間を充填する第4層間膜(例えばポーラスMSQ)である。

【0080】

本実施の形態3による相変化メモリでは、ダイオードDIODが設けられた層DILにおいて隣接するメモリセル間には第1層間膜31または第3層間膜33が存在し、相変化材料7が設けられた層PHLにおいて隣接するメモリセル間にはサイドウォール形状の第1層間膜31と第1層間膜31のサイドウォール形状から生じる空間を埋める第2層間膜32、またはサイドウォール形状の第3層間膜33と第3層間膜33のサイドウォール形状から生じる空間を埋める第4層間膜34が存在する。従って、前述した実施の形態2と同様に、相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率とダイオードDIODが設けられた層DILにおけるメモリセル間の熱伝導率とを互いに異なる値とすることができる。例えば第1層間膜31及び第3層間膜33の熱伝導率を K_{I3} 、第2層間膜32及び第4層間膜34の熱伝導率を K_{I4} とすると、 $K_{I4} < K_{I3}$ であれば、相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率 K_{P2} は、ダイオードDIODが設けられた層DILにおけるメモリセル間の熱伝導率 K_{D2} より小さくなるので、ダイオードDIODが高温になりにくく、かつ相変化材料7が高温になりやすい構造のメモリセルを形成することができる。

【0081】

次に、本実施の形態3による相変化メモリの製造方法を図41～図46を用いて説明する。図43はメモリマトリクスの上面図、図41、図42及び図44は図38のB-B'線におけるメモリマトリクスの要部断面図であり、図45及び図46は図38のA-A'線におけるメモリマトリクスの要部断面図である。

【0082】

まず、図41に示すように、前述した実施の形態1の図6及び図7に示した構造から、リソグラフィ技術及びドライエッチング技術を用いて、第1方向に沿って第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン4、第1多結晶シリコン3及び第1金属膜2aをストライプ状に順次加工する。これにより、第1金属膜2aからなる第1金属配線2が形成される。

【0083】

第2金属膜8a及び相変化材料7の幅は、前述した実施の形態2と同様である。また、

第2金属膜8a及び相変化材料7の幅を他の部分よりも狭くする方法としては、前述した実施の形態2と同様の方法を用いることができる。しかし、前述した実施の形態2と異なる点は、バッファ層6にテーパ（傾斜）を付けたことである。すなわち、前述した実施の形態2では、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の幅を同じとしたが、本実施の形態3では、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の幅は同じであるが、バッファ層6の上部の幅をバッファ層6の下部の幅よりも狭くするように加工している。

【0084】

次に、図42に示すように、半導体基板1上に第1層間膜31を形成する。第1層間膜31の材料は、例えばTEOSであり、例えばCVD法等により形成することができる。第2金属膜8a及び相変化材料7の幅が、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2より狭い。このため、等方的に成膜される条件を用いて第1層間膜31を形成することにより、隣接するバッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4、第1多結晶シリコン膜3及び第1金属配線2の積層パターンの間は第1層間膜31により埋め込まれるが、隣接する第2金属膜8a及び相変化材料7の積層パターンの間にはサイドウォール形状の第1層間膜31が形成されて、第1層間膜31により埋め込まれることなく空間が形成される。

【0085】

さらに、バッファ層6をテーパ加工していることから、隣接する第2金属膜8a及び相変化材料7の積層パターンの中に形成される空間が、前述した実施の形態2において第1層間膜21を形成した場合よりも深く、例えばバッファ層6のあたりまで形成することができる。

【0086】

次に、図43、図44及び図45に示すように、半導体基板1上に第2層間膜32を堆積した後、CMP技術を用いて第2層間膜32の表面を研磨して、第2金属膜8aの表面を露出させる。第2層間膜32の材料は、例えばポーラスMSQであり、例えば塗布法により形成することができる。図43はメモリマトリクスの上図であるが、メモリマトリクスの構造をわかりやすくするために、第2金属膜8a、第1金属配線2及び半導体基板1のみを示してある。図44は図43のB-B'線におけるメモリマトリクスの要部断面図、図45は図43のA-A'線におけるメモリマトリクスの要部断面図である。

【0087】

前述した実施の形態2では、第2層間膜22を形成する前に、第2層間膜22の埋め込み深さを調節するため、第1層間膜21をエッチバックしたが、本実施の形態3では、バッファ層6をテーパ加工して、第1層間膜31を形成する際の第2層間膜32の埋め込み深さを調整しているので、前述した実施の形態2において行った第1層間膜31のエッチバックは不要である。これにより、製造工程数を減らすことができるので、前述した実施の形態2よりも製造コストを低減することができる。

【0088】

次に、図46に示すように、半導体基板1上に第3金属膜を形成した後、リソグラフィ技術及びドライエッチング技術を用いて、第2方向に沿って第3金属膜、第2金属膜8a、相変化材料7、バッファ層6、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3をストライプ状に順次加工する。これにより、第3金属膜からなる第3金属配線9が形成され、第2金属膜8aからなるプラグ状の第2金属配線8が形成される。第3金属配線9の材料は、例えばWであり、例えばCVD法等により形成することができる。第2金属配線8と第3金属配線9との合計膜厚は200nm以下がよい。厚すぎると加工が困難となる。

【0089】

その後、前述した図41～図45を用いて説明した製造方法と同様にして、第3層間膜33及び第4層間膜34を形成する。これにより、前述した図38～図40に示した本実

施の形態 3 による相変化メモリが略完成する。ダイオード D I O D の重心と隣接するメモリセルのダイオード D I O D の重心とを結ぶ平面においてメモリセル間の第 2 層間膜 3 2 または第 4 層間膜 3 4 の充填率は 2 5 % 以下、相変化材料 7 の重心と隣接するメモリセルの相変化材料 7 とを結ぶ平面においてメモリセル間の第 2 層間膜 3 2 または第 4 層間膜 3 4 の充填率は 5 0 % 以下 2 5 % 以上である。

【0090】

本実施の形態 2 によるメモリマトリクス of 動作方式及び周辺回路との接続方法は、前述した実施の形態 1 と同様である。また、前述した実施の形態 2 と同様に、メモリマトリクスを複数層積層してもよい。

【0091】

このように、本実施の形態 3 によれば、前述した実施の形態 2 と同様の効果を得ることができる。さらに、前述した実施の形態 2 よりも製造工程数を減らすことができるので、製造コスト低減することが可能である。

【0092】

(実施の形態 4)

本実施の形態 4 による相変化メモリのメモリマトリクスについて図 4 7 ~ 図 4 9 を用いて説明する。図 4 7 はメモリマトリクスの上面図、図 4 8 は図 4 7 の A - A ' 線におけるメモリマトリクスの要部断面図、図 4 9 は図 4 7 の B - B ' 線におけるメモリマトリクスの要部断面図である。図 4 7 では、メモリマトリクスの構造をわかりやすくするために、第 3 金属配線、第 1 金属配線及び半導体基板のみを示している。図中、前述した実施の形態 1 と同様に、符号 1 は半導体基板、符号 2 は第 1 方向に沿って延びる第 1 金属配線である。また、符号 3 は第 1 多結晶シリコン膜、符号 4 は第 2 多結晶シリコン膜、符号 5 は第 3 多結晶シリコン膜であり、これら 3 層で選択素子であるダイオード D I O D を形成している。また、符号 7 は記憶素子である相変化材料 (例えば $\text{Ge}_2\text{Sb}_2\text{Te}_5$)、符号 8 は第 2 金属配線 (例えば TiN)、符号 9 は第 3 金属配線である。さらに、符号 4 1 a, 4 1 b はバッファ層 (例えば TiN)、符号 4 2 は第 1 層間膜 (例えば TEOS)、4 3 は第 2 層間膜 (例えば TEOS)、4 4 は第 3 層間膜 (例えば ポーラス MSQ)、4 5 は第 4 層間膜 (例えば ポーラス MSQ) である。

【0093】

本実施の形態 4 による相変化メモリでは、ダイオード D I O D が設けられた層 D I L において隣接するメモリセル間には第 1 層間膜 4 2 または第 2 層間膜 4 3 が存在し、相変化材料 7 が設けられた層 P H L において隣接するメモリセル間には第 3 層間膜 4 4 または第 4 層間膜 4 5 が存在する。従って、前述した実施の形態 2 または実施の形態 3 と同様に、相変化材料 7 が設けられた層 P H L におけるメモリセル間の熱伝導率とダイオード D I O D が設けられた層 D I L におけるメモリセル間の熱伝導率とを互いに異なる値とすることができる。例えば第 1 層間膜 4 2 及び第 2 層間膜 4 3 の熱伝導率を K_{15} 、第 3 層間膜 4 4 及び第 4 層間膜 4 5 の熱伝導率を K_{16} とすると、 $K_{16} < K_{15}$ であれば、ダイオード D I O D が高温になりにくく、かつ相変化材料 7 が高温になりやすい構造のメモリセルを形成することができる。

【0094】

次に、本実施の形態 4 による相変化メモリの製造方法を図 5 0 ~ 図 5 6 を用いて説明する。図 5 0、図 5 3 及び図 5 5 はメモリマトリクスの上面図、図 5 1 は図 5 0 の B - B ' 線におけるメモリマトリクスの要部断面図、図 5 2 は図 5 0 の A - A ' 線におけるメモリマトリクスの要部断面図、図 5 4 は図 5 3 の A - A ' 線におけるメモリマトリクスの要部断面図、図 5 6 は図 5 5 の A - A ' 線におけるメモリマトリクスの要部断面図である。

【0095】

まず、図 5 0、図 5 1 及び図 5 2 に示すように、半導体基板 1 上に第 1 金属膜 2 a、第 1 多結晶シリコン膜 3、第 2 多結晶シリコン膜 4、第 3 多結晶シリコン膜 5 及びバッファ層 4 1 a を順に成膜する。続いてリソグラフィ技術及びドライエッチング技術を用いて、第 1 方向に沿ってバッファ層 4 1 a、第 3 多結晶シリコン膜 5、第 2 多結晶シリコン膜 4

10

20

30

40

50

、第1多結晶シリコン膜3及び第1金属膜2aをストライプ状に順次加工する。これにより、第1金属膜2aからなる第1金属配線2が形成される。続いて半導体基板1上に第1層間膜42を形成する。第1層間膜42の材料は、例えばTEOSであり、例えばCVD法等により形成することができる。続いてCMP技術を用いて第1層間膜42の表面を研磨して、バッファ層41aの表面を露出させる。図50はメモリマトリクスの上面図であるが、メモリマトリクスの構造をわかりやすくするために、第1層間膜42及びバッファ層41aのみを示してある。

【0096】

次に、図53及び図54に示すように、第2方向に沿ってリソグラフィ技術及びドライエッチング技術を用いて、バッファ層41a、第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3をストライプ状に順次加工する。続いて半導体基板1上に第2層間膜43を形成する。第2層間膜43の材料は、例えばTEOSであり、例えばCVD法等により形成することができる。続いてCMP技術を用いて第2層間膜43の表面を研磨して、バッファ層41aの表面を露出させる。図53は上面図であるが、メモリマトリクスの構造をわかりやすくするために、第2層間膜43、第1層間膜42及びバッファ層41aのみを示してある。

【0097】

次に、図55及び図56に示すように、半導体基板1上にバッファ層41b、相変化材料7及び第2金属膜8aを順に成膜する。続いてリソグラフィ技術及びドライエッチング技術を用いて、第1方向に沿って第2金属膜8a、相変化材料7及びバッファ層41bをストライプ状に順次加工する。続いて半導体基板1上に第3層間膜44を形成する。第3層間膜44の材料は、例えばポーラスMSQであり、例えば塗布法等により形成することができる。続いてCMP技術を用いて第3層間膜44の表面を研磨して、バッファ層41bの表面を露出させる。図55は上面図であるが、メモリマトリクスの構造をわかりやすくするために、第2金属膜8a及び第3層間膜44のみを示してある。

【0098】

次に、半導体基板1上に第3金属膜を成膜し、リソグラフィ技術及びドライエッチング技術を用いて、第2方向に沿って第3金属膜、第2金属膜8a、相変化材料7及びバッファ層41bを順次加工する。続いて半導体基板1上に第4層間膜45を形成する。第4層間膜45の材料は、例えばポーラスMSQであり、例えば塗布法等により形成することができる。続いてCMP技術を用いて第4層間膜44の表面を研磨して平坦化する。これにより、前述した図47～図49に示した本実施の形態4による相変化メモリが略完成する。

【0099】

本実施の形態4によるメモリマトリクスの動作方式及び周辺回路との接続方法は、前述した実施の形態1と同様である。また、前述した実施の形態2と同様に、メモリマトリクスを複数層積層してもよい。

【0100】

このように、本実施の形態4によれば、ダイオードDIOD（第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターン）が設けられた層DILにおけるメモリセル間の熱伝導率と相変化材料7が設けられた層PHLにおけるメモリセル間の熱伝導率とを互いに異なる値とすることができるので、所望する特性を有する相変化メモリの最適設計が容易となる。例えばダイオードDIOD（第3多結晶シリコン膜5、第2多結晶シリコン膜4及び第1多結晶シリコン膜3の積層パターン）が設けられた層DILには、例えばTEOSからなる第1層間膜42または第2層間膜43を埋め込み、相変化材料7が設けられた層PHLには、例えばポーラスMSQからなる第3層間膜44または第4層間膜45を埋め込む。相変化材料7が設けられた層PHLに、TEOSからなる層間膜よりも熱伝導率の低いポーラスMSQからなる層間膜を設けることによって、相変化材料7で発生した熱がダイオードDIODへ伝達するのを低減することができる。これにより、相変化材料7が高温となっても、ダイオードDIODは高温になりに

くい相変化メモリセルを実現することができる。

【0101】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0102】

例えば、前記実施の形態1と2とを組み合わせ、相変化材料が設けられる層に層間膜を2種類以上形成し、かつ空隙を設ける構造としても、本願発明と同様の効果を得ることができる。

【産業上の利用可能性】

10

【0103】

本発明は、相変化材料を記憶材料として用いる不揮発性記憶装置に適用することができる。

【図面の簡単な説明】

【0104】

【図1】本発明の実施の形態1による相変化メモリのメモリマトリクスの上上面図である。

【図2】図1のA-A'線におけるメモリマトリクスの要部断面図である。

【図3】図1のB-B'線におけるメモリマトリクスの要部断面図である。

【図4】図1のC-C'線におけるメモリマトリクスの要部断面図である。

【図5】図1のD-D'線におけるメモリマトリクスの要部断面図である。

20

【図6】本発明の実施の形態1による相変化メモリの製造工程を示すメモリマトリクスの上上面図である。

【図7】図6のB-B'線におけるメモリマトリクスの要部断面図である。

【図8】図6及び図7に続く相変化メモリの製造工程中の要部断面図（B-B'線）である。

【図9】図6及び図7に続く他の製造方法により形成された相変化メモリの製造工程中の要部断面図（B-B'線）である。

【図10】図6及び図7に続く他の製造方法により形成された相変化メモリの製造工程中の要部断面図（B-B'線）である。

【図11】図8に続く相変化メモリの製造工程中の要部断面図（B-B'線）である。

30

【図12】図11に続く相変化メモリの製造工程中の上上面図である。

【図13】図11に続く相変化メモリの製造工程中の要部断面図（B-B'線）である。

【図14】図11に続く相変化メモリの製造工程中の要部断面図（A-A'線）である。

【図15】図12、図13及び図14に続く相変化メモリの製造工程中の要部断面図（A-A'線）である。

【図16】図15に続く相変化メモリの製造工程中の要部断面図（A-A'線）である。

【図17】本発明の実施の形態1によるメモリマトリクスの等価回路の要部構成図である。

【図18】本発明の実施の形態1によるメモリマトリクスを二階層に積層した場合の相変間メモリの要部断面図である。

40

【図19】本発明の実施の形態1によるメモリマトリクスを四階層に積層した場合のワード線パターンに沿った相変化メモリの要部断面図である。

【図20】本発明の実施の形態1によるメモリマトリクスを四階層に積層した場合のビット線パターンに沿った相変化メモリの要部断面図である。

【図21】本発明の実施の形態1によるメモリマトリクスを四階層に積層した場合のワード線パターンに沿った他の相変化メモリの要部断面図である。

【図22】本発明の実施の形態1によるメモリマトリクスを四階層に積層した場合のビット線パターンに沿った他の相変化メモリの要部断面図である。

【図23】本発明の実施の形態2による相変化メモリのメモリマトリクスの上上面図である。

50

- 【図 2 4】図 2 3 の A - A ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 2 5】図 2 3 の B - B ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 2 6】本発明 of 実施 of 形態 2 による相変化メモリ of 製造工程を示すメモリマトリクス of 要部断面図 (B - B ' 線) である。
- 【図 2 7】図 2 6 に続く相変化メモリ of 製造工程 of 要部断面図 (B - B ' 線) である。
- 【図 2 8】図 2 7 に続く相変化メモリ of 製造工程 of 要部断面図 (B - B ' 線) である。
- 【図 2 9】図 2 8 に続く相変化メモリ of 製造工程 of 上面図である。
- 【図 3 0】図 2 8 に続く相変化メモリ of 製造工程 of 要部断面図 (B - B ' 線) である。
- 【図 3 1】図 2 8 に続く相変化メモリ of 製造工程 of 要部断面図 (A - A ' 線) である。
- 【図 3 2】図 2 9、図 3 0 及び図 3 1 に続く相変化メモリ of 製造工程 of 要部断面図 (A - A ' 線) である。 10
- 【図 3 3】本発明 of 実施 of 形態 2 によるメモリマトリクスを二階層に積層した場合 of 相変化メモリ of 要部断面図である。
- 【図 3 4】本発明 of 実施 of 形態 2 によるメモリマトリクスを四階層に積層した場合 of ワード線 of パターンに沿った相変化メモリ of 要部断面図である。
- 【図 3 5】本発明 of 実施 of 形態 2 によるメモリマトリクスを四階層に積層した場合 of ビット線 of パターンに沿った相変化メモリ of 要部断面図である。
- 【図 3 6】本発明 of 実施 of 形態 2 による相変化メモリ of 図 2 6 に続く他の製造工程を示すメモリマトリクス of 要部断面図 (A - A ' 線) である。
- 【図 3 7】図 3 6 に続く相変化メモリ of 製造工程 of 要部断面図 (A - A ' 線) である。 20
- 【図 3 8】本発明 of 実施 of 形態 3 による相変化メモリ of メモリマトリクス of 上面図である。
- 【図 3 9】図 3 8 の A - A ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 4 0】図 3 8 の B - B ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 4 1】本発明 of 実施 of 形態 3 による相変化メモリ of 製造工程を示すメモリマトリクス of 要部断面図 (B - B ' 線) である。
- 【図 4 2】図 4 1 に続く相変化メモリ of 製造工程 of 要部断面図 (B - B ' 線) である。
- 【図 4 3】図 4 2 に続く相変化メモリ of 製造工程 of 上面図である。
- 【図 4 4】図 4 2 に続く相変化メモリ of 製造工程 of 要部断面図 (B - B ' 線) である。
- 【図 4 5】図 4 2 に続く相変化メモリ of 製造工程 of 要部断面図 (A - A ' 線) である。 30
- 【図 4 6】図 4 3、図 4 4 及び図 4 5 に続く相変化メモリ of 製造工程 of 要部断面図 (A - A ' 線) である。
- 【図 4 7】本発明 of 実施 of 形態 4 による相変化メモリ of メモリマトリクス of 上面図である。
- 【図 4 8】図 4 7 の A - A ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 4 9】図 4 7 の B - B ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 5 0】本発明 of 実施 of 形態 4 による相変化メモリ of 製造工程を示すメモリマトリクス of 上面図である。
- 【図 5 1】図 5 0 の B - B ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 5 2】図 5 0 の A - A ' 線におけるメモリマトリクス of 要部断面図である。 40
- 【図 5 3】図 5 0、図 5 1 及び図 5 2 に続く相変化メモリ of 製造工程 of 上面図である。
- 【図 5 4】図 5 3 の A - A ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 5 5】図 5 3 及び図 5 4 に続く相変化メモリ of 製造工程 of 上面図である。
- 【図 5 6】図 5 5 の A - A ' 線におけるメモリマトリクス of 要部断面図である。
- 【図 5 7】本発明により検討された相変化メモリ of メモリマトリクス of 要部断面図である。

【符号 of 説明】

【0 1 0 5】

- 1 半導体基板
- 2, 2 A 第 1 金属配線

2 a	第 1 金属膜	
3, 3 A	第 1 多結晶シリコン膜	
4, 4 A	第 2 多結晶シリコン膜	
5, 5 A	第 3 多結晶シリコン膜	
6, 6 A	バッファ層	
7, 7 A	相変化材料	
8, 8 A	第 2 金属配線	
8 a	第 2 金属膜	
9, 9 A	第 3 金属配線	
9 a	第 3 金属膜	10
1 0	第 1 層間膜	
1 1, 1 1 A	第 2 層間膜	
1 2 a, 1 2 b, 1 2 b A	空隙	
2 1	第 1 層間膜	
2 2	第 2 層間膜	
2 3, 2 3 A	第 3 層間膜	
2 4, 2 4 A	第 4 層間膜	
3 1	第 1 層間膜	
3 2	第 2 層間膜	
3 3	第 3 層間膜	20
3 4	第 4 層間膜	
4 1 a, 4 1 b	バッファ層	
4 2	第 1 層間膜	
4 3	第 2 層間膜	
4 4	第 3 層間膜	
4 5	第 4 層間膜	
1 0 1	半導体基板	
1 0 2	第 1 金属配線	
1 0 3	第 1 多結晶シリコン膜	
1 0 4	第 2 多結晶シリコン膜	30
1 0 5	第 3 多結晶シリコン膜	
1 0 6	バッファ層	
1 0 7	相変化材料	
1 0 8	第 2 金属配線	
1 0 9	第 3 金属配線	
1 1 0	層間膜	
D I O D, C D I O D	ダイオード	
D I L, C D I L	ダイオードが設けられた層	
P H L, C P H L	相変化材料が設けられた層	
W L 1	1 番目のワード線	40
W L 2	2 番目のワード線	
W L i	i 番目のワード線	
W L m	m 番目のワード線	
B L 1	1 番目のビット線	
B L 2	2 番目のビット線	
B L j	j 番目のビット線	
B L n	n 番目のビット線	
S E	選択素子	
V R	相変化抵抗素子	
M C 1 1	1 番目のワード線と 1 番目のビット線の交点にあるメモリセル	50

MC i 1 i 番目のワード線と 1 番目のビット線の交点にあるメモリセル
 MC m 1 m 番目のワード線と 1 番目のビット線の交点にあるメモリセル
 MC 1 j 1 番目のワード線と j 番目のビット線の交点にあるメモリセル
 MC i j i 番目のワード線と j 番目のビット線の交点にあるメモリセル
 MC m j m 番目のワード線と j 番目のビット線の交点にあるメモリセル
 MC 1 n 1 番目のワード線と n 番目のビット線の交点にあるメモリセル
 MC i n i 番目のワード線と n 番目のビット線の交点にあるメモリセル
 MC m n m 番目のワード線と n 番目のビット線の交点にあるメモリセル

G A T ゲート

D I F 拡散層

A 1 S T, A 2 S T トランジスタ

A 1 C N T, A 2 C N T コンタクト

A 1 M 1, A 1 M 2, A 1 M 3, A 1 M 4 金属電極

A 2 M 1, A 2 M 2, A 2 M 3, A 2 M 4 金属配線

A 1 M 1 M, A 1 M 2 M 金属配線

A 2 M 3 M, A 2 M 4 M 金属配線

A 1 T H 1, A 1 T H 2, A 1 T H 3 プラグ電極

A 2 T H 1, A 2 T H 2, A 2 T H 3 プラグ電極

B 1 S T, B 2 S T トランジスタ

B 1 C N T, B 2 C N T コンタクト

B 1 M 1, B 1 M 2, B 1 M 3, B 1 M 4, B 1 M 5 金属配線

B 2 M 1, B 2 M 2, B 2 M 3, B 2 M 4, B 2 M 5 金属配線

B 1 M 2 M, B 1 M 3 M, B 1 M 4 M, B 1 M 5 M 金属配線

B 2 M 1 M, B 2 M 2 M, B 2 M 3 M, B 2 M 4 M 金属配線

B 1 T H 1, B 1 T H 2, B 1 T H 3 プラグ電極

B 2 T H 1, B 2 T H 2, B 2 T H 3 プラグ電極

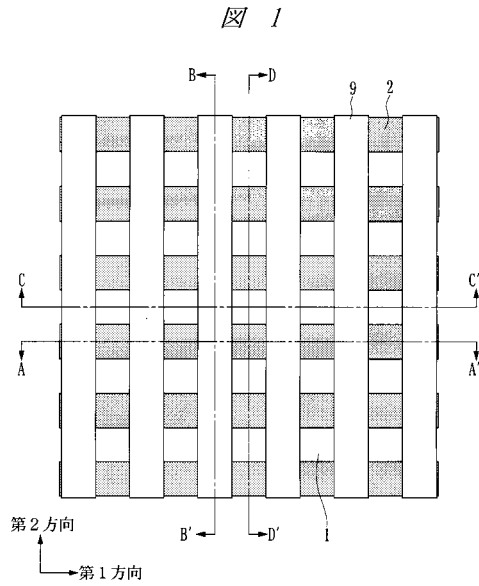
G W L グローバルワード線

G B L グローバルビット線

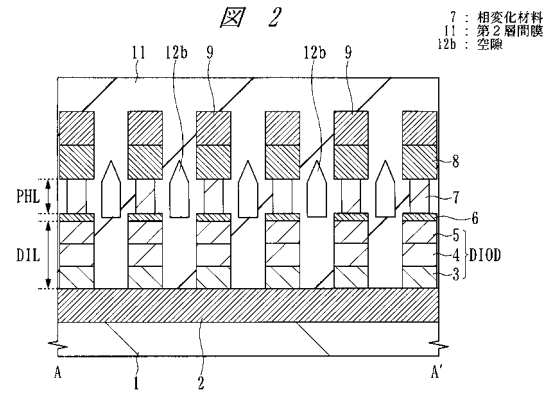
10

20

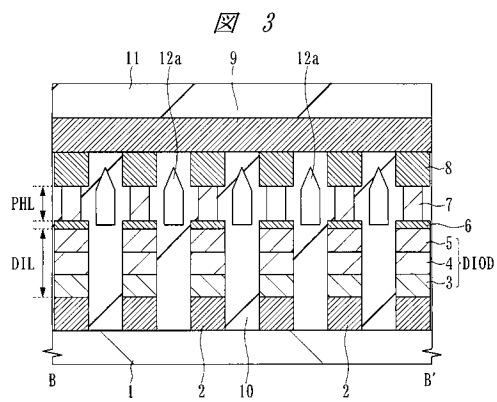
【図 1】



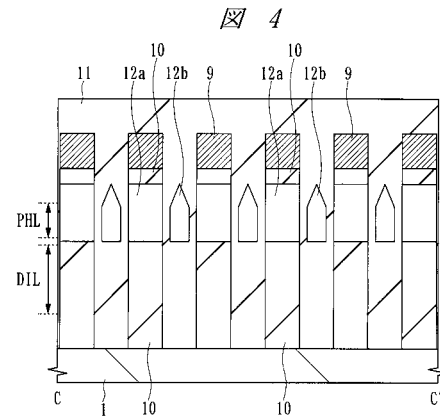
【図 2】



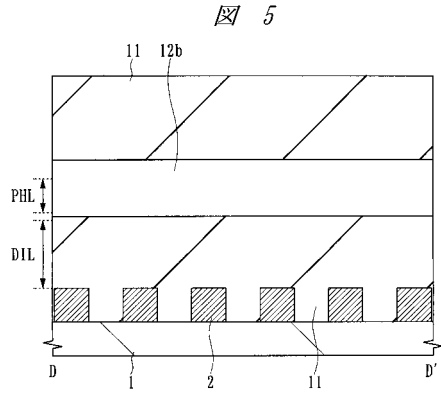
【図 3】



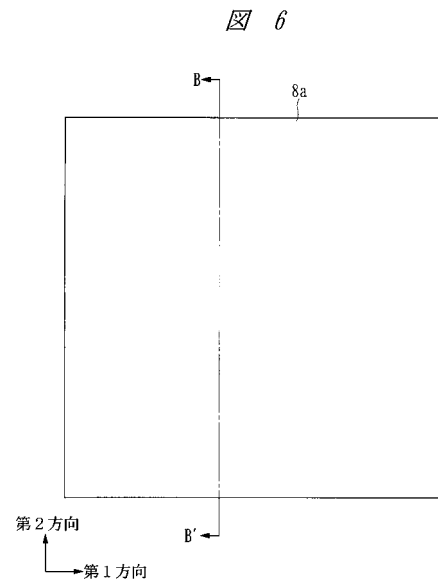
【図 4】



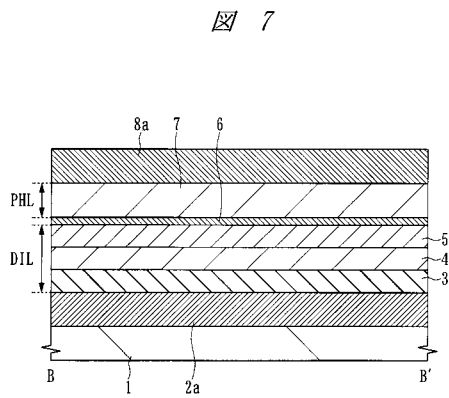
【図 5】



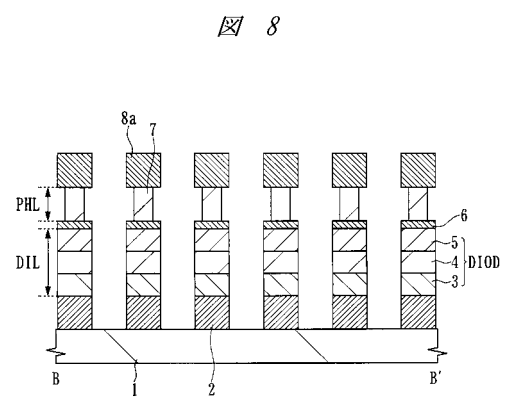
【図 6】



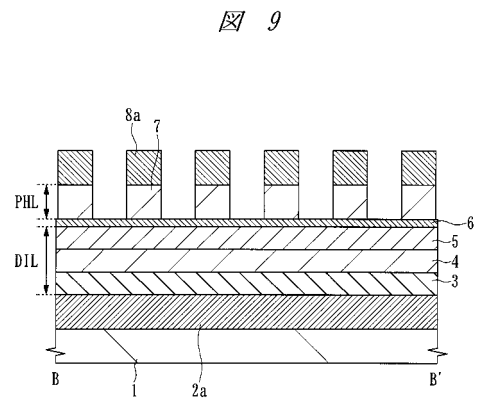
【図 7】



【図 8】

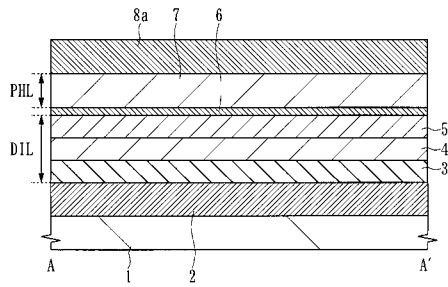


【図 9】



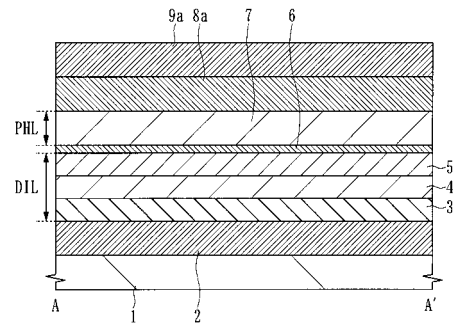
【図 1 4】

図 14



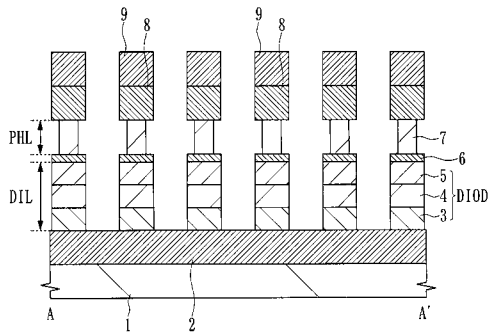
【図 1 5】

図 15



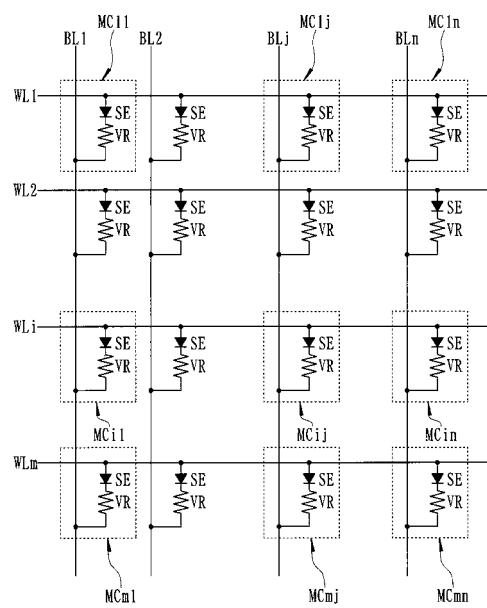
【図 1 6】

図 16



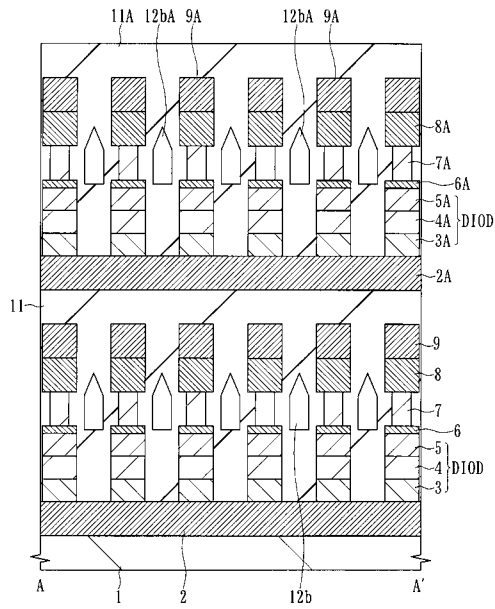
【図 1 7】

図 17



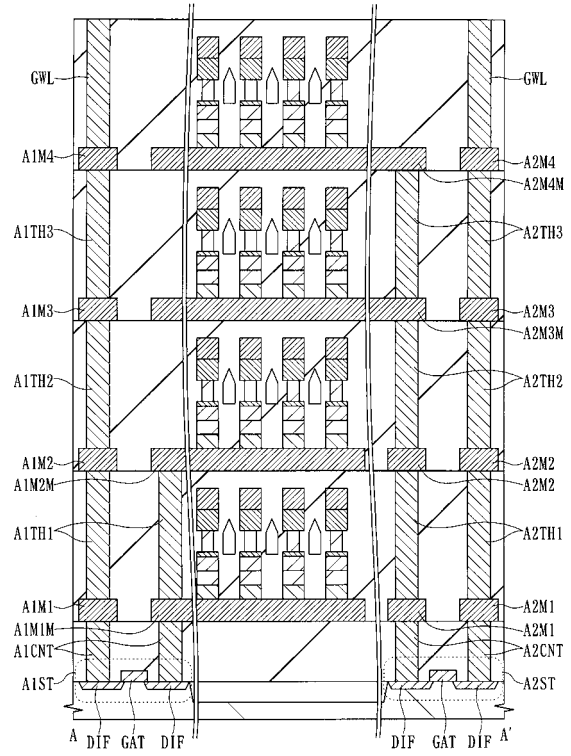
【図 18】

図 18



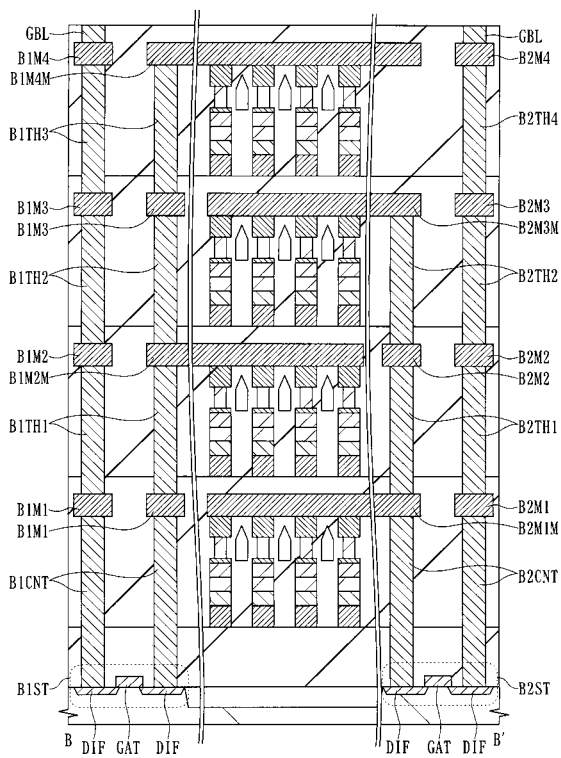
【図 19】

図 19



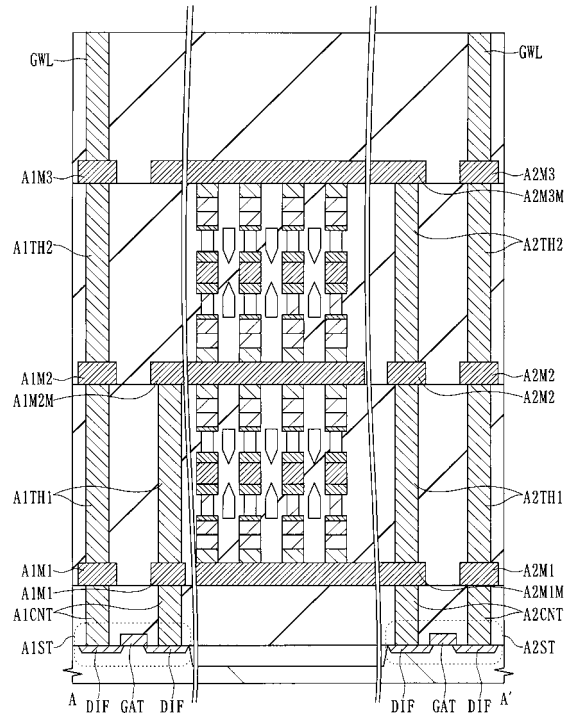
【図 20】

図 20



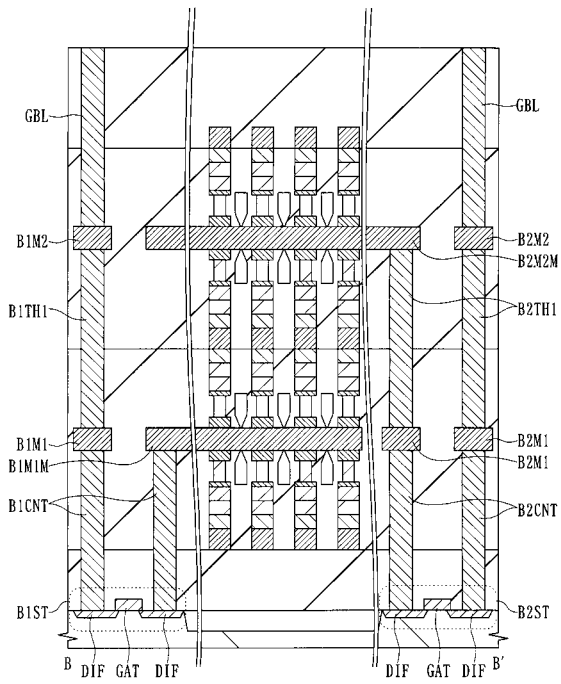
【図 21】

図 21



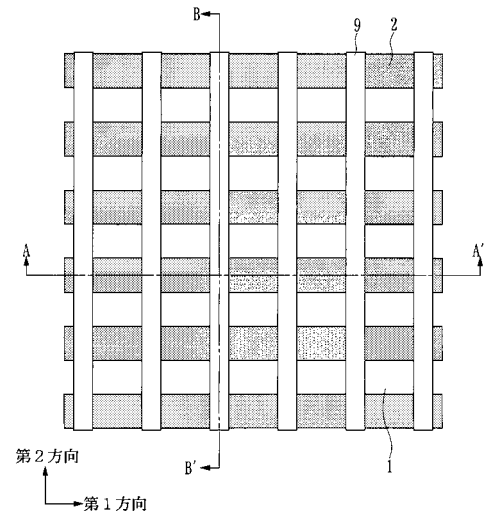
【図 2 2】

図 22



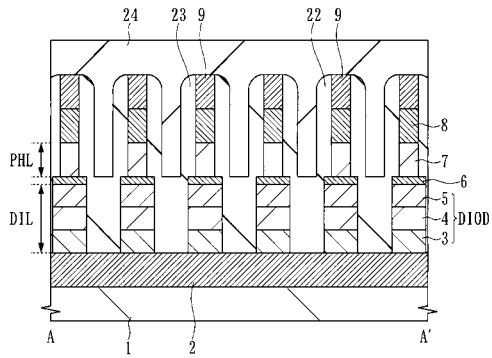
【図 2 3】

図 23



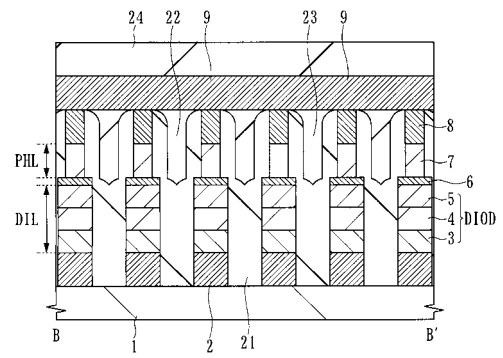
【図 2 4】

図 24



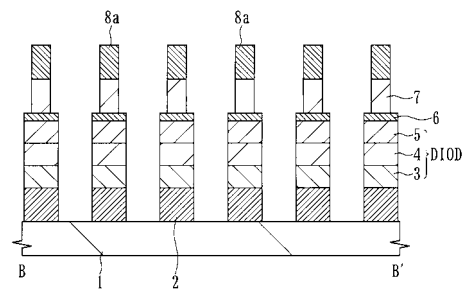
【図 2 5】

図 25



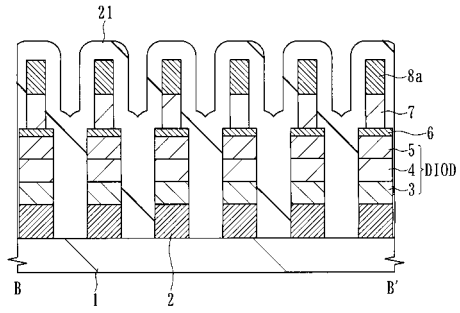
【図 2 6】

図 26



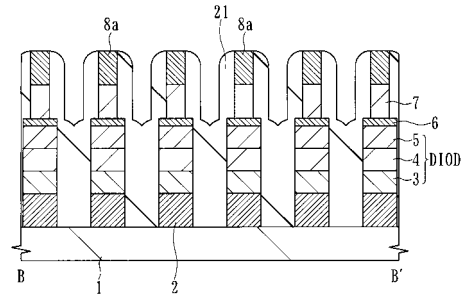
【図 27】

図 27



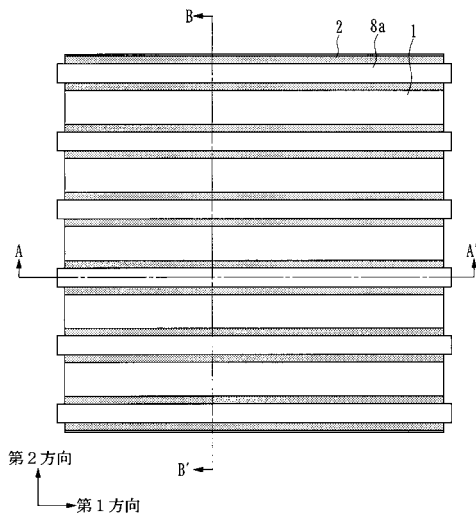
【図 28】

図 28



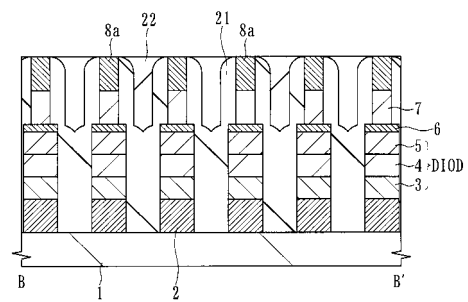
【図 29】

図 29



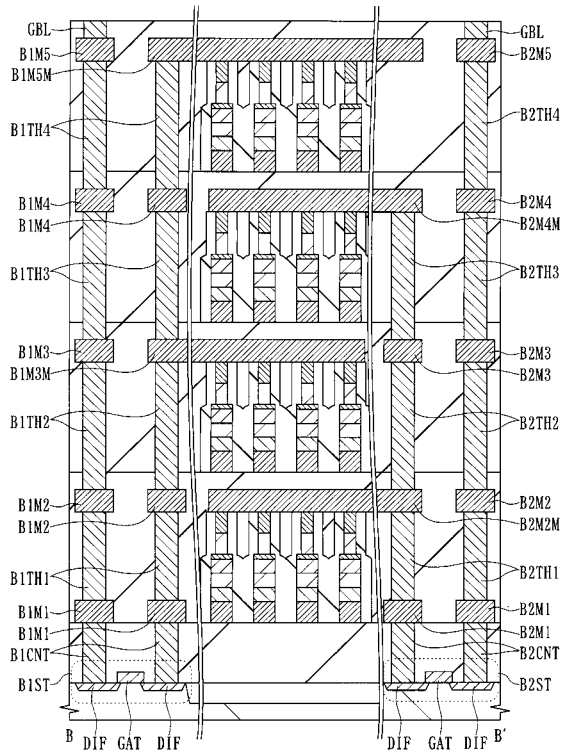
【図 30】

図 30



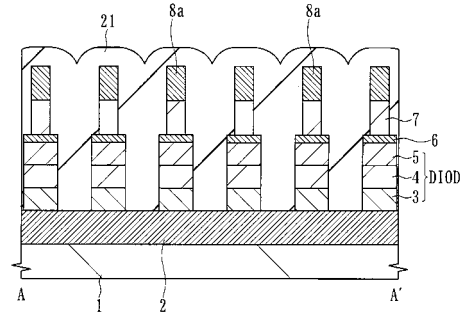
【図 35】

図 35



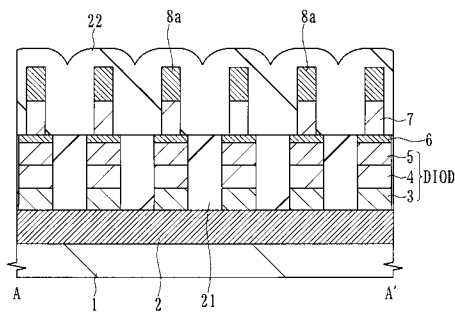
【図 36】

図 36



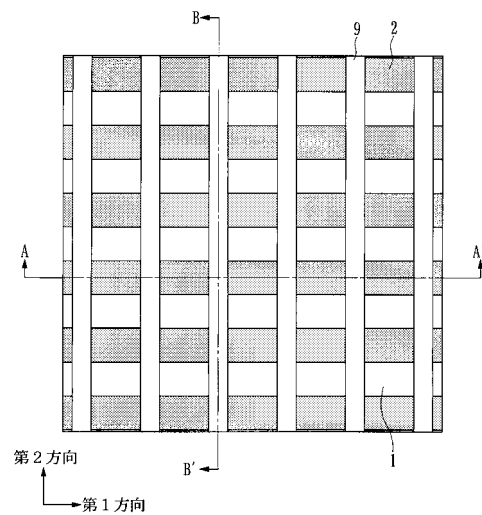
【図 37】

図 37

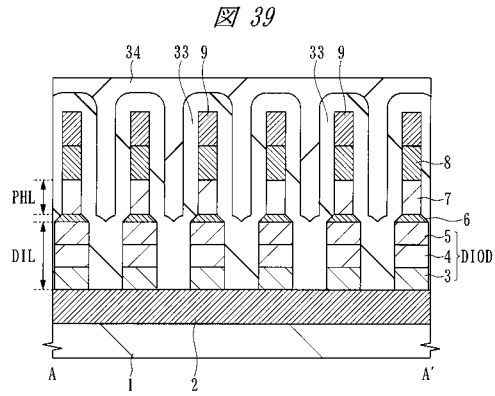


【図 38】

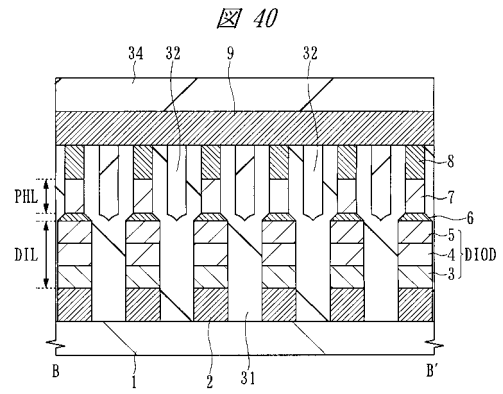
図 38



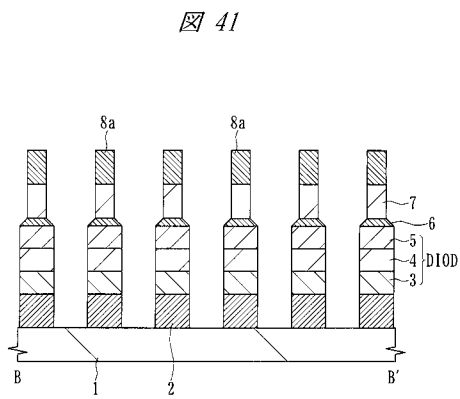
【图 3 9】



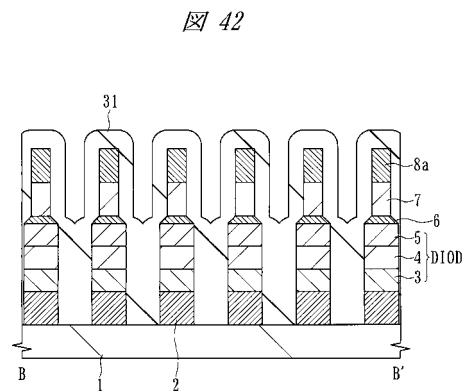
【図 40】



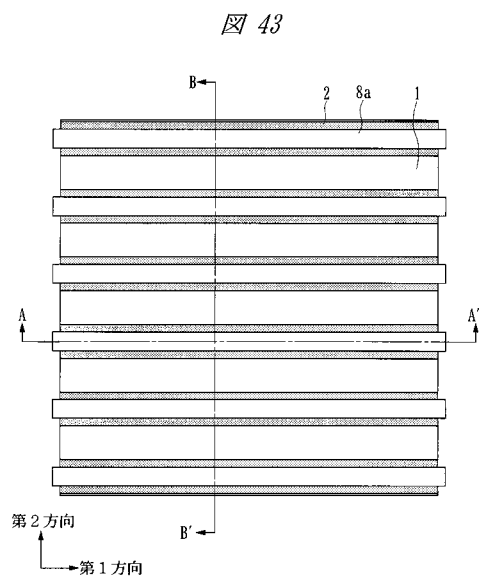
【图 4 1】



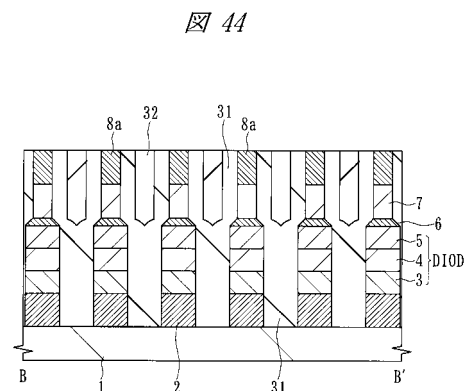
【图 4-2】



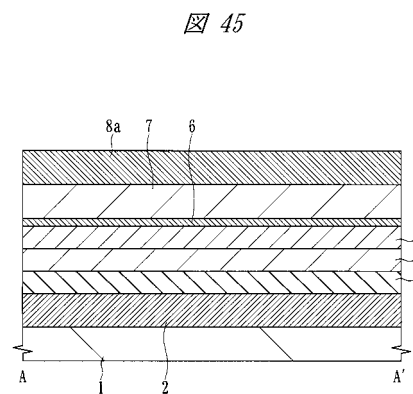
【图 4 3】



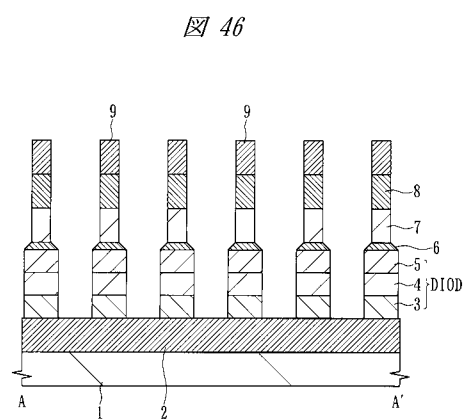
【図 4 4】



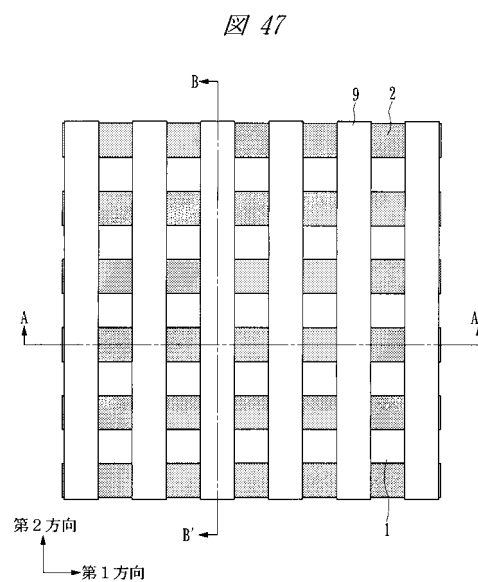
【图 4 5】



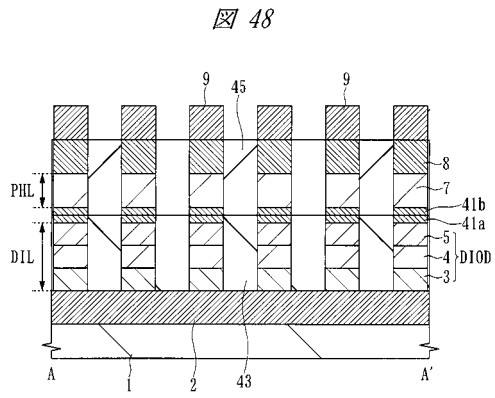
【図 4 6】



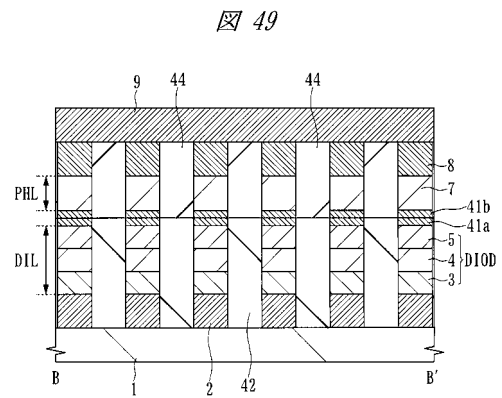
【図 47】



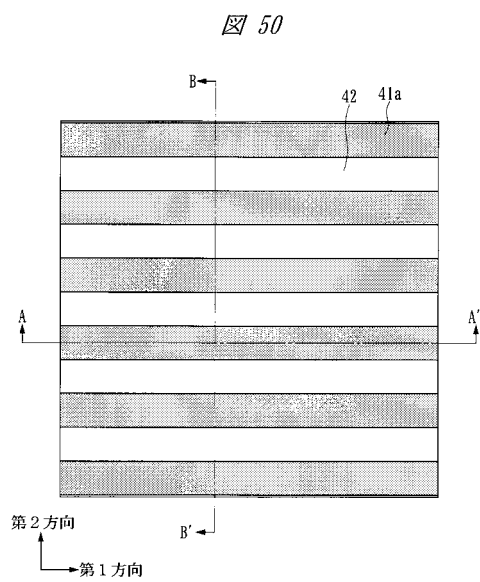
【図 48】



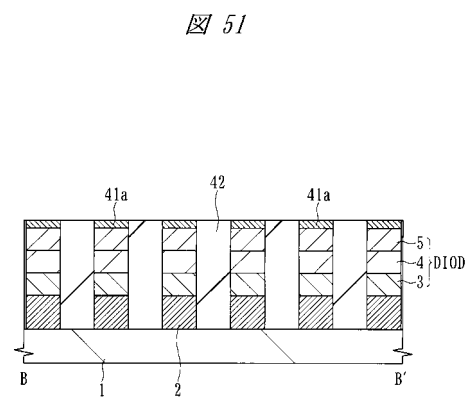
【図 49】



【図 50】

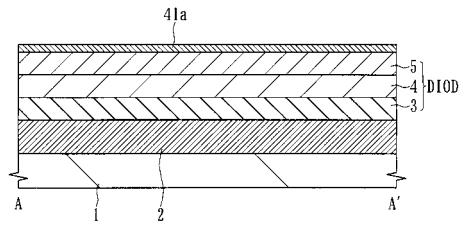


【図 51】



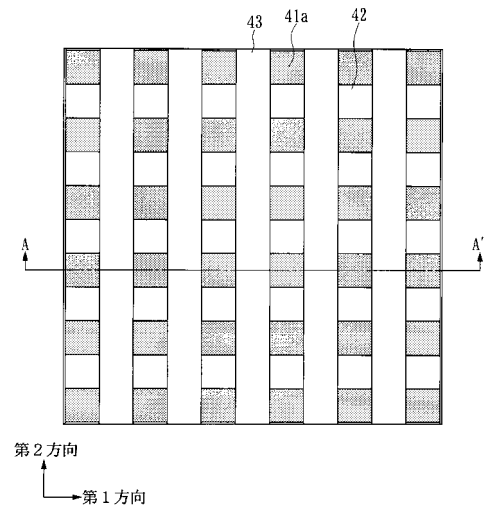
【図 5 2】

図 52



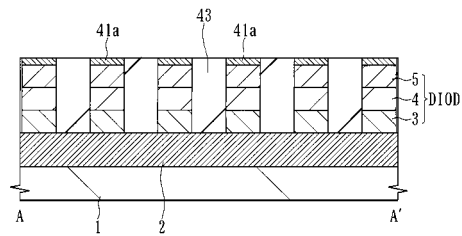
【図 5 3】

図 53



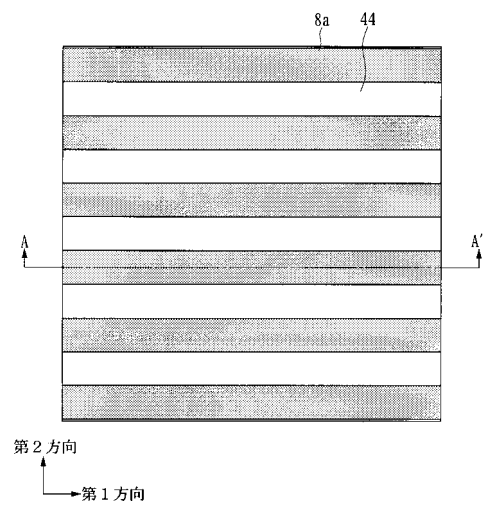
【図 5 4】

図 54

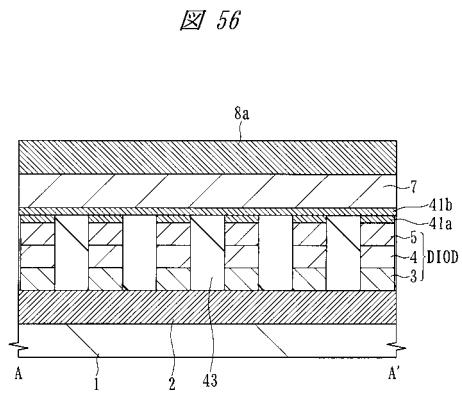


【図 5 5】

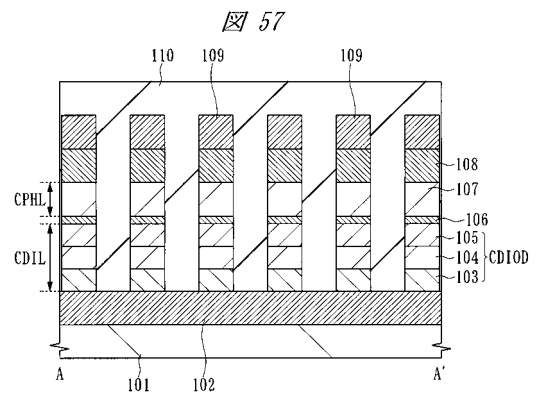
図 55



【図 56】



【図 57】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA10 GA21 JA35 JA39 JA40 JA53 JA56 LA21 MA06
MA19 PR40