

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年12月29日(29.12.2011)

PCT

(10) 国際公開番号
WO 2011/161771 A1

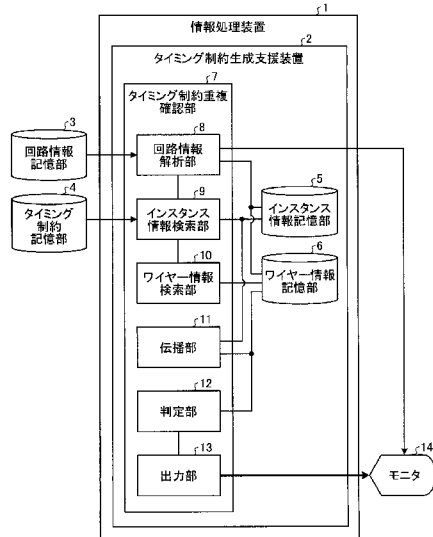
- (51) 国際特許分類:
G06F 17/50 (2006.01) H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2010/060569
- (22) 国際出願日: 2010年6月22日(22.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 細田 智博(HOSODA, Tomohiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジーズ内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: TIMING RESTRICTION GENERATION SUPPORT DEVICE, TIMING RESTRICTION GENERATION SUPPORT PROGRAM, AND, METHOD OF TIMING RESTRICTION GENERATION SUPPORT

(54) 発明の名称: タイミング制約生成支援装置、タイミング制約生成支援プログラム、及び、タイミング制約生成支援方法

[図1]



- 1 INFORMATION PROCESSING DEVICE
- 2 TIMING RESTRICTION GENERATION SUPPORT DEVICE
- 3 CIRCUIT INFORMATION STORAGE UNIT
- 4 TIMING RESTRICTION STORAGE UNIT
- 5 INSTANCE INFORMATION STORAGE UNIT
- 6 WIRE INFORMATION STORAGE UNIT
- 7 TIMING RESTRICTION REDUNDANCY CONFIRMATION UNIT
- 8 CIRCUIT INFORMATION ANALYZING UNIT
- 9 INSTANCE INFORMATION DETECTION UNIT
- 10 WIRE INFORMATION DETECTION UNIT
- 11 PROPAGATION/TRANSMISSION UNIT
- 12 DETERMINATION UNIT
- 13 OUTPUT UNIT
- 14 MONITOR

(57) Abstract: Disclosed is a timing restriction generation support device (2) which propagates a timing restriction set for each logic circuit through wires using circuit information that indicates information related to a logic circuit, and connection information that indicates information on wires which connect mutual logic circuits. The timing restriction generation support device (2) also determines whether or not a plurality of different timing restrictions have propagated through a wire. Further, the timing restriction generation support device (2) outputs information which indicates that the timing restriction propagated through a wire is redundant when the timing restriction generation support device (2) determines that a plurality of different timings have been propagated through the wire.

(57) 要約: 本願に開示の技術は、一つの態様によれば、論理回路に関する情報を示す回路情報と論理回路同士を接続するワイヤの情報を示す接続情報とを用いて、各論理回路に対して設定されたタイミング制約をワイヤを辿って伝播させるタイミング制約生成支援装置2である。また、タイミング制約生成支援装置2は、ワイヤに異なる複数のタイミング制約が伝播されたか否かを判定する。そして、タイミング制約生成支援装置2は、ワイヤに異なる複数の前記タイミング制約が伝播されたと判定した場合には、ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する。



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, 添付公開書類:

NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

タイミング制約生成支援装置、タイミング制約生成支援プログラム、及び、タイミング制約生成支援方法

技術分野

[0001] 本発明は、タイミング制約生成支援装置、タイミング制約生成支援プログラム、及び、タイミング制約生成支援方法に関する。

背景技術

[0002] 従来、多くの機能を一つのLSI (Large Scale Integration) に格納した大規模回路の開発が行われている。このような大規模回路の開発においては、多数の論理設計者がモジュールごとに回路を開発している。大規模回路をモジュールごとに開発する場合には、回路の大規模化に伴って、各モジュールを接続する際の配線ができなくなる場合がある。このような問題を早期に抽出し、抽出した問題を解決するため、開発者は、回路の仕様が未確定の状態でレイアウト工程や論理設計を繰り返し行っている。

[0003] このような大規模回路のレイアウト工程においては、各モジュールの回路情報と各モジュールに適用されるタイミング制約とを用いて、タイミング違反が発生するか否かを判定する静的タイミング検証が行われる。また、このような静的タイミング検証においては、回路情報とタイミング制約とを用いて、タイミング違反が発生するか否かを判定する情報処理装置が用いられる。

[0004] ここで、図14を用いて、従来のレイアウト工程について説明する。図14は、従来のレイアウト工程を説明するためのフローチャートである。図14に例示するレイアウト工程の例では、モジュールごとに仕様を決定し（ステップS1）、論理設計（ステップS2）及びタイミング制約の作成を行い（ステップS3）、その後、モジュールの論理合成を行う（ステップS4）

。そして、回路全体の組み上げ（ステップS 5）を行った後に、タイミング違反が発生するか否かを判別するため、情報処理装置を用いた静的タイミング検証（ステップS 6）が実行される。

[0005] また、静的タイミング検証によって、タイミング違反が発生すると判定されなかった場合には、各モジュールの配置及び配線（ステップS 7）が行われ、再度静的タイミング検証が行われる（ステップS 8）。その後、再度の静的タイミング検証においてタイミング違反が発生しなかった場合には、回路全体のタイミングがF i x（固定）となる（ステップS 9）。

[0006] ここで、設計上の誤りがモジュールの回路に存在する場合やタイミング制約に誤りが存在する場合には、モジュール間での送受信タイミングがずれるタイミング違反が発生する。つまり、静的タイミング検証を行う情報処理装置は、設計上の誤りが存在する場合やタイミング制約に誤りが存在する場合には、タイミング違反の発生を検出する。このような場合には、開発者は、検出されたタイミング違反がタイミング制約の誤りを原因とする誤検出であるか否かを手動で判別する。

[0007] ここで、図 1 5 を用いて、従来の静的タイミング検証について説明する。図 1 5 は、従来の静的タイミング検証を説明するためのフローチャートである。例えば、図 1 5 に示す例では、モジュールごとのタイミング制約が開発者によって作成される（ステップS 1 0）。そして、作成されたタイミング制約と各モジュールの回路情報とを用いた静的タイミング検証が情報処理装置によって行われる（ステップS 1 1）。

[0008] また、情報処理装置によってタイミング違反が無いと判別された場合には（ステップS 1 2 否定）、タイミングがF i xされる（ステップS 1 3）。一方、情報処理装置によってタイミング違反が発生すると判別された場合には（ステップS 1 2 肯定）、タイミング違反の原因がタイミング制約の誤りによる誤検出であるか否かを開発者が手動で判別する（ステップS 1 4）。

[0009] そして、タイミング違反の原因がタイミング制約の誤りによる誤検出であると開発者が判別した場合には（ステップS 1 4 肯定）、開発者によってタ

イミング制約が修正される（ステップS 1 5）。一方、タイミング制約の原因がタイミング制約の誤りによる誤検出ではないと開発者が判別した場合には（ステップS 1 4 否定）、各モジュール回路の修正が行われる（ステップS 1 6）。

[0010] ここで、図 1 6 ～ 1 8 を用いて、タイミング制約の誤りを原因としてタイミング違反が検出される例について説明する。なお、図 1 6 は、従来のタイミング制約設定を説明するための図である。また、図 1 7 は、マルチサイクルが適用される範囲を説明するための図である。また、図 1 8 は、タイミング制約の重複を説明するための図である。

[0011] 例えば、図 1 6 に示す例では、出力がマルチサイクル「4」のタイミング制約がモジュールAに設定され、入力がマルチサイクル「2」のタイミング制約がモジュールCに設定される。このような場合には、図 1 7 中 α で示すようにモジュールAからモジュールCまでの間がマルチサイクル「4」の適用範囲となる。また、図 1 7 中 β で示すようにモジュールAからモジュールCまでの間、及び、モジュールBからモジュールCまでの間がマルチサイクル「2」の適用範囲となる。

[0012] 結果として、図 1 8 中 γ に示すように、モジュールAからモジュールCまでの間に、異なる値のマルチサイクル「2」とマルチサイクル「4」とが同時に適用されてしまう。このような場合には、静的タイミング検証に使用するツールによって異なるタイミング制約が選択される結果、タイミング違反を検出してしまう。

先行技術文献

特許文献

[0013] 特許文献1：特開2005-122578号公報

発明の概要

発明が解決しようとする課題

[0014] しかしながら、上述した静的タイミング検証が誤検出であるか否かを判別

する方法では、タイミング違反の原因がタイミング制約の誤りであるか否かを人手で判別するので、誤検出の確認のための工数が増大するという問題があった。

- [0015] 本願に開示の技術は、上述した問題に鑑みてなされたものであって、タイミング制約の誤りを検出するので、タイミング違反の原因がタイミング制約の誤りであるか否かを判別する工数を削減することができる。

課題を解決するための手段

- [0016] 本願に開示の技術は、一つの態様によれば、論理回路に関する情報を示す回路情報と論理回路同士を接続するワイヤの情報を示す接続情報とを用いて、各論理回路に対して設定されたタイミング制約をワイヤを辿って伝播させるタイミング制約生成支援装置である。また、タイミング制約生成支援装置は、ワイヤに異なる複数のタイミング制約が伝播されたか否かを判定する。そして、タイミング制約生成支援装置は、ワイヤに異なる複数の前記タイミング制約が伝播されたと判定した場合には、ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する。

発明の効果

- [0017] 本願に開示の技術は、一つの態様によれば、タイミング制約の誤りを検出するので、タイミング違反の原因がタイミング制約の誤りであるか否かを判別する工数を削減することができる。

図面の簡単な説明

- [0018] [図1] 図1は、実施例1に係る情報処理装置を説明するための図である。
[図2] 図2は、回路情報の一例を説明するための図である。
[図3] 図3は、タイミング制約の一例を説明するための図である。
[図4] 図4は、インスタンス情報とワイヤー情報とを生成する処理の一例を説明するための図である。
[図5] 図5は、回路情報が示す回路図の一例を説明するための図である。
[図6] 図6は、タイミング制約の追加を説明するための図である。
[図7] 図7は、タイミング制約の伝播の一例を説明するための図である。

[図8] 図 8 は、タイミング制約の伝播条件の一例を説明するための図である。

[図9] 図 9 は、タイミング制約の重複の一例を説明するための図である。

[図10] 図 10 は、出力される回路図の一例を説明するための図である。

[図11] 図 11 は、実施例 1 に係るタイミング制約生成支援装置が実行する処理の一例を説明するためのフローチャートである。

[図12] 図 12 は、タイミング制約の伝播処理と比較処理との一例を説明するためのフローチャートである。

[図13] 図 13 は、タイミング制約生成支援プログラムを実行するコンピュータの一例を説明するための図である。

[図14] 図 14 は、従来のレイアウト工程を説明するためのフローチャートである。

[図15] 図 15 は、従来の静的タイミング検証を説明するためのフローチャートである。

[図16] 図 16 は、従来のタイミング制約設定を説明するための図である。

[図17] 図 17 は、マルチサイクルが適用される範囲を説明するための図である。

[図18] 図 18 は、タイミング制約の重複を説明するための図である。

発明を実施するための形態

[0019] 以下に添付図面を参照して本願に係るタイミング制約生成支援装置について説明する。

実施例 1

[0020] 以下の実施例 1 では、図 1 を用いて、タイミング制約生成支援装置を有する情報処理装置について説明する。図 1 は、実施例 1 に係る情報処理装置を説明するための図である。なお、情報処理装置は、少なくともタイミング制約生成支援を行うワークステーションである。

[0021] 図 1 に示すように、情報処理装置 1 は、タイミング制約生成支援装置 2 を有する。また、情報処理装置 1 は、回路情報記憶部 3、タイミング制約記憶部 4、及び、モニタ 14 と接続される。タイミング制約生成支援装置 2 は、

インスタンス情報記憶部 5、ワイヤー情報記憶部 6、タイミング制約重複確認部 7 を有する。また、タイミング制約重複確認部 7 は、回路情報解析部 8、インスタンス情報検索部 9、ワイヤー情報検索部 10、伝播部 11、判定部 12、出力部 13 を有する。

[0022] 回路情報記憶部 3 は、回路情報を記憶する記憶部である。具体的には、回路情報記憶部 3 は、モジュール名、インスタンス名、ピン名、論理情報、ワイヤー名、ドライバピン名、レシーバピン名回路の詳細情報として有する回路情報を記憶する。例えば、回路情報記憶部 3 は、図 2 に例示する回路情報を記憶する。図 2 は、回路情報の一例を説明するための図である。

[0023] タイミング制約記憶部 4 は、タイミング制約を記憶する。具体的には、タイミング制約記憶部 4 は、タイミング制約が適用されるモジュール及びタイミング制約が伝播するワイヤが接続されたピン名を有するタイミング制約を記憶する。図 3 に示す例では、タイミング制約記憶部 4 は、タイミング制約「set__multicycle__path 2 -setup-start -from [get__pins DATA__IN__A*]」を記憶する。また、図 3 に示す例では、タイミング制約記憶部 4 は、タイミング制約「set__multicycle__path 4 -setup-start-through [get__pins inst__IN__B/C*]」を記憶する。図 3 は、タイミング制約の一例を説明するための図である。

[0024] 図 1 に戻って、インスタンス情報記憶部 5 は、論理回路に関する情報であるインスタンス情報を記憶する。具体的には、インスタンス情報記憶部 5 は、回路情報記憶部 3 に記憶された回路情報から後述する回路情報解析部 8 が作成したインスタンス情報を記憶する。例えば、インスタンス情報記憶部 5 は、モジュール名「SCVOR」、インスタンス名「inst__A1」、入力ピン「A」及び「B」、出力ピン「Y」、論理情報「Y=A or B」が関連付けられたインスタンス情報を記憶する。つまり、インスタンス情報記憶部 5 は、入力ピン「A」及び「B」を有し、出力ピン「Y」を有する OR 回路「inst__A1」についてのインスタンス情報を記憶する。

- [0025] ワイヤー情報記憶部 6 は、論理回路同士の接続関係を示すワイヤー情報を記憶する。つまり、ワイヤー情報記憶部 6 は、各論理回路同士を接続するワイヤーを示す情報を記憶する。具体的には、ワイヤー情報記憶部 6 は、回路情報記憶部 3 に記憶された回路情報から後述する回路情報解析部 8 が作成したワイヤー情報を記憶する。
- [0026] 例えば、ワイヤー情報記憶部 6 は、ワイヤー名「w i r e __ 2」、ドライバピン名「DATA __ IN __ A [2]」、レシーバピン名「i n s t __ B / A [2]」が関連付けられたワイヤー情報を記憶する。さらに、ワイヤー情報記憶部 6 は、各ワイヤー情報にタイミング制約を格納するタイミング制約格納領域を付加して記憶する。このタイミング制約格納領域には、後述するように、伝播部 11 によって、タイミング制約が格納される。
- [0027] 回路情報解析部 8 は、回路情報記憶部 3 に記憶された回路情報を解析し、解析された回路情報からインスタンス情報とワイヤー情報とを作成する。具体的には、回路情報解析部 8 は、回路情報記憶部 3 に記憶された回路情報を解析し、解析された回路情報に含まれる回路の詳細情報を取得する。
- [0028] その後、回路情報解析部 8 は、作成したインスタンス情報をインスタンス情報記憶部 5 に記憶させる。また、回路情報解析部 8 は、作成したワイヤー情報をワイヤー情報記憶部 6 に記憶させる。また、回路情報解析部 8 は、作成したインスタンス情報とワイヤー情報とを用いて、回路情報が示す回路図を作成する。そして、回路情報解析部 8 は、作成した回路図をモニタ 14 に表示させる。
- [0029] 例えば、図 4 に示す例では、回路情報解析部 8 は、モジュール名「SVCOR20010」、インスタンス名「i n s t __ A 1」、入力ピン「A」及び「B」、出力ピン「Y」、論理情報「 $Y = A \text{ or } B$ 」が格納されたインスタンス情報を作成する。そして、回路情報解析部 8 は、作成したインスタンス情報をインスタンス情報記憶部 5 に記憶させる。
- [0030] また、図 4 に示す例では、回路情報解析部 8 は、ワイヤー名「w i r e __ 2」、ドライバピン名「DATA __ IN __ A [2]」、レシーバピン名「i

inst__B/A[2]」を格納するとともに、タイミング制約格納領域を確保したワイヤー情報を作成する。そして、回路情報解析部8は、作成したワイヤー情報をワイヤー情報記憶部6に記憶させる。

[0031] また、図5に示す例では、回路情報解析部8は、DATA__IN__A[0:7]、DATA__IN__B[0:7]、inst__A、inst__Bを複数のワイヤで接続した回路図を作成し、作成した回路図をモニタ14に表示させる。図5は、回路情報が示す回路図の一例を説明するための図である。

[0032] 図1に戻り、インスタンス情報検索部9は、タイミング制約を取得し、タイミング制約が設定された論理回路を示すインスタンス情報をインスタンス情報記憶部5から検索する。具体的には、インスタンス情報検索部9は、タイミング制約記憶部4に記憶されたタイミング制約を取得する。

[0033] そして、インスタンス情報検索部9は、取得されたタイミング制約を解析し、タイミング制約に含まれるインスタンス情報を取得する。そして、インスタンス情報検索部9は、取得したインスタンス情報を解析し、インスタンス情報に含まれるピン名を取得する。その後、インスタンス情報検索部9は、取得したピン名と取得したタイミング制約とをワイヤー情報検索部10に通知する。

[0034] 例えば、インスタンス情報検索部9は、タイミング制約「set__multicycle__path 2 -setup-start-from[get__pinsDATA__IN__A*]」を取得する。このような場合には、インスタンス情報検索部9は、取得したタイミング制約を解析し、タイミング制約に含まれる「get__pinsDATA__IN__A*」から、インスタンス名「TOP」を判別する。また、インスタンス情報検索部9は、タイミング制約に含まれる「get__pinsDATA__IN__A*」から、ピン名「DATA__IN__A*」を判別する。なお、「*」は、任意の文字、数字を表す記号である。

[0035] そして、インスタンス情報検索部9は、判別されたインスタンス名「TOP」を用いて、インスタンス情報記憶部5に記憶されたインスタンス情報の

うち、インスタンス名に「TOP」が格納されたインスタンス情報を検索する。また、インスタンス情報検索部 9 は、インスタンス名が「TOP」であるインスタンス情報に格納された出力ピン名から「DATA__IN__A*」と合致するピン名「DATA__IN__A[2]」を取得する。

[0036] そして、インスタンス情報検索部 9 は、取得された出力ピン名「DATA__IN__A[2]」をワイヤー情報検索部 10 に通知する。また、インスタンス情報検索部 9 は、取得されたタイミング制約「set__multicycle__path 2 -setup-start-from[get__pinsDATA__IN__A*]」をワイヤー情報検索部 10 に通知する。

[0037] ワイヤー情報検索部 10 は、タイミング制約が設定された論理回路に接続されたワイヤを示すワイヤー情報を検索する。つまり、ワイヤー情報検索部 10 は、タイミング制約が設定された論理回路の接続関係を示すワイヤー情報を検索する。具体的には、ワイヤー情報検索部 10 は、インスタンス情報検索部 9 から出力ピン名とタイミング制約とを取得する。そして、ワイヤー情報検索部 10 は、取得された出力ピン名がドライバピン名として格納されたワイヤー情報を検索する。その後、ワイヤー情報検索部 10 は、検索されたワイヤー情報のタイミング制約格納領域に取得されたタイミング制約を格納する。

[0038] ここで、ワイヤー情報検索部 10 が実行する処理の一例を図 6 を用いて説明する。図 6 は、タイミング制約の追加を説明するための図である。例えば、ワイヤー情報検索部 10 は、ピン名「DATA__IN__A[2]」をインスタンス情報検索部 9 から取得する。また、ワイヤー情報検索部 10 は、タイミング制約「set__multicycle__path 2 -setup-start-from[get__pinsDATA__IN__A*]」をインスタンス情報検索部 9 から取得する。そして、ワイヤー情報検索部 10 は、取得されたピン名「DATA__IN__A[2]」がドライバピン名として格納されたワイヤー情報をワイヤー情報記憶部 6 から検索する。

[0039] 図 6 に示す例では、ワイヤー情報検索部 10 は、ピン名「DATA__IN

__A [2]」がドライバピン名として格納されたワイヤー情報として、ワイヤー名に「w i r e 2」が格納されたワイヤー情報を特定する。そして、ワイヤー情報検索部 10 は、特定したワイヤー情報のタイミング制約格納領域にタイミング制約「s e t _ m u l t i c y c l e _ p a t h 2 - s e t u p - s t a r t - f r o m [g e t _ p i n s D A T A _ I N _ A *] 」を格納する。

[0040] 図 1 に戻って、伝播部 11 は、インスタンス情報とワイヤー情報とを用いるとともに、タイミング制約がワイヤに伝播するか否かを示す条件を用いて、各論理回路に対して設定されたタイミング制約をワイヤーを辿って伝播させる。具体的には、伝播部 11 は、タイミング制約格納領域にタイミング制約が格納されたワイヤー情報を検索し、検索されたワイヤー情報のレシーバピン名と格納されたタイミング制約とを取得する。また、伝播部 11 は、取得されたレシーバピン名を用いて、タイミング制約が伝播する論理回路を示すインスタンス情報を検索する。つまり、伝播部 11 は、ワイヤー情報が示すワイヤーの接続先となる論理回路を示すインスタンス情報を検索する。

[0041] そして、伝播部 11 は、検索されたインスタンス情報が伝播条件を満たすか否かを判別する。ここで、伝播条件とは、インスタンス情報が示す論理回路が他の論理回路にタイミング制約が伝播するか否かを判別するための条件である。例えば、論理回路には、o r 回路、a n d 回路、n o t 回路、s e l e c t 回路、フリップフロップ、n u l l 等の種類がある。このような各種論理回路は、入力された情報を回路の種別ごとに異なる条件に従って他の論理回路へ出力する。つまり、タイミング制約の伝播の仕方が論理回路ごとに異なる。ここで、n u l l とは、インスタンスがトップ階層であることを示す。

[0042] このため、伝播部 11 は、インスタンス情報とワイヤー情報とを用いるとともに、伝播条件を用いて、タイミング制約が他の論理回路に伝播するか否かを判別する。このため、伝播部 11 は、タイミング制約を正確に伝播させることができる。

- [0043] また、伝播部 11 は、検索されたインスタンス情報が伝播条件を満たすと判別した場合には、検索されたインスタンス情報からインスタンス名と出力ピン名とを取得する。そして、伝播部 11 は、取得されたインスタンス名及び出力ピン名がドライバピン名として格納されたワイヤー情報をワイヤー情報記憶部 6 から検索する。
- [0044] また、伝播部 11 は、検索されたワイヤー情報のタイミング制約格納領域に伝播するタイミング制約を格納する。つまり、伝播部 11 は、検索されたワイヤー情報のタイミング制約格納領域に最初を取得したタイミング制約を格納する。また、伝播部 11 は、ワイヤー情報にタイミング制約を格納した場合には、上述したように、再度インスタンス情報の検索を行う。
- [0045] このように、伝播部 11 は、タイミング制約が適用された論理回路を示すインスタンス情報を起点として、ワイヤー情報とインスタンス情報とを辿りながらタイミング制約を伝播させる。また、伝播部 11 は、タイミング制約が伝播した論理回路同士を接続するワイヤーを示すワイヤー情報にタイミング制約を格納する。
- [0046] 以下、図 7、8 を用いて伝播部 11 が実行する処理の具体例について説明する。なお図 7 は、タイミング制約の伝播の一例を説明するための図である。また、図 8 は、タイミング制約の伝播条件の一例を説明するための図である。図 7 に示す例では、伝播部 11 は、タイミング制約格納領域にタイミング制約が格納されたワイヤー情報をワイヤー情報記憶部 6 から検索した結果、ワイヤー名に「wire__16」が格納されたワイヤー情報を特定したものとする。
- [0047] このような場合には、伝播部 11 は、ワイヤー名「wire__16」のワイヤー情報に格納されたレシーバピン名「inst__A0/A」を取得する。また、伝播部 11 は、ワイヤー名「wire__16」のワイヤー情報に格納されたタイミング制約「set__multicycle__path 2
—setup—start—from [get__pinsDATA__IN__A*]」を取得する。

- [0048] また、伝播部 11 は、取得されたレシーバピン名「i n s t _ A 0 / A」を用いて、インスタンス名に「i n s t _ A 0」が格納されたインスタンス情報をインスタンス情報記憶部 5 から検索する。そして、伝播部 11 は、インスタンス名に「i n s t _ A 0」が格納されたインスタンス情報を特定した場合には、特定したインスタンス情報の出力ピンに格納された情報「Y」を取得する。
- [0049] また、伝播部 11 は、インスタンス名に「i n s t _ A 0」が格納されたインスタンス情報の論理情報に「o r」が含まれていることを判別する。つまり、伝播部 11 は、インスタンス名「i n s t _ A 0」の論理回路が o r 回路であることを判別する。そして、伝播部 11 は、図 8 に例示する伝播条件を用いて、特定したインスタンス情報が示す論理回路がタイミング制約を伝播するか否かを判別する。
- [0050] ここで、図 8 は、タイミング制約の伝播条件の一例を説明するための図である。図 8 に示す例では、伝播条件として論理回路の種別が「o r」である場合には、取得されたタイミング制約が 0 固定であるか否かを判別し、タイミング制約が 0 固定ではないと判別した場合には、タイミング制約を伝播させる条件が示されている。
- [0051] また、図 8 に示す例では、伝播条件として、取得されたタイミング制約が 0 固定であると判別した場合には、インスタンス情報の検索に用いられた入力ピンとは異なるピンと接続されたワイヤー情報を検索する。そして、検索されたワイヤー情報に格納された他のタイミング制約が 0 固定の場合には、タイミング制約を伝播させる条件が示されている。
- [0052] 図 7 に示す例では、伝播するか否かを判別されるタイミング制約が 0 固定ではない。このため、伝播部 11 は、インスタンス名「i n s t _ A 0」が格納したインスタンス情報が示す論理回路を介してタイミング制約が伝播すると判別する。そして、伝播部 11 は、インスタンス名「i n s t _ A 0」と出力ピン「Y」とを用いて、ワイヤー情報を検索する。
- [0053] このため、伝播部 11 は、ワイヤー名に「w i r e _ 3 2」が格納された

ワイヤー情報を特定する。このため、伝播部 11 は、特定されたワイヤー情報のタイミング制約格納領域に伝播したタイミング制約を追加する。その後、伝播部 11 は、上述した処理と同様の処理を実行し、タイミング制約が伝播する論理回路を示すインスタンス情報を検索する。

[0054] このように、伝播部 11 は、ワイヤー情報のタイミング制約格納領域に伝播したタイミング制約を追加することで、タイミング制約が伝播する論理回路とタイミング制約に従って情報が送受信される経路とを特定することができる。

[0055] 図 1 に戻って、判定部 12 は、伝播部 11 によって異なる複数のタイミング制約がワイヤに伝播されたか判定する。また、判定部 12 は、伝播部 11 によってワイヤに同じ種別のタイミング制約が複数伝播され、かつ、伝播したタイミング制約が設定する値が異なる場合には、ワイヤに異なる複数のタイミング制約が伝播されたと判定する。

[0056] 具体的には、判定部 12 は、伝播部 11 が全てのタイミング制約について他の論理回路に伝播させた場合には、ワイヤー情報記憶部 6 に記憶されたワイヤー情報のうち、複数の異なるタイミング制約が格納されたワイヤー情報を検索する。そして、判定部 12 は、検索されたワイヤー情報のタイミング制約格納領域に格納されたタイミング制約が重複しているか否かを判別する。

[0057] その後、判定部 12 は、ワイヤー情報のタイミング制約格納領域に格納されたタイミング制約が重複していると判別した場合には、タイミング制約が重複したワイヤー情報を重複したワイヤー情報群として登録する。つまり、判定部 12 は、複数の異なるタイミング制約が適用される範囲に含まれるワイヤーを示すワイヤー情報を検索し、検索されたワイヤー情報を重複したワイヤー情報群として登録する。

[0058] ここで、タイミング制約が重複するとは、各タイミング制約が示す設定種別が同じだが、各タイミング制約が示す設定値が異なる状態を言う。例えば、判定部 12 は、それぞれマルチサイクルを指定するタイミング制約であっ

て、それぞれ異なる設定値を指定する2つのタイミング制約が、ワイヤー情報のタイミング制約記憶領域に格納されている場合には、タイミング制約が重複していると判別する。

[0059] 以下、図9を用いて、判定部12が実行する処理について具体例を説明する。図9は、タイミング制約の重複の一例を説明するための図である。図9に示す例では、判定部12は、ワイヤー名に「wire__32」が格納されたワイヤー情報のタイミング制約格納領域に複数の異なるタイミング制約が格納されていると判別する。このため、判定部12は、タイミング制約格納領域に格納されたタイミング制約が重複しているか否かを判別する。

[0060] ここで、図9に示す例では、ワイヤー名に「wire__32」が格納されたワイヤー情報には、タイミング制約「set__multicycle__path2-setup-start-from[get__pins DATA__IN__A*]」が格納されている。つまり、マルチサイクルを「2」に設定するタイミング制約が格納されている。また、ワイヤー名に「wire__32」が格納されたワイヤー情報には、また、タイミング制約「set__multicycle__path4-setup-start-through[get__pins inst__B/C*]」が格納されている。つまり、マルチサイクルを「4」に設定するタイミング制約が格納されている。

[0061] このため、判定部12は、ワイヤー名に「wire__32」が格納されたワイヤー情報には、同一種別のタイミング制約であって、異なる設定値を指定するタイミング制約が格納されていると判別する。このため、判定部12は、ワイヤー名に「wire__32」が格納されたワイヤー情報が示すワイヤーにおいてタイミング制約が重複すると判別する。そして、判定部12は、ワイヤー名に「wire__32」が格納されたワイヤー情報を重複ワイヤー情報群として登録する。その後、判定部12は、ワイヤー情報記憶部6に記憶された全てのワイヤー情報についてタイミング制約の重複を判別した場合には、重複ワイヤー情報群として登録された各ワイヤー情報を出力部13に送信する。

[0062] このように、判定部 12 は、タイミング制約に含まれる設定内容と設定値とを用いて、論理回路間で複数の異なるタイミング制約が伝播しているか否かを判別する。ここで、複数の異なるタイミング制約同士が伝播している場合にも、各タイミング制約同士が完全に同じタイミング制約であれば、タイミング制約の重複は発生しない。一方、各タイミング制約に含まれる設定内容が同じであっても、設定値が異なる場合には、タイミング制約の重複が発生する。

[0063] このため、判定部 12 は、タイミング制約に含まれる設定内容同士と設定値同士とを比較する。結果として、判別部 12、タイミング制約同士が重複するか否かを適切に判別することができるので、タイミング制約の誤りを適切に検出することができる。

[0064] 図 1 に戻り、出力部 13 は、判定部 12 によってワイヤに異なる複数のタイミング制約が伝播されたと判定された場合には、ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する。例えば、出力部 13 は、判定部 12 によってワイヤに異なる複数のタイミング制約が伝播されたと判定された場合には、異なる複数のタイミング制約が伝播されたワイヤ部分を強調した回路図を出力する。

[0065] 具体的には、出力部 13 は、判定部 12 から重複ワイヤー情報群として登録された各ワイヤー情報を受信する。そして、出力部 13 は、判定部 12 から受信した各ワイヤー情報が示すワイヤー部分をモニタ 14 に表示させる。例えば、出力部 13 は、図 10 の斜線部分に示すように、タイミング制約が重複する範囲、つまりタイミング制約に誤りが有る範囲をハイライト表示した回路図をモニタ 14 に表示させる。図 10 は、出力される回路図の一例を説明するための図である。

[0066] 例えば、タイミング制約生成支援装置 2 とは、電子回路である。また、回路情報解析部 8、インスタンス情報検索部 9、ワイヤー情報検索部 10、伝播部 11、判定部 12、出力部 13 とは、電子回路である。ここで、電子回路の例として、ASIC (Application Specific Integrated Circuit)

やFPGA (Field Programmable Gate Array) などの集積回路、またはCPU (Central Processing Unit) やMPU (Micro Processing Unit) などを適用する。

[0067] また、回路情報記憶部3、タイミング制約記憶部4、インスタンス情報記憶部5、ワイヤー情報記憶部6とは、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ (flash memory) などの半導体メモリ素子、または、ハードディスク、光ディスクなどの記憶装置である。

[0068] 次に、図11を用いて、タイミング制約生成支援装置2が実行する処理の流れについて説明する。図11は、実施例1に関わるタイミング制約生成支援装置が実行する処理の一例を説明するためのフローチャートである。

[0069] まず、タイミング制約生成支援装置2は、回路情報を取得し、取得した回路情報から回路情報を解析する(ステップS101)。この際、タイミング制約生成支援装置2は、取得した回路情報からインスタンス情報とワイヤー情報とを作成し、記憶する。また、タイミング制約生成支援装置2は、取得した回路情報から回路図を作成し、作成した回路図をモニタ14に表示する(ステップS102)。

[0070] また、タイミング制約生成支援装置2は、タイミング制約を取得し、取得したタイミング制約を解析する(ステップS103)。この際、タイミング制約生成支援装置2は、取得したタイミング制約が設定されたインスタンス情報からワイヤー情報を検索し、検索されたワイヤー情報にタイミング制約を格納する。

[0071] そして、タイミング制約生成支援装置2は、タイミング制約が格納されたワイヤー情報から、タイミング制約を伝播させる(ステップS104)。つまり、タイミング制約生成支援装置2は、インスタンス情報とワイヤー情報とを辿って、タイミング制約が伝播した論理回路同士を接続するワイヤー情報を判別する。そして、タイミング制約生成支援装置2は、伝播させたタイミング制約を判別されたワイヤー情報に格納する。

- [0072] 次に、タイミング制約生成支援装置 2 は、ワイヤー情報ごとにタイミング制約を比較する（ステップ S 1 0 5）。そして、タイミング制約生成支援装置 2 は、ワイヤー情報に格納されたタイミング制約が重複するか否かを判別する（ステップ S 1 0 6）。また、タイミング制約生成支援装置 2 は、ワイヤー情報に格納されたタイミング制約が重複すると判別した場合には（ステップ S 1 0 6 肯定）、重複をモニタ 1 4 にハイライト表示する（ステップ S 1 0 7）。
- [0073] その後、タイミング制約の修正を開発者が行い（ステップ S 1 0 8）、モジュールごとのタイミング制約を開発者が再度作成する（ステップ S 1 0 9）。その後、タイミング制約生成支援装置 2 は、再度作成された修正済みのタイミング制約を用いて、再度タイミング制約を伝播させる。
- [0074] 一方、タイミング制約生成支援装置 2 は、ワイヤー情報に格納されたタイミング制約が重複しないと判別した場合には（ステップ S 1 0 6 否定）、タイミング制約を確定する（ステップ S 1 1 0）。その後、静的タイミング検証が実行され（ステップ S 1 1 1）、タイミング違反が発生するか否かが判別される（ステップ S 1 1 2）。ここで、タイミング違反が発生しないと判別された場合には（ステップ S 1 1 2 否定）、回路のタイミングが F i x される（ステップ S 1 1 3）。
- [0075] 一方、タイミング違反が発生すると判別された場合には（ステップ S 1 1 2 肯定）、開発者が回路を修正し（ステップ S 1 1 4）、修正された回路情報を作成する（ステップ S 1 1 5）。その後、修正された回路情報を用いた再度の静的タイミング検証が実行される（ステップ S 1 1 1）。
- [0076] つまり、タイミング制約生成支援装置 2 は、静的タイミング検証を実行する前にインスタンス情報とワイヤー情報とを用いて、タイミング制約の誤りを検出する。このため、誤りのないタイミング制約を用いた静的タイミング検証が実行される結果、タイミング違反があると判別された場合には、タイミング違反の原因が回路における設計上の誤りであると判別することができる。このため、タイミング制約生成支援装置 2 は、タイミング違反の原因を

判別する工数を削減することができる。

[0077] 次に、図 12 を用いて、タイミング制約生成支援装置 2 がタイミング制約を伝播させ、タイミング制約を比較し、タイミング制約の重複があるか否かを判別する処理について詳しく説明する。なお、図 12 に示す各ステップ S 201 ~ S 209 において実行される処理は、図 11 に示す各ステップ S 104 ~ S 107、S 110 において説明した処理と対応する。図 12 は、タイミング制約の伝播処理と比較処理との一例を説明するためのフローチャートである。

[0078] まず、タイミング制約生成支援装置 2 は、ワイヤー情報に格納されたレシーバピン名を用いて、インスタンス情報を検索する（ステップ S 201）。つまり、タイミング制約生成支援装置 2 は、タイミング制約が伝播する論理回路を示すインスタンス情報を検索する。次に、タイミング制約生成支援装置 2 は、検索されたインスタンス情報の論理情報と伝播条件情報とに応じて、タイミング制約が適用される範囲が伝播するか否かを判別する（ステップ S 202）。

[0079] ここで、タイミング制約生成支援装置 2 は、タイミング制約が伝播しないと判別した場合には（ステップ S 202 否定）、各論理回路に対して設定された全てのタイミング制約を伝播させたか否かを判別する（ステップ S 204）。一方、タイミング制約生成支援装置 2 は、タイミング制約が伝播すると判別した場合には（ステップ S 202 肯定）、インスタンス情報に格納された出力ピンの情報を用いて、ワイヤー情報を検索する。つまり、タイミング制約生成支援装置 2 は、インスタンス情報が示す論理回路とタイミング制約が伝播する論理回路との接続関係を示すワイヤー情報を検索する。そして、タイミング制約生成支援装置 2 は、検索されたワイヤー情報にタイミング制約を格納する（ステップ S 203）。

[0080] その後、タイミング制約生成支援装置 2 は、各論理回路に対して設定された全てのタイミング制約を伝播させたか否かを判別する（ステップ S 204）。そして、タイミング制約生成支援装置 2 は、全てのタイミング制約を伝

播した場合には（ステップS 2 0 4 否定）、伝播させていないタイミング制約について、ステップS 2 0 1 の処理を実行する。

[0081] 一方、タイミング制約生成支援装置 2 は、全てのタイミング制約を伝播させたと判別した場合には（ステップS 2 0 4 肯定）、ワイヤー情報に格納されたタイミング制約同士をワイヤー情報ごとに比較する（ステップS 2 0 5）。そして、タイミング制約生成支援装置 2 は、ワイヤー情報に格納されたタイミング制約同士が重複するか否かをワイヤー情報ごとに判別する（ステップS 2 0 6）。

[0082] その後、タイミング制約生成支援装置 2 は、タイミング制約同士が重複すると判別した場合には（ステップS 2 0 6 肯定）、タイミング制約同士が重複すると判別されたワイヤー情報を重複ワイヤー情報群に登録する（ステップS 2 0 7）。その後、タイミング制約生成支援装置 2 は、重複ワイヤー情報群に登録されたワイヤー情報が示すワイヤー部分をハイライト表示した回路図をモニタ 1 4 から出力する（ステップS 2 0 8）。その後、タイミング制約生成支援装置 2 は、処理を終了する。

[0083] 一方、タイミング制約生成支援装置 2 は、タイミング制約同士が重複しないと判別した場合には（ステップS 2 0 6 否定）、タイミング制約を確定する（ステップS 2 0 9）。その後、タイミング制約生成支援装置 2 は、処理を終了する。

[0084] [実施例 1 の効果]

上述したように、実施例 1 に関わるタイミング制約生成支援装置 2 は、インスタンス情報とワイヤー情報とを用いて、各論理回路に対して設定されたタイミング制約を他の論理回路に伝播させる。そして、タイミング制約生成支援装置 2 は、同じ接続情報を用いて、複数の異なるタイミング制約を伝播させたか否かを判定する。

[0085] ここで、一つのワイヤが複数の重複するタイミング制約が適用される適用範囲に含まれる場合には、タイミング制約に誤りが存在する。このため、タイミング制約生成支援装置 2 は、同じ接続情報を用いて複数の異なるタイミ

ング制約を伝播させたか否かを判別することで、タイミング制約に誤りが存在するか否かを検出することができる。つまり、タイミング制約生成支援装置 2 は、静的タイミング検証時にタイミング違反が発生した場合には、タイミング違反の原因を回路における設計上の誤りに限定することができる。このため、タイミング違反の原因がタイミング制約の誤りであるか否かを判別する工数を削減することができる。

[0086] また、タイミング制約生成支援装置 2 は、同じ接続情報を用いて、判定種別が同じタイミング制約であって、設定値が異なる複数の異なるタイミング制約を伝播させたか否かを判定する。このため、タイミング制約生成支援装置 2 は、タイミング制約の誤りを正確に判別することができる。

[0087] また、タイミング制約生成支援装置 2 は、インスタンス情報とワイヤー情報とを用いるとともに、タイミング制約が他の論理回路に伝播する条件を論理回路の種別ごとに示した伝播条件を用いて、タイミング制約を伝播させる。このため、タイミング制約生成支援装置 2 は、各タイミング制約が伝播する論理回路を正確に特定することができる。

[0088] また、タイミング制約生成支援装置 2 は、同じ接続情報を用いて複数の異なるタイミング制約を伝播させたと判定した場合には、タイミング制約が重複していることを示す情報を出力する。このため、タイミング制約生成支援装置 2 は、開発者がタイミング制約の誤りを修正する作業を容易にすることができる。

実施例 2

[0089] これまで本発明の実施例について説明したが実施例は、上述した実施例以外にも様々な異なる形態にて実施されてよいものである。そこで、以下では実施例 2 として本発明に含まれる他の実施例を説明する。

[0090] (1) タイミング制約の伝播とタイミング制約の重複について

上述したタイミング制約生成支援装置 2 は、タイミング制約を伝播させるため、ワイヤー情報とインスタンス情報とを辿って、タイミング制約が伝播した論理回路間の接続関係を示すワイヤー情報にタイミング制約を格納した

。しかし、実施例はこれに限定されるものではなく、インスタンス情報とワイヤー情報とを用いてタイミング制約を伝播させ、タイミング制約を伝播させた経路を識別できれば、任意の方法でよい。

[0091] (2) タイミング制約重複確認部 7 が有する各部について

上述したタイミング制約重複確認部 7 は、回路情報解析部 8、インスタンス情報検索部 9、ワイヤー情報検索部 10、伝播部 11、判定部 12、出力部 13 を有していた。しかし、実施例はこれに限定されるものではなく、例えば、各部 8～11 の機能を有する伝播部 11 であってもよい。また、出力部 13 は、必須の機能ではなく、任意の方法でタイミング制約の誤りを利用者に通知することができればよい。

[0092] また、回路情報解析部 8 は、インスタンス情報記憶部 5 及びワイヤー情報記憶部 6 にあらかじめインスタンス情報とワイヤー情報とが記憶されている場合には、回路情報からインスタンス情報とワイヤー情報とを作成する必要は無い。また、回路情報解析部 8 は、最初に回路図を表示する必要は無い。

[0093] また、出力部 13 は、判定部 12 によってワイヤに異なる複数のタイミング制約が伝播されたと判定された場合には、異なる複数のタイミング制約が伝播されたと判定されたワイヤを示すワイヤー情報を出力していた。しかし、実施例はこれに限定されるものではなく、例えば、出力部 13 は、一つのワイヤに伝播した異なる複数のタイミング情報を出力しても良い。出力部 13 は、出力するものの別によらず、タイミング制約の誤りを開発者に示すことができるからである。

[0094] (3) プログラム

ところで、実施例 1 に係るタイミング制約生成支援装置 2 は、ハードウェアを利用して各種の処理を実現する場合を説明した。しかし、実施例はこれに限定されるものではなく、あらかじめ用意されたプログラムをタイミング制約生成支援装置が有するコンピュータで実行することによって実現するようにしてもよい。そこで、以下では、図 13 を用いて、実施例 1 に示したタイミング制約生成支援装置と同様の機能を有するタイミング制約生成支援プ

ログラムを実行するコンピュータの一例を説明する。図 13 は、タイミング制約生成支援プログラムを実行するコンピュータの一例を説明するための図である。

[0095] 図 13 に例示されたコンピュータ 100 は、RAM (Random Access Memory) 120、ROM (Read Only Memory) 130、HDD (Hard Disk Drive) 150 がバス 170 で接続される。また、図 13 に例示されたコンピュータ 100 は、CPU (Central Processing Unit) 140 がバス 170 で接続される。さらにバス 170 には、回路情報とタイミング制約とを外部から受信するための I/O (Input Output) 160 が接続される。

[0096] HDD 150 には、インスタンス情報 151、ワイヤー情報 152 があらかじめ保存される。ここで、インスタンス情報 151 とは、実施例 1 に関わるインスタンス情報記憶部 5 に記憶されたインスタンス情報と同様の情報である。また、ワイヤー情報 152 とは、実施例 1 に関わるワイヤー情報記憶部 6 に記憶されたワイヤー情報と同様の情報である。

[0097] ROM 130 には、回路情報解析プログラム 131、インスタンス情報検索プログラム 132、ワイヤー情報検索プログラム 133、伝播プログラム 134、判定プログラム 135、出力プログラム 136 があらかじめ保持される。CPU 140 が各プログラム 131 ~ 136 を ROM 130 から読み出して実行することによって、図 13 に示す例では、各プログラム 131 ~ 132 は、回路情報解析プロセス 141、インスタンス情報検索プロセス 142 として機能するようになる。また、各プログラム 133 ~ 136 は、ワイヤー情報検索プロセス 143、伝播プロセス 144、判定プロセス 145、出力プロセス 146 として機能するようになる。なお、各プロセス 141 ~ 146 は、図 1 に示した各部 8 ~ 13 と同様の機能を発揮する。

[0098] なお、本実施例で説明したタイミング制約生成支援プログラムは、あらかじめ用意されたプログラムをパーソナルコンピュータやワークステーションなどのコンピュータで実行することによって実現することができる。このプログラムは、インターネットなどのネットワークを介して配布することがで

きる。また、このプログラムは、ハードディスク、フレキシブルディスク（FD）、CD-ROM（Compact Disc Read Only Memory）、MO（Magnet Optical Disc）、DVD（Digital Versatile Disc）などのコンピュータで読取可能な記録媒体に記録される。また、このプログラムは、コンピュータによって記録媒体から読み出されることによって実行することもできる。

符号の説明

- [0099] 1 情報処理装置
- 2 タイミング制約生成支援装置
- 3 回路情報記憶部
- 4 タイミング制約記憶部
- 5 インスタンス情報記憶部
- 6 ワイヤー情報記憶部
- 7 タイミング制約重複確認部
- 8 回路情報解析部
- 9 インスタンス情報検索部
- 10 ワイヤー情報検索部
- 11 伝播部
- 12 判定部
- 13 出力部

請求の範囲

- [請求項1] 論理回路に関する情報を示す回路情報と前記論理回路同士を接続するワイヤの情報を示す接続情報とを用いて、各論理回路に対して設定されたタイミング制約を前記ワイヤを辿って伝播させる伝播部と、
前記伝播部によって前記ワイヤに異なる複数のタイミング制約が伝播されたか否かを判定する判定部と、
前記判定部によって前記ワイヤに異なる複数の前記タイミング制約が伝播されたと判定された場合には、当該ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する出力部と、
を有することを特徴とするタイミング制約生成支援装置。
- [請求項2] 前記判定部は、前記伝播部によって前記ワイヤに同じ種別のタイミング制約が複数伝播され、かつ、該タイミング制約が設定する値が異なる場合には、前記ワイヤに異なる複数のタイミング制約が伝播されたと判定することを特徴とする請求項1に記載のタイミング制約生成支援装置。
- [請求項3] 前記伝播部は、前記回路情報および前記接続情報を用いるとともに、前記タイミング制約が前記ワイヤに伝播するか否かを示す条件を用いて、各論理回路に対して設定された各タイミング制約を前記ワイヤを辿って伝播させることを特徴とする請求項1又は2に記載のタイミング制約生成支援装置。
- [請求項4] 前記出力部は、前記判定部によって前記ワイヤに異なる複数のタイミング制約が伝播されたと判定された場合には、当該ワイヤ部分を強調した回路図を出力することを特徴とする請求項1に記載のタイミング制約生成支援装置。
- [請求項5] 論理回路に関する情報を示す回路情報と前記論理回路同士を接続するワイヤの情報を示す接続情報とを用いて、各論理回路に対して設定されたタイミング制約を前記ワイヤを辿って伝播させる伝播手順と、
前記伝播手順によって前記ワイヤに異なる複数のタイミング制約が

伝播されたか否かを判定する判定手順と、

前記判定手順によって前記ワイヤに異なる複数の前記タイミング制約が伝播されたと判定された場合には、当該ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する出力手順と、

をコンピュータに実行させることを特徴とするタイミング制約生成支援プログラム。

[請求項6]

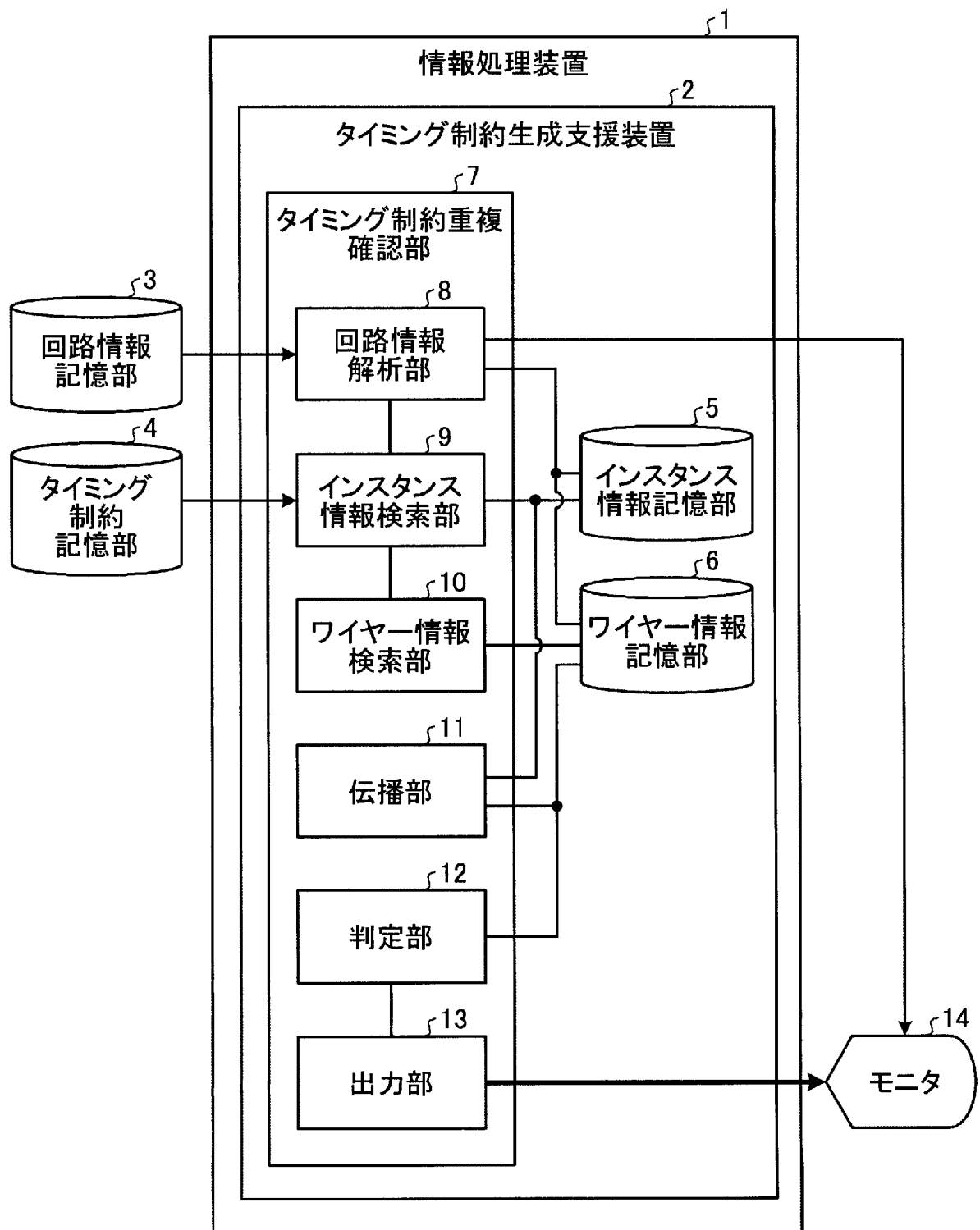
論理回路に関する情報を示す回路情報と前記論理回路同士を接続するワイヤの情報を示す接続情報とを用いて、各論理回路に対して設定されたタイミング制約を前記ワイヤを辿って伝播させる伝播手段と、

前記伝播手段によって前記ワイヤに異なる複数のタイミング制約が伝播されたか否かを判定する判定手段と、

前記判定手段によって前記ワイヤに異なる複数の前記タイミング制約が伝播されたと判定された場合には、当該ワイヤに伝播したタイミング制約が重複していることを示す情報を出力する出力手段と、

を含むことを特徴とするタイミング制約生成支援方法。

[図1]



[図2]

```

module sample1(DATA_IN_A, DATA_IN_B);
input [0:7] DATA_IN_A;
input [0:7] DATA_IN_B;

wire n_0;
wire n_1;
wire n_2;
wire n_3;
wire n_4;
wire n_5;
wire n_6;
wire n_7;

SCVOR20010 inst_A0(.Y(n_0), .A(DATA_IN_A[0]), .B(DATA_IN_B[0]))
SCVOR20010 inst_A1(.Y(n_1), .A(DATA_IN_A[1]), .B(DATA_IN_B[1]))
SCVOR20010 inst_A2(.Y(n_2), .A(DATA_IN_A[2]), .B(DATA_IN_B[2]))
SCVOR20010 inst_A3(.Y(n_3), .A(DATA_IN_A[3]), .B(DATA_IN_B[3]))
SCVOR20010 inst_A4(.Y(n_4), .A(DATA_IN_A[4]), .B(DATA_IN_B[4]))
SCVOR20010 inst_A5(.Y(n_5), .A(DATA_IN_A[5]), .B(DATA_IN_B[5]))
SCVOR20010 inst_A6(.Y(n_6), .A(DATA_IN_A[6]), .B(DATA_IN_B[6]))
SCVOR20010 inst_A7(.Y(n_7), .A(DATA_IN_A[7]), .B(DATA_IN_B[7]))

Module_A inst_B(A[DATA_IN_A[0], DATA_IN_A[1], DATA_IN_A[2], DATA_IN_A[3],
                DATA_IN_A[4], DATA_IN_A[5], DATA_IN_A[6], DATA_IN_A[7]],
                B[DATA_IN_B[0], DATA_IN_B[1], DATA_IN_B[2], DATA_IN_B[3],
                DATA_IN_B[4], DATA_IN_B[5], DATA_IN_B[6], DATA_IN_B[7]],
                C[n_0, n_1, n_2, n_3, n_4, n_5, n_6, n_7]);

endmodule

```

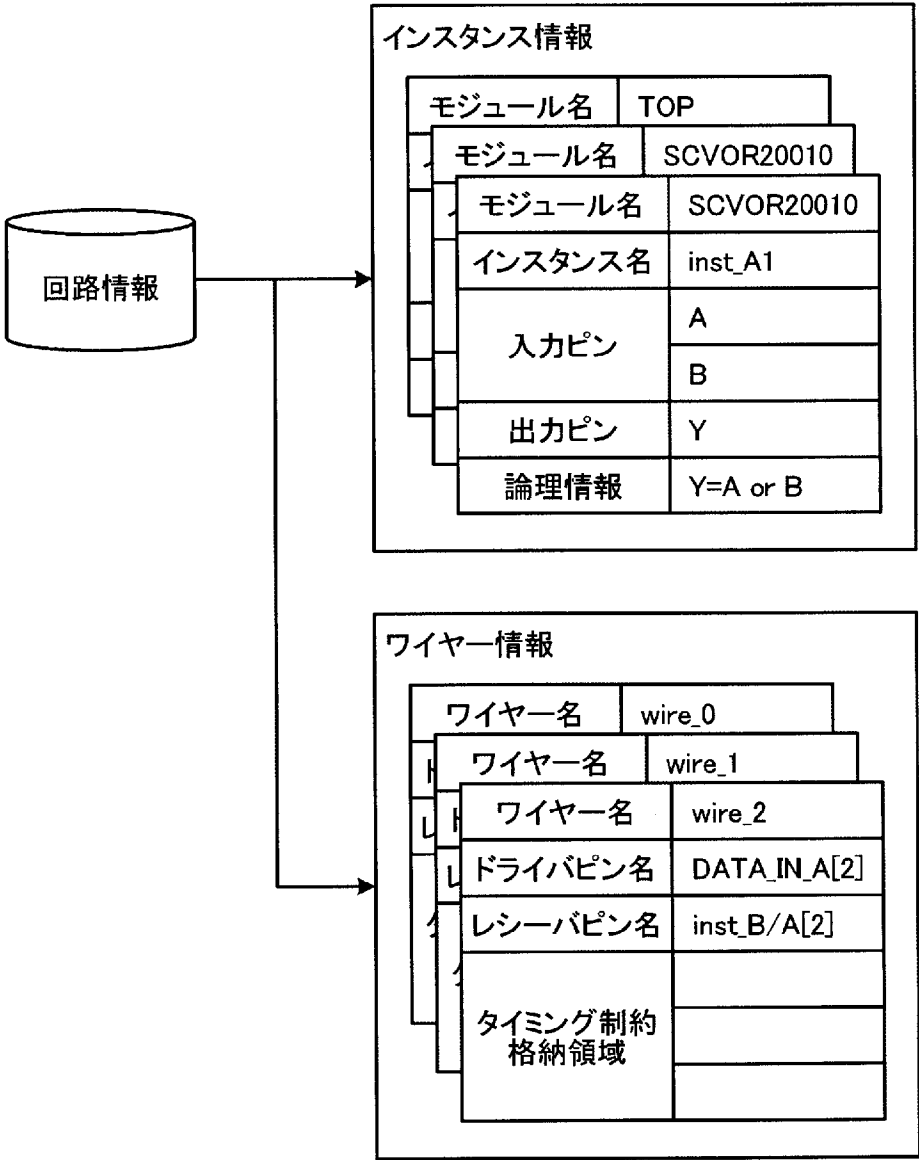
[図3]

```

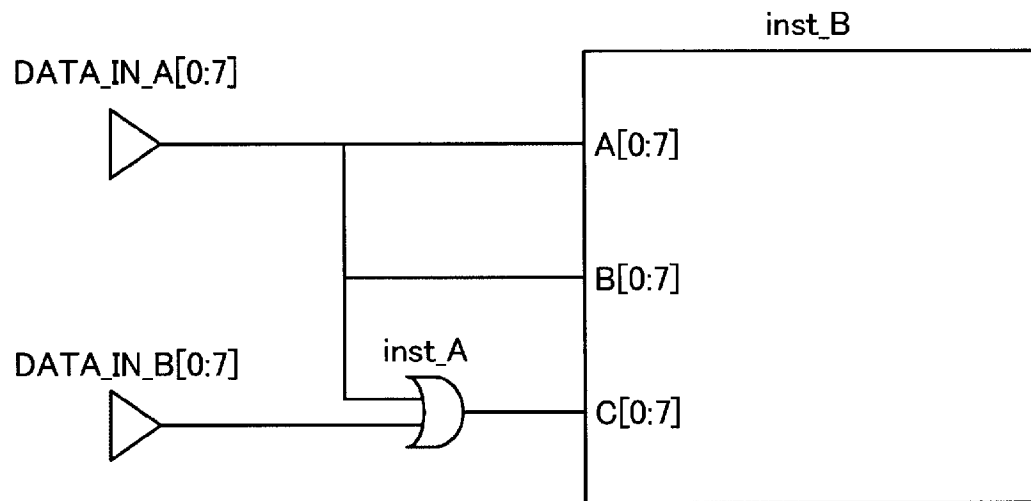
set_multicycle_path 2 -setup -start -from [get_pins DATA_IN_A*]
set_multicycle_path 4 -setup -start -through [get_pins inst_B/C*]

```

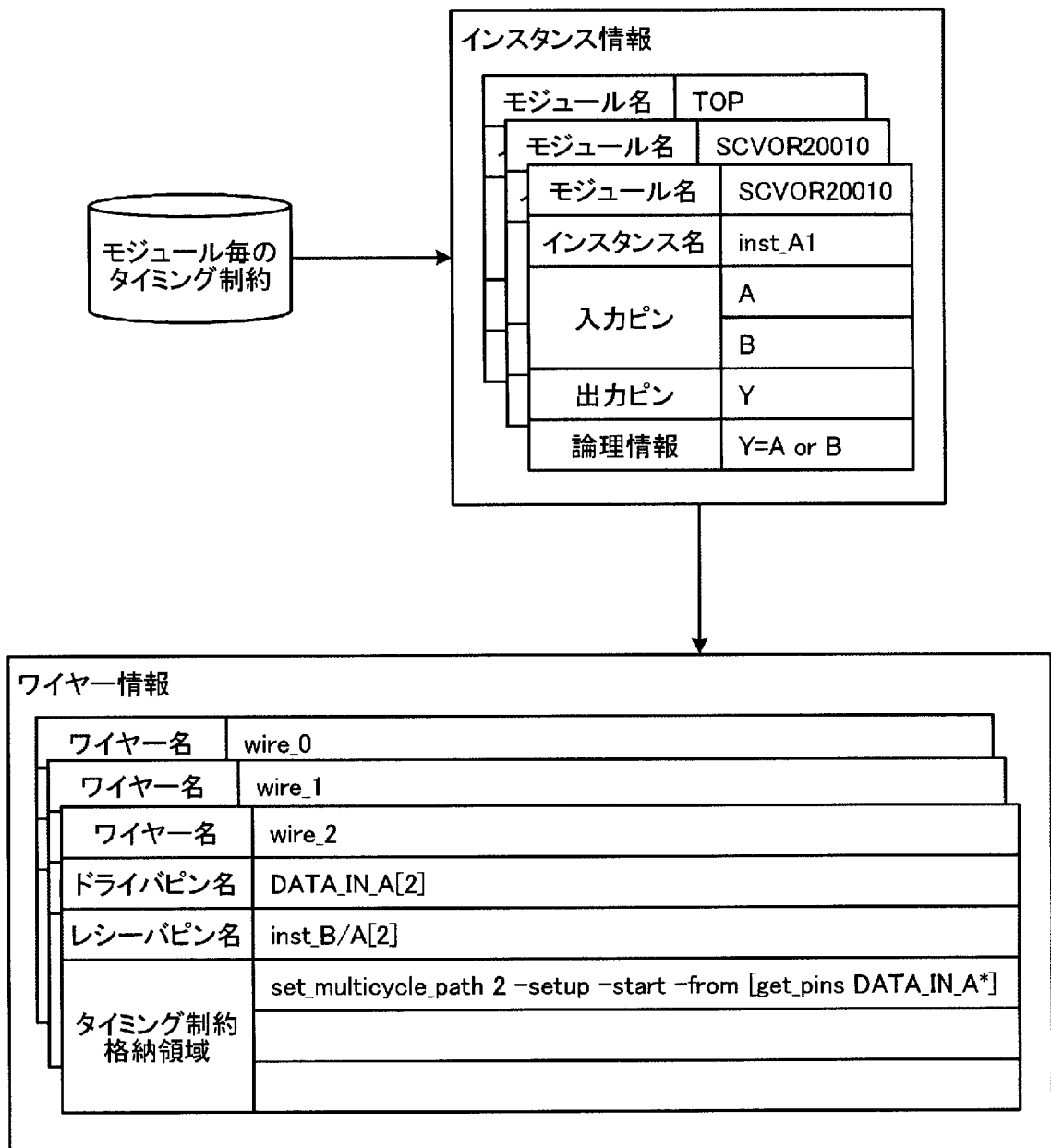
[図4]



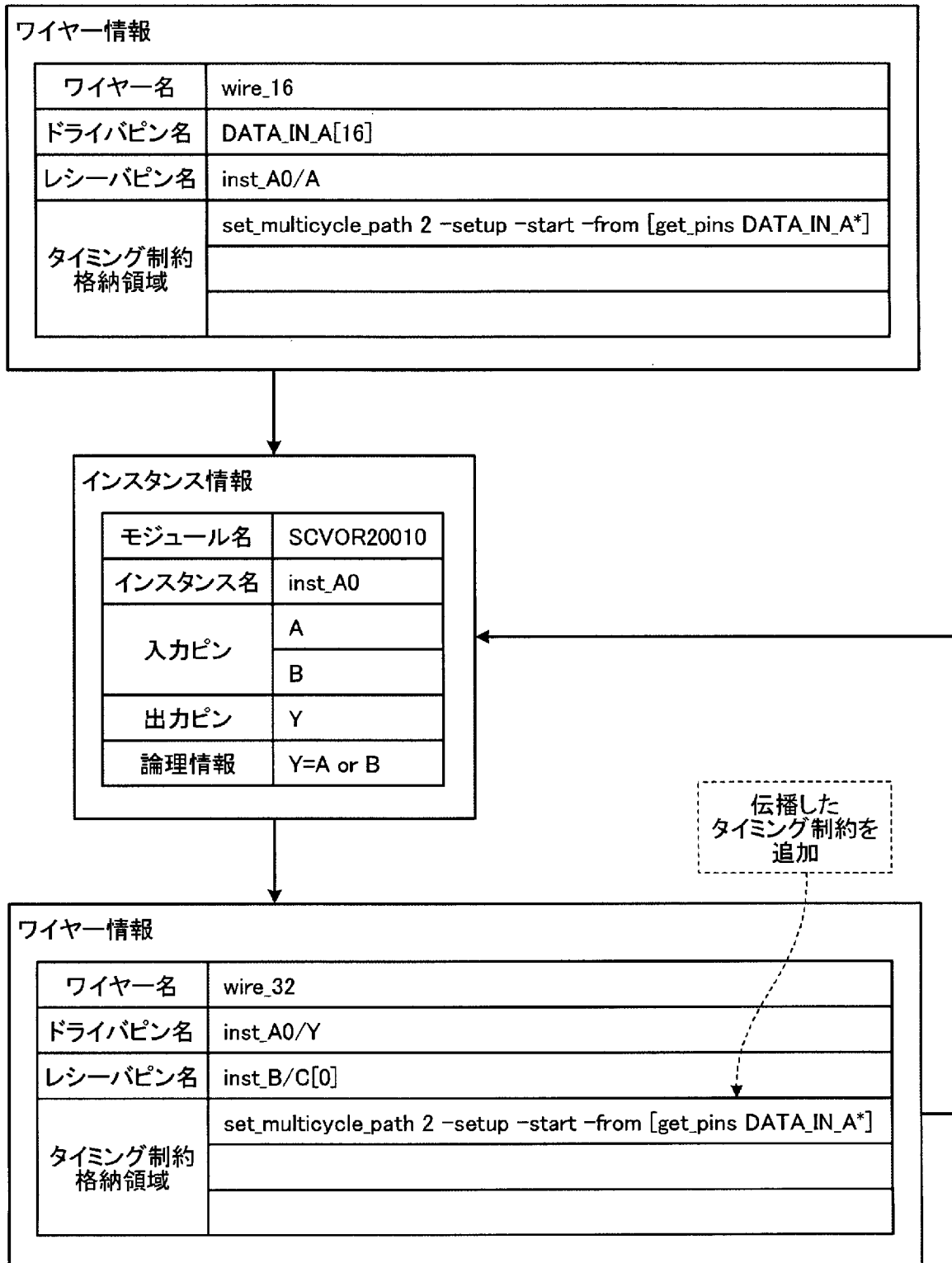
[図5]



[図6]



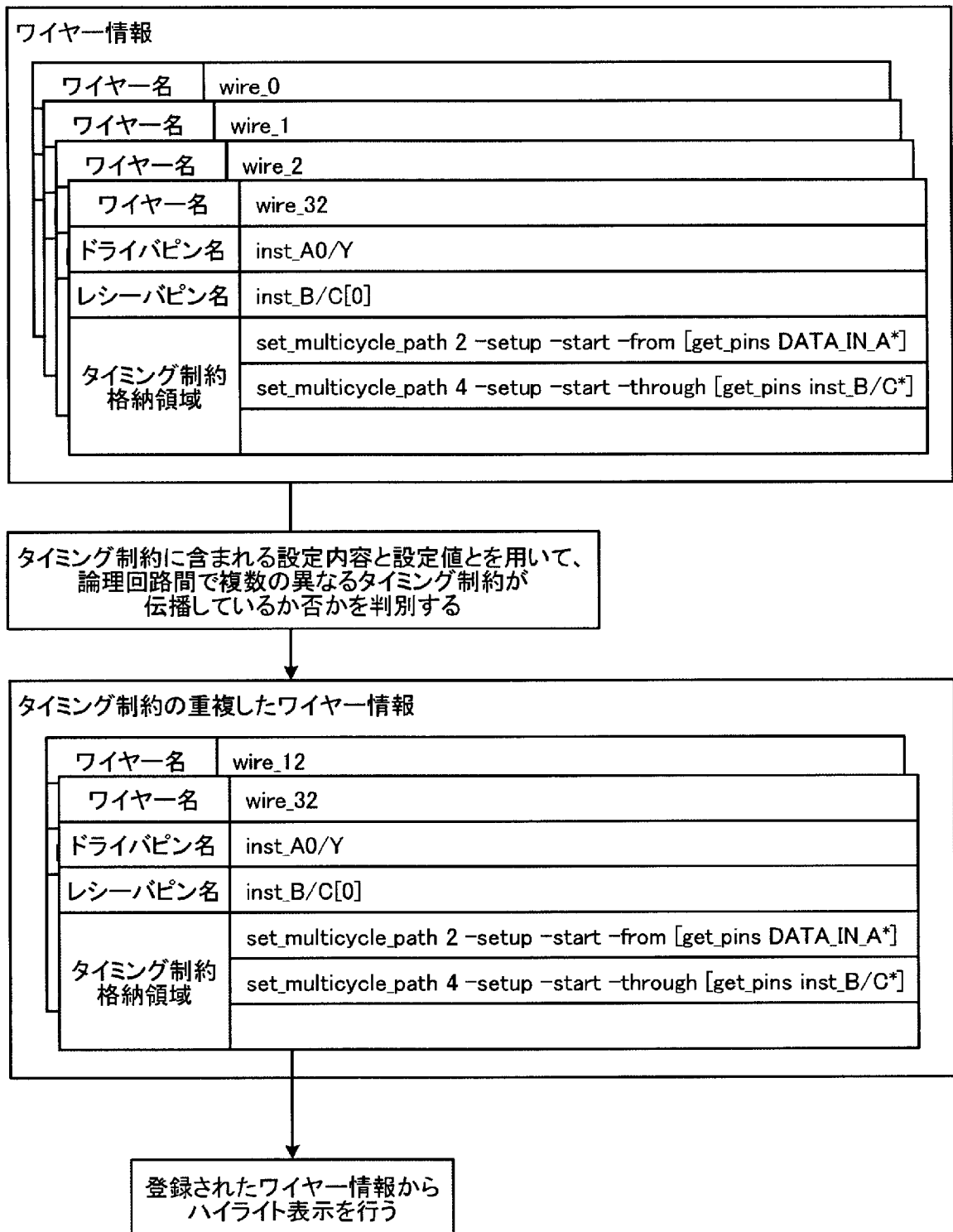
[図7]



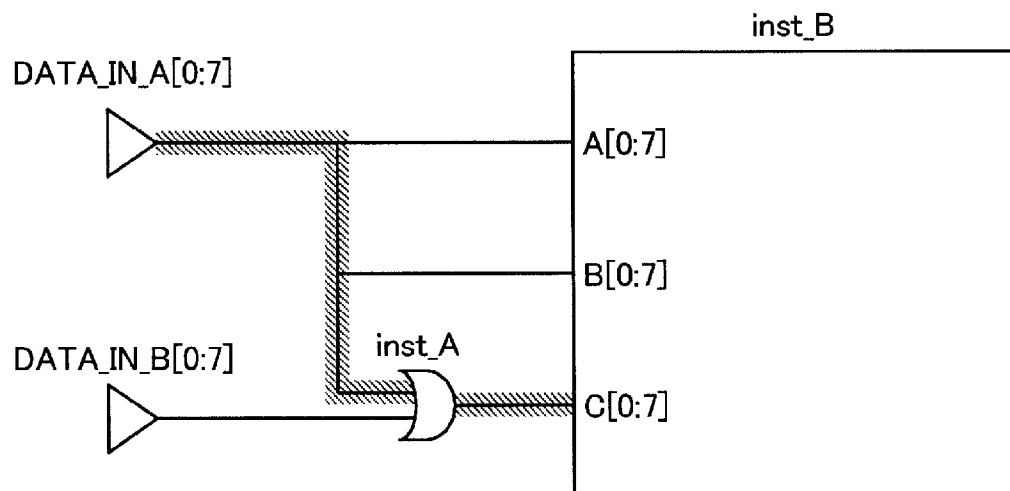
[図8]

論理情報	伝播条件
or	タイミング制約が0固定の場合は、 他の入力ピンに繋がるワイヤー情報の タイミング制約が0固定の場合のみ伝播 タイミング制約が0固定以外の場合は伝播
and	タイミング制約が1固定の場合は、 他の入力ピンに繋がるワイヤー情報の タイミング制約が1固定の場合のみ伝播 タイミング制約が1固定以外の場合は伝播
not	タイミング制約が0固定もしくは1固定の場合は、値を反転して伝播 タイミング制約が固定以外の場合は伝播
select	S0ピンに繋がるワイヤー情報のタイミング制約を確認 0固定の場合はD0ピンに繋がるワイヤー情報のタイミング制約を伝播 1固定の場合はD1ピンに繋がるワイヤー情報のタイミング制約を伝播 固定がない場合は伝播
ff	伝播を行わない
null	伝播を行わない

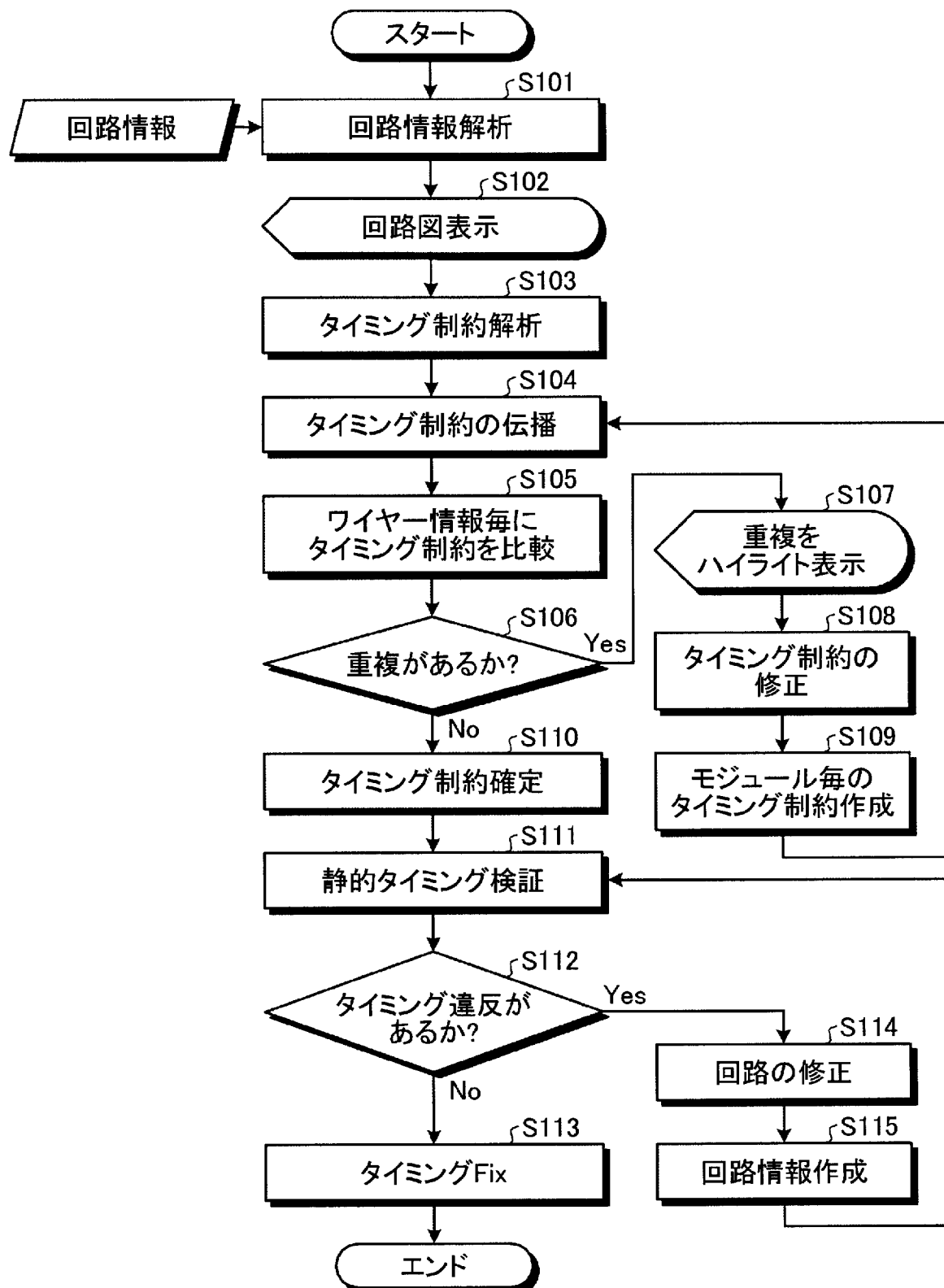
[図9]



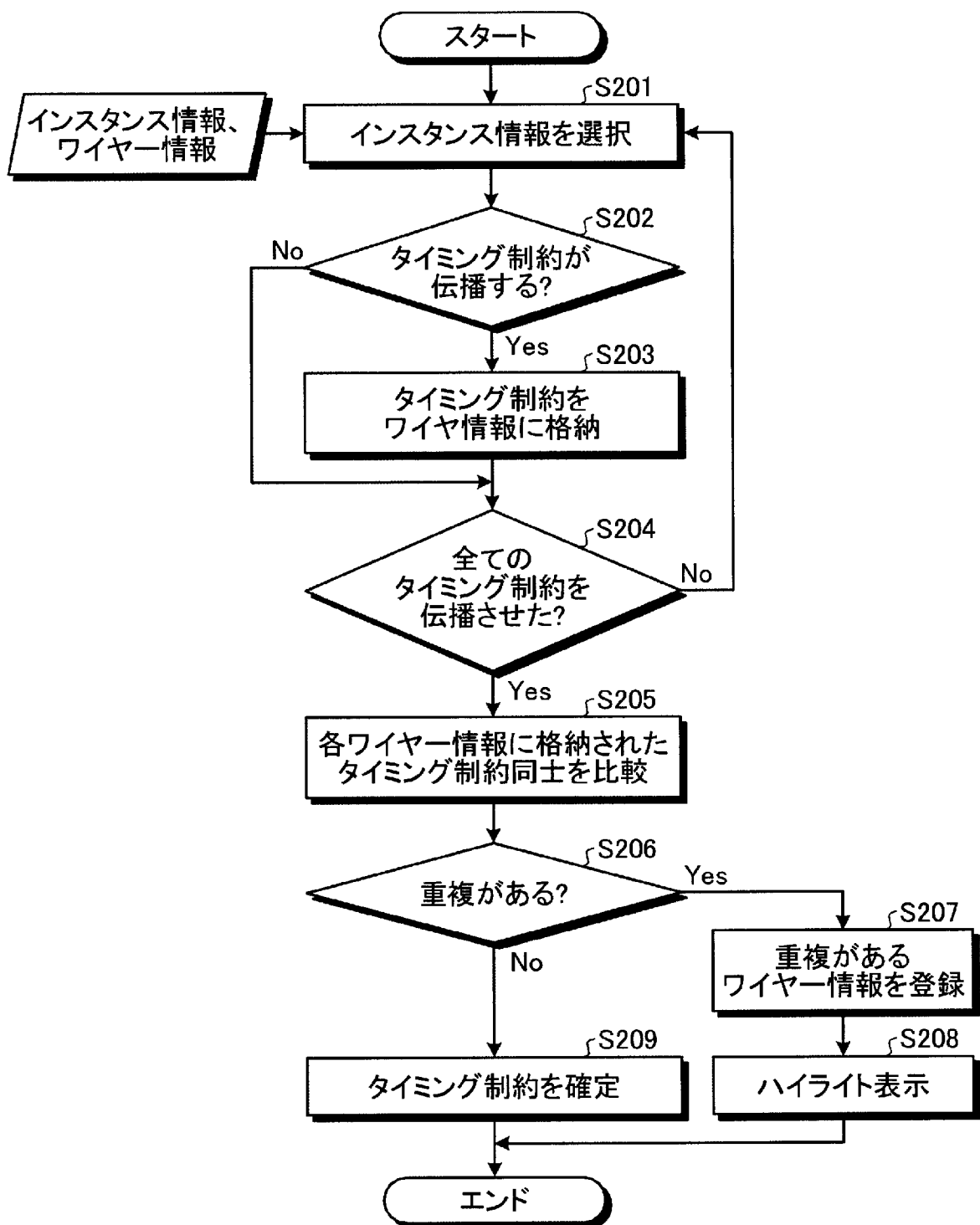
[図10]



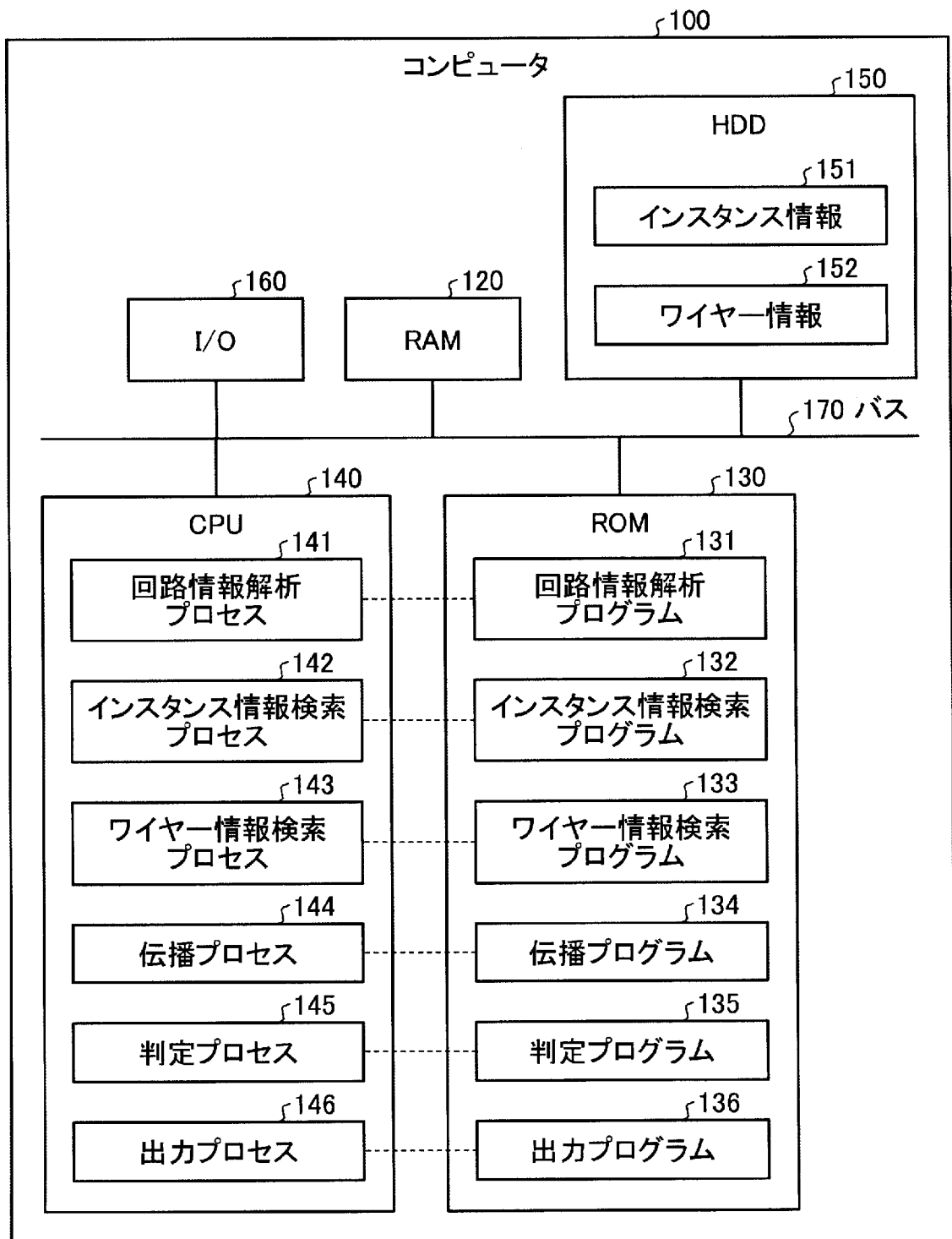
[図11]



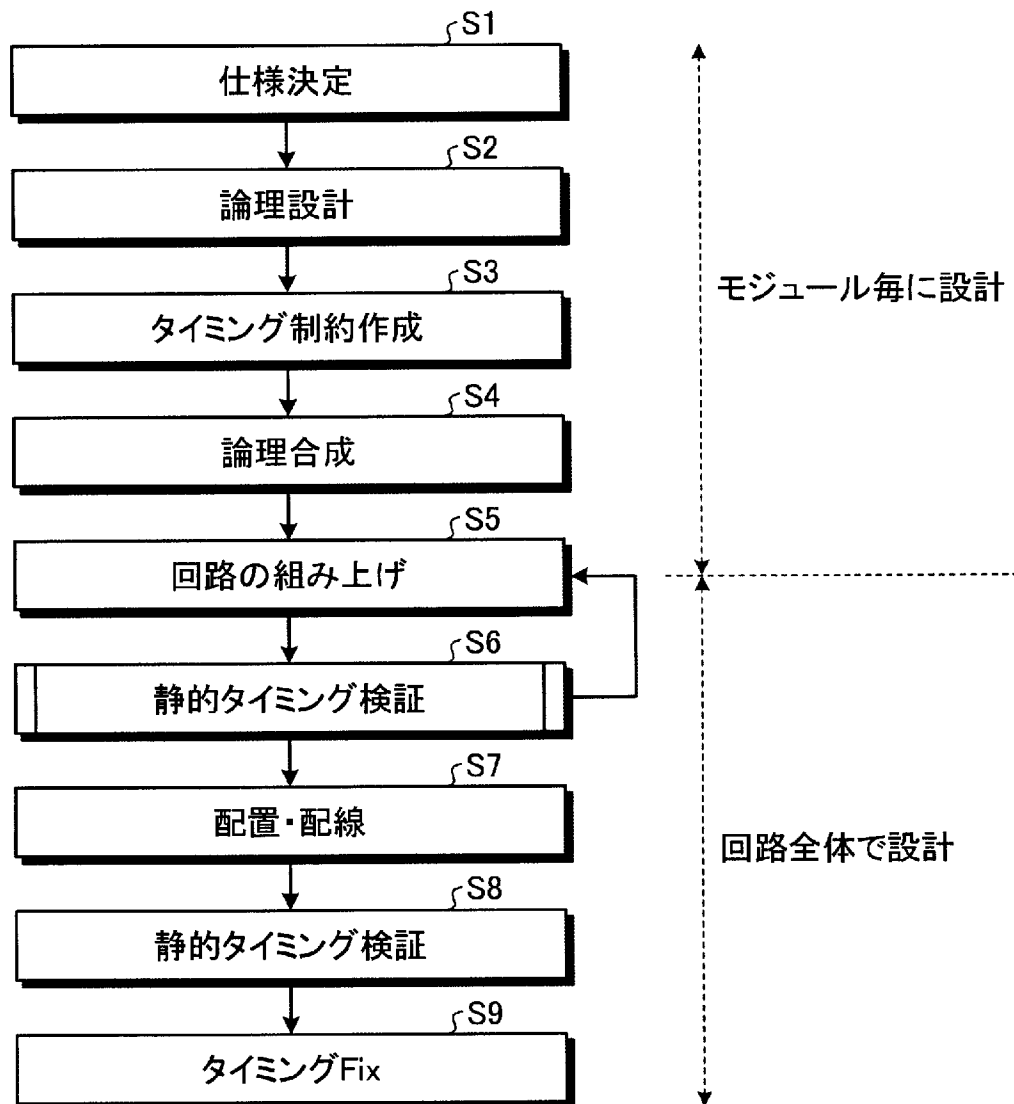
[図12]



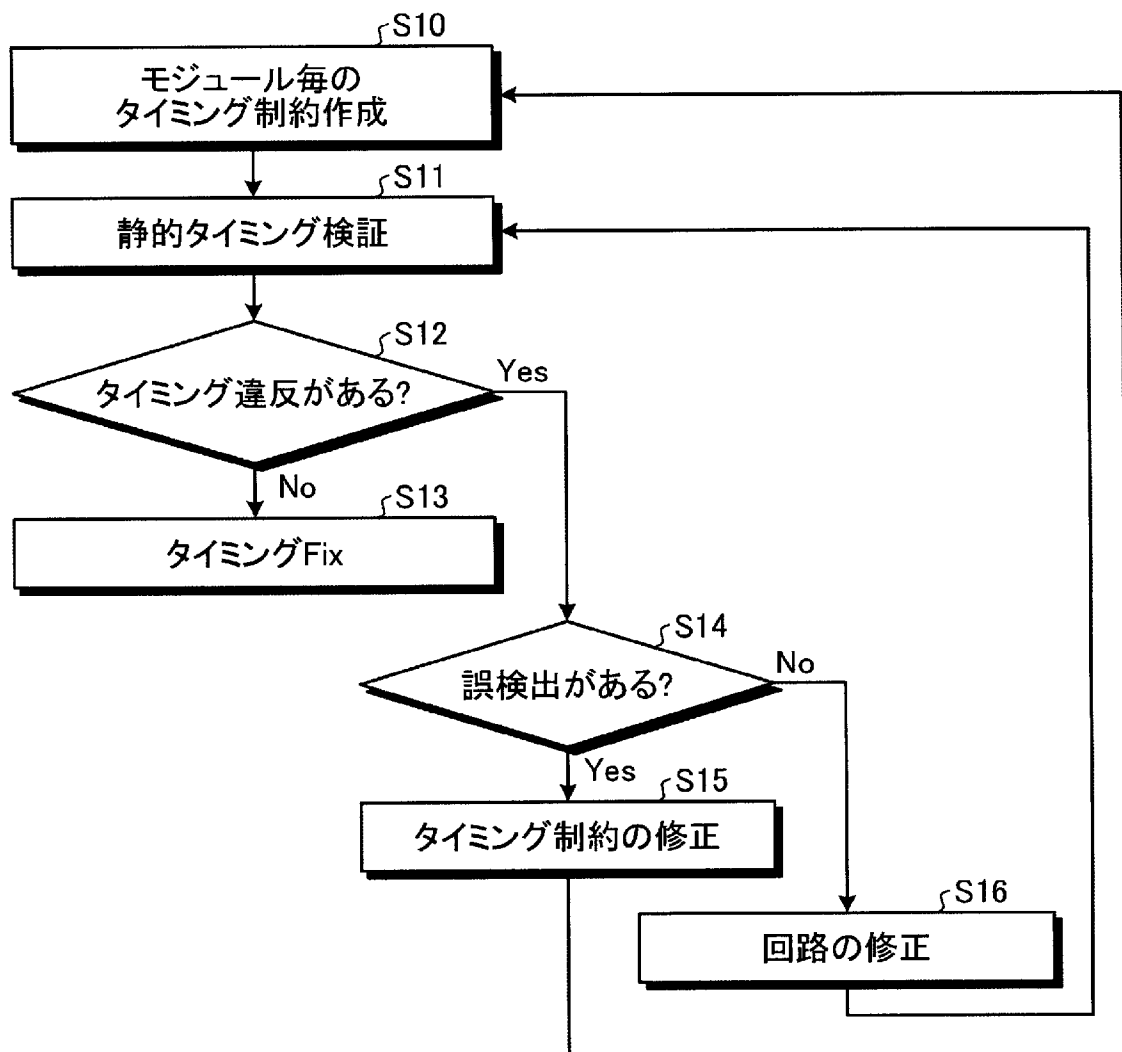
[図13]



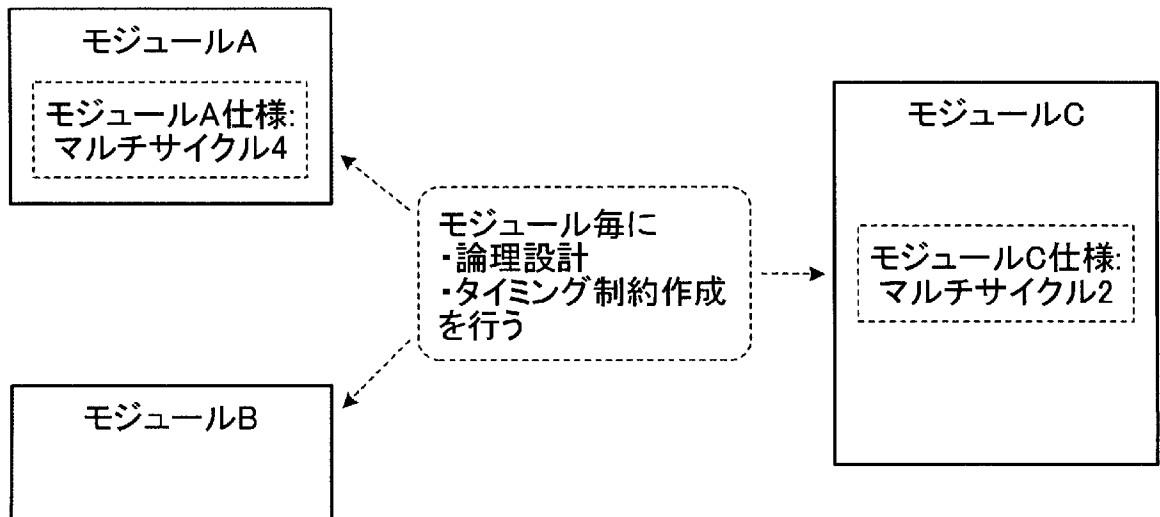
[図14]



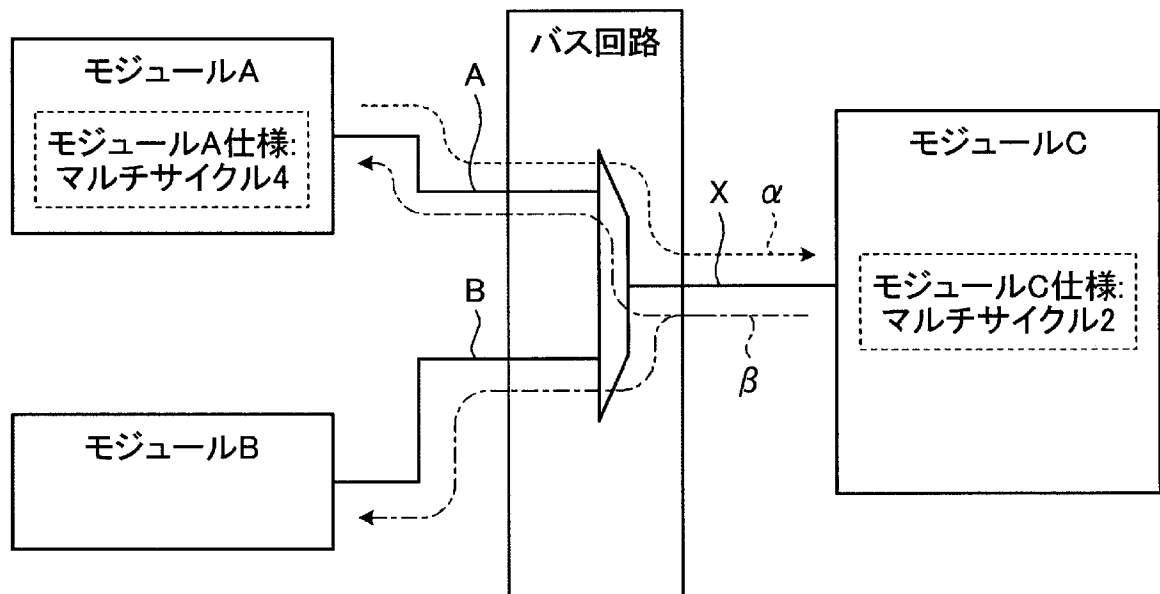
[図15]



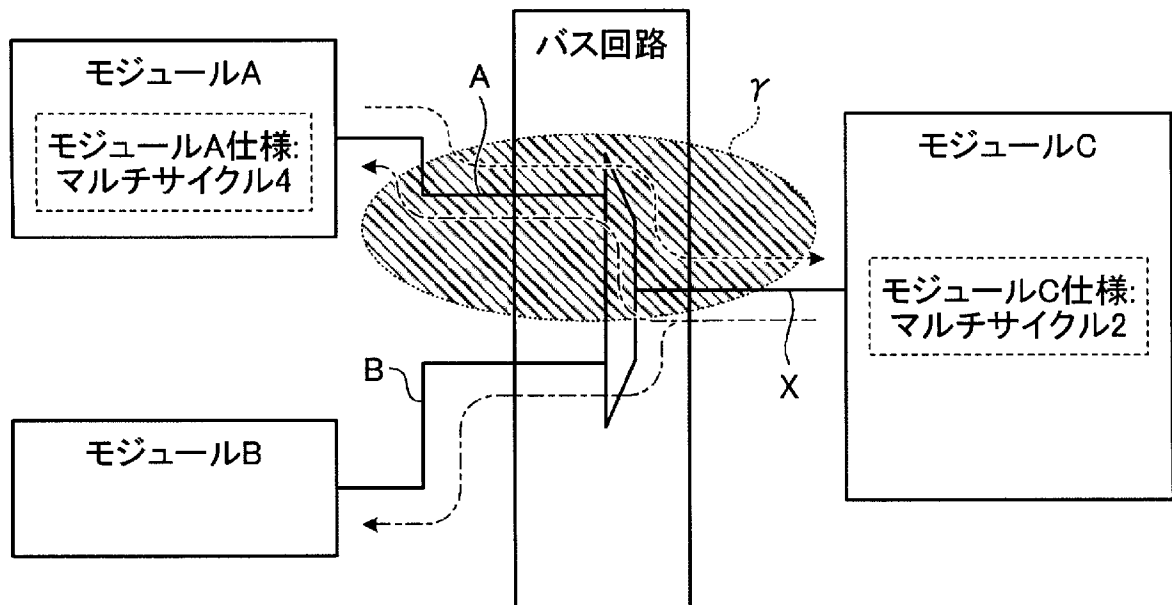
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/060569

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01) i, H01L21/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii, JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-321980 A (Matsushita Electric Industrial Co., Ltd.), 17 November 2005 (17.11.2005), paragraphs [0051] to [0058], [0071]; fig. 8 to 10 & US 2005/0251780 A1	1-2, 5-6 4 3
Y	JP 2006-323643 A (NEC Electronics Corp.), 30 November 2006 (30.11.2006), paragraphs [0049] to [0050] & US 2006/0265678 A1	4
A	JP 2002-215711 A (Fujitsu Ltd.), 02 August 2002 (02.08.2002), paragraphs [0006] to [0021]; fig. 12 (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 July, 2010 (21.07.10)

Date of mailing of the international search report

03 August, 2010 (03.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50(2006.01)i, H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CiNii, JSTPlus(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-321980 A (松下電器産業株式会社) 2005.11.17, 段落【0051】 - 【0058】, 【0071】, 第8-10図 & US 2005/0251780 A1	1-2, 5-6 4 3
Y	JP 2006-323643 A (NECエレクトロニクス株式会社) 2006.11.30, 段落【0049】 - 【0050】 & US 2006/0265678 A1	4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 7 . 2 0 1 0

国際調査報告の発送日

0 3 . 0 8 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

平野 崇

5 H

4 6 8 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-215711 A (富士通株式会社) 2002.08.02, 段落【0006】 - 【0021】, 第12図 (ファミリーなし)	1-6