



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0019669
(43) 공개일자 2025년02월10일

- (51) 국제특허분류(Int. Cl.)
H10K 59/121 (2023.01) H10D 86/01 (2025.01)
H10D 86/40 (2025.01) H10D 86/60 (2025.01)
H10K 59/12 (2023.01) H10K 59/122 (2023.01)
H10K 59/124 (2023.01) H10K 59/126 (2023.01)
H10K 59/131 (2023.01) H10K 59/80 (2023.01)
H10K 77/10 (2023.01)
- (52) CPC특허분류
H10K 59/1213 (2023.02)
H10D 86/0221 (2025.01)
- (21) 출원번호 10-2024-7042308
- (22) 출원일자(국제) 2023년04월28일
심사청구일자 없음
- (85) 번역문제출일자 2024년12월20일
- (86) 국제출원번호 PCT/CN2023/091472
- (87) 국제공개번호 WO 2023/226688
국제공개일자 2023년11월30일
- (30) 우선권주장
202210590935.4 2022년05월27일 중국(CN)

- (71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
허페이 신성 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 안후이 230011 허페이시 신잔 인더스트리얼 파크
- (72) 발명자
왕, 밍
중국 100176 베이징 다싱 디스트릭트 비디에이 디저 로드 넘버 9
장, 다칭
중국 100176 베이징 다싱 디스트릭트 비디에이 디저 로드 넘버 9
- (74) 대리인
양영준, 김성운, 백만기

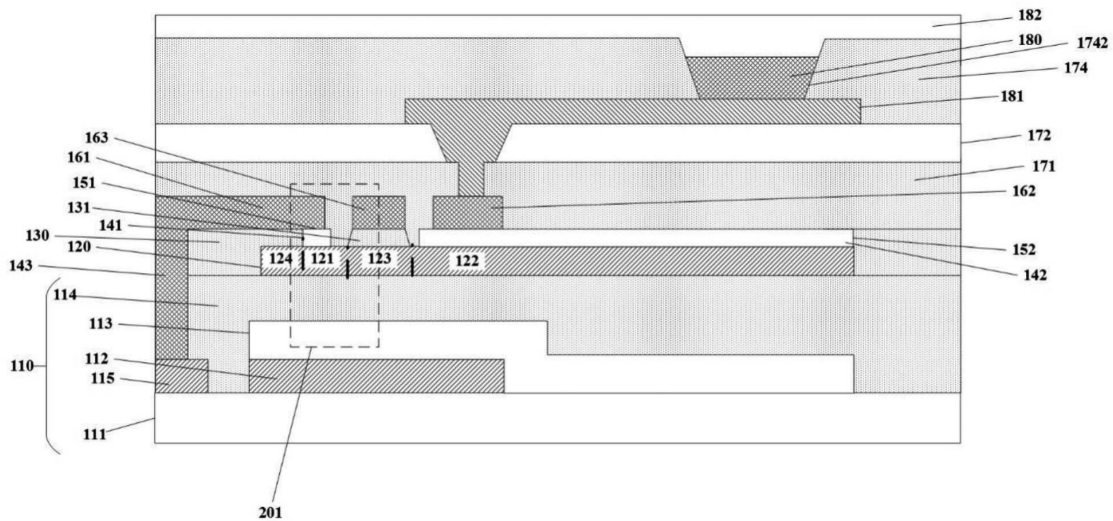
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 어레이 기판 및 어레이 기판의 제조 방법, 디스플레이 장치

(57) 요약

본 개시는 어레이 기판 및 어레이 기판의 제조 방법, 디스플레이 장치를 제공한다. 어레이 기판은: 베이스 구조; 베이스 구조 상의 활성층; 활성층의 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층 - 제1 절연층은 활성층의 일부분을 노출하는 제1 비아를 가짐; 제1 비아 중에 있으며 활성층과 접촉하는 제1 도전층; 및 제1 절연층 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터 - 제1 커넥터는 제1 도전층과 접촉하며, 제1 커넥터는 제1 도전층의 제1 부분을 커버하고 또한 제1 도전층의 제2 부분을 커버하지 않음; 을 포함한다. 본 개시는 활성층에 결실된 부분이 생기는 가능성을 줄일 수 있어, 더 나아가 어레이 기판 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H10D 86/421 (2025.01)

H10D 86/441 (2025.01)

H10D 86/60 (2025.01)

H10K 59/122 (2023.02)

H10K 59/124 (2023.02)

H10K 59/126 (2023.02)

H10K 59/131 (2023.02)

H10K 59/8051 (2023.02)

H10K 77/10 (2023.02)

명세서

청구범위

청구항 1

어레이 기판에 있어서,

베이스 구조;

상기 베이스 구조 상의 활성층;

상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층 - 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가짐;

상기 제1 비아 중에 있으며 또한 상기 활성층과 접촉하는 제1 도전층; 및

상기 제1 절연층의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터 - 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않음; 을 포함하는 어레이 기판.

청구항 2

제1항에 있어서,

상기 제1 절연층은 상기 활성층의 또 다른 부분을 노출하는 제2 비아를 더 가지며;

상기 어레이 기판은:

상기 제2 비아 중의 제2 도전층;

상기 제2 도전층에 전기적으로 연결된 제2 커넥터; 및

상기 제1 절연층의 상기 활성층으로부터 멀리 떨어진 측에 위치하는 게이트; 를 포함하며;

상기 제2 커넥터와 상기 게이트는 동일층에 위치하며, 또한 상기 제1 커넥터와 상기 제2 커넥터는 모두 상기 게이트와 이간되는 어레이 기판.

청구항 3

제2항에 있어서,

상기 베이스 구조는:

베이스 기판;

상기 베이스 기판 상의 차광층 및 제3 도전층 - 상기 차광층이 상기 베이스 기판 상에서의 정투영과 상기 활성층이 상기 베이스 기판 상에서의 정투영은 적어도 부분적으로 중첩되며, 상기 제3 도전층은 상기 차광층 상에 커버되며, 또는 상기 차광층은 상기 제3 도전층 상에 커버됨; 및

상기 제3 도전층과 상기 활성층 사이의 버퍼층; 을 포함하는 어레이 기판.

청구항 4

제3항에 있어서,

상기 제1 도전층이 상기 베이스 기판 상에서의 정투영과 상기 차광층이 상기 베이스 기판 상에서의 정투영은 적어도 부분적으로 중첩되는 어레이 기판.

청구항 5

제3항에 있어서,

상기 제2 비아는 또한 상기 버퍼층의 일부분을 노출하며;

상기 제2 도전층은: 상기 활성층의 표면 상에 위치하는 제3 부분 및 상기 버퍼층의 표면 상에 위치하는 제4 부분을 포함하는 어레이 기판.

청구항 6

제3항에 있어서,

상기 제1 도전층, 상기 제2 도전층과 상기 제3 도전층의 재료는 모두 투명 도전 재료를 포함하는 어레이 기판.

청구항 7

제3항에 있어서,

상기 제3 도전층의 두께는 상기 제2 도전층의 두께보다 두꺼우며, 또한 상기 제2 도전층의 두께는 상기 제1 도전층의 두께와 동일한 어레이 기판.

청구항 8

제1항에 있어서,

상기 제1 도전층의 두께는 상기 활성층의 두께보다 두꺼운 어레이 기판.

청구항 9

제2항에 있어서,

상기 제1 커넥터와 상기 제1 도전층의 중첩 부분의 면적은 상기 제2 커넥터와 상기 제2 도전층의 중첩 부분의 면적보다 작은 어레이 기판.

청구항 10

제3항에 있어서,

상기 제1 절연층은 상기 게이트 하방에 위치하는 게이트 절연층을 포함하며;

상기 활성층은: 상기 제1 커넥터에 전기적으로 연결된 제1 도체화 영역, 상기 제2 커넥터에 전기적으로 연결된 제2 도체화 영역 및 상기 제1 도체화 영역과 상기 제2 도체화 영역 사이의 채널 영역을 포함하며, 상기 채널 영역은 상기 게이트 절연층의 가장자리와 수평되는 어레이 기판.

청구항 11

제10항에 있어서,

상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 제1 커넥터로부터 게이트까지의 방향 상에서의 폭은 상기 제1 도전층의 가장자리와 상기 채널 영역 사이의 거리보다 작은 어레이 기판.

청구항 12

제1항에 있어서,

상기 제1 도전층의 면적은 상기 제1 커넥터와 상기 도전층의 중첩 부분의 면적보다 큰 어레이 기판.

청구항 13

제10항에 있어서,

상기 제1 도전층의 면적은 상기 채널 영역의 면적보다 작은 어레이 기판.

청구항 14

제2항에 있어서,

상기 제1 도전층과 상기 활성층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은

상기 제2 도전층과 상기 활성층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 15

제2항에 있어서,

상기 제1 도전층과 상기 게이트 사이의 거리는 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 크며, 또한 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제1 도전층의 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 큰 어레이 기판.

청구항 16

제3항에 있어서,

상기 어레이 기판은:

상기 제1 커넥터, 상기 제2 커넥터 및 상기 게이트를 커버하는 제2 절연층;

상기 제2 절연층의 상기 베이스 구조로부터 멀리 떨어진 측의 평탄화층;

상기 평탄화층의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 전극층 및 픽셀 정의층 - 상기 제1 전극층은 상기 제2 커넥터에 전기적으로 연결되며, 상기 픽셀 정의층은 상기 제1 전극층의 적어도 일부분을 노출하는 제1 개구를 가짐;

적어도 상기 제1 개구 중에 위치하는 발광층; 및

상기 발광층에 전기적으로 연결되는 제2 전극층; 을 더 포함하는 어레이 기판.

청구항 17

제16항에 있어서,

상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제1 전극층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 18

제16항에 있어서,

상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제1 전극층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 19

어레이 기판에 있어서,

베이스 구조; 및

상기 베이스 구조 상의 박막 트랜지스터; 를 포함하며, 상기 박막 트랜지스터는:

상기 베이스 구조 상의 활성층;

상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층 - 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가짐;

상기 제1 비아 중에 있으며 또한 상기 활성층과 접촉하는 제1 도전층; 및

상기 제1 절연층의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터, 제2 커넥터 및 게이트 - 상기 제1 커

넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터, 상기 제2 커넥터 및 상기 게이트는 동일층에 위치하고 또한 서로 격리되며, 상기 게이트는 상기 제1 커넥터와 상기 제2 커넥터 사이에 위치함; 을 포함하며,

상기 활성층은: 상기 제1 커넥터와 전기적으로 연결된 제1 도체화 영역, 상기 제2 커넥터와 전기적으로 연결된 제2 도체화 영역 및 상기 제1 도체화 영역과 상기 제2 도체화 영역 사이의 채널 영역을 포함하며, 상기 채널 영역은 상기 게이트의 하방에 위치하며;

상기 제1 도전층은 상기 게이트로부터 멀리 떨어진 제1 부분 및 상기 게이트에 가까운 제2 부분을 포함하며, 상기 제1 부분은 상기 제1 커넥터에 의해 완전히 커버되고, 상기 제2 부분은 상기 제1 커넥터에 의해 커버되지 않으며, 상기 제1 도전층이 상기 베이스 구조 상에서의 정투영은 상기 활성층이 상기 베이스 구조 상에서의 정투영의 내부에 위치하는 어레이 기판.

청구항 20

제19항에 있어서,

상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제1 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 21

제19항에 있어서,

상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 채널 영역이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 22

제19항에 있어서,

상기 제2 부분의 두께는 상기 제1 부분의 두께보다 작은 어레이 기판.

청구항 23

제20항에 있어서,

상기 제1 부분의 폭은 상기 제2 부분의 폭의 2배 내지 5배인 어레이 기판.

청구항 24

제20항에 있어서,

상기 활성층은 반도체 영역을 더 포함하며, 상기 반도체 영역은 상기 제1 도체화 영역의 상기 채널 영역으로부터 멀리 떨어진 측에 위치하며;

상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 반도체 영역이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작은 어레이 기판.

청구항 25

디스플레이 장치에 있어서,

제1항 내지 제24항 중 임의의 한 항에 따른 어레이 기판을 포함하는 디스플레이 장치.

청구항 26

어레이 기판의 제조 방법에 있어서,

하는 단계;

상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측에 패터닝된 제1 절연층을 형성하되, 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가지는 단계;

상기 활성층의 노출된 상기 일부분에 대해 제1 도체화 처리를 수행하는 단계;

상기 제1 비아 중에 상기 활성층과 접촉하는 제1 도전층을 형성하는 단계;

증착 공정을 통해 상기 제1 절연층의 베이스 구조로부터 멀리 떨어진 측에 연결 재료층을 형성하는 단계;

패터닝된 마스크층을 이용하여 상기 연결 재료층에 대해 패터닝을 진행하여 제1 커넥터를 형성하되, 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않는 단계;

상기 마스크층을 이용하여, 셀프 어라인먼트 공정을 통해 제1 절연층에 대해 에칭을 진행하여 상기 제1 비아를 확대하되, 확대한 후의 제1 비아는 상기 활성층의 또 다른 부분을 노출시키는 단계; 및

상기 활성층의 노출된 상기 또 다른 부분에 대해 제2 도체화 처리를 진행하는 단계; 를 포함하는 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] [관련 출원에 대한 참조]

[0002] 본 출원은 2022년 5월 27일 중국 특허청에 제출한 출원번호 제202210590935.4호의 우선권을 주장하며, 그 전체 내용을 참조로서 본 출원에 원용한다.

[0003] 본 개시는 디스플레이 기술 분야에 관한 것으로, 특히 어레이 기판 및 어레이 기판의 제조 방법, 디스플레이 장치에 관한 것이다.

배경 기술

[0004] 현재 유기 발광 다이오드(Organic Light-Emitting Diode, OLED) 기술은 점점 더 성숙해지고 있다. 일부 OLED 디스플레이 패널에서 어레이 기판은 5차 마스크(5Mask로 칭할 수 있음) 공정을 채용할 수 있다. 어레이 기판을 제조하는 과정에서 박막 트랜지스터(Thin Film Transistor, TFT)를 제조하는 것을 필요로 한다.

발명의 내용

[0005] 본 개시의 일 측면에 있어서, 어레이 기판을 제공하며, 베이스 구조; 상기 베이스 구조 상의 활성층; 상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층 - 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가짐; 상기 제1 비아 중에 있으며 또한 상기 활성층과 접촉하는 제1 도전층; 및 상기 제1 절연층의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터 - 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않음; 을 포함한다.

[0006] 일부 실시예에서, 상기 제1 절연층은 상기 활성층의 또 다른 부분을 노출하는 제2 비아를 더 가지며; 상기 어레이 기판은: 상기 제2 비아 중의 제2 도전층; 상기 제2 도전층에 전기적으로 연결된 제2 커넥터; 및 상기 제1 절연층의 상기 활성층으로부터 멀리 떨어진 측에 위치하는 게이트; 를 포함하며; 상기 제2 커넥터와 상기 게이트는 동일층에 위치하며, 또한 상기 제1 커넥터와 상기 제2 커넥터는 모두 상기 게이트와 이간된다.

[0007] 일부 실시예에서, 상기 베이스 구조는: 베이스 기판; 상기 베이스 기판 상의 차광층 및 제3 도전층 - 상기 차광층이 상기 베이스 기판 상에서의 정투영과 상기 활성층이 상기 베이스 기판 상에서의 정투영은 적어도 부분적으로 중첩되며, 상기 제3 도전층은 상기 차광층 상에 커버되며, 또는 상기 차광층은 상기 제3 도전층 상에 커버됨; 및 상기 제3 도전층과 상기 활성층 사이의 버퍼층; 을 포함한다.

[0008] 일부 실시예에서, 상기 제1 도전층이 상기 베이스 기판 상에서의 정투영과 상기 차광층이 상기 베이스 기판 상에서의 정투영은 적어도 부분적으로 중첩된다.

[0009] 일부 실시예에서, 상기 제2 비아는 또한 상기 버퍼층의 일부분을 노출하며; 상기 제2 도전층은: 상기 활성층의 표면 상에 위치하는 제3 부분 및 상기 버퍼층의 표면 상에 위치하는 제4 부분을 포함한다.

[0010] 일부 실시예에서, 상기 제1 도전층, 상기 제2 도전층과 상기 제3 도전층의 재료는 모두 투명 도전 재료를 포함한다.

- [0011] 일부 실시예에서, 상기 제3 도전층의 두께는 상기 제2 도전층의 두께보다 두꺼우며, 또한 상기 제2 도전층의 두께는 상기 제1 도전층의 두께와 동일하다.
- [0012] 일부 실시예에서, 상기 제1 도전층의 두께는 상기 활성층의 두께보다 두껍다.
- [0013] 일부 실시예에서, 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분의 면적은 상기 제2 커넥터와 상기 제2 도전층의 중첩 부분의 면적보다 작다.
- [0014] 일부 실시예에서, 상기 제1 절연층은 상기 게이트 하방에 위치하는 게이트 절연층을 포함하며; 상기 활성층은: 상기 제1 커넥터에 전기적으로 연결된 제1 도체화 영역, 상기 제2 커넥터에 전기적으로 연결된 제2 도체화 영역 및 상기 제1 도체화 영역과 상기 제2 도체화 영역 사이의 채널 영역을 포함하며, 상기 채널 영역은 상기 게이트 절연층의 가장자리와 수평된다.
- [0015] 일부 실시예에서, 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 제1 커넥터로부터 게이트까지의 방향 상에서의 폭은 상기 제1 도전층의 가장자리와 상기 채널 영역 사이의 거리보다 작다.
- [0016] 일부 실시예에서, 상기 제1 도전층의 면적은 상기 제1 커넥터와 상기 도전층의 중첩 부분의 면적보다 크다.
- [0017] 일부 실시예에서, 상기 제1 도전층의 면적은 상기 채널 영역의 면적보다 작다.
- [0018] 일부 실시예에서, 상기 제1 도전층과 상기 활성층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제2 도전층과 상기 활성층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0019] 일부 실시예에서, 상기 제1 도전층과 상기 게이트 사이의 거리는 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 크며, 또한 상기 제1 커넥터와 상기 제1 도전층의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제1 도전층의 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 크다.
- [0020] 일부 실시예에서, 상기 어레이 기판은: 상기 제1 커넥터, 상기 제2 커넥터 및 상기 게이트를 커버하는 제2 절연층; 상기 제2 절연층의 상기 베이스 구조로부터 멀리 떨어진 층의 평탄화층; 상기 평탄화층의 상기 베이스 구조로부터 멀리 떨어진 층의 제1 전극층 및 픽셀 정의층 - 상기 제1 전극층은 상기 제2 커넥터에 전기적으로 연결되며, 상기 픽셀 정의층은 상기 제1 전극층의 적어도 일부분을 노출하는 제1 개구를 가짐; 적어도 상기 제1 개구 중에 위치하는 발광층; 및 상기 발광층에 전기적으로 연결되는 제2 전극층; 을 더 포함한다.
- [0021] 일부 실시예에서, 상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제1 전극층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0022] 일부 실시예에서, 상기 제2 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제3 도전층이 상기 베이스 기판 상에서의 정투영과 상기 제1 전극층이 상기 베이스 기판 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0023] 본 개시의 또 다른 측면에 있어서, 어레이 기판을 제공하며, 베이스 구조; 및 상기 베이스 구조 상의 박막 트랜지스터; 를 포함하며, 상기 박막 트랜지스터는: 상기 베이스 구조 상의 활성층; 상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 층의 패터닝된 제1 절연층 - 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가짐; 상기 제1 비아 중에 있으며 또한 상기 활성층과 접촉하는 제1 도전층; 및 상기 제1 절연층의 상기 베이스 구조로부터 멀리 떨어진 층의 제1 커넥터, 제2 커넥터 및 게이트 - 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터, 상기 제2 커넥터 및 상기 게이트는 동일층에 위치하고 또한 서로 격리되며, 상기 게이트는 상기 제1 커넥터와 상기 제2 커넥터 사이에 위치함; 을 포함하며, 상기 활성층은: 상기 제1 커넥터와 전기적으로 연결된 제1 도체화 영역, 상기 제2 커넥터와 전기적으로 연결된 제2 도체화 영역 및 상기 제1 도체화 영역과 상기 제2 도체화 영역 사이의 채널 영역을 포함하며, 상기 채널 영역은 상기 게이트의 하방에 위치하며; 상기 제1 도전층은 상기 게이트로부터 멀리 떨어진 제1 부분 및 상기 게이트에 가까운 제2 부분을 포함하며, 상기 제1 부분은 상기 제1 커넥터에 의해 완전히 커버되고, 상기 제2 부분은 상기 제1 커넥터에 의해 커버되지 않으며, 상기 제1 도전층이 상기 베이스 구조 상에서의 정투영은 상기 활성층이 상기 베이스 구조 상에서

의 정투영의 내부에 위치한다.

- [0024] 본 개시의 일부 실시예에서, 상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제1 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0025] 본 개시의 일부 실시예에서, 상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 채널 영역이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0026] 본 개시의 일부 실시예에서, 상기 제2 부분의 두께는 상기 제1 부분의 두께보다 작다.
- [0027] 본 개시의 일부 실시예에서, 상기 제1 부분의 폭은 상기 제2 부분의 폭의 2배 내지 5배이다.
- [0028] 본 개시의 일부 실시예에서, 상기 활성층은 반도체 영역을 더 포함하며, 상기 반도체 영역은 상기 제1 도체화 영역의 상기 채널 영역으로부터 멀리 떨어진 측에 위치하며; 상기 제2 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 반도체 영역이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다.
- [0029] 본 개시의 또 다른 측면에 있어서, 디스플레이 장치를 제공하며, 예컨대, 전술한 어레이 기판을 포함한다.
- [0030] 본 개시의 또 다른 측면에 있어서, 어레이 기판의 제조 방법을 제공하며, 베이스 구조 상에 활성층을 형성하는 단계; 상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측에 패터닝된 제1 절연층을 형성하되, 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가지는 단계; 상기 활성층의 노출된 상기 일부분에 대해 제1 도체화 처리를 수행하는 단계; 상기 제1 비아 중에 상기 활성층과 접촉하는 제1 도전층을 형성하는 단계; 증착 공정을 통해 상기 제1 절연층의 베이스 구조로부터 멀리 떨어진 측에 연결 재료층을 형성하는 단계; 패터닝된 마스크층을 이용하여 상기 연결 재료층에 대해 패터닝을 진행하여 제1 커넥터를 형성하되, 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않는 단계; 상기 마스크층을 이용하여, 셀프 어라인먼트 공정을 통해 제1 절연층에 대해 에칭을 진행하여 상기 제1 비아를 확대하되, 확대한 후의 제1 비아는 상기 활성층의 또 다른 부분을 노출시키는 단계; 및 상기 활성층의 노출된 상기 또 다른 부분에 대해 제2 도체화 처리를 진행하는 단계; 를 포함한다.
- [0031] 이하 도면을 참조하여 본 개시의 예시적인 실시예에 대한 상세한 설명을 통해, 본 개시의 기타 특징 및 우점이 명확해질 것이다.

도면의 간단한 설명

- [0032] 명세서의 일부를 구성하는 도면은 본 개시의 실시예를 설명하며, 또한 명세서와 함께 본 개시의 원리를 해석하는데 사용된다.
- 도면을 참조하여 아래의 상세한 설명에 따라 본 개시를 더욱 명확하게 이해할 수 있는바, 그 중:
- 도 1은 본 개시의 일 실시예에 따른 어레이 기판의 단면 개략도를 도시하였다.
 - 도 2는 본 개시의 또 다른 실시예에 따른 어레이 기판의 단면 개략도를 도시하였다.
 - 도 3은 도 1 중의 어레이 기판이 블록 201 위치에 있을 때의 확대 개략도를 개략적으로 도시하였다.
 - 도 4는 본 개시의 일 실시예에 따른 어레이 기판의 부분 구조의 평면도를 개략적으로 도시하였다.
 - 도 5는 본 개시의 일 실시예에 따른 어레이 기판의 제조 방법의 흐름도를 도시하였다.
 - 도 6a 내지 도 6i는 본 개시의 일부 실시예에 따른 어레이 기판의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다.
 - 도 7은 본 개시의 또 다른 실시예에 따른 어레이 기판의 제조 과정 중 한 단계의 구조의 단면 개략도를 도시하였다.
 - 도 8은 본 개시의 또 다른 실시예에 따른 어레이 기판의 제조 과정 중 한 단계의 구조의 단면 개략도를 도시하였다.
 - 도 9a 내지 도 9c는 본 개시의 또 다른 일부 실시예에 따른 어레이 기판의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다.

도 10a 내지 도 10c는 본 개시의 또 다른 일부 실시예에 따른 어레이 기관의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다.

도면에 도시된 각 부분의 크기는 실제 비례 관계에 따라 그려진 것이 아님을 이해해야 한다. 또한 동일하거나 유사한 참조 부호는 동일하거나 유사한 구성 요소를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0033] 첨부된 도면을 참조하여 본 개시의 각 예시적인 실시예에 대해 상세하게 설명하기로 한다. 예시적인 실시예에 대한 설명은 단지 설명일 뿐이며, 본 개시는 여기에 설명된 실시예에 국한되지 않고 여러가지 다양한 형태로 구현될 수 있다. 이러한 실시예는 본 개시를 철저하고 완전하게 하고, 또한 해당 기술분야의 기술자들에게 본 개시의 범위를 당업자에게 충분히 표현하기 위해 제공된다. 달리 구체적으로 언급하지 않는 한, 이러한 실시예에 기술된 부품 및 단계의 상대적인 배치, 재료의 구성, 숫자 표현 및 수치는 제한이 아닌 단지 예시로 해석되어야 한다는 점에 유의해야 한다.
- [0034] 본 개시에서 사용되는 "제1", "제2" 및 유사한 용어는 특정 순서, 수량 또는 중요성을 나타내는 것이 아니고, 단지 상이한 부분을 구별하기 위한 것이다. "포함" 또는 "내포" 등 유사한 용어는 해당 용어가 나타나기 전의 요소가 해당 용어가 나타난 후로 열거된 요소를 포함함을 의미하여, 다른 요소도 포함할 가능성을 배제하지 않는다. "상", "하", "좌", "우" 등은 단지 상대적인 위치 관계를 나타내기 위한 것이며, 설명 대상의 절대적 위치가 변경되면, 해당 상대적 위치 관계도 상응하게 변경될 수 있다.
- [0035] 본 개시에서, 특정 소자가 제1 소자와 제2 소자 사이에 사이에 위치하는 것으로 설명되는 경우, 해당 특정 소자와 제1 소자 또는 제2 소자 사이에 중간 소자가 존재하거나 존재하지 않을 수도 있다. 특정 소자가 다른 소자와 연결되어 있다고 설명되는 경우, 해당 특정 소자는 중간 소자 없이 다른 소자와 직접 연결될 수 있으며, 또한 다른 소자와 직접 연결되지 않고 중간 소자를 가질 수 있다.
- [0036] 본 개시에 사용된 모든 용어(기술 용어 또는 과학 용어 포함)는 달리 정의되지 않는 한 본 개시가 속하는 기술분야의 일반 기술자가 이해하는 의미와 동일하다. 또한, 일반 사전에 정의된 용어는 여기에서 명확하게 정의되지 않는 한 이상화되거나 극도로 형식화된 의미를 사용하여 해석하지 않으며, 관련 기술의 맥락에서의 의미와 일치하는 의미로 해석되어야 함을 이해해야 한다.
- [0037] 관련 기술분야의 일반 기술자가 이미 알고 있는 기술, 방법 및 기기는 자세히 논의되지 않을 수 있지만, 적절한 경우 상기 기술, 방법 및 기기는 명세서의 일부로 간주되어야 한다.
- [0038] 본 개시의 발명자는 관련 기술에서 어레이 기관의 TFT를 형성하는 과정 중, 소스 또는 드레인과 활성층의 중첩 영역에서, 활성층이 2차 에칭됨으로 인해, 활성층에 결실된 부분이 나타나는 것을 발견하였다. 이는 소스 또는 드레인과 활성층의 중첩 영역의 도통 채널을 매우 짧게 만들어, 전류 흐름 능력을 제한하고, 접촉 불량 쉽게 유발하며, 디스플레이 제품의 성능에 영향을 줄 수 있다.
- [0039] 이를 토대로, 본 개시의 실시예는 활성층에 결실된 부분이 생기는 가능성을 줄이기 위한 어레이 기관을 제공한다.
- [0040] 도 1은 본 개시의 일 실시예에 따른 어레이 기관의 단면 개략도를 도시하였다.
- [0041] 도 1에 도시된 바와 같이, 어레이 기관은 베이스 구조(110)을 포함한다.
- [0042] 도 1에 도시된 바와 같이, 해당 어레이 기관은 상기 베이스 구조(110) 상의 활성층(120)을 더 포함한다. 예컨대, 해당 활성층의 재료는 산화인듐갈륨아연(IGZO) 등과 같은 반도체 재료를 포함한다.
- [0043] 도 1에 도시된 바와 같이, 해당 어레이 기관은 상기 활성층(120)의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층(130)을 더 포함한다. 상기 제1 절연층(130)은 상기 활성층(120)의 일부분을 노출하는 제1 비아(141)를 가진다. 해당 제1 절연층(130)은 활성층(120)을 커버한다. 예컨대, 해당 제1 절연층의 재료는 무기 절연 재료(예컨대, 이산화규소 또는 질화규소 등)를 포함한다.
- [0044] 도 1에 도시된 바와 같이, 해당 어레이 기관은 상기 제1 비아(141) 중에 있으며 또한 상기 활성층(12)과 접촉하는 제1 도전층(151)을 더 포함한다. 일부 실시예에서, 해당 제1 도전층의 재료는 금속 재료를 포함한다. 예컨대, 해당 제1 도전층의 재료는 투명 도전 재료를 포함한다. 예컨대, 해당 투명 도전 재료는: 산화인듐 주석(Indium Tin Oxide, ITO) 또는 산화인듐 아연(Indium Zinc Oxide, IZO) 등을 포함한다. 여기서, 제1 도전층은

투명 도전 재료를 채용하여 어레이 기관의 광투과율을 향상시킬 수 있다.

- [0045] 도 1에 도시된 바와 같이, 해당 어레이 기관은 상기 제1 절연층(130)의 상기 베이스 구조(110)로부터 멀리 떨어진 측의 제1 커넥터(161)를 더 포함한다. 해당 제1 커넥터(161)는 상기 제1 도전층(151)과 접촉한다. 해당 제1 커넥터(161)의 재료는 구리 등과 같은 금속 재료를 포함한다. 예컨대, 해당 제1 커넥터는 소스 또는 드레인일 수 있다. 해당 제1 커넥터(161)는 상기 제1 도전층(151)의 제1 부분을 커버하고 또한 상기 제1 도전층(151)의 제2 부분(그림 3을 참조하여 후술)을 커버하지 않는다.
- [0046] 이로써, 본 개시의 일부 실시예에 따른 어레이 기관을 제공하였다. 해당 어레이 기관은: 베이스 구조; 상기 베이스 구조 상의 활성층; 상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층 - 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가짐; 상기 제1 비아 중에 있으며 또한 상기 활성층과 접촉하는 제1 도전층; 및 상기 제1 절연층의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터 - 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않음; 을 포함한다. 해당 실시예에서, 제1 절연층의 제1 비아 중에 제1 도전층이 형성되기에, 따라서 제조 과정에서, 해당 제1 도전층은 그 아래의 활성층의 일부를 어느 정도 보호할 수 있어, 활성층에 결실된 부분이 생기는 가능성을 줄이며, 더 나아가 어레이 기관 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.
- [0047] 도 1에 도시된 바와 같이, 상기 제1 절연층(130)은 상기 활성층(120)의 또 다른 부분을 노출하는 제2 비아(142)를 더 가진다.
- [0048] 일부 실시예에서, 도 1에 도시된 바와 같이, 상기 어레이 기관은 상기 제2 비아(142) 중의 제2 도전층(152)을 더 포함한다. 해당 제2 도전층(152)은 해당 제2 비아(142)를 필링한다. 예컨대, 해당 제2 도전층의 재료는 투명 도전 재료를 포함한다. 예컨대, 해당 투명 도전 재료는: ITO 또는 IZO 등을 포함한다. 여기서, 제2 도전층은 투명 도전 재료를 채용하여 어레이 기관의 광투과율을 향상시킬 수 있다.
- [0049] 앞의 제1 도전층과 유사하게, 해당 제2 도전층은 그 아래의 활성층의 일부를 보호할 수 있어, 활성층에 결실된 부분이 생기는 가능성을 줄이며, 더 나아가 어레이 기관 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.
- [0050] 일부 실시예에서, 도 1에 도시된 바와 같이, 상기 제1 도전층(151)과 상기 활성층(120)의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은 상기 제2 도전층(152)과 상기 활성층(120)의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다. 바꾸어 말하면, 해당 제2 도전층(152)은 비교적 크게 제조된다. 예컨대, 제2 도전층(152)의 면적 또는 폭(즉, 단면도에 표시된 가로 크기)은 제1 도전층(151)의 면적 또는 폭보다 크다. 따라서, 제2 도전층은 또한 커패시터의 전극판으로 작용할 수 있다. 이는 투명한 커패시터 구조의 형성에 도움이 되며, 커패시터 능력 및 전도 능력을 향상시킨다.
- [0051] 일부 실시예에서, 도 1에 도시된 바와 같이, 어레이 기관은 상기 제2 도전층(152)에 전기적으로 연결된 제2 커넥터(162)를 더 포함한다. 해당 제2 커넥터(162)는 제2 도전층(152)과 접촉한다. 해당 제2 커넥터(162)의 재료는 구리 등과 같은 금속 재료를 포함한다. 예컨대, 해당 제2 커넥터는 소스 또는 드레인일 수 있다. 예컨대, 제1 커넥터(161)는 소스이고, 제2 커넥터(162)는 드레인이다. 또 예컨대, 제1 커넥터(161)는 드레인이고, 제2 커넥터(162)는 소스이다.
- [0052] 일부 실시예에서, 도 1에 도시된 바와 같이, 어레이 기관은 상기 제1 절연층(130)의 상기 활성층(120)으로부터 멀리 떨어진 측에 위치하는 게이트(163)를 더 포함한다. 게이트(163)의 재료는 구리 등과 같은 금속 재료를 포함한다.
- [0053] 도 1에 도시된 바와 같이, 제2 커넥터(162)와 게이트(163)는 동일층에 위치한다. 제1 커넥터(161)와 게이트(163)도 동일층에 위치한다. 제1 커넥터(161)와 제2 커넥터(162)는 모두 게이트(163)와 이간된다. 해당 게이트(163)는 제1 커넥터(161)와 제2 커넥터(162) 사이에 위치한다.
- [0054] 설명해야 할 것은, "동일층"이란 동일한 증착 공정을 채용하여 특정 패턴을 형성하기 위한 필름층을 형성한 다음, 동일한 마스크 템플릿을 이용하여 한 번의 패터닝 공정을 통해 해당 필름층을 패터닝하여 형성한 층 구조를 나타낸다. 예컨대, 동일층에 있는 두개의 구조층은 동일한 구조층에 위치하거나 또는 상이한 구조층에 위치할 수도 있다. 동일층에 있는 두개의 구조층은 높이가 다르거나 두께가 다를 수 있다.
- [0055] 일부 실시예에서, 도 1에 도시된 바와 같이, 베이스 구조(110)는 베이스 기관(111)을 포함한다. 해당 베이스 기

관은 리지드 기관 또는 플렉시블 기관 등을 포함한다. 예컨대, 해당 베이스 기관은 유리 기관 등을 포함할 수 있다.

- [0056] 도 1에 도시된 바와 같이, 베이스 구조(110)는 베이스 기관(111) 상의 차광층(112)을 더 포함한다. 해당 차광층(112)이 베이스 기관(111) 상에서의 정투영과 활성층(120)이 베이스 기관(111) 상에서의 정투영은 적어도 부분적으로 중첩된다. 예컨대, 해당 차광층의 재료는 알루미늄, 몰리브덴 또는 구리 등과 같은 금속 재료를 포함한다.
- [0057] 도 1에 도시된 바와 같이, 베이스 구조(110)는 차광층(112)을 커버하는 제3 도전층(113)을 더 포함한다. 해당 제3 도전층은 차광층(112) 상에서 베이스 기관(111) 상까지 연장될 수 있다. 해당 제3 도전층(113)은 커패시터의 또 다른 전극판으로 될 수 있다.
- [0058] 설명해야 할 것은, 또 다른 실시예에서, 차광층(112)과 제3 도전층(113)의 위치는 서로 교환될 수 있다. 예컨대, 제3 도전층(113)은 베이스 기관(111) 상에 위치할 수 있고, 차광층(112)은 제3 도전층(113)의 베이스 기관으로부터 멀리 떨어진 측에 위치할 수 있으며, 즉, 차광층은 제3 도전층 상에 커버된다.
- [0059] 일부 실시예에서, 해당 제3 도전층(113)의 재료는 투명 도전 재료를 포함한다. 예컨대, 해당 투명 도전 재료는: ITO 또는 IZO 등을 포함한다. 여기서, 제3 도전층은 투명 도전 재료를 채용하여 어레이 기관의 광투과율을 향상시킬 수 있다.
- [0060] 도 1에 도시된 바와 같이, 베이스 구조(110)는 제3 도전층(113)과 활성층(120) 사이의 버퍼층(114)을 더 포함한다. 예컨대, 해당 버퍼층은 이산화규소 등과 같은 무기 절연 재료를 포함할 수 있다. 해당 버퍼층(114)은 제3 도전층(113)과 베이스 기관(111) 등을 커버한다.
- [0061] 일부 실시예에서, 도 1에 도시된 바와 같이, 해당 베이스 기관(110)은 배선(115)을 더 포함할 수 있다. 제1 커넥터(161)는 제1 절연층(130)과 버퍼층(114)을 관통하는 제3 비아(도전성 비아)를 통해 해당 배선(115)에 전기적으로 연결된다. 해당 배선(115)은 차광층(112)과 동일층에 위치할 수 있다. 예컨대, 해당 배선(115)의 재료는 차광층(112)의 재료와 동일하다. 해당 배선(115)은 해당 차광층(112)으로부터 격리된다.
- [0062] 일부 실시예에서, 제1 도전층(151)이 베이스 기관(111) 상에서의 정투영과 차광층(112)이 베이스 기관(111) 상에서의 정투영은 적어도 부분적으로 중첩된다. 차광층은 빛을 차단하는 역할을 할 수 있다.
- [0063] 일부 실시예에서, 상기 제3 도전층(113)의 두께는 상기 제2 도전층(152)의 두께보다 크며, 또한 상기 제2 도전층(152)의 두께는 상기 제1 도전층(151)의 두께와 동일하다. 이렇게 하면 제2 도전층이 더 얇아져서, 어레이 기관의 광투과율을 더욱 향상시킬 수 있다. 또한, 제3 도전층(113)의 두께는 비교적 두꺼워서 저항을 줄일 수 있다.
- [0064] 예컨대, 해당 제3 도전층(113)의 두께는 3000 옴스트롬 내지 5000 옴스트롬이다. 예컨대, 제2 도전층(152)(또는 제1 도전층(151))의 두께는 500 옴스트롬 내지 1000 옴스트롬이다.
- [0065] 일부 실시예에서, 상기 제1 도전층(151)의 두께는 상기 활성층(120)의 두께보다 두껍다. 예컨대, 활성층(120)의 두께는 300 옴스트롬 내지 500 옴스트롬이다.
- [0066] 일부 실시예에서, 상기 제1 커넥터(161)와 상기 제1 도전층(151)의 중첩 부분의 면적은 상기 제2 커넥터(162)와 상기 제2 도전층(152)의 중첩 부분의 면적보다 작다. 여기서, 제2 커넥터와 제2 도전층의 중첩 부분의 면적은 비교적 커서 접촉 저항을 줄일 수 있다.
- [0067] 일부 실시예에서, 도 1에 도시된 바와 같이, 상기 제1 절연층(130)은 상기 게이트(163) 하방에 위치하는 게이트 절연층(131)을 포함한다.
- [0068] 도 1에 도시된 바와 같이, 상기 활성층(120)은: 상기 제1 커넥터(161)에 전기적으로 연결된 제1 도체화 영역(121), 상기 제2 커넥터(162)에 전기적으로 연결된 제2 도체화 영역(122) 및 상기 제1 도체화 영역(121)과 상기 제2 도체화 영역(122) 사이의 채널 영역(123)을 포함한다. 상기 채널 영역(123)은 상기 게이트 절연층(131)의 가장자리와 수평된다. 여기서, 제1 도전층(151)은 제1 도체화 영역(121)과 접촉되고, 제2 도전층(152)은 제2 도체화 영역(122)과 접촉된다. 활성층의 채널 영역 양측 부분도 도체화함으로써, 제1 도전층과 활성층 사이의 접촉 저항 및 제2 도전층과 활성층 사이의 접촉 저항을 줄일 수 있으며, 전류의 전송을 용이하게 하며, 어레이 기관 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킬 수 있다.
- [0069] 도 3은 도 1 중의 어레이 기관이 블록 201 위치에 있을 때의 확대 개략도를 개략적으로 도시하였다.

- [0070] 도 3에 도시된 바와 같이, 상기 제1 도전층(151)은 상기 게이트로(163)부터 멀리 떨어진 제1 부분(1511) 및 상기 게이트(163)에 가까운 제2 부분(1512)을 포함한다. 해당 제1 부분(1511)은 상기 제1 커넥터(161)에 의해 완전히 커버되고, 해당 제2 부분(1512)은 상기 제1 커넥터(161)에 의해 커버되지 않는다.
- [0071] 일부 실시예에서, 도 3에 도시된 바와 같이, 제1 커넥터(161)와 제1 도전층(151)의 중첩 부분이 제1 커넥터(161)로부터 게이트(163)까지의 방향 상에서의 폭(d1)은 제1 도전층(151)의 가장자리와 채널 영역(123) 사이의 거리(d4)보다 작다.
- [0072] 일부 실시예에서, 제1 도전층(151)의 면적은 제1 커넥터(161)와 제1 도전층(151)의 중첩 부분(즉, 폭(d1)에 대응하는 부분)의 면적보다 크다. 이는 제1 커넥터와 제1 도전층의 충분한 접촉에 유리하여, 접촉 불량 문제를 방지한다.
- [0073] 일부 실시예에서, 제1 도체층(151)의 면적은 채널 영역(123)의 면적보다 작다. 채널 영역의 면적이 비교적 커서, 박막 트랜지스터의 성능을 향상시키는데 유리하다.
- [0074] 설명해야 할 것은, 본 개시에 언급된 "면적"은 베이스 기판이 위치한 평면의 표면과 평행되는 구조층의 면적을 나타낸다. 예컨대, 해당 면적은 구조층의 상부 표면의 면적일 수 있다. 예컨대, 제1 도체층(151)의 상부 표면의 면적은 바로 제1 도체층(151)의 면적이며; 채널 영역(123)의 상부 표면의 면적은 바로 채널 영역(123)의 면적, 등등이다.
- [0075] 일부 실시예에서, 제1 도전층(151)과 게이트(163) 사이의 거리(d3)는 제1 커넥터(161)와 제1 도전층(151)의 중첩 부분이 제1 커넥터로부터 게이트까지의 방향 상에서의 폭(d1)보다 크며, 또한 제1 커넥터(161)와 제1 도전층(151)의 중첩 부분이 제1 커넥터로부터 게이트까지의 방향 상에서의 폭(d1)은 제1 도전층(151)의 제2 부분(즉, 제1 커넥터(161)에 의해 커버되지 않은 부분)이 제1 커넥터로부터 게이트까지의 방향 상에서의 폭(d2)보다 크다. 즉, $d3 > d1 > d2$ 이다. 이러한 크기 설계는 박막 트랜지스터의 성능을 향상시키는데 유리하며, 따라서 어레이 기판 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.
- [0076] 또한, 도 3에 도시된 바와 같이, 제1 도전층(151)과 절연층(131) 사이에 갭(301)이 존재한다.
- [0077] 도 1로 돌아가면, 일부 실시예에서, 상기 어레이 기판은 상기 제1 커넥터(161), 상기 제2 커넥터(162) 및 상기 게이트(163)를 커버하는 제2 절연층(171)을 더 포함한다. 예컨대, 해당 제2 절연층(171)의 재료는 이산화규소 또는 질화규소 등 중 적어도 하나를 포함한다.
- [0078] 도 1에 도시된 바와 같이, 해당 어레이 기판은 상기 제2 절연층(171)의 상기 베이스 구조(110)로부터 멀리 떨어진 층의 평탄화층(172)을 더 포함한다. 예컨대, 해당 평탄화층의 재료는 수지 등과 같은 유기 절연 재료를 포함한다.
- [0079] 도 1에 도시된 바와 같이, 해당 어레이 기판은 상기 평탄화층(172)의 상기 베이스 구조(110)로부터 멀리 떨어진 층의 제1 전극층(181) 및 픽셀 정의층(174)을 더 포함한다. 해당 제1 전극층(181)은 (예컨대, 도전 비아를 통해) 상기 제2 커넥터(162)에 전기적으로 연결된다. 해당 픽셀 정의층(174)은 상기 제1 전극층(181)의 적어도 일부분을 노출하는 제1 개구(1742)를 가진다. 예컨대, 해당 제1 전극층은 소스 층이다. 예컨대, 제1 전극층(181)의 재료는 구리, 은, 알루미늄 또는 알루미늄 합금 등 금속을 포함하며, 또는, ITO 또는 IZO 등과 같은 투명 도전 재료를 포함한다.
- [0080] 도 1에 도시된 바와 같이, 해당 어레이 기판은 적어도 상기 제1 개구(1742) 중에 위치하는 발광층(180)을 더 포함한다. 해당 발광층은: 적색광을 방출하기 위한 발광층, 녹색광을 방출하기 위한 발광층, 또는 청색광을 방출하기 위한 발광층을 포함할 수 있다.
- [0081] 도 1에 도시된 바와 같이, 해당 어레이 기판은 상기 발광층(180)에 전기적으로 연결되는 제2 전극층(182)을 더 포함한다. 해당 제2 전극층(182)은 픽셀 정의층(174)과 발광층(180) 상에 커버된다. 해당 제2 전극층은 드레인 층이다. 예컨대, 제2 전극층(182)의 재료는 구리, 은, 알루미늄 또는 알루미늄 합금 등 금속을 포함하며, 또는, ITO 또는 IZO 등과 같은 투명 도전 재료를 포함한다.
- [0082] 일부 실시예에서, 해당 어레이 기판은 제1 전극층(181)과 제2 전극층(182) 사이의 다른 기능층을 더 포함할 수 있으며, 예컨대, 전자 수송층, 정공 수송층, 전자 차단층 또는 정공 차단층 등이다. 따라서, 본 개시의 범위는 이에 한정되지 않는다.
- [0083] 일부 실시예에서, 도 1에 도시된 바와 같이, 상기 제2 도전층(152)이 상기 베이스 기판(111) 상에서의 정투영과

상기 제3 도전층(113)이 상기 베이스 기관(111) 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제2 도전층(152)이 상기 베이스 기관(111) 상에서의 정투영과 상기 제1 전극층(181)이 상기 베이스 기관(111) 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다. 이는 어레이 기관의 광투과율을 향상시키는데 유리하다.

[0084] 일부 실시예에서, 도 1에 도시된 바와 같이, 상기 제2 도전층(152)이 상기 베이스 기관(111) 상에서의 정투영과 상기 제3 도전층(113)이 상기 베이스 기관(111) 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭은, 상기 제3 도전층(113)이 상기 베이스 기관(111) 상에서의 정투영과 상기 제1 전극층(181)이 상기 베이스 기관(111) 상에서의 정투영 간의 중첩 부분이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭보다 작다. 이는 어레이 기관의 광투과율을 향상시키는데 유리하다.

[0085] 본 개시의 실시예는 어레이 기관을 제공한다. 도 1에 도시된 바와 같이, 해당 어레이 기관은: 베이스 구조(110) 및 베이스 구조(110) 상의 박막 트랜지스터를 포함한다.

[0086] 해당 박막 트랜지스터는 베이스 구조(110) 상의 활성층(120)을 포함한다. 해당 박막 트랜지스터는 상기 활성층(120)의 상기 베이스 구조로부터 멀리 떨어진 측의 패터닝된 제1 절연층(130)을 더 포함한다. 해당 제1 절연층(130)은 상기 활성층(120)의 일부분을 노출하는 제1 비아(141)를 가진다. 해당 박막 트랜지스터는 상기 제1 비아(141) 중에 있으며 또한 상기 활성층(120)과 접촉하는 제1 도전층(151)을 더 포함한다. 해당 박막 트랜지스터는 상기 제1 절연층(130)의 상기 베이스 구조로부터 멀리 떨어진 측의 제1 커넥터(161), 제2 커넥터(162) 및 게이트(163)를 더 포함한다. 상기 제1 커넥터(161)는 상기 제1 도전층(151)과 접촉한다. 상기 제1 커넥터(161), 상기 제2 커넥터(162) 및 상기 게이트(163)는 동일층에 위치하고 또한 서로 격리된다. 상기 게이트(163)는 상기 제1 커넥터(161)와 상기 제2 커넥터(162) 사이에 위치한다.

[0087] 도 1과 도 3에 도시된 바와 같이, 활성층(120)은: 상기 제1 커넥터(161)와 전기적으로 연결된 제1 도체화 영역(121), 상기 제2 커넥터(162)와 전기적으로 연결된 제2 도체화 영역(122) 및 상기 제1 도체화 영역(121)과 상기 제2 도체화 영역(122) 사이의 채널 영역(123)을 포함한다. 상기 채널 영역(123)은 상기 게이트(163)의 하방에 위치한다.

[0088] 도 3에 도시된 바와 같이, 상기 제1 도전층(151)은 상기 게이트(163)로부터 멀리 떨어진 제1 부분(1511) 및 상기 게이트(163)에 가까운 제2 부분(1512)을 포함하며, 상기 제1 부분(1511)은 상기 제1 커넥터(161)에 의해 완전히 커버되고, 상기 제2 부분(1512)은 상기 제1 커넥터(161)에 의해 커버되지 않는다. 상기 제1 도전층(151)이 상기 베이스 구조(110) 상에서의 정투영은 상기 활성층(120)이 상기 베이스 구조(110) 상에서의 정투영의 내부에 위치한다.

[0089] 상술한 실시예에서, 제1 절연층의 제1 비아 중에 제1 도전층이 형성되기에, 따라서 제조 과정에서, 해당 제1 도전층은 그 아래의 활성층의 일부를 어느 정도 보호할 수 있어, 활성층에 결실된 부분이 생기는 가능성을 줄이며, 더 나아가 어레이 기관 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.

[0090] 일부 실시예에서, 도 3에 도시된 바와 같이, 상기 제2 부분(1512)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d2)은 상기 제1 부분(1511)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d1)보다 작다. 여기서, 제1 부분(1511)의 폭은 제1 커넥터(161)와 제1 도전층(151)의 중첩 부분의 폭과 동일하며, 모두 d1이다.

[0091] 예컨대, 제1 부분(1511)의 폭(d1)은 제2 부분(1512)의 폭(d2)의 2배 내지 5배이다.

[0092] 일부 실시예에서, 도 3에 도시된 바와 같이, 상기 제2 부분(1512)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d2)은 채널 영역(123)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d5)보다 작다.

[0093] 일부 실시예에서, 도 3에 도시된 바와 같이, 제2 부분(1512)의 두께(H2)은 제1 부분(1511)의 두께(H1)보다 얇다.

[0094] 일부 실시예에서, 도 1 및 도 3에 도시된 바와 같이, 상기 활성층(120)은 반도체 영역(124, 제1 반도체 영역으로 칭할 수 있음)을 더 포함한다. 상기 반도체 영역(124)은 상기 제1 도체화 영역(121)의 상기 채널 영역(123)으로부터 멀리 떨어진 측에 위치한다. 상기 제2 부분(1512)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d2)은 상기 반도체 영역(124)이 상기 제1 커넥터로부터 상기 게이트까지의 방향 상에서의 폭(d6)보다 작다.

- [0095] 또 다른 실시예에서, 활성층은 또 다른 반도체 영역을 더 포함할 수 있으며, 제2 반도체 영역(도면에 미도시됨)으로 칭할 수 있다. 해당 제2 반도체 영역은 제2 도체화 영역(122)의 채널 영역(123)으로부터 멀리 떨어진 측에 위치한다.
- [0096] 도 2는 본 개시의 또 다른 실시예에 따른 어레이 기관의 단면 개략도를 도시하였다.
- [0097] 해당 도 2에 도시된 어레이 기관의 구조는 도 1에 도시된 어레이 기관의 구조와 유사하다. 도 1에 도시된 어레이 기관의 구조와 다른 점은: 도 2에 도시된 어레이 기관에서, 제2 비아(142)는 버퍼층(114)의 노출하고, 또한 제2 도전층(152)은 활성층(120)의 표면 상에 위치하는 제3 부분(1521) 및 버퍼층(114)의 표면 상에 위치하는 제4 부분(1522)을 포함하는 것이다. 예컨대, 도 2에 도시된 구조에서, 활성층(120)의 가로 크기는 도 1 중의 활성층의 가로 크기보다 작으며, 제2 도전층(152)의 제3 부분의 면적은 도 1 중의 제2 도전층과 활성층의 중첩 부분의 면적보다 작다. 따라서, 도 2에 도시된 어레이 기관에서, 제2 도전층과 활성층의 중첩 부분의 면적이 감소되어, 어레이 기관의 광투과율을 향상시킬 수 있다.
- [0098] 도 4는 본 개시의 일 실시예에 따른 어레이 기관의 부분 구조의 평면도를 개략적으로 도시하였다.
- [0099] 도시의 편이를 위해, 도 4에서는 어레이 기관의 활성층의 제1 도체화 영역(121), 제1 도전층(151) 및 제1 커넥터(161)를 도시하였다. 도 4에 도시된 바와 같이, 제1 도전층(151)의 존재로 인해, 제1 도체화 영역(121)에 결실된 부분이 없으므로, 제1 커넥터로부터 제1 도체화 영역(121)까지 전류가 비교적 균일하게 흐를 수 있어, 어레이 기관의 신호 전송 능력을 향상시킨다.
- [0100] 본 개시의 일부 실시예에서, 예컨대 도 1 또는 도 2에 도시된 어레이 기관과 같은 전술한 디스플레이 기관을 포함하는 디스플레이 장치를 더 제공한다. 예컨대, 해당 디스플레이 장치는: 디스플레이 패널, 휴대폰, 태블릿, TV, 모니터, 노트북, 디지털 액자, 내비게이션 및 기타 디스플레이 기능을 갖는 임의의 제품 또는 부품일 수 있다.
- [0101] 도 5는 본 개시의 일 실시예에 따른 어레이 기관의 제조 방법의 흐름도를 도시하였다. 도 5에 도시된 바와 같이, 해당 제조 방법은 단계 S502 내지 S508을 포함한다. 도 6a 내지 도 6i는 본 개시의 일부 실시예에 따른 어레이 기관의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다. 도 9a 내지 도 9c는 본 개시의 또 다른 일부 실시예에 따른 어레이 기관의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다. 아래에 도 5, 도 6a 내지 도 6i 및 도 9a 내지 도 9c를 결부시켜 본 개시의 일부 실시예의 어레이 기관의 제조 과정에 대해 상세하게 설명하기로 한다.
- [0102] 도 5에 도시된 바와 같이, 단계 S502에서, 베이스 구조 상에 활성층을 형성한다.
- [0103] 예컨대, 도 6a에 도시된 바와 같이, 증착 공정을 통해 베이스 구조(110)에 활성층(120)을 형성한다. 해당 베이스 구조(110)의 구체적인 구조는 앞에서 이미 상세하게 설명했으며, 여기서 더 이상 기술하지 않는다.
- [0104] 도 5로 돌아오면, 단계 S504에서, 활성층의 베이스 구조로부터 멀리 떨어진 측에 패터닝된 제1 절연층을 형성하며, 제1 절연층은 활성층의 일부분을 노출하는 제1 비아를 가진다.
- [0105] 예컨대, 패터닝된 제1 절연층을 형성하는 과정은 도 6a 내지 도 6f의 상세한 설명을 참조할 수 있다.
- [0106] 도 6a에 도시된 바와 같이, 예컨대 증착 공정을 통해, 활성층(120)의 베이스 구조(110)로부터 멀리 떨어진 측에 제1 절연층(130)을 형성한다.
- [0107] 다음으로, 도 6b에 도시된 바와 같이, 제1 절연층(130)의 베이스 구조(110)로부터 멀리 떨어진 측에 제1 마스크층(610)을 형성한다. 예컨대, 제1 마스크층의 재료는 포지티브 포토레지스트이다.
- [0108] 다음으로, 도 6b 및 도 6c에 도시된 바와 같이, 예컨대 노광 및 현상 기법을 통해, 패터닝된 제1 마스크(621)를 이용하여 제1 마스크층(610)에 대해 패터닝을 진행하여 패터닝된 제1 마스크층(610)을 형성하며, 패터닝된 제1 마스크층으로 하여금 제1 절연층(130)의 일부분을 노출하는 제2 개구(6102)를 갖도록 한다.
- [0109] 다음으로, 도 6d 및 도 6e에 도시된 바와 같이, 패터닝된 제1 마스크층(610)을 이용하여, 에칭 공정(예컨대, 건식 에칭)을 통해 제2 개구(6102)에 의해 노출된 제1 절연층(130)의 상기 일부분을 제거하여 제1 비아(141)를 형성함으로써, 패터닝된 제1 절연층(130)을 형성한다. 해당 제1 비아(141)는 제1 절연층(130)의 일부분을 노출한다.
- [0110] 도 5로 돌아오면, 단계 S506에서, 활성층의 노출된 상기 일부분에 대해 도체화 처리를 수행한다.

- [0111] 예컨대, 도 6e에 도시된 바와 같이, 활성층(120)의 노출된 상기 일부분에 대해 제1 도체화 처리를 수행한다. 예컨대, 건식 에칭 공정 및 He 스(헬륨 가스)를 채용하여 제1 도체화 처리를 수행할 수 있다.
- [0112] 다음으로, 도 6f에 도시된 바와 같이, 제1 마스크층(610)을 제거한다.
- [0113] 도 5로 돌아오면, 단계 S508에서, 제1 비아 중에 활성층과 접촉하는 제1 도전층을 형성한다.
- [0114] 예컨대, 제1 도전층을 형성하는 과정은 도 6g 내지 도 6i의 상세한 설명을 참조할 수 있다.
- [0115] 예컨대, 도 6g에 도시된 바와 같이, 증착 공정을 통해 패터닝된 제1 절연층(130)의 베이스 구조(110)로부터 멀리 떨어진 측 및 제1 비아(141) 중에 제1 도전층(151)을 형성한다. 예컨대, 해당 제1 도전층(151)의 재료는 투명 도전 재료를 포함한다.
- [0116] 다음으로, 도 6h에 도시된 바와 같이, 제1 도전층(151)의 베이스 구조(110)로부터 멀리 떨어진 측에 제2 마스크층(612)을 형성하며, 또한 전술한 제1 마스크(621)를 이용하여 제2 마스크층(612)에 대해 노광 및 현상 처리를 진행함으로써, 도 6h에 도시된 제2 마스크층(612)의 구조를 형성한다. 예컨대, 제2 마스크층의 재료는 네거티브 포토레지스트이다.
- [0117] 다음으로, 도 6h에 도시된 바와 같이, 제1 도전층(151)에 대해 에칭을 진행하여, 제1 도전층(151)의 제2 마스크층(612)에 의해 커버되지 않은 부분을 제거하고, 또한 제1 도전층(151)의 제2 마스크층(612)에 의해 커버된 부분을 보류함으로써, 도 6i에 도시된 바와 같은 구조를 형성한다.
- [0118] 다음으로, 도 6i에 도시된 바와 같이, 제2 마스크층(612)을 제거한다.
- [0119] 이로써, 패터닝된 제1 도전층(151)을 형성하며, 해당 제1 도전층(151)은 그 아래의 활성층(120)을 최대한 에칭되지 않도록 보호할 수 있다.
- [0120] 도 5로 돌아오면, 단계 S510에서, 증착 공정을 통해 제1 절연층의 베이스 구조로부터 멀리 떨어진 측에 연결 재료층을 형성한다.
- [0121] 예컨대, 도 9a에 도시된 바와 같이, 증착 공정을 통해 제1 절연층(130)의 베이스 구조(110)로부터 멀리 떨어진 측에 연결 재료층(160)을 형성한다. 연결 재료층(160)의 재료는 구리 등과 같은 금속을 포함한다.
- [0122] 도 5로 돌아오면, 단계 S512에서, 패터닝된 마스크층을 이용하여 연결 재료층에 대해 패터닝을 진행하여 제1 커넥터를 형성하며, 해당 제1 커넥터는 제1 도전층과 접촉하며, 제1 커넥터는 제1 도전층의 제1 부분을 커버하고 또한 제1 도전층의 제2 부분을 커버하지 않는다.
- [0123] 예컨대, 도 9a에 도시된 바와 같이, 연결 재료층의 베이스 구조(110)로부터 멀리 떨어진 측에 패터닝된 마스크층(637, 제3 마스크층으로 칭할 수 있음)을 형성한다. 예컨대, 해당 제3 마스크층의 재료는 포토레지스트이다.
- [0124] 다음으로, 도 9b에 도시된 바와 같이, 예컨대, 습식 에칭 공정을 통해, 제3 마스크층(637)을 이용하여 연결 재료층(160)에 대해 패터닝을 진행하여, 제1 커넥터(161)를 형성한다. 또한, 해당 과정에서 제2 커넥터(162) 및 게이트(163) 등을 형성할 수 있다. 해당 습식 에칭의 과정에서, 에칭액은 제3 마스크층의 가장자리 하방의 연결 재료층의 일부를 에칭할 수 있으므로, 형성된 제1 커넥터가 안쪽으로 함몰된다.
- [0125] 따라서, 제1 커넥터가 형성된다.
- [0126] 도 5로 돌아오면, 단계 S514에서, 마스크층을 이용하여, 셀프 어라인먼트 공정을 통해 제1 절연층에 대해 에칭을 진행하여 제1 비아를 확대하며, 그 중, 확대한 후의 제1 비아는 활성층의 또 다른 부분을 노출한다.
- [0127] 예컨대, 도 9c에 도시된 바와 같이, 패터닝된 마스크층(637, 즉 제3 마스크)을 이용하여, 셀프 어라인먼트 공정을 통해 제1 절연층(130)에 대해 에칭을 진행하여 제1 비아(141)를 확대하며, 그 중, 확대한 후의 제1 비아(141)는 활성층(120)의 또 다른 부분을 노출한다. 예컨대, 해당 에칭은 건식 에칭이다. 여기서, 제1 절연층(130)의 전면에 대해 에칭이 실시되어, 제1 도전층과 절연층 사이의 겹, 즉 전술한 겹(301)을 형성한다.
- [0128] 도 5로 돌아오면, 단계 S516에서, 활성층의 노출된 상기 또 다른 부분에 대해 제2 도체화 처리를 진행한다.
- [0129] 예컨대, 도 9c에 도시된 바와 같이, 활성층(120)의 노출된 상기 또 다른 부분에 대해 제2 도체화 처리를 진행한다. 예컨대, 건식 에칭 공정을 채용하고 또한 He 스(헬륨 가스)를 사용하여 제2 도체화 처리를 수행할 수 있다. 해당 과정에서, 제1 도전층(151)이 존재하므로, 제1 도전층(151) 바로 아래의 활성층 부분이 에칭되는 것을 방지할 수 있다.

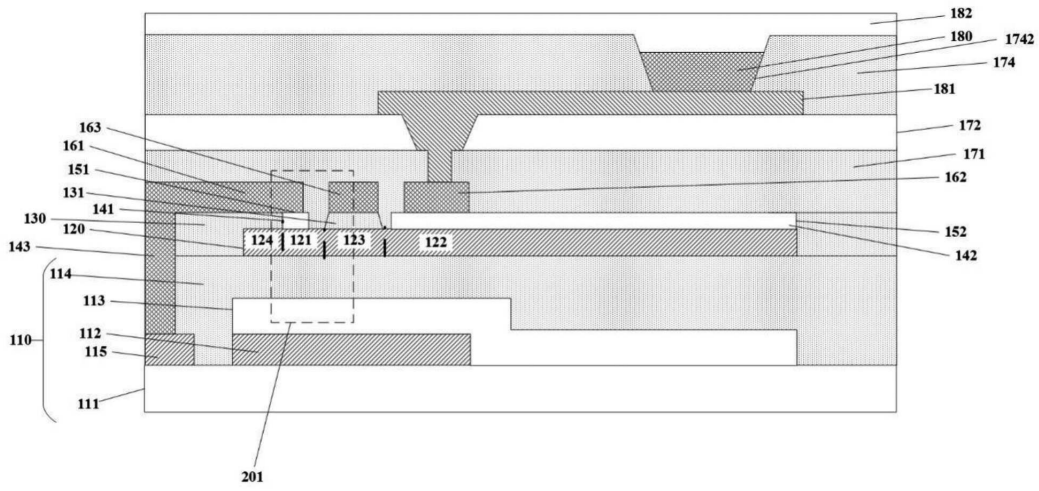
- [0130] 다음으로, 제3 마스크층(637)을 제거한다.
- [0131] 이로써, 본 개시의 일부 실시예의 어레이 기판의 제조 방법을 제공하였다. 제조 방법은: 베이스 구조 상에 활성층을 형성하는 단계; 상기 활성층의 상기 베이스 구조로부터 멀리 떨어진 측에 패터닝된 제1 절연층을 형성하되, 상기 제1 절연층은 상기 활성층의 일부분을 노출하는 제1 비아를 가지는 단계; 상기 활성층의 노출된 상기 일부분에 대해 제1 도체화 처리를 수행하는 단계; 상기 제1 비아 중에 상기 활성층과 접촉하는 제1 도전층을 형성하는 단계; 증착 공정을 통해 상기 제1 절연층의 베이스 구조로부터 멀리 떨어진 측에 연결 재료층을 형성하는 단계; 패터닝된 마스크층을 이용하여 상기 연결 재료층에 대해 패터닝을 진행하여 제1 커넥터를 형성하되, 상기 제1 커넥터는 상기 제1 도전층과 접촉하며, 상기 제1 커넥터는 상기 제1 도전층의 제1 부분을 커버하고 또한 상기 제1 도전층의 제2 부분을 커버하지 않는 단계; 상기 마스크층을 이용하여, 셀프 어라인먼트 공정을 통해 제1 절연층에 대해 에칭을 진행하여 상기 제1 비아를 확대하되, 확대한 후의 제1 비아는 상기 활성층의 또 다른 부분을 노출시키는 단계; 및 상기 활성층의 노출된 상기 또 다른 부분에 대해 제2 도체화 처리를 진행하는 단계; 를 포함한다. 해당 제조 방법은 활성층에 결실된 부분이 생기는 가능성을 줄이며, 더 나아가 어레이 기판 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.
- [0132] 진일보하여, 상술한 제조 과정에서, 제2 마스크층은 네거티브 포토레지스트를 채용하여, 마스크를 추가로 제조할 필요 없이, 전술한 제1 마스크를 사용하여 노광 및 현상할 수 있으므로, 따라서 공정 복잡도를 낮출 수 있다.
- [0133] 도 7은 본 개시의 또 다른 실시예에 따른 어레이 기판의 제조 과정 중 한 단계의 구조의 단면 개략도를 도시하였다. 해당 도 7은 또 다른 실시예에 따른 제1 도전층 형성 과정 중 한 단계의 구조의 단면 개략도를 도시하였다.
- [0134] 예컨대, 도 7에 도시된 바와 같이, 도 6e에 도시된 구조를 형성한 후, 증착 공정을 통해, 패터닝된 제1 마스크층(610) 상 및 제1 절연층(130)의 제1 비아(141) 중에 제1 도전층(151)을 형성한다.
- [0135] 다음으로, 오프 그라운드 리프트 오프 공정을 통해 제1 마스크층(610) 및 제1 도전층(151)의 제1 마스크층(610) 상에 있는 부분을 제거하고, 제1 도전층(151)의 제1 비아(141) 중에 있는 부분을 보류함으로써, 도 6i에 도시된 바와 같은 구조를 형성한다.
- [0136] 해당 실시예에서, 오프 그라운드 리프트 오프 공정을 채용하면, 추가적인 마스크 공정을 추가할 필요가 없어, 더 나아가 공정 복잡도를 낮출 수 있다.
- [0137] 도 8은 본 개시의 또 다른 실시예에 따른 어레이 기판의 제조 과정 중 한 단계의 구조의 단면 개략도를 도시하였다. 해당 도 8은 또 다른 실시예에 따른 제1 도전층 형성 과정 중 한 단계의 구조의 단면 개략도를 도시하였다.
- [0138] 예컨대, 도 8에 도시된 바와 같이, 도 6f에 도시된 구조를 형성한 후, 패터닝된 제2 마스크(630) 및 증착 공정을 채용하여, 제1 절연층(130)의 제1 비아(141) 중에 제1 도전층(151)을 형성하며, 즉 도 6i에 도시된 구조를 형성한다. 도 8에 도시된 바와 같이, 해당 제2 마스크(630)는 비아(제4 비아로 칭할 수 있음)를 가지며, 해당 개구는 제1 비아(141)와 정렬된다. 예컨대, 해당 제2 마스크는 미세 금속 마스크(Fine Metal Mask, FMM)이다. 또한, 도 8은 증발원(635)을 더 도시하였다. 해당 증발원의 재료는 투명 도전 재료(ITO 또는 IZO 등)를 포함한다.
- [0139] 해당 실시예에서, 증착 공정을 채용하여 제1 도전층을 형성하여, 공정 복잡도를 낮출 수 있다.
- [0140] 도 10a 내지 도 10c는 본 개시의 또 다른 일부 실시예에 따른 어레이 기판의 제조 과정 중 여러 단계의 구조의 단면 개략도를 도시하였다. 아래에 도 10a 내지 도 10c 및 도 1을 결부시켜 본 개시의 또 다른 일부 실시예에 따른 어레이 기판의 제조 과정에 대해 상세하게 설명하기로 한다.
- [0141] 먼저, 도 10a에 도시된 바와 같이, 베이스 구조를 제공한다. 해당 베이스 구조를 제공하는 단계는 다음과 같다.
- [0142] 예컨대, 도 10a에 도시된 바와 같이, 증착 공정 및 패터닝 공정을 통해 베이스 기판(110) 상에 차광층(112)을 형성한다. 또한, 배선(115)도 형성한다.
- [0143] 다음으로, 도 10a에 도시된 바와 같이, 증착 공정 및 패터닝 공정을 통해 차광층(112)을 커버하는 제3 도전층(113)을 형성한다.
- [0144] 또 다른 일부 실시예에서, 또한 먼저 증착 공정 및 패터닝 공정을 통해 베이스 기판(110) 상에 제3 도전층(113)을 형성한다.

3)을 형성한 후, 증착 공정 및 패터닝 공정을 통해 제3 도전층(113) 상에 차광층(112)을 형성할 수 있다.

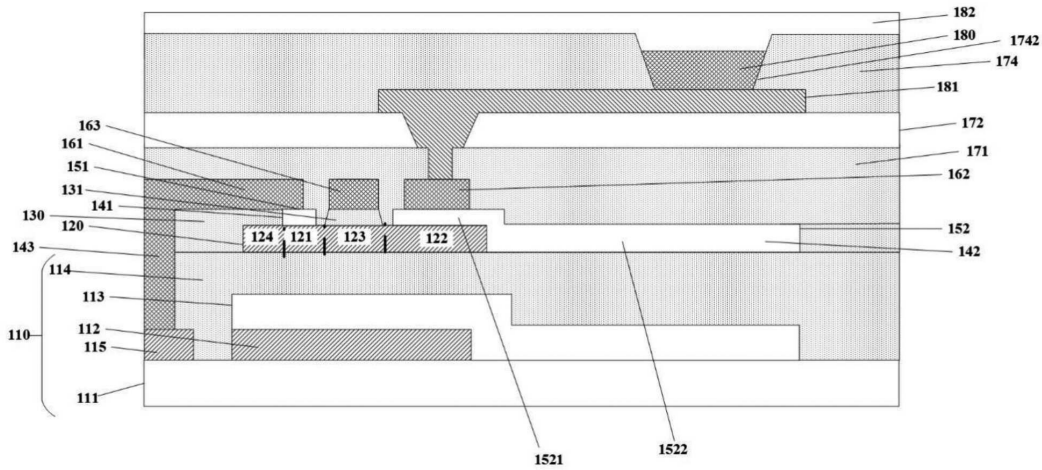
- [0145] 다음으로, 도 10a에 도시된 바와 같이, 증착 공정 및 패터닝 공정을 통해 제3 도전층(113)을 커버하는 버퍼층(114)을 형성한다.
- [0146] 이로써, 베이스 구조(110)가 형성된다.
- [0147] 다음으로, 도 10b에 도시된 바와 같이, 앞서 설명한 공정을 채용하여 활성층(120), 제1 절연층(130), 제1 비아(141), 제1 도전층(151) 및 제1 커넥터(161)를 형성한다. 여기서, 또한 제2 비아(142), 제3 비아(143), 제2 도전층(152), 제2 커넥터(162) 및 게이트(163)를 형성한다.
- [0148] 설명해야 할 것은, 제2 도전층(152)은 제1 도전층(151)과 동일한 공정으로 함께 형성되며, 제2 커넥터(162) 및 게이트(163)는 제1 커넥터(161)와 동일한 패터닝 공정으로 형성된다. 여기서 더 이상 기술하지 않는다.
- [0149] 더 설명해야 할 것은, 제1 비아(141)를 형성하는 동시에, 또한 제2 비아(142)와 제3 비아(143)를 형성할 수 있다. 제2 비아(142)와 제3 비아(143)를 형성하는 과정은 제1 비아(141)의 형성 과정과 유사하기에, 여기서 더 이상 기술하지 않는다.
- [0150] 다음으로, 도 10b에 도시된 바와 같이, 증착 공정을 통해 제1 커넥터(161), 제2 커넥터(162) 및 게이트(163)를 커버하는 제2 절연층(171)을 형성한다.
- [0151] 다음으로, 도 10c에 도시된 바와 같이, 제1 절연층(130)의 베이스 구조(110)로부터 멀리 떨어진 측에 평탄화층(172)을 형성한다.
- [0152] 다음으로, 도 10c에 도시된 바와 같이, 평탄화층(172)의 베이스 구조(110)로부터 멀리 떨어진 측에 제2 커넥터(162)와 전기적으로 연결된 제1 전극층(181)을 형성한다.
- [0153] 다음으로, 도 10c에 도시된 바와 같이, 평탄화층(172)의 베이스 구조(110)로부터 멀리 떨어진 측에 픽셀 정의층(174)을 형성한다. 픽셀 정의층(174)은 제1 전극층(181)의 적어도 일부분을 노출하는 제1 개구(1742)를 가진다.
- [0154] 다음으로, 도 1에 도시된 바와 같이, 적어도 제1 개구(1742) 중에 위치하는 발광층(180)을 형성한다.
- [0155] 다음으로, 도 1에 도시된 바와 같이, 증착 공정을 통해 발광층(180)에 전기적으로 연결되는 제2 전극층(182)을 형성한다.
- [0156] 이로써, 본 개시의 일부 실시예에 따른 어레이 기판의 제조 방법을 제공하였다. 해당 제조 방법은 활성층에 결실된 부분이 생기는 가능성을 줄이며, 더 나아가 어레이 기판 및 이에 의해 형성된 디스플레이 장치의 성능을 향상시킨다.
- [0157] 이로써, 본 개시의 각 실시예에 대해 이미 상세하게 설명하였다. 본 개시의 개념을 모호하게 하는 것을 피면하기 위해 해당 기술분야에 잘 알려진 일부 세부 사항은 설명되지 않았다. 위의 설명을 기반으로 해당 기술분야의 기술자는 여기에 공개된 기술 솔루션을 어떻게 구현하는 지를 완전히 이해할 수 있다.
- [0158] 본 개시의 일부 특정 실시예가 이미 예시를 통해 상세히 설명되었지만, 해당 기술분야의 기술자들은 위의 예시가 본 개시의 범위를 제한하기 위한 것이 아니라 단지 설명을 위한 것임을 이해해야 한다. 해당 기술분야의 기술자들은 본 개시의 범위와 사상을 벗어나지 않는 전제 하에, 위의 실시예에 대해 수정을 진행하거나 또는 부분 기술적 특징이 등가적으로 대체될 수 있음을 이해해야 한다. 본 개시의 범위는 첨부된 청구범위에 의해 정의된다.

도면

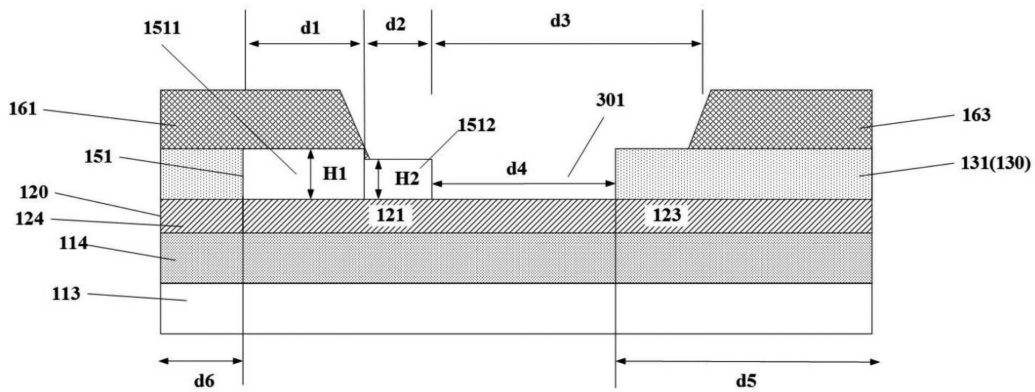
도면1



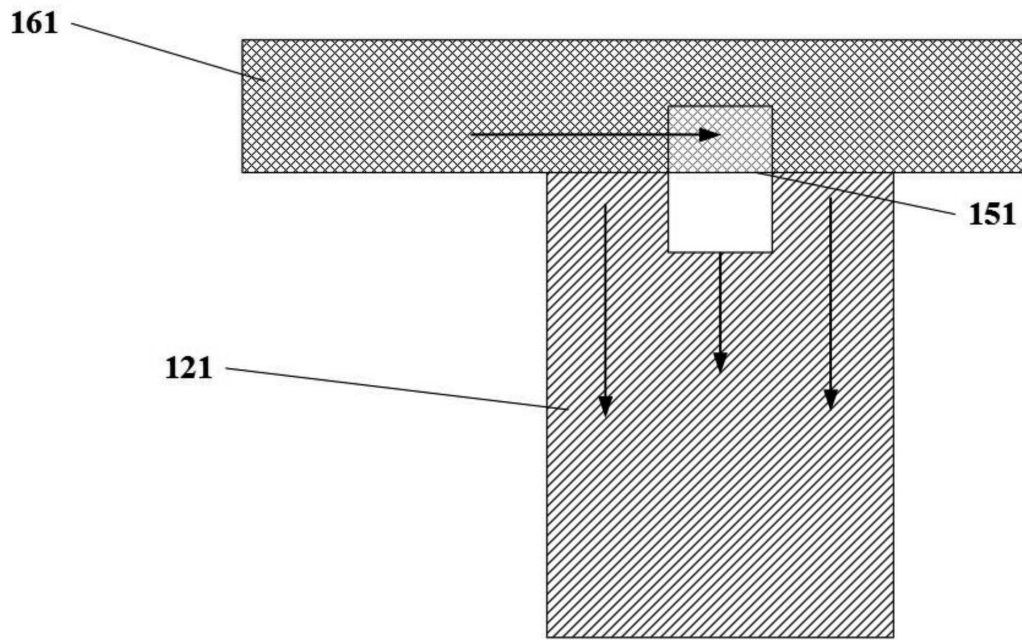
도면2



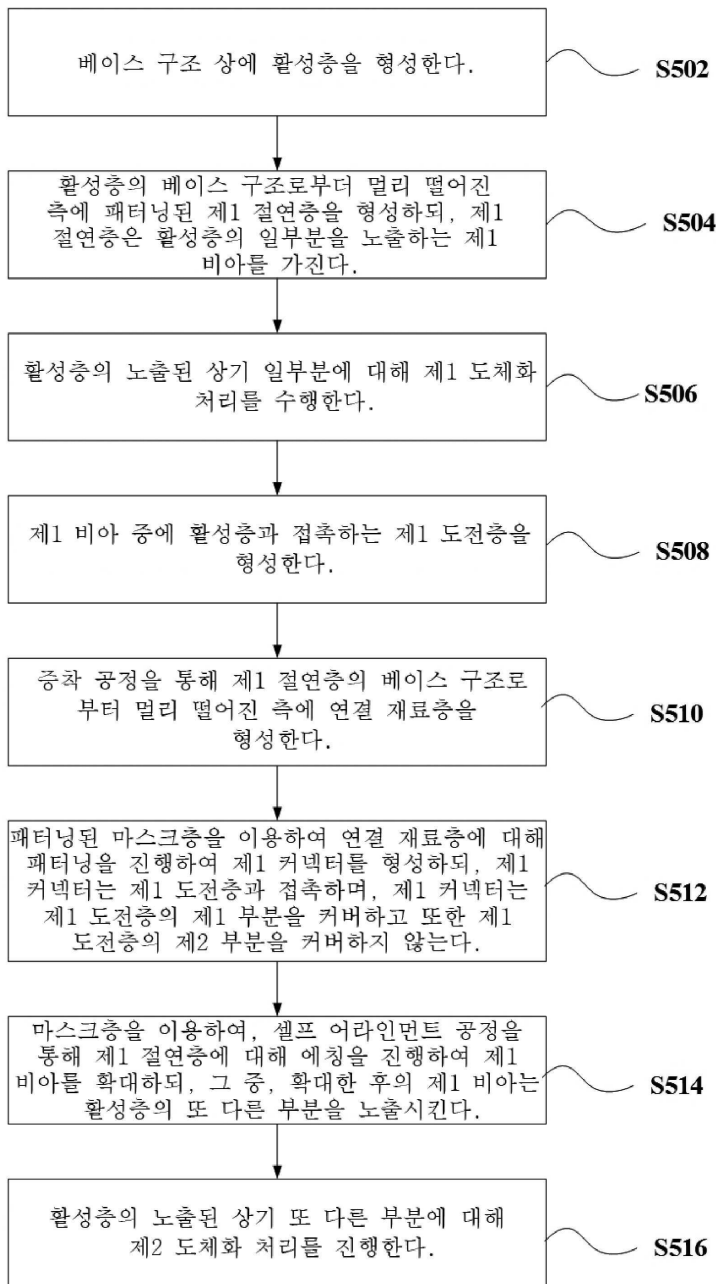
도면3



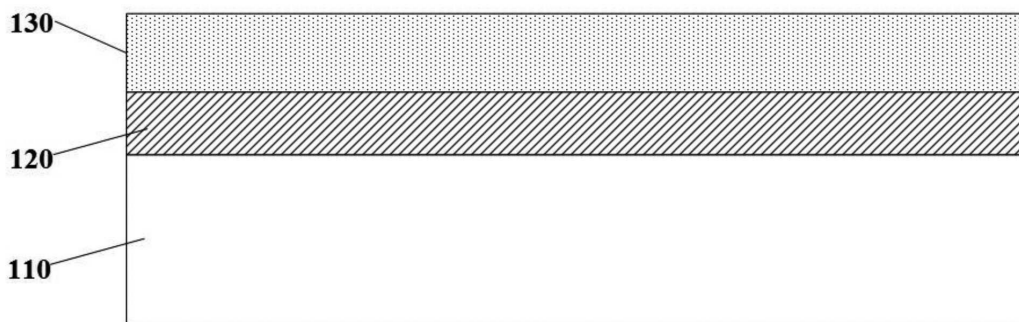
도면4



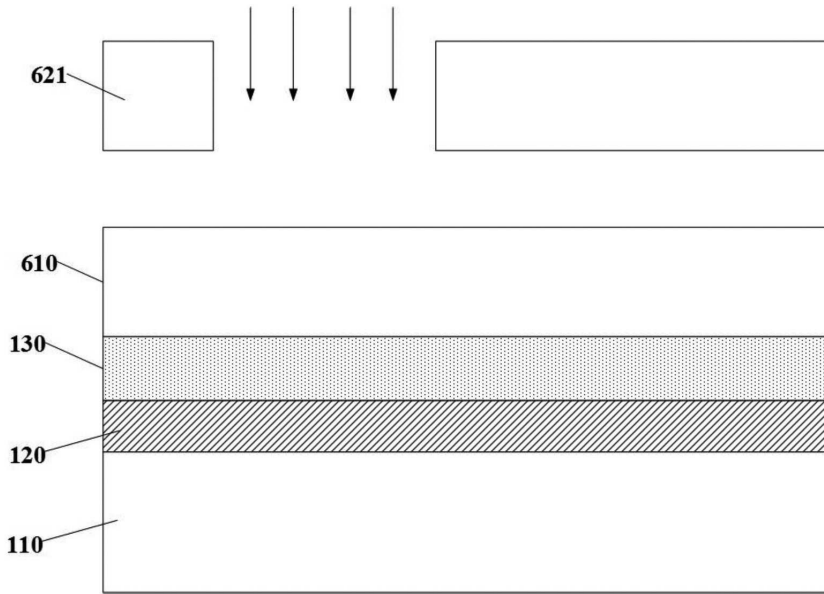
도면5



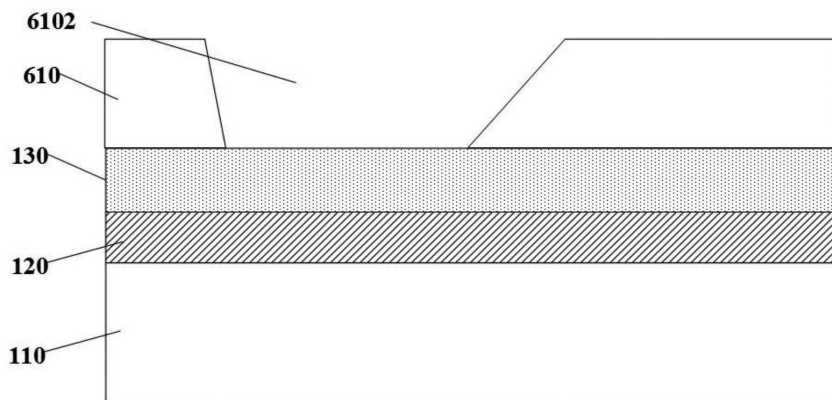
도면6a



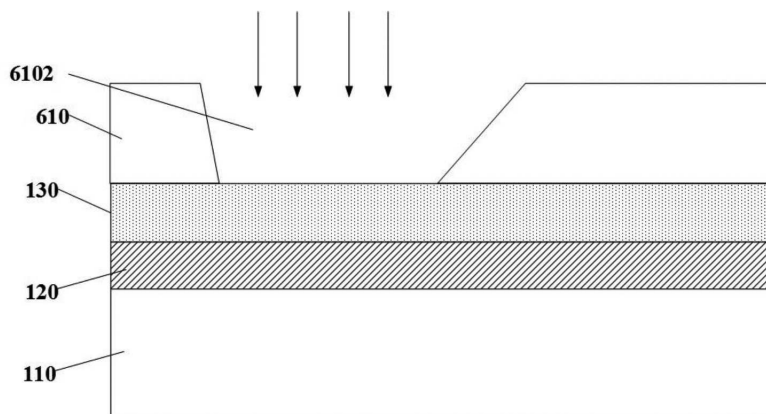
도면6b



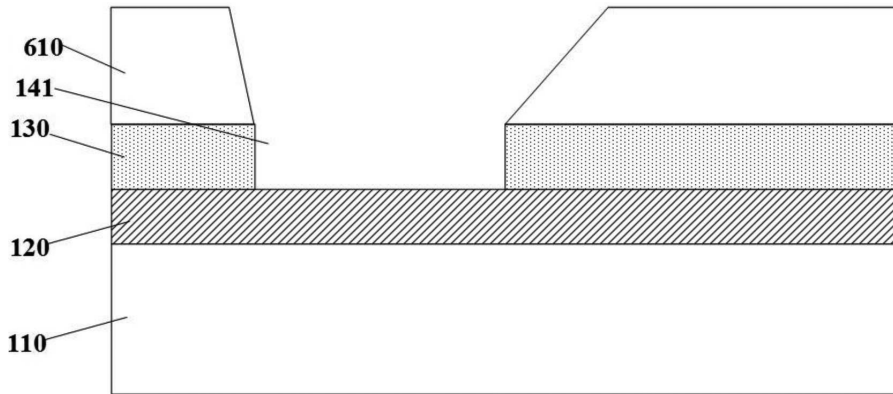
도면6c



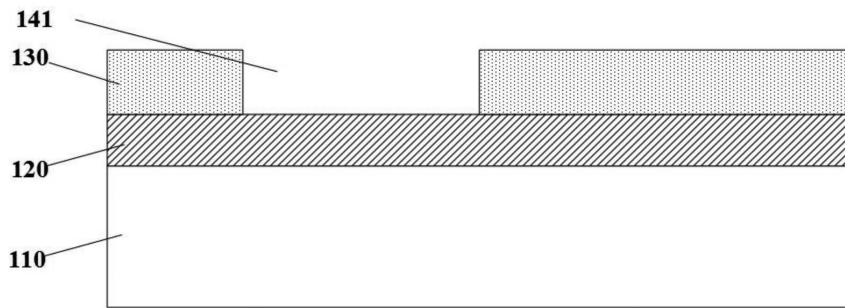
도면6d



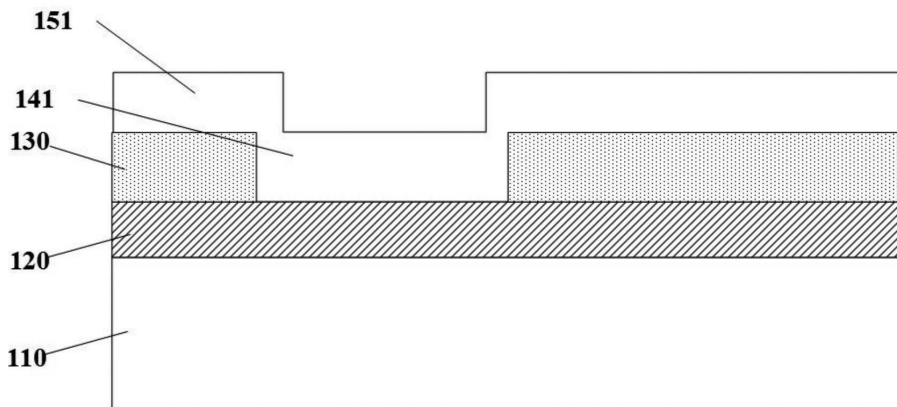
도면6e



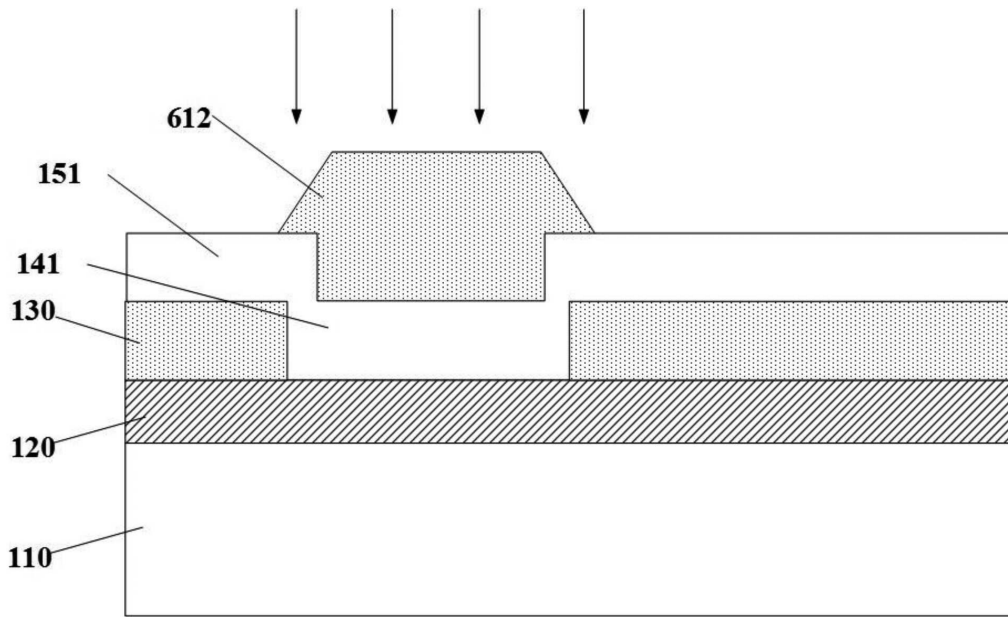
도면6f



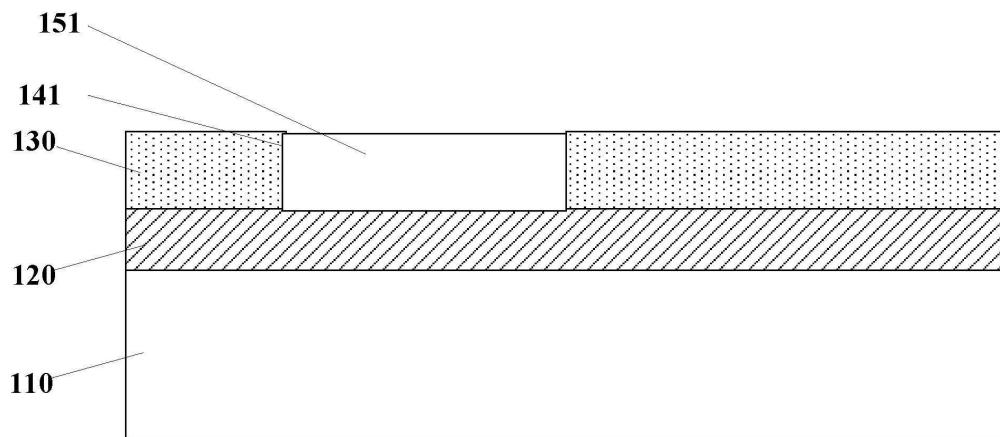
도면6g



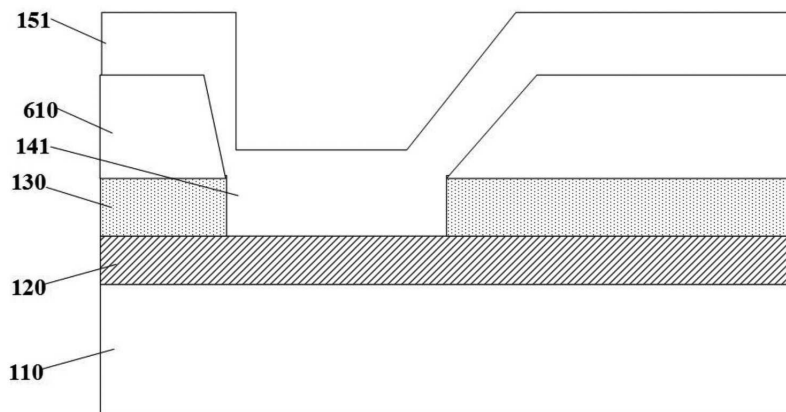
도면6h



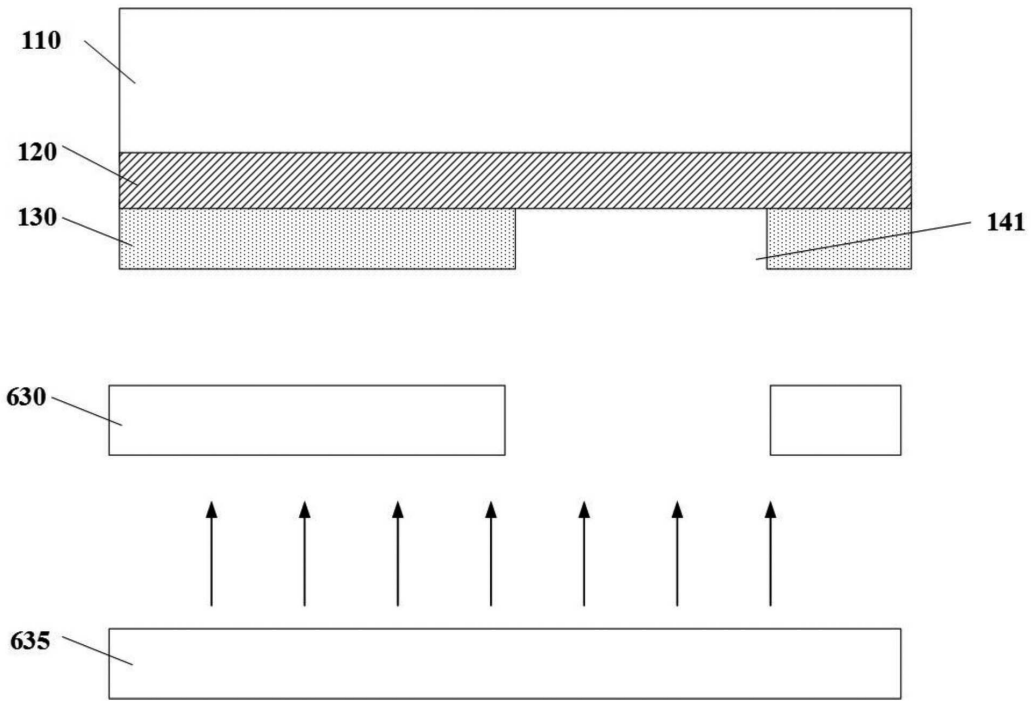
도면6i



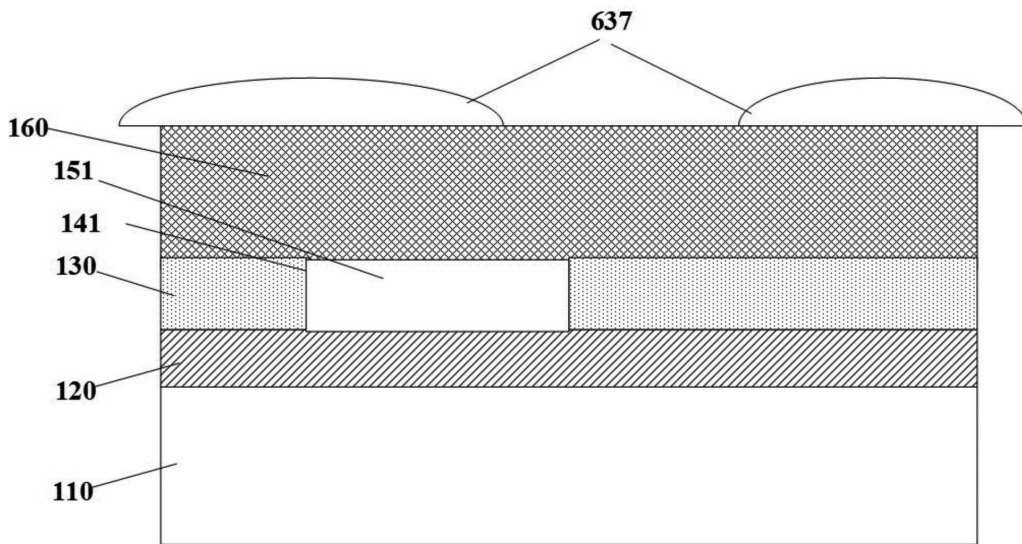
도면7



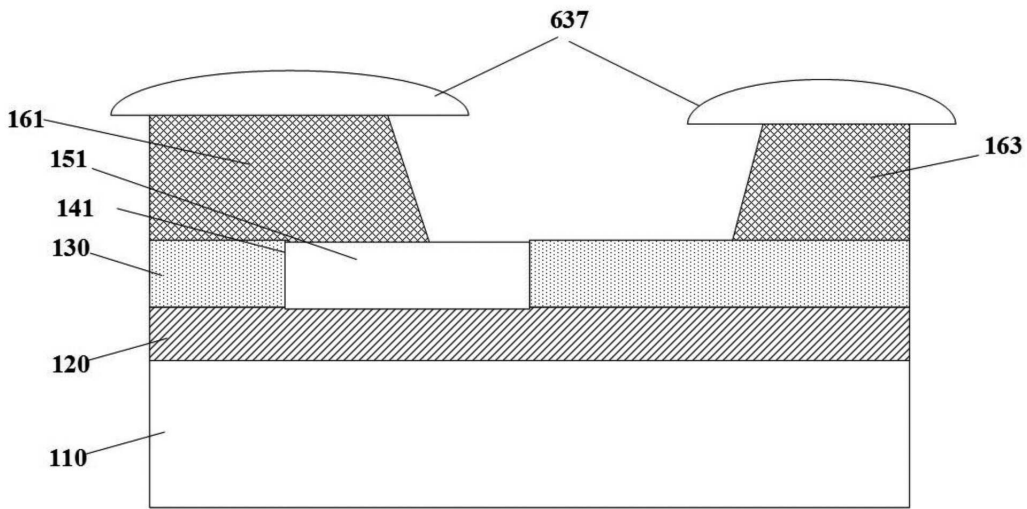
도면8



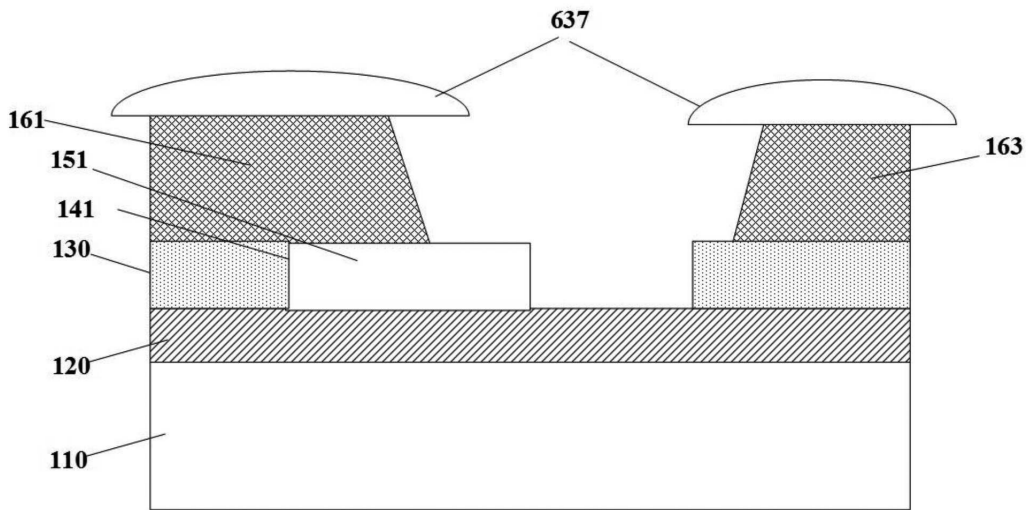
도면9a



도면9b



도면9c



도면10a

