



(12) 发明专利

(10) 授权公告号 CN 103098374 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201180043430. 6

(22) 申请日 2011. 07. 22

(30) 优先权数据

2010-207226 2010. 09. 15 JP

(85) PCT国际申请进入国家阶段日

2013. 03. 08

(86) PCT国际申请的申请数据

PCT/JP2011/066749 2011. 07. 22

(87) PCT国际申请的公布数据

W02012/035882 JA 2012. 03. 22

(73) 专利权人 三美电机株式会社

地址 日本东京都

(72) 发明人 井上文裕

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

代理人 曾贤伟 范胜杰

(51) Int. Cl.

H03K 5/08(2006. 01)

H03M 1/12(2006. 01)

(56) 对比文件

CN 1921310 A, 2007. 02. 28, 全文.

CN 1949668 A, 2007. 04. 18, 全文.

US 6967504 B2, 2005. 11. 22, 说明书第 3 栏第 55 行 - 第 8 栏第 25 行及说明书附图 1-8.

审查员 徐生芹

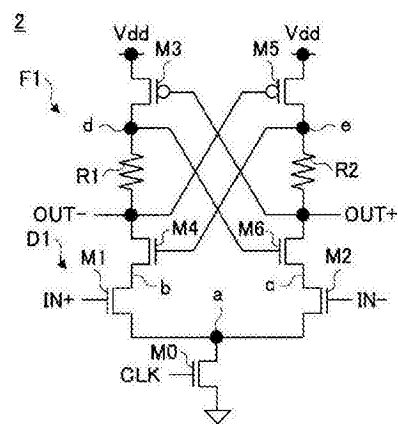
权利要求书1页 说明书6页 附图4页

(54) 发明名称

比较器以及具备该比较器的 AD 转换器

(57) 摘要

一种比较器,具备 :与时钟信号(CLK)同步地导通 / 截止的晶体管(M0)、与晶体管(M0)的导通 / 截止同步地进行比较动作的差动对(M1、M2)、输出差动对(M1、M2)的比较结果的正反馈部(F1),正反馈部具备 :在 PMOS 晶体管(M3)与 NMOS 晶体管(M4)之间插入的电阻(R1)、以及在 PMOS 晶体管(M5)与 NMOS 晶体管(M6)之间插入的电阻(R2),正反馈部在电阻(R1)的低电位侧连接 PMOS 晶体管(M5)的栅极,在电阻(R1)的高电位侧连接 NMOS 晶体管(M6)的栅极,在电阻(R2)的低电位侧连接 PMOS 晶体管(M3)的栅极,在电阻(R2)的高电位侧连接 NMOS 晶体管(M4)的栅极。



1. 一种比较器,具备 :与时钟信号同步地导通 / 截止的开关、与所述开关的导通 / 截止同步地进行比较动作的差动对、以及输出所述差动对的比较结果的正反馈部,其特征在于,

所述正反馈部具备 :在第一 PMOS 晶体管的漏极与第一 NMOS 晶体管的漏极之间插入的第一电阻,用以在所述第一 PMOS 晶体管与所述第一 NMOS 晶体管之间提供电位差,以及在第二 PMOS 晶体管的漏极与第二 NMOS 晶体管的漏极之间插入的第二电阻,用以在所述第二 PMOS 晶体管与所述第二 NMOS 晶体管之间提供电位差,

所述正反馈部在所述第一电阻的低电位侧连接所述第二 PMOS 晶体管的栅极,在所述第一电阻的高电位侧连接所述第二 NMOS 晶体管的栅极,在所述第二电阻的低电位侧连接所述第一 PMOS 晶体管的栅极,在所述第二电阻的高电位侧连接所述第一 NMOS 晶体管的栅极,

所述第一电阻和所述第二电阻的电阻值随所述正反馈部的电源电压降低而升高,

所述开关是所述第一电阻和所述第二电阻,

所述第一电阻和所述第二电阻具有将第一时钟信号输入到栅极的 NMOS 晶体管和将第二时钟信号输入到栅极的 PMOS 晶体管的并联结构,其中,所述第二时钟信号是对所述第一时钟信号翻转电平而得的信号,并且

所述差动对的基准电极被固定在固定电位。

2. 根据权利要求 1 所述的比较器,其中,

所述第一电阻和所述第二电阻是将栅极与低电位连接的 PMOS 晶体管、将栅极与高电位连接的 NMOS 晶体管、或者这些晶体管的并联结构。

3. 根据权利要求 1 所述的比较器,其中,

所述比较器还具有 :使所述第一 PMOS 晶体管和所述第二 PMOS 晶体管根据所述第二时钟信号而导通 / 截止的电路。

4. 根据权利要求 1 所述的比较器,其中,

所述第一 PMOS 晶体管和所述第一 NMOS 晶体管是第一 CMOS 反相器的构成元件,

所述第二 PMOS 晶体管和所述第二 NMOS 晶体管是第二 CMOS 反相器的构成元件。

5. 一种 AD 转换器,其具备权利要求 1 所述的比较器。

比较器以及具备该比较器的 AD 转换器

技术领域

[0001] 本发明涉及比较器以及具备该比较器的 AD 转换器,其中,该比较器具有:与时钟信号同步地导通/截止的开关、与上述开关的导通/截止同步地进行比较动作的差动对、以及输出上述差动对的比较结果的正反馈部。

背景技术

[0002] 图 1 是现有的动态比较器(dynamic comparator)的结构图。动态比较器 1 具有施加正反馈的两个 CMOS 反相器(inverter)IV1、IV2、进行输入电压 IN+ 与 IN- 的大小判别的差动对 D1、按时钟信号 CLK 来切换动态比较器 1 的导通/截止的开关 M0。第一 CMOS 反相器 IV1 由 PMOS 晶体管 M3 和 NMOS 晶体管 M4 构成,第二 CMOS 反相器 IV2 由 PMOS 晶体管 M5 和 NMOS 晶体管 M6 构成。差动对 D1 由 NMOS 晶体管 M1 和 NMOS 晶体管 M2 构成。在动态比较器 1 通过开关 M0 而接通时,通过产生与供给到差动对 D1 的输入电压 IN+ 和 IN- 的差分对应的电流差,在作为负载而连接的第一 CMOS 反相器 IV1 和第二 CMOS 反相器 IV2 之间产生电压差,由此能判别输入电压 IN+ 和 IN- 的大小。

[0003] 另外,作为与动态比较器有关的现有技术,已知有例如专利文献 1。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献 1:日本公开专利公报第 2007-318457 号

发明内容

[0007] 发明要解决的课题

[0008] 然而,若设电源电压为 Vdd、PMOS 晶体管 M3、M5 的阈值电压为 V_{th_p} 、NMOS 晶体管 M4、M6 的阈值电压为 V_{th_n} ,当以 $V_{dd} < V_{th_p} + V_{th_n}$ 时这样的低电压的电源电压 Vdd 来进行工作时,在 CMOS 反相器 IV1、IV2 中不产生流过足够电流的能力,所以即使施加正反馈输出也不会被切换,无法正常地进行大小判别。

[0009] 例如图 2 表示 CMOS 反相器的输入输出均衡的状态。 V_{eff_p} 表示 PMOS 晶体管 M3 的过驱动(over drive)电压, V_{eff_n} 表示 NMOS 晶体管 M4 的过驱动电压。在电源电压 Vdd 较高时,通过在 PMOS 晶体管 M3 的栅极-源极间施加驱动电压($V_{th_p} + V_{eff_p}$),PMOS 晶体管 M3 导通,通过在 NMOS 晶体管 M4 的栅极-源极间施加驱动电压($V_{th_n} + V_{eff_n}$),NMOS 晶体管 M4 导通。然而,当电源电压 Vdd 变得过于低时,由于能够使晶体管 M3 和 M4 导通的驱动电压不足,所以无法在晶体管 M3 和 M4 中流过漏极电流 I_d ,因此无法正确地发挥正反馈功能。

[0010] 即,当电源电压 Vdd 的状态成为无法充分确保过驱动电压 V_{eff} 的低电压状态时,如图 3 所示,即使时钟信号 CLK 为高电平,施加了正反馈的两个 CMOS 反相器的输出电压 OUT+ 和 OUT- 也不容易静定(statically determinate),所以无法在所期望的时间内进行输入电压 IN+ 和 IN- 的大小判别(输入电压 IN+ 和 IN- 大小的判定时间延迟)。

[0011] 因此,本发明的目的是提供一种即使在 $V_{dd} < V_{th_p} + V_{th_n}$ 时这样的低电源电压状态下也能够正常工作的比较器以及具备该比较器的 AD 转换器。

[0012] 用于解决课题的手段

[0013] 为了实现上述目的,本发明涉及的比较器,具备:与时钟信号同步地导通/截止的开关、与上述开关的导通/截止同步地进行比较动作的差动对、以及输出上述差动对的比较结果的正反馈部,其特征在于,

[0014] 所述正反馈部具备:在第一 PMOS 晶体管与第一 NMOS 晶体管之间插入的第一电阻、以及在第二 PMOS 晶体管与第二 NMOS 晶体管之间插入的第二电阻,

[0015] 所述正反馈部在所述第一电阻的低电位侧连接所述第二 PMOS 晶体管的栅极,在所述第一电阻的高电位侧连接所述第二 NMOS 晶体管的栅极,在所述第二电阻的低电位侧连接所述第一 PMOS 晶体管的栅极,在所述第二电阻的高电位侧连接所述第一 NMOS 晶体管的栅极。

[0016] 此外,为了实现上述目的,本发明涉及的 AD 转换器具备本发明涉及的比较器。

[0017] 发明效果

[0018] 根据本发明,即使在 $V_{dd} < V_{th_p} + V_{th_n}$ 时这样的低电源电压状态下也能够正常工作。

附图说明

[0019] 图 1 是现有的动态比较器 1 的结构图。

[0020] 图 2 表示 CMOS 反相器的输入输出均衡的状态。

[0021] 图 3 是表示现有技术时的判定时间的示意图。

[0022] 图 4 是表示本发明第一实施方式的动态比较器 2 的结构图。

[0023] 图 5 是表示应用了本发明时的判定时间的示意图。

[0024] 图 6 是表示本发明第二实施方式的动态比较器 3 的结构图。

[0025] 图 7 是表示本发明第三实施方式的动态比较器 4 的结构图。

[0026] 图 8 是表示本发明实施方式的 $\Delta \Sigma$ 型 AD 转换器的结构图。

[0027] 图 9 是表示本发明第四实施方式的动态比较器 5 的结构图。

具体实施方式

[0028] 下面,参照附图对实施本发明的方式进行说明。此外,在各附图中,对栅极标注了圆圈的晶体管表示 P 沟道 MOS 晶体管,没有对栅极标注圆圈的晶体管表示 N 沟道 MOS 晶体管。

[0029] 图 4 是本发明第一实施方式的动态比较器 2 的结构图。动态比较器 2 具有:与时钟信号 CLK 同步地导通/截止的作为开关发挥作用的晶体管 M0、与晶体管 M0 的导通/截止同步地进行比较动作的差动对 D1、以及输出差动对 D1 的比较结果的正反馈部 F1,该动态比较器 2 集成在包括 CMOS 工艺的半导体集成电路中。

[0030] 晶体管 M0 在供给到栅极的时钟信号 CLK 为高电平时导通,在供给到栅极的时钟信号 CLK 为低电平时截止。在晶体管 M0 为导通的状态下,差动对 D1 能够进行比较动作,在晶体管 M0 为截止的状态下,差动对 D1 不能进行比较动作。晶体管 M0 将源极接地,将漏极与

差动对 D1 的源极连接。

[0031] 差动对 D1 由源极在节点 a 共同连接的一对晶体管 M1 和 M2 构成。将输入电压 $IN+$ 供给到晶体管 M1 的栅极,将输入电压 $IN-$ 供给到晶体管 M2 的栅极。差动对 D1 比较输入电压 $IN+$ 和 $IN-$ 的大小关系。

[0032] 正反馈部 F1 具备:构成第一 CMOS 反相器的晶体管 M3、M4;在晶体管 M3 与 M4 之间插入的第一电阻 R1;构成第二 CMOS 反相器的晶体管 M5、M6;在晶体管 M5 与 M6 之间插入的第二电阻 R2。正反馈部 F1 配置在电源电压 V_{dd} 与差动对 D1 的漏极之间。晶体管 M3 和 M5 的源极与电源电压 V_{dd} 连接,晶体管 M4 的源极在节点 b 与晶体管 M1 的漏极连接,晶体管 M6 的源极在节点 c 与晶体管 M2 的漏极连接。

[0033] 此外,与电阻 R1 的低电位侧连接的晶体管 M4 的漏极,与晶体管 M5 的栅极连接。与电阻 R1 的高电位侧的节点 d 连接的晶体管 M3 的漏极,与晶体管 M6 的栅极连接。与电阻 R2 的低电位侧连接的晶体管 M6 的漏极,与晶体管 M2 的栅极连接。与电阻 R2 的高电位侧的节点 e 连接的晶体管 M5 的漏极,与晶体管 M4 的栅极连接。

[0034] 从电阻 R1 与晶体管 M4 的漏极的连接点取出输出电压 $OUT-$,从电阻 R2 与晶体管 M6 的漏极的连接点取出输出电压 $OUT+$ 。

[0035] 通过正反馈部 F1 具有这样的结构,即使在电源电压 V_{dd} 为低电压的状态下,也能够对 CMOS 反相器的各栅极施加足够的电压,所以如图 5 所示,与图 3 相比能够缩短低电压工作下的输出的静定时间,能够在所期望的时间内进行输入电压 $IN+$ 与 $IN-$ 的大小判别。

[0036] 即,通过流过电阻 R1 的电流产生的 R1 的两端电压,能够提升晶体管 M6 的栅极电位,并且能降低晶体管 M5 的栅极电位。同样地,通过流过电阻 R2 的电流产生的 R2 的两端电压,能够提升晶体管 M4 的栅极电位,并且能降低晶体管 M3 的栅极电位。结果是,能够提升分别在晶体管 M3、M4、M5、M6 的栅极-源极间施加的栅极驱动电压,所以即使在电源电压 V_{dd} 为低电压状态下,也能够正确地发挥正反馈功能。

[0037] 图 6 是本发明第二实施方式的动态比较器 3 的结构图。与图 4 相同的结构省略对其的说明。在 CMOS 反相器的 PMOS 晶体管与 NMOS 晶体管之间插入的电阻可以是图 4 所示的通常的电阻体,也可以是图 6 的动态比较器 3 的正反馈部 F2 使用将栅极与低电位(例如接地)连接的 PMOS 晶体管和将栅极与高电位(例如电源电压 V_{dd})连接的 NMOS 晶体管并联组合而成的结构作为电阻。以下,将这种并联组合而成的结构称为“并联晶体管”。并联晶体管 PT1 由晶体管 M7、M8 构成,并联晶体管 PT2 由晶体管 M9、M10 构成。

[0038] 此时,并联晶体管 PT1 和 PT2 作为在低电源电压状态下电阻值变高、在高电源电压状态下电阻值变低这样的可变电阻发挥作用。这是因为若电源电压 V_{dd} 某种程度下降,则无法充分确保并联晶体管 PT1 和 PT2 的栅极-源极间电压,并联晶体管 PT1 和 PT2 的导通电阻增加,在并联晶体管 PT1 和 PT2 中难以流过电流。通过并联晶体管 PT1 和 PT2 作为可变电阻发挥作用,即使在 CMOS 反相器中几乎不流过电流这样的低电源电压状态下,也能够产生足够的电位差,因此与图 4 相比能够以电源电压 V_{dd} 为低电压状态使动态比较器 3 正常工作。

[0039] 此外,对于图 6 所示的结构,可以是将并联晶体管 PT1 置换成把栅极与高电位连接的晶体管 M7、且将并联晶体管 PT2 置换成把栅极与高电位连接的晶体管 M9 的结构(删除晶体管 M8、M10)。另外,对于图 6 所示的结构,还可以是,将并联晶体管 PT1 置换成把栅极与

低电位连接的晶体管 M8、且将并联晶体管 PT2 置换成把栅极与低电位连接的晶体管 M10 的结构(删除晶体管 M7、M9)。但是,并联晶体管 PT1 和 PT2 的导通电阻,与仅有一个晶体管的结构相比,相对于电源电压 Vdd 变化的变动较小,所以图 6 所示的结构具有在电源电压 Vdd 为低电压的状态下动态比较器的工作稳定这样的优点。

[0040] 图 7 是本发明第三实施方式的动态晶体管 4 的结构图。对于与上述实施方式相同的结构,省略对其的说明。动态晶体管 4 具有将 CR 滤波器 FL1 与晶体管 M1 连接、将 CR 滤波器 FL2 与晶体管 M2 的栅极连接的结构。通过构成这样的 CR 滤波器,能够在动态比较器 4 与所输入的时钟信号 CLK 同步地进行大小判别时(具体来讲是节点 a 的电压电平翻转时),抑制经差动对 D1 的栅极电容而叠加在输入电压 IN+、IN- 中的噪声。

[0041] CR 滤波器 FL1 由与晶体管 M1 的栅极串联连接的电阻 R3、在晶体管 M1 的栅极-接地之间配置的电容器 C1 构成。CR 滤波器 FL2 由与晶体管 M2 的栅极串联连接的电阻 R4、在晶体管 M2 的栅极-接地之间配置的电容器 C2 构成。

[0042] 例如图 8 所示的 $\Delta \Sigma$ 型 AD 转换器 10 那样,在将积分器的输出电压输入到动态比较器的差动对时,通过在积分器与差动对之间设置噪声滤波器(具体来讲是 CR 滤波器 FL1 和 FL2),能够抑制对积分器的输出传递的噪声,因此能够抑制 AD 转换器精度降低。此外,即使对积分器的输出传递了噪声,也能够缩短使用了积分器的运算放大器 A2 的动作恢复为正常工作为止的时间。

[0043] 此外,在 2 次以上的 $\Delta \Sigma$ 型 AD 转换器中,通过在积分器间的连接部等当采样时输出变动的位置插入噪声滤波器,能够抑制 AD 转换精度的降低。图 8 的情况下,在第一级的积分器的运算放大器 A1 与第二级的积分器的采样保持电路 SH2 (sample hold circuit) 之间,插入 CR 滤波器 FL3 和 FL4。

[0044] CR 滤波器 FL3 由在运算放大器 A1 的第一输出部与采样保持电路 SH2 的第一输入部之间串联配置的电阻 R5、在采样保持电路 SH2 的第一输入部与接地之间配置的电容器 C15 构成。CR 滤波器 FL4 由在运算放大器 A1 的第二输出部与采样保持电路 SH2 的第二输入部之间串联配置的电阻 R6、在采样保持电路 SH2 的第二输入部与接地之间配置的电容器 C16 构成。

[0045] $\Delta \Sigma$ 型 AD 转换器 10 将模拟的差动输入电压 Input+、Input- 转换成高电平或者低电平的数字差动输出信号 Q、QX。信号 Q 相当于动态比较器的输出电压 OUT+, 信号 QX 相当于动态比较器的输出电压 OUT-。

[0046] 采样保持电路 SH1 按照差动输出信号 Q、QX 来对差动输入电压 Input+、Input- 进行采样保持,并将该采样保持的电压供给到第一级的积分器。第一级的积分器具备:差动输入差动输出型的运算放大器 A1、在运算放大器 A1 的差动输入输出部之间连接的电容器 C11、C12。第一级的积分器的输出经 CR 滤波器 FL3、FL4 被输入到采样保持电路 SH2。采样保持电路 SH2 按照差动输出信号 Q、QX 对经 CR 滤波器 FL3、FL4 而输入的第一级的积分器的输出进行采样保持,并将该差动保持的电压供给到第二级的积分器。第二级的积分器具备:差动输入差动输出型的运算放大器 A2、在运算放大器 A2 的差动输入输出部之间连接的电容器 C13、C14。第二级的积分器的输出经 CR 滤波器 FL1、FL2 被输入到动态比较器。

[0047] 图 9 是本发明第四实施方式的动态比较器 5 的结构图。与上述的实施方式一样的结构对其省略说明。

[0048] 相对于图 6 的结构,动态比较器 5 删除了晶体管 M0,将接受差动输入的差动对 D1 的基准电极(图 9 的情况下是晶体管 M1、M2 的源极电极)固定为一定的低电位(例如接地)。然后,用于使动态比较器 5 能进行低电压工作的并联晶体管 PT1 和 PT2,通过被输入彼此电平翻转了的时钟信号 CLK 和 CLK_N,能够在具有与图 6 相同的可变电阻功能的基础上,还具有切换是否执行差动对 D1 的比较动作的功能。

[0049] 在图 6 的结构的情况下,如上所述,当节点 a 通过开关 M0 而接地时,通过差动对 D1 的栅极-源极间电容而过度地流过电流,噪声有可能叠加在输入电压 IN+、IN- 中。但是,如图 9 的结构那样,通过将差动对 D1 的源极电极固定在固定电位,能够抑制差动对 D1 的栅极-源极间电压的变动,所以能够抑制叠加在输入电压 IN+、IN- 中的噪声。此外,由于能够抑制叠加噪声,所以能够提高供给输入电压 IN+、IN- 的前级电路的稳定性。

[0050] 图 9 的动态比较器 5 的正反馈部 F3 的情况下, NMOS 晶体管 M7、M9 的栅极分别被输入共同的时钟信号 CLK, PMOS 晶体管 M8、M10 的栅极分别被输入共同的时钟信号 CLK_N。通过向晶体管 M7 输入时钟信号 CLK、向晶体管 M8 输入时钟信号 CLK_N,晶体管 M7、M8 在同一时刻导通。对于晶体管 M9、M10 也是一样。晶体管 M7、M9 在时钟信号 CLK 为高电平时导通、为低电平时截止。晶体管 M8、M10 在时钟信号 CLK_N 为高电平时截止、为低电平时导通。

[0051] 当时钟信号 CLK 为低电平且时钟信号 CLK_N 为高电平时,并联晶体管 PT1 和 PT2 都截止,所以差动对 D1 不能进行比较动作。相反,当时钟信号 CLK 为高电平且时钟信号 CLK_N 为低电平时,并联晶体管 PT1 和 PT2 都导通,所以差动对 D1 能进行比较动作。将时钟信号 CLK 和 CLK_N 的高电平设定为电源电压 Vdd 的电平即可,将时钟信号 CLK 和 CLK_N 的低电平设定为接地电平即可。

[0052] 若将时钟信号 CLK 的高电平设定为电源电压 Vdd 的电平,则随着电源电压 Vdd 减少,并联晶体管 PT1 和 PT2 的导通电阻增加。因此,在时钟信号 CLK 和 CLK_N 的电平为能够使差动对 D1 进行比较动作的电平时,通过并联晶体管 PT1 和 PT2 的导通电阻的增加,来提升晶体管 M4、M6 的栅极电位,并且降低晶体管 M3、M5 的栅极电位。结果是,能够提高晶体管 M3、M4、M5、M6 各自的栅极-源极间施加的栅极驱动电压,因此即使电源电压 Vdd 为低电压状态,也能够正确地发挥正反馈的功能。

[0053] 此外,可以设有根据时钟信号 CLK_N 使晶体管 M3 和 M5 导通/截止的备用电路。图 9 示例了备用电路 SB1。备用电路 SB1 由在栅极输入时钟信号 CLK_N 的 NMOS 晶体管 M11 和 M12 构成。通过设有这样的备用电路,能够按时钟信号 CLK_N 的时钟周期来对各晶体管的节点的电荷(例如晶体管的源极(或者漏极)与基板之间的寄生电容)进行初始化。即,即使各晶体管的节点的电荷发生变化,也能够按时钟信号 CLK_N 的时钟周期使该电荷返回一定的值,因此能够提高动态比较器的比较精度。

[0054] 图 9 的备用电路 SB1 的情况下,晶体管 M11、M12 的源极接地。晶体管 M11 的漏极与晶体管 M5 的栅极(即并联晶体管 PT1 与晶体管 M4 的漏极之间的比较结果的输出点)连接。晶体管 M12 的漏极与晶体管 M3 的栅极(即,即并联晶体管 PT2 与晶体管 M6 的漏极之间的比较结果的输出点)连接。

[0055] 当时钟信号 CLK_N 的电平为进行差动对 D1 的比较动作的低电平时,晶体管 M11、M12 截止。因此,备用电路 SB1 在时钟信号 CLK_N 为低电平时在差动对 D1 的比较动作中不起作用。

[0056] 另一方面,在时钟信号 CLK_N 的电平为晶体管 M1 不进行比较动作的高电平时,晶体管 M11、M12 导通。当晶体管 M11、M12 导通时,并联晶体管 PT1 和晶体管 M4 和晶体管 M5 的连接节点以及并联晶体管 PT2 和晶体管 M6 和晶体管 M3 的连接节点都为低电平(接地电平)。此外,当晶体管 M11、M12 导通时,晶体管 M3、M5 导通,所以并联晶体管 PT1 和晶体管 M3 和晶体管 M6 的连接节点 d 以及并联晶体管 PT2 和晶体管 M5 和晶体管 M4 的连接节点 e 都为高电平(电源电压 Vdd 的电平)。这样,每当时钟信号 CLK_N 从低电平切换到高电平时,能够将各连接节点初始化为一定电平。

[0057] 以上对本发明的优选实施方式进行了说明,但本发明并不局限于上述的实施例,在不脱离本发明范围的情况下还可以对上述实施例施加各种变形和置换。

[0058] 例如,作为本发明实施方式展示了具有由一对 NMOS 晶体管构成的差动对的动态比较器,但本发明还可以应用于具有由一对 PMOS 晶体管构成的差动对的动态比较器。

[0059] 此外,本发明还可以应用于分别对斜着交叉的晶体管(例如图 4 情况下的 M3、M4、M5、M6)将可使各晶体管的漏极-源极间短路的开关元件(典型的是晶体管)并联连接的结构。

[0060] 此外,作为本发明的实施方式展示了 $\Delta \Sigma$ 型 AD 转换器,但本发明也可以应用于管道型(pipeline)、逐次比较型、闪速型(flash)等其它形式的 AD 转换器。

[0061] 本国际申请主张基于 2010 年 9 月 15 日提出的日本专利申请第 2010-207226 号的优先权,并将日本专利申请第 2010-207226 号的全部内容引用到本国际申请中。

[0062] 符号说明

[0063] 1、2、3、4、5 动态比较器

[0064] 10 $\Delta \Sigma$ 型 AD 转换器

[0065] A* 运算放大器

[0066] C* 电容器

[0067] D1 差动对

[0068] F* 正反馈部

[0069] FL*CR 滤波器

[0070] IV1、IV2CMOS 反相器

[0071] M*MOSFET

[0072] PT1、PT2 并联晶体管

[0073] R* 电阻

[0074] SB1 备用电路

[0075] SH* 采样保持电路

[0076] * 数字

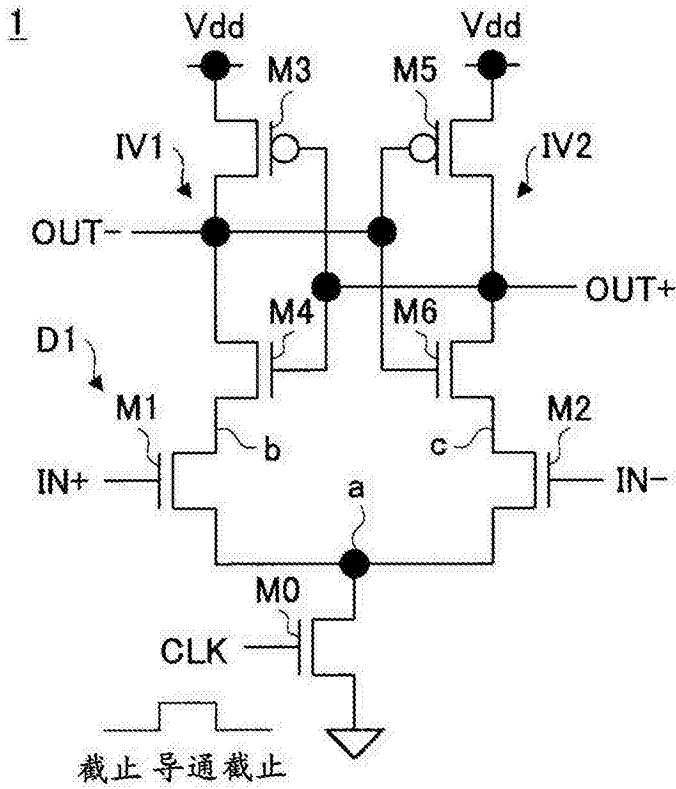


图 1

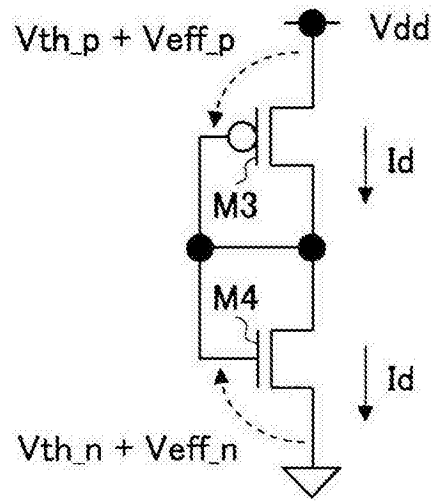


图 2

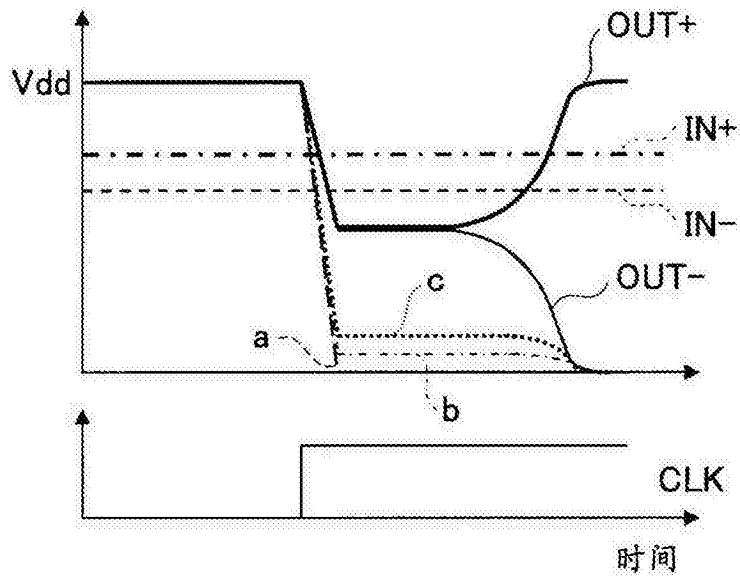


图 3

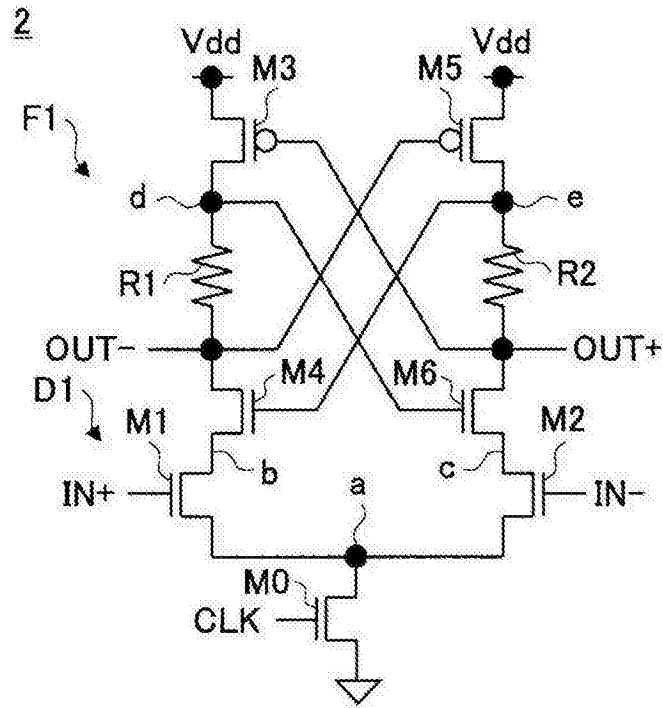


图 4

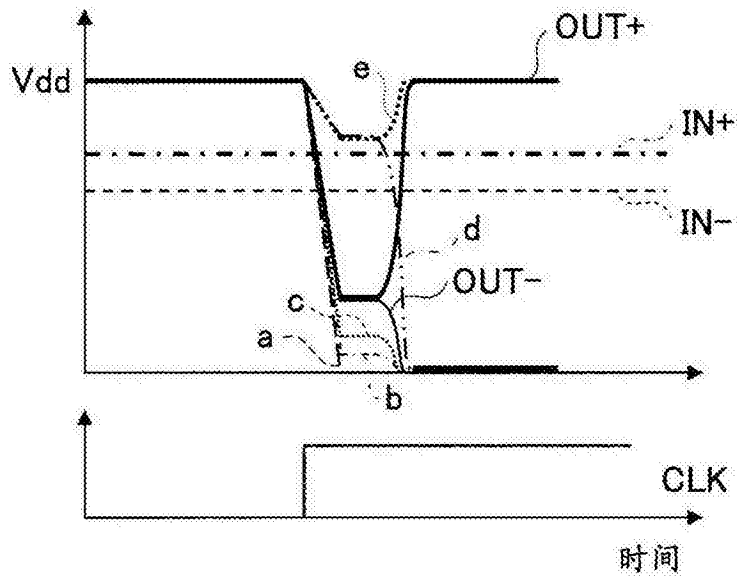


图 5

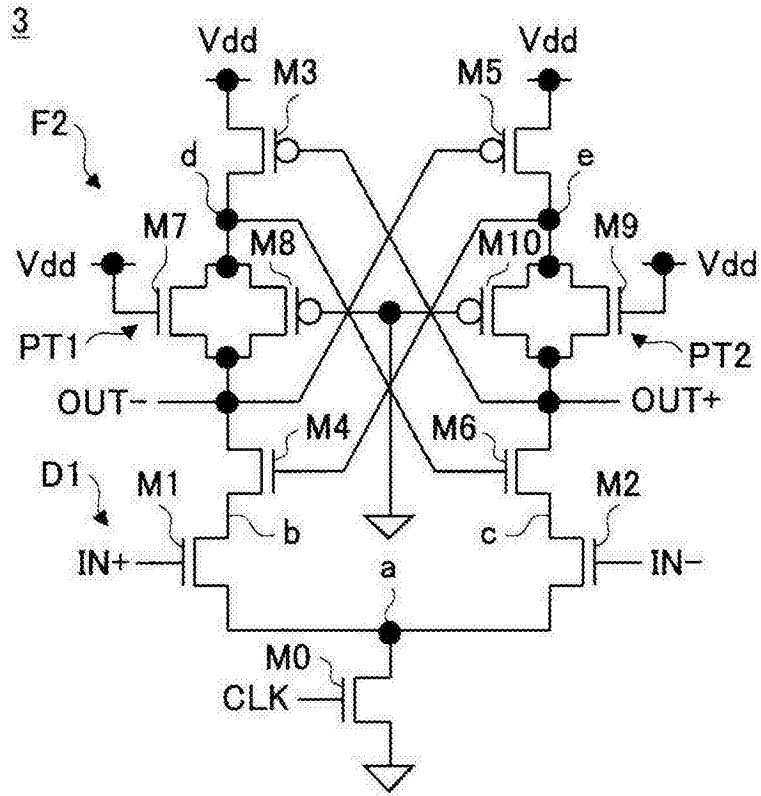


图 6

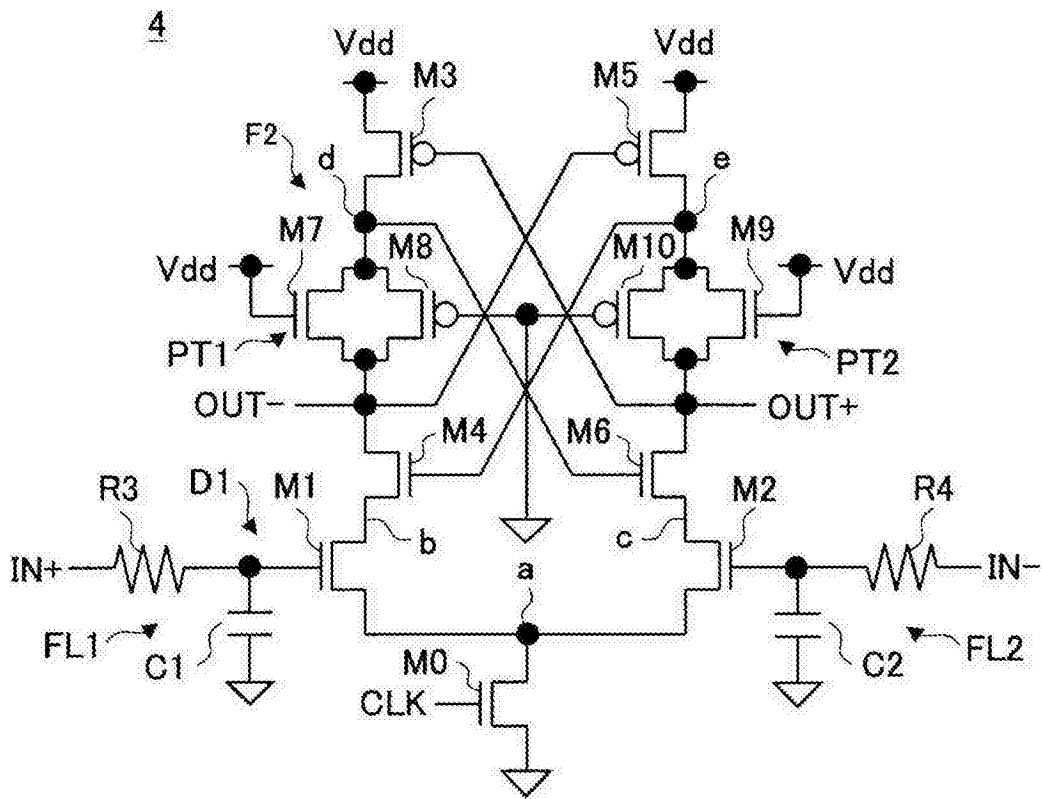


图 7

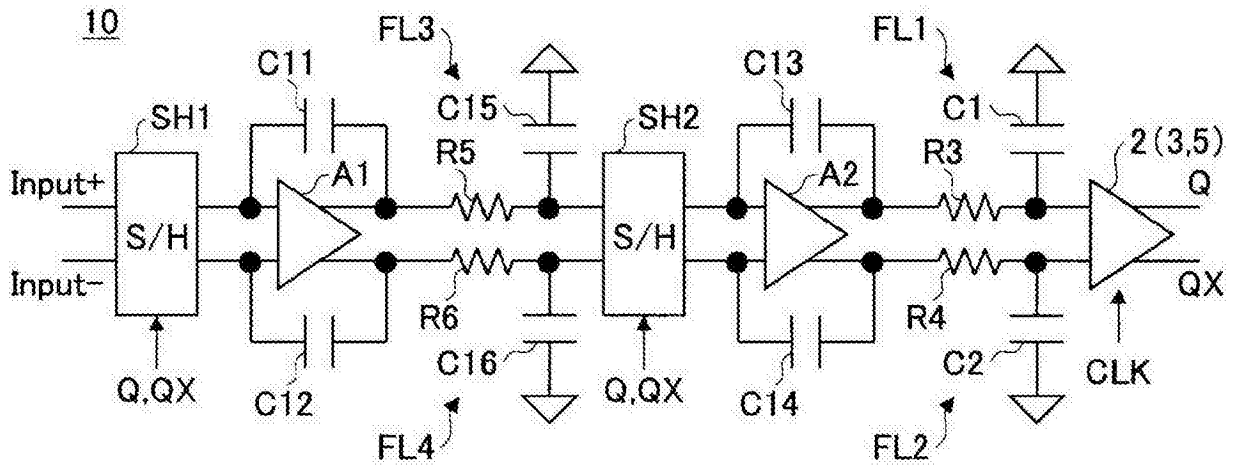


图 8

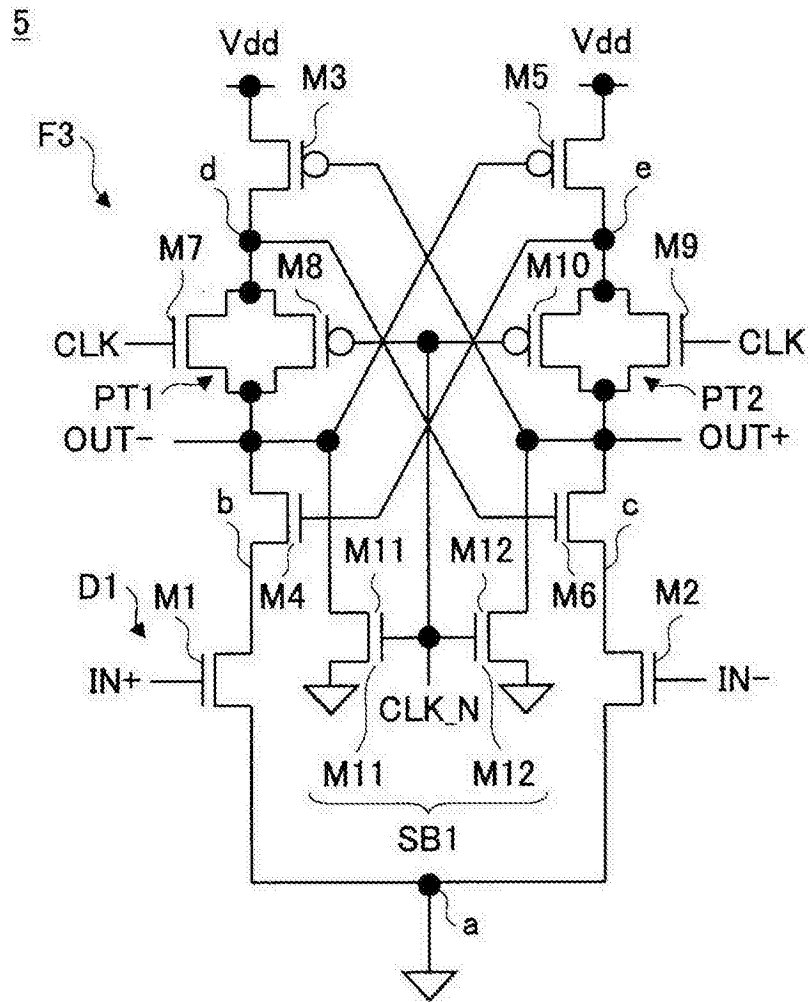


图 9