

KONINKRIJK BELGIE**FOD ECONOMIE, K.M.O.,
MIDDENSTAND & ENERGIE**

Dienst voor de intellectuele Eigendom

PUBLICATIENUMMER : 1020440A5
INDIENINGSNUMMER : 2012/0442
Internat. klassif. : H04N H01L
Datum van verlening : 01 Oktober 2013

De Minister van Economie,

Gelet op het verdrag van Parijs van 20 Maart 1883 tot bescherming van de intellectuele eigendom;

Gelet op de wet van 28 Maart 1984 op de uitvindingsoctrooien
inzonderheid artikel 22;

Gelet op het Koninklijk Besluit van 2 December 1986, betreffende het aanvragen, verlenen en in stand houden van uitvindingsoctrooien, inzonderheid artikel 28;

Gelet op het proces-verbaal opgesteld door de Dienst voor Intellectuele Eigendom op 29 Juni 2012 te 14u45

BESLUIT :

Enig artikel-Er wordt toegestaan aan : CMOSIS NV
Coveliersstraat 15, B-2600 BERCHEM/ANTWERPEN(BELGIË)

vertegenwoordigd door : DUBOST Thierry, BIRD GOEN & CO., Gaston Geenslaan 9, - B 3001 HEVERLEE.

een uitvindingsoctrooi voor de duur van 20 jaar, onder voorbehoud van de betaling van de jaartaksen voor : PIXEL MATRIX MET INDIVIDUELE CONTROLE VAN DE BELICHTINGSTIJD VOOR ENN PIXEL OF EEN GEBIED VAN PIXELS.

UITVINDER(S) : Meynants Guy, Boogstraat 4, B-2470 Retie (BE)

VOORRANG(EN) 30.06.11 GBGBA11111580

ARTIKEL 2.- Dit octrooi is toegekend zonder voorafgaand onderzoek van zijn octrooieerbaarheid, zonder waarborg voor zijn waarde of van de juistheid van de beschrijving der uitvinding en op eigen risico van de aanvrager(s)..

Voor eensluidend verklaard afschrift

Brussel, 01 Oktober 2013
BIJ SPECIALE MACHTIGING :



DRISQUE S.
Adviseur



S. DRISQUE
Adviseur

.be

**PIXEL MATRIX MET INDIVIDUELE CONTROLE VAN DE
BELICHTINGSTIJD VOOR EEN PIXEL OF EEN GEBIED VAN PIXELS**

5

DOMEIN VAN DE UITVINDING

Deze uitvinding heeft betrekking op pixel structuren en op matrices van pixel structuren welke kunnen worden gebruikt in toepassingen zoals beeldopnemer.

10

ACHTERGROND VAN DE UITVINDING

Beeldopnemers kunnen worden ontworpen met een matrix van actieve pixels die gebruik maken van een halfgeleiderproces zoals CMOS. Een gekend type van actieve pixels is een 4-transistor (4T) pixel. Dit pixel type wordt getoond in figuur 1, en omvat een lichtgevoelig element zoals een fotodiode PD, een buffer versterker (bronvolger) sf, een resetschakelaar res met een controlelijn RES en een selectieschakelaar sel met een controlelijn SEL. Dit pixel bevat een spanningsconversie-element, ook genoemd een vlottende diffusie fd. Een transfer gate tr vormt een verbinding tussen het fotogevoelige element PD en het ladingsconversie element fd. De belichtingstijd in een vier transistor (4T) pixel wordt gecontroleerd door de transfer lijn. Voor de start van de belichtingstijd wordt de transferlijn gepulst wanneer de vlottende diffusie in zijn reset toestand wordt gehouden. Typisch is de transfer lijn een horizontale lijn van de pixel matrix die verbonden is met een rij van pixels in de matrix. Dit betekent dat de belichtingstijd zal starten op het zelfde moment voor alle pixels verbonden aan diezelfde transfer lijn.

25

Het verdient voorkeur in sommige toepassingen om een verschillende belichtingstijd voor verschillende gebieden in het beeld te kunnen gebruiken. Een voorbeeldtoepassing in het gebied van de automobieltoepassingen wordt beschreven in US 2009/0225189A1 en een voorbeeld van een ster volger gebruikt voor navigatie in ruimtetuigen wordt beschreven in O. Yadid-Pecht, et al, "CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter", IEEE Journal of Solid State

30

Circuits, vol. 32, No. 2, Feb. 1997, p. 285-288.

Het artikel van O. Yadid-Pecht beschrijft een techniek om de belichtingstijd individueel per pixel te controleren. Dit wordt toegepast op een klassiek drie transistor (3T) actief pixel. Een seriëschakelaar wordt verbonden tussen de reset controlelijn en de poort van de reset transistor in het pixel.

SAMENVATTING VAN DE UITVINDING

De uitvinding streeft ernaar om de belichtingstijd van een pixelstructuur op een alternatieve manier te controleren, en betreft ook de pixel structuur met voorzieningen om belichtingstijd te controleren.

Een implementatie van de uitvinding voorziet een pixel matrix die een veelvoud aan pixel structuren omvat. Elke pixel structuur omvat een fotogevoelig element om lading te genereren als responsie op invallend licht; een ladingsconversie element; een eerste transferpoort en een tweede transferpoort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element of tussen het fotogevoelige element en een voedingslijn; en een uitgangstrap. Een eerste transferpoort controlelijn is verbonden aan de eerste transferpoorten van een eerste sub-set van pixel structuren in de matrix; en een tweede transferpoort controlelijn is verbonden aan de tweede transferpoorten van een tweede sub-set van pixel structuren in de matrix. De eerste sub-set van pixel structuren en de tweede sub-set van pixel structuren overlappen gedeeltelijk, en hebben ten minste één pixel structuur gemeen.

In een andere implementatie, wordt een matrix van pixelstructuren voorzien, waarbij elke pixelstructuur bestaat uit een fotogevoelig element om lading te genereren als responsie op invallend licht, een ladingsconversie element, een eerste transferpoort en een tweede transferpoort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element of tussen het fotogevoelige element en een voedingslijn en een uitgangstrap, deze matrix omvattende:

werkingsvoorzieningen zoals controlelogica voor de eerste poorten van een eerste sub-set van de pixelstructuren in de matrix; en

werkingsvoorzieningen zoals controlelogica voor de tweede poorten van een tweede sub-set van de pixelstructuren in de matrix voor een periode die op zijn minst

gedeeltelijk overlapt met de werking van de eerste transferpoorten, waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren gedeeltelijk overlappen, en ten minste een pixelstructuur gemeenschappelijk hebben.

5 Al de pixel matrices hierboven beschreven kunnen worden gecombineerd met de elementen van elk van de conclusies 2 tot 15.

Een voordeel van de pixel matrix is dat de pixelstructuren in de matrix verschillende belichtingstijden kunnen hebben.

10 Een pixelstructuur kan worden gereset wanneer beide controlelijnen voor de transferpoorten, en bijgevolg zowel de eerste als de tweede transferpoort, op hetzelfde moment worden geactiveerd als wanneer de reset trap wordt geactiveerd. Dit bepaalt de start van de belichtingstijd. Bij voorkeur is een reset controlelijn verbonden aan de reset trap, bij voorbeeld in een van een eerste sub-set van pixelstructuren en een tweede sub-set van pixel structuren.

15 Aangezien de transferpoort controlelijnen verbonden zijn aan verschillende sub-sets van pixel structuren, kunnen deze verschillende sub-sets verschillend aangestuurd worden.

20 De belichtingstijd kan apart worden gecontroleerd voor een sub-set (bij voorbeeld een gebied) van pixels of individueel voor elk pixel, indien vereist, door een geschikte configuratie van de transferpoort controlelijnen en de controlelogica die de transferpoort controlelijnen aanstuurt.

Bij wijze van voordeel hebben de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren slechts één pixelstructuur gemeenschappelijk. Dit laat toe om de belichtingstijd van elk pixel individueel te controleren.

25 Bij wijze van voordeel zijn de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren loodrecht geplaatst in de matrix. De eerste sub-set van pixelstructuren kan een rij ofwel een kolom van de matrix zijn, en de tweede sub-set van de pixelstructuren kan dan de kolom ofwel de rij van de matrix zijn. Een transferpoort controlelijn loopt langs een rij van de matrix, en een andere transferpoort controlelijn loopt langs een kolom van de matrix.

30

In op zijn minst één implementatie worden de eerste en de tweede

transferpoort in serie verbonden tussen het fotogevoelige element en de ladingsconversieknoop. Een pixelstructuur kan worden gereset wanneer beide transferpoort controlelijnen, en bijgevolg beide transferpoorten, op hetzelfde moment worden aangeschakeld wanneer de ladingsconversieknoop in reset wordt gehouden.

5 Dit bepaalt de start van de belichtingstijd. Lading wordt getransfereerd van het fotogevoelige element naar de ladingsconversieknoop wanneer beide transferpoort controlelijnen, en bijgevolg beide transferpoorten, worden aangeschakeld. Dit definieert het einde van de belichtingstijd. Bij voorkeur wordt de ladingsconversieknoop niet in reset gehouden op dit moment.

10 In op zijn minst één implementatie worden de eerste en de tweede transferpoort in serie verbonden tussen het fotogevoelige element en een voedingslijn. Wanneer zowel de eerste als de tweede transferpoort wordt aangeschakeld, wordt de pixelstructuur gereset. Dit definieert de start van de belichtingstijd van het pixel. Een extra transferpoort kan worden voorzien op de
15 conventionele positie tussen het fotogevoelige element en de ladingsconversieknoop.

De pixelmatrix omvat een veelvoud aan eerste transferpoort controlelijnen, elk verbonden aan een respectievelijke eerste sub-set van pixelstructuren, en een veelvoud aan tweede transferpoort controlelijnen, elk verbonden aan een respectievelijke tweede sub-set van pixelstructuren.

20 Bij wijze van voordeel omvat de uitgangstrap van elke pixelstructuur een selectieschakelaar. Een van de controlelijnen van de transferpoorten kan worden verbonden aan de selectieschakelaars in dezelfde sub-set van pixels als de transferpoort controlelijn. Dit heeft tot voordeel dat het aantal controlelijnen in de pixel matrix niet wordt verhoogd.

25 Bij wijze van voordeel wordt de tweede transferpoort verbonden aan het ladingsconversie element. De pixelmatrix voorziet verder controlelogica voorzien om de uitlezing de controleren van de pixelstructuren in een mode waarbij ladingen getransfereerd van het fotogevoelige element worden opgeslagen op een combinatie van de tweede transferpoort en het ladingsconversie element. Dit voorziet een
30 werkingsmode met een hoge capaciteit, of een lage conversie factor.

Bij wijze van voordeel is de spanning op de tweede transferpoort hoger dan

op de eerste transferpoort. Dit maakt het makkelijker om lading te transfereren van de fotodiode naar de ladingsconversieknop, en vermijdt dat lading terugvloeit naar de fotodiode op het moment dat de poorten worden afgeschakeld.

Implementaties van de huidige uitvinding voorzien een methode om een belichtingstijd te controleren van een eerste pixelstructuur in een matrix van pixelstructuren, waarbij elke pixelstructuur een fotogevoelig element om lading te genereren als responsie op invallend licht, een ladingsconversie element, een eerste transfer poort en een tweede transfer poort verbonden in serie tussen het fotogevoelige element en het ladingsconversie element, of tussen het fotogevoelige element en een voedingslijn, en een uitgangstrap omvat. De methode kan omvatten:

aansturen van een eerste transferpoort controlelijn verbonden aan de eerste poorten van een eerste sub-set van pixels in de matrix; en

aansturen van een tweede transfer-poort controlelijn verbonden aan de tweede poorten van een tweede sub-set van pixelstructuren in de matrix gedurende een periode die op zijn minst gedeeltelijk overlapt met het aansturen van de eerste transferpoort controlelijn,

waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren gedeeltelijk overlappen, en ten minste een pixelstructuur gemeenschappelijk hebben.

In elk van de implementaties kan de pixelstructuur een halfgeleider pixelstructuur zijn gevormd door een proces zoals CMOS.

KORTE BESCHRIJVING VAN DE TEKENINGEN

Implementaties van de uitvinding zullen beschreven worden enkel bij wijze van voorbeeld, met referentie naar de toegevoegde tekeningen, waarin:

Figuur 1 toont een vier transistor (4T) actief pixel;

Figuur 2 toont een pixelstructuur volgens een implementatie van de huidige uitvinding met twee transferpoorten in serie verbonden;

Figuur 3 toont een timing diagramma dat de werking van de pixelstructuur van figuur 2 illustreert;

Figuur 4 toont de architectuur van een beeldopnemer volgens een implementatie van de huidige uitvinding met pixels van het type zoals getoond in figuur 2;

5 Figuur 5 toont routing van controle-, voedings- en uitgangslijnen van het pixel van figuur 2;

 Figuur 6 en 7 tonen alternatieve routing voor de controle-, voedings- en uitgangslijnen, met de selectie controlelijn gedeeld met een van de transferpoort controlelijnen;

10 Figuur 8 toont een doorsnede van de pixelstructuur van figuur 2;

 Figuur 9 en 10 tonen potentiaal diagramma's gedurende de werking van de pixelstructuur van figuur 2;

 Figuur 11 toont een timing diagramma voor de werking van de pixelstructuur van figuur 2;

15 Figuur 12 toont de werking van de transferpoorten om ladingstransfer te verbeteren;

 Figuur 13 toont twee mogelijke uitleesmodes voor de pixelstructuur van figuur 5;

 Figuur 14 toont het gebruik van een uitleesmode met lage conversiefactor om een groot ladingspakket uit te lezen;

20 Figuur 15 toont een variabele controle van de potentiaal van de transferpoort;

 Figuur 16 tot 18 tonen timing diagramma's voor de uitlezing van de pixelstructuur;

 Figuur 19 tot 23 tonen pixelstructuren in staat tot werking met globale sluiters;

25 Figuur 24 toont een pixelmatrix en een controller;

 Figuur 25 toont belichtingscontrole van gebieden uit een pixelmatrix;

 Figuur 26 en 27 tonen een ander 4T pixelstructuur met controle van de belichtingstijd voorzien door een extra schakelaar verbonden tussen de transferpoort controlelijn en de transfer poort.

30

BESCHRIJVING VAN PREFERENTIELE IMPLEMENTATIES

De huidige uitvinding zal beschreven worden door middel van specifieke implementaties en met referentie naar bepaalde tekeningen maar de uitvinding is niet hiertoe beperkt, doch enkel door de conclusies. De beschreven tekeningen zijn enkel schematisch en niet beperkend. In de tekeningen kan de grootte van sommige elementen overdreven zijn en niet op schaal getekend zijn, voor illustratieve doeleinden. Wanneer de term "omvattende" wordt gebruikt in deze beschrijving en in de conclusies, dan sluit het geen andere elementen of stappen uit. Daarenboven worden de termen eerste, tweede, derde, en dergelijke gebruikt in de beschrijving en de claims om onderscheid te maken tussen gelijkaardige elementen en niet noodzakelijk om een sequentie of een chronologische volgorde te beschrijven. Het moet worden verstaan dat de termen die zo gebruikt worden uitwisselbaar zijn onder geschikte omstandigheden en dat de implementaties van de uitvindingen hierin beschreven in staat zijn om te werken in andere sequenties dan deze hierin beschreven of geïllustreerd.

Figuur 2 toont een pixelstructuur volgens een implementatie van de huidige uitvinding. De pixelstructuur is een aangepast 4T (vier transistor) pixel omvattende een fotogevoelig element PD zoals een pinned diode, een reset schakelaar res met een controlelijn RES, een buffer versterker (source volger) sf en een selectieschakelaar sel met een controlelijn SEL. Het pixel omvat een ladingsconversie element, ook genoemd een vlottende diffusie fd. Twee transfer poorten TRX en TRY zijn in serie verbonden tussen het fotogevoelige element PD en het ladingsconversie element fd. De eerste transfer poort TR1 is verbonden aan een zijde aan de fotodiode PD en aan de andere zijde aan de tweede transfer poort TR2. De tweede transfer poort TR2 is aanliggend aan de eerste transfer poort TR1 en het ladingsconversie element fd. Een uitgangstrap van het pixel omvat de buffer versterker sf en de selectieschakelaar sel. Elk van de transferpoorten TR1, TR2 is verbonden aan een controlelijn TRX, TRY die de werking van de poort controleert. Controlelijnen TRX, TRY zijn verbonden aan een veelvoud aan pixels in de matrix. In een voordelige implementatie is controlelijn TRX verbonden aan de transferpoorten TR1 in een rij van pixels van de matrix en is controlelijn TRY

verbonden aan de transferpoorten TR2 in een kolom van de pixelmatrix. Elk van de individuele pixels van de matrix kan individueel gecontroleerd worden door een combinatie van de TRX en TRY controlelijnen. Er is een controlelijn TRX voor elke rij van pixels in de matrix, en een controlelijn TRY voor elke kolom van pixels in de matrix. Controlelogica controleert de werking van de controlelijnen TRX, TRY en andere lijnen RES, SEL van de pixelmatrix. Logica kan een individueel pixel controleren, of kan meervoudige pixels (of een gebied van interesse) controleren. Dit laat toe om fotodiodes te resetten enkel op specifieke pixels of voor specifieke gebieden in de pixel matrix, en zo de belichtingstijd voor elk pixel of elk gebied apart te controleren. Daarenboven is het mogelijk om het eindtijdstip van een belichting van een pixel te controleren door het aanschakelen van TR1 en TR2 op een specifiek tijdstip, door gebruik te maken van transfer poorten TR1 en TR2 tussen de fotodiode PD en de vlottende diffusie fd. Deze laatste werking is echter niet mogelijk wanneer de twee poorten in serie verbonden, verbonden zijn aan de voedingslijn.

Figuur 3 toont een timing diagramma voor de werking van pixels van het type getoond in figuur 2. Bij de start van de belichtingstijd van een specifiek pixel wordt de fotodiode volledig gedepleteerd door het aanschakelen van TR1 (via de controlelijn TRX) en TR2 (via de controlelijn TRY) op hetzelfde moment als het aanschakelen van de resetschakelaar res. Dit reset ook de vlottende diffusie fd. Deze operatie kan individueel gecontroleerd worden, per pixel. Figuur 3 toont hoe verschillende pixels in de matrix worden gecontroleerd. Een eerste pixel (rij y, kol 1) wordt gecontroleerd zodat het pixel wordt gereset en zijn belichtingstijd begint. Vervolgens wordt een tweede pixel (rij y, col2) van de matrix gecontroleerd zodat het pixel wordt gereset en zijn belichtingstijd begint. In praktijk wordt de verticale transferpoort controlelijn TRX hoog gezet op een pixel van een rij dat moet worden gereset. Dan wordt de horizontale transferlijn TRY gepulst samen met de resetlijn RES om de fotodiode te depletieren en de belichting te starten voor de geselecteerde pixels. Dit kan op verschillende tijdstippen worden gedaan voor verschillende pixels van dezelfde rij.

De uitlezing wordt nu beschreven. De vlottende diffusie fd wordt eerst

gereset door een puls op de RES lijn. Het resetniveau wordt bemonsterd in een kolomversterker van de beeldopnemer. Dan wordt de lading getransfereerd naar de vlottende diffusie voor de pixels waarbij beide transfer poort controlelijnen hoog gepulst worden. Alle pixels in een bepaalde rij kunnen op hetzelfde moment
5 uitgelezen worden, elk via een respectievelijke kolomuitleeslijn, zoals getoond in figuur 3. Pixel (rij y, col1) heeft een langere belichtingstijd dan pixel (rij y, col 2). Bij wijze van alternatief, kunnen pixel in verschillende kolommen van een bepaalde lijn uitgelezen worden op verschillende momenten, indien nodig. Het is ook mogelijk om verschillende kolommen op verschillende momenten in tijd uit te lezen en zo een
10 uitlezing te genereren aan hoge snelheid met korte belichtingstijd voor een gebied van pixels, en tegelijk een langzame uitlezing te doen van een gebied van pixels met een langere belichtingstijd.

Figuur 4 toont een architectuur van een beeldopnemer, waarbij de beeldopnemer een pixel matrix 40 bevat, die wordt uitgelezen aan een regelmatige
15 beeldfrequentie (bij voorbeeld 30 beelden per seconde). De pixels kunnen van het type zijn zoals getoond in figuur 2 of een ander pixel type beschreven in deze tekst. In een implementatie van de uitvinding geïllustreerd in figuur 4, kunnen 4 gebieden van pixels 42 uitgelezen worden aan veel hogere snelheid (bij voorbeeld 300 of 3000 keren per seconde). Dit kan bijvoorbeeld worden gebruikt om het gemiddelde
20 belichtingssignaal te meten gedurende de belichting van de gewonde pixels in de matrix. Deze uitlezing kan destructief zijn, hierbij de lading vernietigend die is geïntegreerd in de pixels. Dit zal het geval zijn met begraven fotodiodes ("pinned photodiodes"). Gedurende elke uitlezing worden de pixels in het gebied 42 gereset. Om de pixels uit te lezen zijn, bij wijze van voordeel, twee rijlogica controlecircuits
25 voorzien, een 222,223 aan de linkerkant, en een 220, 221 aan de rechterkant van de pixel matrix. De twee rijcontrolelogica circuits controleren welke rijen worden uitgelezen en/of gereset gedurende de uitlezing van een beeld. De rijlogica aan de rechterzijde van de pixel matrix kan worden samengesteld uit een rij adres register 220 en een schuifregister 221. Het rij adres register 220 geeft aan welke rijen worden
30 uitgelezen voor de volle resolutie, lage snelheids-, uitlezing. Indien een logische '1' geschreven is in het register van de rij, wordt deze rij uitgelezen. Indien een logische

'0' geschreven is in het register van de rij, zal het schuifregister 221 deze rij overslaan. Voor een uitlezing aan volledige resolutie, wordt een logische '1' geschreven in elke lijn in het volledige register 220. Het schuifregister 221 zal dan, bij wijze van voordeel, doorheen de volledige pixelmatrix scannen. Het schuifregister 221 stuurt horizontale controlesignalen aan in de pixel matrix 40 via 5 controlelijnen 26. Deze kunnen signalen omvatten om de rij van pixels te resetten en een van de twee transfer gate signalen TR1. Het andere transfer gate signaal TR2 wordt aangestuurd door controlelijnen 25. Deze worden bij wijze van voordeel verticaal aangestuurd van een kolom adres register 210 of 211. Deze kolom adres 10 registers controleren welke kolommen worden uitgelezen (en/of gereset) wanneer het beeld wordt uitgelezen (en/of gereset). Kolom adres register 221 kan worden gebruikt voor uitlezing van het volledige beeld in het voorbeeld. Wanneer TR1 wordt aangestuurd via register 220, dan wordt TR2 aangestuurd via register 211. Voor een snelle beelduitlezing worden de horizontale controlelijnen 26 aangestuurd van het rij 15 adres register 222 en het schuifregister 223. In dit voorbeeld hebben slechts vier rijen een logische '1' in hun linkse rij adres register 222. Enkel deze vier rijen zullen worden uitgelezen in de snelle uitleescyclus. Kolom adres register 210 kan worden gebruikt in verbinding met het rij schuif register en rijlogica 223 en rij adres register 222. Het kolomadresregister 210 controleert welke kolommen worden uitgelezen en 20 gereset gedurende de snelle uitleescyclus. In dit voorbeeld bevatten slechts vier kolommen een logische '1' in hun kolomregister. Enkel deze vier kolommen worden gebruikt in de uitlezing van het snelle beeld. Dit resulteert in vier gebieden van pixels 42, elk 2x2 pixels omvattend, welke worden uitgelezen Omdat dit slechts 16 pixels betreft, kan deze uitlezing zeer snel gebeuren. Gedurende de uitlezing kunnen de 25 pixels ook worden gereset. De belichtingstijd van deze 16 pixels kan dan ook zeer kort zijn. De belichtingstijd van de andere pixels van de pixelmatrix 40 kan veel langer zijn. Gedurende uitlezing van het gehele beeld kunnen de pixels in gebieden 42 ook opnieuw worden uitgelezen. Ze zullen in dit geval een veel kleiner signaal hebben. Figuur 4 toont verder uitgangscircuits 30 omvattende een multiplexer 33 en 30 een uitgangsversterker 34 welke kunnen worden gebruikt om de signalen van de kolom uitgangslijnen uit te lezen en te multiplexen. Multiplexer 33 kan worden

samengesteld uit een kolomversterker, een schuifregister en een analoge multiplexer naar een uitgangsbuss. Het schuifregister in multiplexer 33 kan bij voorkeur enkel de kolommen adresseren welke een logische '1' hebben in de kolomregisters 210 en 211. Het is ook mogelijk om de analoge multiplexer te vervangen door een kolom
5 AD convertor en een digitale multiplexer.

Wanneer meerdere pixels worden uitgelezen op hetzelfde moment, moeten de transfer pulsen niet noodzakelijk gelijk zijn in vorm. In plaats hiervan moeten de transfer pulsen enkel overlappen gedurende een gedeelte van de tijd. Voor uitlezing is het voordelig om TR2 op (hoog) te houden, omdat dit de capaciteit van de
10 vlottende diffusie fd verhoogd. Dit is nuttig voor uitlezing van grote ladingspakketten.

Het is mogelijk om TR1 op (hoog) te houden gedurende de belichtingstijd. Dit verhoogt de capaciteit van de fotodiode, maar heeft als nadeel dat de donkerstroom aanzienlijk hoger is. Dit is omdat de transfer poort typisch een
15 oppervlaktekanaal transistor is en het ladingspakket in de fotodiode wordt dan niet afgeschermd van het oppervlak.

Bij wijze van voorkeur zal eens wanneer TR1 aangeschakeld wordt (hoog), het niet meer afgeschakeld worden vooraleer TR2 aangeschakeld wordt. Dit voorkomt dat lading terugvloeit naar de fotodiode.

20 Indien de adresseringslogica en de uitleeslogica voor TRX en TRY het ondersteunen, kunnen meer dan twee belichtingstijden worden geïmplementeerd voor verschillende pixels in de matrix.

Figuur 5 toont een mogelijke routing van de transferpoort controlelijnen TRX, TRY tezamen met de select controlelijn SEL, reset controlelijn RES,
25 uitgangslijn UITGANG en voedingslijn VDD.

Figuren 6 en 7 tonen twee alternatieve configuraties waarin een van de twee transfer gate controlelijnen TRX/TRY wordt gedeeld met de selectiecontrolelijn SEL. Dit heeft het voordeel dat het aantal controlelijnen vereist voor routing over de pixels wordt gereduceerd.

30 Figuur 6 toont een controlelijn TRY/SEL, welke is verbonden aan de eerste transferpoort TR1, naburig aan de begraven fotodiode PD, en de selectieschakelaar

SEL. Deze configuratie voorziet de ladingsconversieknoop fd met de laagst mogelijke capaciteit en de hoogst mogelijke conversiefactor, wat tot voordeel is voor een uitlezing met lager ruis.

5 Figuur 7 toont een controlelijn TRY/SEL welke is verbonden aan de tweede transfer gate TR2 en de selectieschakelaar. Hierbij is de capaciteit van de ladingsconversieknoop fd groter gedurende de uitlezing (wanneer SEL is ingeschakeld). Dit is voordelig in het geval wanneer een groot ladingspakket moet worden uitgelezen.

10 Figuur 8 toont een doorsnede van de lagen in de halfgeleider welke de fotodiode PD vormen, de transferpoorten TR1, TR2 en de ladingsconversieknoop fd.

 Figuren 9 en 10 tonen potentiaal-diagramma's gedurende een eerste (standaard) werkmodes van het pixel van figuur 8. Figuur 11 toont de timing van het pixel in de standaardwerkmodes. Figuur 9(a) toont de start van een belichtingsperiode. Transferpoorten TR1 en TR2 zijn uitgeschakeld (lage potentiaal).
15 Gedurende een belichtingsperiode worden ladingen geaccumuleerd op de fotodiode PD. De hoeveelheid aan geaccumuleerde lading is proportioneel aan de lichtintensiteit van het licht dat op het pixel valt.

 Figuur 9(b) toont het einde van de belichtingsperiode met TR1 en TR2 nog steeds uitgeschakeld (lage potentiaal). Een hoeveelheid ladingen is geaccumuleerd op de fotodiode PD. Het resetniveau van de vlottende diffusie kan worden
20 uitgelezen. Dit vormt het referentieniveau van het pixel.

 Transferpoort TR1 wordt nu aangeschakeld (hoge potentiaal). Figuur 9C toont het einde van de belichtingstijd met TR1 aan en TR2 af. Lading is op zijn minst gedeeltelijk getransfereerd van de fotodiode naar TR1.

25 Beide transfer poorten TR1, TR2 worden aangeschakeld (hoge potentiaal). Figuur 10(a) toont TR1 en TR2 aan. Lading is getransfereerd naar de ladingsconversieknoop fd.

 Figuur 10(b) toont de uitlezing van het signaal. Transferpoorten TR1 en TR2 zijn nu af (lage potentiaal) om te vermijden dat verdere lading de
30 ladingsconversieknoop bereikt.

 Een extra reset kan worden uitgevoerd (indien vereist) voor de start van de

volgende belichtingsperiode. Dit wordt getoond in figuur 10©. TR1, TR2 en RES zijn aangeschakeld (hoge potentiaal). Deze extra reset kan nodig zijn om overblijvende lading op de fotodiode weg te halen. Het kan ook nodig zijn om de start van de volgende belichtingsperiode te definiëren.

- 5 Bij wijze van voorkeur, voor een betere ladingstransfer, is het hoog niveau op de tweede transferpoort TR2 hoger dan op de eerste transferpoort TR1. Dit maakt het makkelijker voor de ladingen om te bewegen naar de vlottende diffusie fd, ten gevolge van het laterale elektrische veld. Dit wordt getoond in figuur 12.

10 **Modulatie van de capaciteit van de ladingsconversieknop**

Figuur 13 toont een voordelige eigenschap. De transferpoort TR2 aanliggend aan het ladingsconversie element fd kan worden aangestuurd om de capaciteit van de ladingsconversieknop fd te moduleren. Dit voorziet een pixel met twee ladingsconversiefactoren in standaard 4T mode:

- 15 een lage versterkings- (hoge capaciteits-) mode waarin de transferpoort TR2 aangeschakeld is (op hoge potentiaal); en

een hoge versterkings- (lage capaciteits-) mode waarin de transferpoort TR2 afgeschakeld is (lage potentiaal).

- Figuur 13(a) toont de mode met hoge versterking. Dit is nuttig in situaties met weinig
20 licht. Figuur 13(b) toot de mode met lage versterking. Dit is geoptimaliseerd voor de volledige lading van de fotodiode. Een groter ladingspakket kan worden uitgelezen. Figuur 14 illustreert dit. In figuur 14 kan een groot ladingspakket niet worden gestockeerd op de vlottende diffusie wanneer TR1 en TR2 uitgeschakeld zijn. Echter, hetzelfde ladingspakket kan worden gestockeerd op de vlottende diffusie wanneer
25 TR2 aangeschakeld is.

- De versterking in de mode met lage versterking wordt bepaald door de grootte van de transferpoort. De grootte van de TR2 poort kan worden geselecteerd om een voorziene hoeveelheid ladingen te stockeren. Het is ook mogelijk om de spanning op TR2 te veranderen om de relatieve diepte van het ladingspakket aan te
30 passen. Dit wordt getoond in figuur 15.

Elk van bovenstaande kan worden gecombineerd met een variabele

belichtingstijd voor de pixels. Het is mogelijk om twee uitlezingen van het pixel te nemen: een lezing met lage versterking en een lezing met hoge versterking.

Figuren 16 tot 18 tonen mogelijke uitleeschema's. Figuur 17 toont een timing diagramma voor een geval met twee bemonsteringen. De vlottende diffusie wordt eerst gereset, en dit resetniveau wordt gelezen. Dan wordt lading getransfereerd via TR1 en TR2 naar de vlottende diffusie en TR1 en TR2 worden beiden terug uitgeschakeld. Het signaal op de vlottende diffusie wordt dan gelezen. De TR1 en TR2 poorten worden dan opnieuw hoog gepulst om een tweede ladingstransfer uit te voeren. De overblijvende lading van de fotodiode zal transfereren naar de vlottende diffusie en de TR2 poort. TR1 wordt dan opnieuw afgeschakeld, en het signaal wordt dan bemonsterd met een lage conversiefactor, bepaald door de capaciteit van de TR2 poort en de vlottende diffusie. Beide bemonsteringen kunnen worden gerefereerd naar het resetniveau van de vlottende diffusie voor de eerste ladingstransfer. Gecorreleerde dubbele bemonstering kan worden toegepast op beide bemonsteringen door dit resetniveau af te trekken van beide bemonsteringsniveaus. Dit elimineert de reset (kTC) ruis van de signalen.

Optioneel kan er een bijkomende reset puls zijn tussen de eerste en tweede ladingstransferperiode. In dat geval moet het tussenliggende resetniveau worden uitgelezen om gecorreleerde dubbele bemonstering te doen op de tweede bemonstering (met de lage conversiefactor). Dit wordt getoond in figuur 18.

Het pixel kan ook gebruikt worden alleen met lage versterking. De timing voor deze mode is getoond in figuur 16.

25 **Combinatie met een globale sluit**

Het pixel kan ook worden gecombineerd met een globale sluit. Een aantal mogelijke manieren worden getoond in figuren 19 tot 23.

Figuur 19 toont een pixel met vier transfer poorten: TRX, TRY, TRS, TRR, in serie geplaatst tussen fotodiode PD en ladingsconversieknop fd. Een verdere poort VAB is verbonden tussen de fotodiode PD en de voedingslijn VDD. Start van de belichting wordt gecontroleerd door het

pulsen van VAB. Bij wijze van alternatief kan de start van de belichting worden gecontroleerd door de vier aanliggende transferpoorten hoog te zetten en de ladingsconversieknop (fd) in reset te plaatsen. Bij het einde van de belichtingsperiode van een pixel op locatie (x,y) worden de horizontale en verticale transfercontrolelijnen die TRY en TRX respectievelijk controleren hoog gezet. TRS wordt ook hoog gezet, op een hogere spanning. Elektronen geaccumuleerd op de fotodiode PD zullen transfereren van de fotodiode naar de TRS poort. Gedurende uitlezing wordt eerst de ladingsconversieknop FD gereset en het resetniveau wordt bemonsterd in het uitleescircuit. Dan wordt TRR gepulst om de elektronen naar de ladingsconversieknop te laten bewegen, en de ladingsconversieknop fd wordt opnieuw bemonsterd. Dit pixel laat een combinatie toe van gecorrleerde dubbele bemonstering (CDS) en een individuele controle van de pixelbelichtingstijd. Behalve controle over de start van de belichtingstijd, wordt VAB ook gebruikt als een horizontale anti-overbelichtings afvoer om lading van de fotodiode te laten afvloeien in geval van overbelichting. Bij wijze van voordeel wordt het laag niveau van VAB zo gekozen dat deze poort als een effectieve anti-overbelichtingsafvoer werkt. Het laag niveau van VAB zal dan hoger zijn dan het laag niveau van TRX of TRY.

Figuur 20 toont een alternatieve implementatie. Het voorziet in een globale sluiters functionaliteit met gecorrleerde dubbele bemonstering. Het pixel heeft drie transferpoorten: TX, TS, TR, in serie geplaatst tussen fotodiode PD en ladingsconversieknop fd. Poorten VABX en VABY zijn in serie verbonden tussen de fotodiode PD en de voedingslijn VDD. Om de start van de belichting te controleren, worden de aanliggende poorten VABX en VABY samen gepulst. VABX wordt gecontroleerd door een verticale controlelijn en VABY wordt gecontroleerd door een horizontale controlelijn. Enkel wanneer beide lijnen hoog zijn, wordt de fotodiode gereset. Het laag niveau van VABX en VABY wordt gekozen zo dat beide gates werken als een anti-overbelichtingsafvoer.

Figuur 21 toont een implementatie van dezelfde regionale

sluitercontrole, gebruik makende van twee aanliggende transfer poorten, maar nu als toevoeging aan een 5-transistor globale sluiter pixel zoals beschreven in US patent 7,045,753. De twee serie-verbonden poorten VABX, VABY worden op eenzelfde manier gebruikt als in figuur 19.

5 Figuren 22 en 23 tonen andere implementaties van globale sluiter pixels welke zijn aangepast om twee in serie verbonden transfer poorten te gebruiken. In figuur 22, zijn de toegevoegde poorten TRX, TRY. In figuur 23 zijn de toegevoegde poorten VABX, VABY. De pixels worden in detail beschreven in United States Patent Application US 2009/256060A1, waarvan
10 de inhoud hier ter referentie is opgenomen.

 Figuur 24 toont een toestel 10 voor een pixel matrix 40. Een pixel matrix 40 omvat een meervoud aan pixels 41 van elk van de types beschreven hierboven. Controller 20 controleert de werking van de pixel matrix 40 en de uitgangscircuits 30. Controller 20 omvat kolom selectie/lijn aansturing circuits 21 om
15 controlesignalen te genereren op controlelijnen 25 welke zijn gealigneerd met kolommen van de matrix, en rijselectie / lijn aansturingcircuits 22 om controlesignalen te genereren op controlelijnen 26 welke zijn gealigneerd met rijen van de pixel matrix. De signalen 25, 26 sturen pixels 41 in de matrix 40 aan. Controller 20 controleert het resetten van de pixels om de start van een
20 belichtingstijd te controleren (inclusief werking van de transfer poorten TR1, TR2); werking van de transfer poorten TR1, TR2 om lading te transfereren naar de vlottende diffusie fd; werking van de schakelaars res, sel om de uitlezing van een pixel te controleren.

 Voorbeeld timing schema's voor de controlesignalen zijn getoond. De
25 pixelmatrix kan worden uitgelezen op een conventionele manier, met pixels die worden gescand op een rij-bij-rij basis. Bij wijze van alternatief kan controller 20 een globale sluiter functie uitvoeren door synchrone operatie van de controlesignalen welke respectievelijk de belichtingstijden controleren van elk van de pixels in de matrix. Controller 20 heeft ook controlelogica 23 om de werking van uitgangscircuits
30 30 te controleren. De controlelogica van controller 20 kan worden bewaard in hard gecodeerde vorm, zoals in een Applicatie Specifiek Geïntegreerd Circuit (ASIC), of

het kan worden bewaard in een of andere vorm van reconfigureerbare processor, zoals een logic array (programmeerbare array, reconfigureerbare array) of een processor welke software uitvoert. Alle elementen getoond in figuur 24 kunnen worden voorzien op een enkel halfgeleidersubstraat of de elementen kunnen worden verdeeld over verscheidene aparte substraten. Uitgangscircuit 30 kan kolom processing circuits 32 voorzien, toegewezen aan elke kolom, zoals: een analoog-digitaal omzetter (ADC), een of meerdere versterkers, stockage om waarden te stockeren om functies uit te voeren zoals gecorreleerde dubbele bemonstering (CDS). Uitgangscircuit 30 geeft een signaal 35 uit.

10 Figuur 25 toont een implementatie van de rij en kolomlogica 21, 22 die een regionale sluitersfunctie toelaat. Verschillende schuifregisters zijn geïmplementeerd in de rijlogica (links/rechts van de pixel matrix) en de kolomlogica (boven/onderzijde van de pixel matrix). De schuifregisters zijn opgeladen met een patroon dat de rijen en kolommen identificeert die moeten worden uitgelezen voor de belichting. In een globale sluiters werking, worden de pixels gereset door de TRY lijnen direct aan te sturen door de inhoud van een van de schuifregisters in de rijlogica, en de TRX lijnen direct aan te sturen door de inhoud van een van de schuifregisters in de kolomlogica. Op verschillende momenten in tijd worden gebieden van pixels gereset door het aansturen van de TRX en TRY lijnen via de overeenkomstige schuifregisters. Voor een werking met een rollende sluiters bevat de rijlogica extra logica om de inhoud van de schuifregisters samen te nemen met de reset puls, welke wordt gegenereerd door een enkele puls.

25 Een andere implementatie van een belichtingscontrole voor een 4T pixel zal nu beschreven worden met referentie naar figuren 26 en 27. Een schakelaar is toegevoegd tussen de transfer controlelijn TR en de transfer poort. Een schakelaar tussen de transfer controlelijn TR en de transferpoort wordt gebruikt om de pixels te selecteren die worden gecontroleerd door de transfercontrolelijn. In het geval dat een pixel geen ladingstransfer nodig heeft, zal de transfer puls worden onderdrukt door het openen van de schakelaar tussen de transfer controle lijn en de transfer poort.

30 Figuur 26 toont de timing van dit pixel. De transfer poort zal vlottend blijven gedurende deze tijd. Aangezien de transfer tijd enkel gedurende korte tijd wordt

aangeschakeld (minder dan 10 microseconden), kan het geen kwaad om de poort vlottende te houden voor korte tijd. Indien dit toch een bezorgdheid is, of indien de transfer poort moet worden ingeschakeld voor langere tijd, kan een extra schakelaar worden voorzien die de poort naar een lage spanning trekt (bij voorbeeld GND). Dit
5 is echter typisch niet noodzakelijk.

Deze implementatie heeft een nadeel omdat de transfer poort moet worden geplaatst op een hoge spanning om een goede ladingstransfer te garanderen. Het hoog niveau van de transfer poort moet op zijn minst even hoog zijn als de som van de depletiespanning van de fotodiode en de drempelspanning van de transfer poort.
10 In het pixel kunnen enkel NMOS transistors gebruikt worden. De schakelaar tussen de transfercontrolelijn en de transferpoort is een NMOS transistor. De poort van deze transistor moet worden gestuurd naar een spanning die aanzienlijk hoger is dan de transferpoort, om toe te staan dat het hoog niveau van de transferpoort controlelijn op de transferpoort terecht komt. Omdat de maximale spanning die op de
15 schakeltransistor kan worden geplaatst praktisch beperkt is, wordt ook de hoogste spanning die kan worden toegepast op de transfer poort gereduceerd. De andere implementaties beschreven in dit document hebben niet deze beperking.

De uitvinding is niet gelimiteerd tot de implementaties hierin beschreven, welke kunnen worden gewijzigd of gevarieerd zonder af te wijken van het bereik van
20 de uitvinding.

Conclusies:

1. Een pixelmatrix omvattende:
een meervoud aan pixelstructuren, elke pixelstructuur omvattende:
 - 5 een fotogevoelig element om lading te genereren als responsie op invallend licht;
 - een ladingsconversie element;
 - een eerste transfer poort en een tweede transfer poort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element of
 - 10 tussen het fotogevoelige element en een voedingslijn;
 - een uitgangstrap;
 - een eerste transferpoort controlelijn verbonden aan de eerste transferpoorten van een eerste sub-set van pixelstructuren in de matrix;
 - een tweede transferpoort controlelijn verbonden aan de tweede transferpoorten
 - 15 van een tweede sub-set van pixelstructuren in de matrix,
 - waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren gedeeltelijk overlappen, en ten minste één pixelstructuur gemeenschappelijk hebben, en waarbij het fotogevoelig element een begraven fotodiode (ENG : “pinned photodiode”) omvat.
 - 20
2. Een pixelstructuur volgens conclusie 1, waarbij de eerste sub-set van pixel structuren en de tweede sub-set van pixelstructuren slechts één pixelstructuur gemeenschappelijk hebben.
- 25 3. Een pixelstructuur volgens conclusie 1, waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren loodrecht in de matrix zijn geplaatst.
4. Een pixelstructuur volgens conclusie 2, waarbij de eerste sub-set van
- 30 pixelstructuren een rij ofwel een kolom van de matrix is, en de tweede sub-set van pixelstructuren een kolom ofwel een rij van de matrix is.
5. Een pixelstructuur volgens conclusie 1, waarbij er een meervoud aan eerste transferpoorten controlelijnen is, elk verbonden aan een respectievelijke eerste sub-set

van pixelstructuren en een meervoud aan tweede transferpoort controlelijnen, elk verbonden aan een respectievelijke tweede sub-set van pixel structuren.

5 6. Een pixelstructuur volgens conclusie 1, waarbij de uitgangstrap van elke pixelstructuur een selectieschakelaar omvat en waarbij een van de transferpoort controlesignalen verbonden is aan de selectieschakelaars in dezelfde sub-set van pixelstructuren als de transferpoort controlelijn.

10 7. Een pixelstructuur volgens conclusie 1, waarbij de tweede transferpoort is verbonden aan het ladingsconversie element en de pixel matrix verder controlelogica voorziet geconfigureerd om een van de pixelstructuren uit te lezen in een mode waarbij lading getransfereerd van het fotogevoelige element wordt gestockeerd op een combinatie van de tweede transferpoort en het ladingsconversie element.

15 8. Een pixelstructuur volgens conclusie 1, verder omvattende controlelogica welke is geconfigureerd voor de uitlezing van een of meerdere pixelstructuren in een mode waarbij lading getransfereerd van het fotogevoelige element enkel wordt gestockeerd op het ladingsconversie element.

20 9. Een pixelstructuur volgens conclusie 1, waarbij de tweede transferpoort is verbonden aan een ladingsconversie element, en waarbij de tweede transferpoort een hoger potentiaalniveau heeft dan de eerste transferpoort wanneer de transferpoorten worden gebruikt.

25 10. Een pixelstructuur volgens conclusie 1, waarbij elk pixel een reset trap voorziet om de ladingsconversieknoop te resetten en waarbij de pixelmatrix verder controlelogica voorziet welke is geconfigureerd om de start van een belichtingsperiode te controleren door het aanschakelen van de eerste transferpoort en de tweede transferpoort op hetzelfde moment als het gebruiken van de reset trap.

30

11. Een pixelstructuur volgens conclusie 1, waarbij een reset controlelijn verbonden is aan de reset trap in een van de eerste sub-set van pixelstructuren ofwel de tweede sub-set van pixelstructuren.

12. Een pixelstructuur volgens conclusie 1, verder omvattende controlelogica welke is geconfigureerd om het einde van een belichtingsperiode van een van de pixelstructuren te controleren door het gebruiken van de eerste transferpoort controle lijn en de tweede transferpoort controle lijn om lading te transfereren van het
5 fotogevoelige element naar het ladingsconversie element.
13. Een pixelstructuur volgens conclusie 1, waarbij de eerste transferpoort en de tweede transferpoort in serie verbonden zijn tussen het fotogevoelige element en een voedingslijn, en waarbij elke pixelstructuur op zijn minst een extra transferpoort heeft
10 verbonden tussen het fotogevoelige element en het ladingsconversie element.
14. Een pixelstructuur volgens conclusie 1, verder omvattende controlelogica welke is geconfigureerd om de eerste transferpoort controlelijn en de tweede transfer gate controle lijn aan te sturen.
15
15. Een pixelstructuur volgens conclusie 14, waarbij de controlelogica is geconfigureerd om zowel de eerste transferpoort controlelijn als de tweede transferpoort controlelijn te activeren voor een periode die op zijn minst gedeeltelijk overlapt.
20
16. Een pixel matrix omvattende:
een meervoud aan pixel structuren, elke pixelstructuur omvattende een fotogevoelig element om lading te genereren als responsie op invallend licht, waarbij het fotogevoelig element een begraven fotodiode (ENG : "pinned photodiode") omvat,
25 een ladingsconversie element, een eerste transfer poort en een tweede transfer poort verbonden in serie tussen het fotogevoelige element en het ladingsconversie element of tussen het fotogevoelige element en een voedingslijn, en een uitgangstrap, de matrix omvattende:
een eerste controle logica voor de aansturing van eerste poorten van een eerste
30 sub-set van de pixel structuren in de matrix; en
een tweede controle logica voor de aansturing van tweede poorten van een tweede sub-set van de pixelstructuren in de matrix voor een periode die op zijn minst gedeeltelijk overlapt met de aansturing van de eerste transferpoort controlelijn, waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren

gedeeltelijk overlappen, en ten minste één pixelstructuur gemeenschappelijk hebben.

17. Een methode om een belichtingsperiode te controleren van een eerste pixelstructuur in een matrix van pixelstructuren, elke pixelstructuur omvattende een fotogevoelig element voor het genereren van lading als responsie op invallend licht, waarbij het fotogevoelig element een begraven fotodiode (ENG : "pinned photodiode") omvat, een ladingsconversie element, een eerste transferpoort en een tweede transferpoort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element of tussen het fotogevoelige element en een voedingslijn, en een uitgangstrap, de methode omvattende:

aansturen van een eerste transferpoort controlelijn verbonden aan de eerste poorten van een eerste sub-set van pixelstructuren in de matrix; en

aansturen van een tweede transferpoort controlelijn verbonden aan de tweede poorten van een tweede sub-set van pixel structuren in de matrix gedurende een periode die op zijn minst gedeeltelijk overlapt met de aansturing van de eerste transferpoort controlelijn,

waarbij de eerste sub-set van pixelstructuren en de tweede sub-set van pixelstructuren gedeeltelijk overlappen, en ten minste één pixelstructuur gemeenschappelijk hebben.

18. Een methode volgens conclusie 17 waarbij de stappen van aansturing van de eerste transferpoort controlelijn en de aansturing van de tweede transferpoort controlelijn de start van een belichtingsperiode definiëren voor de eerste pixelstructuur, en waarin een tweede pixelstructuur in de matrix een andere belichtingsperiode heeft.

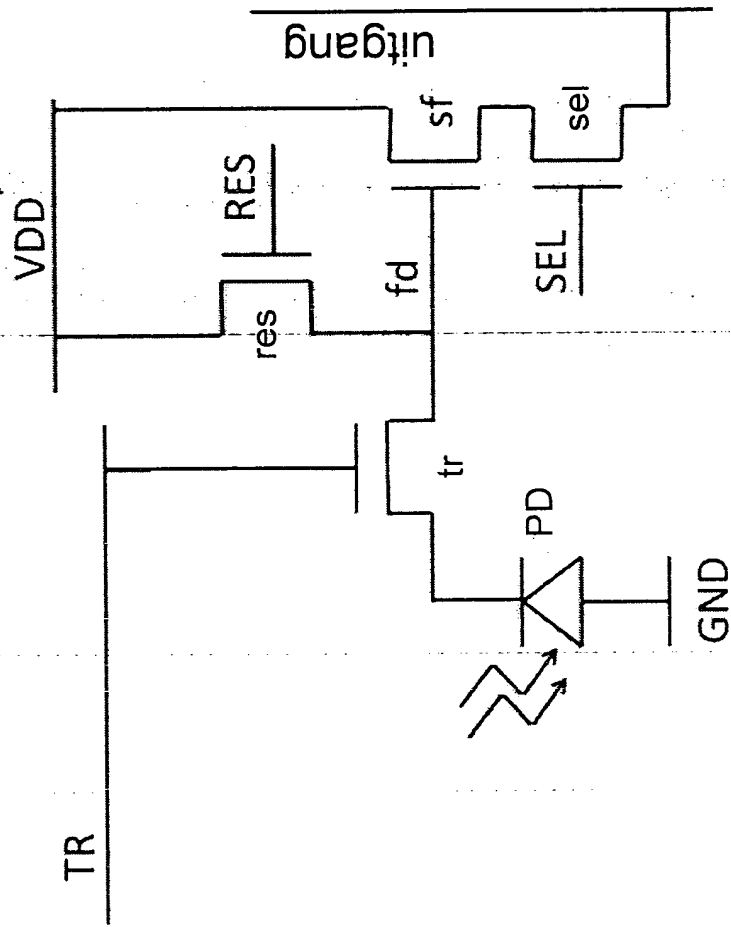


Fig. 1

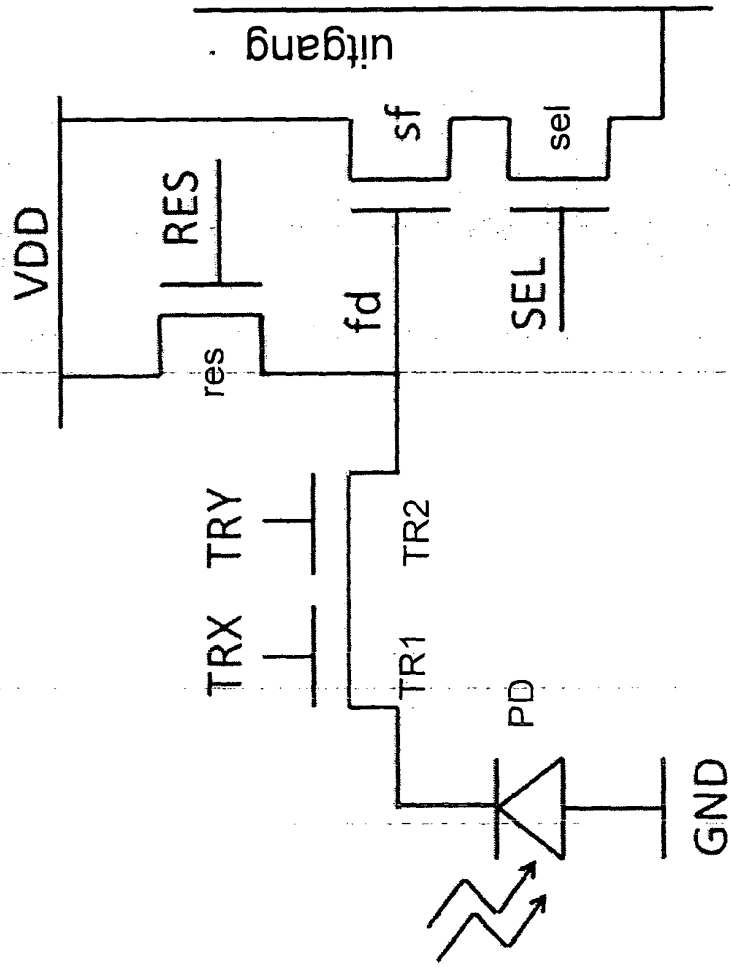


Fig. 2

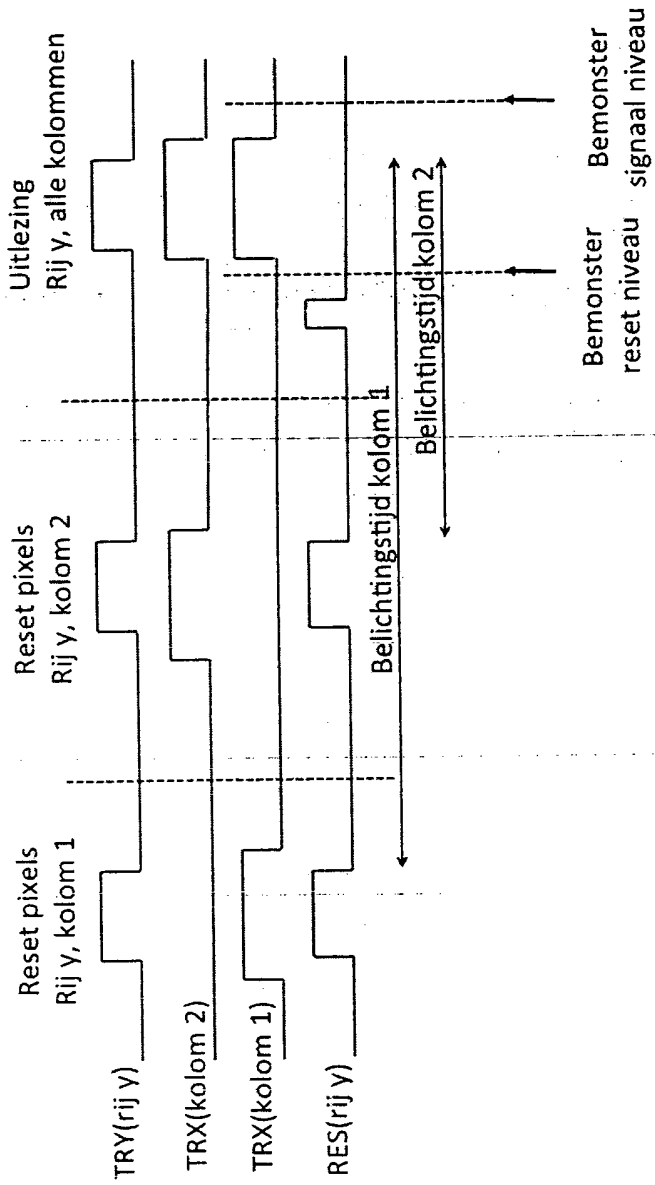


Fig. 3

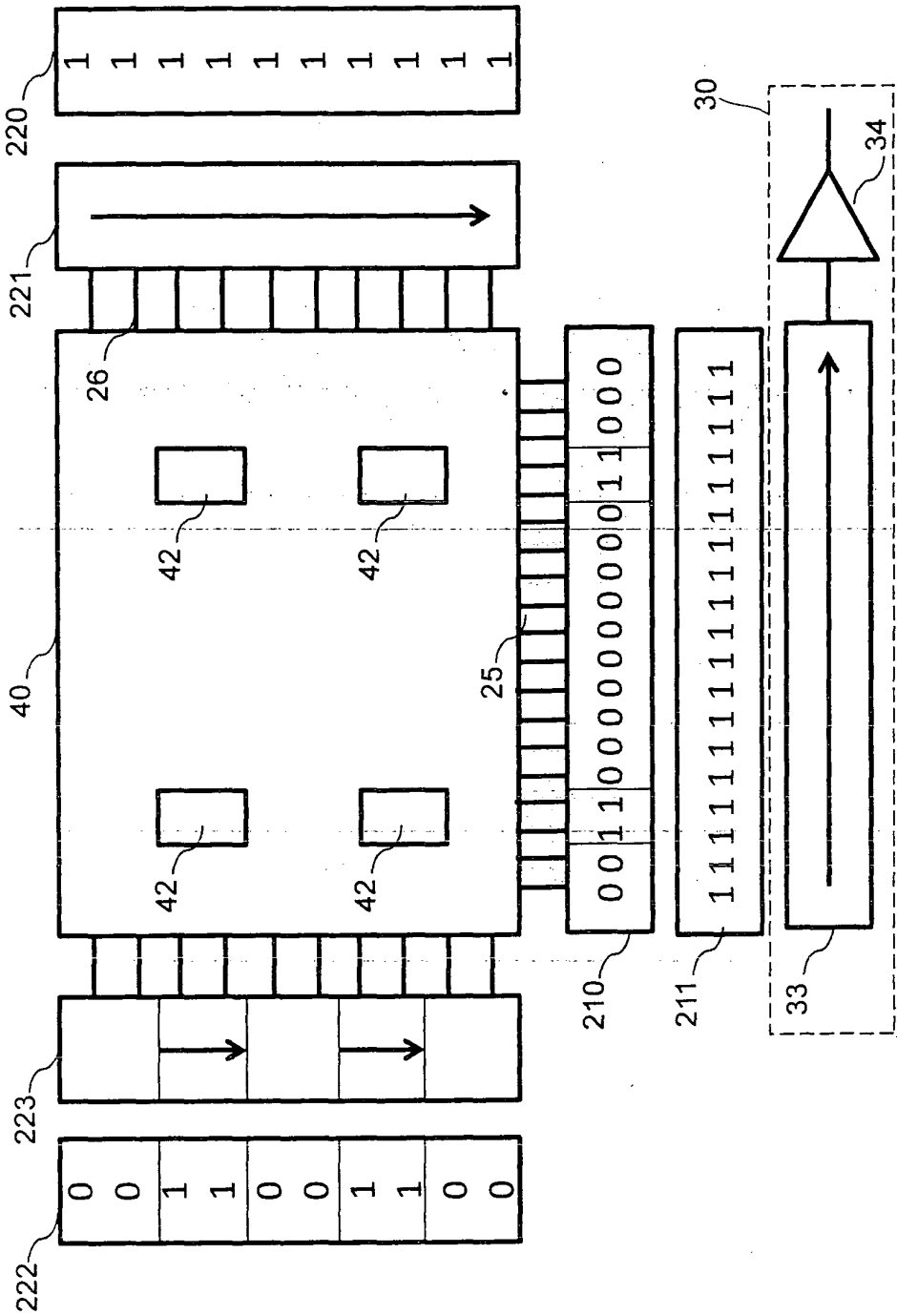


Fig. 4

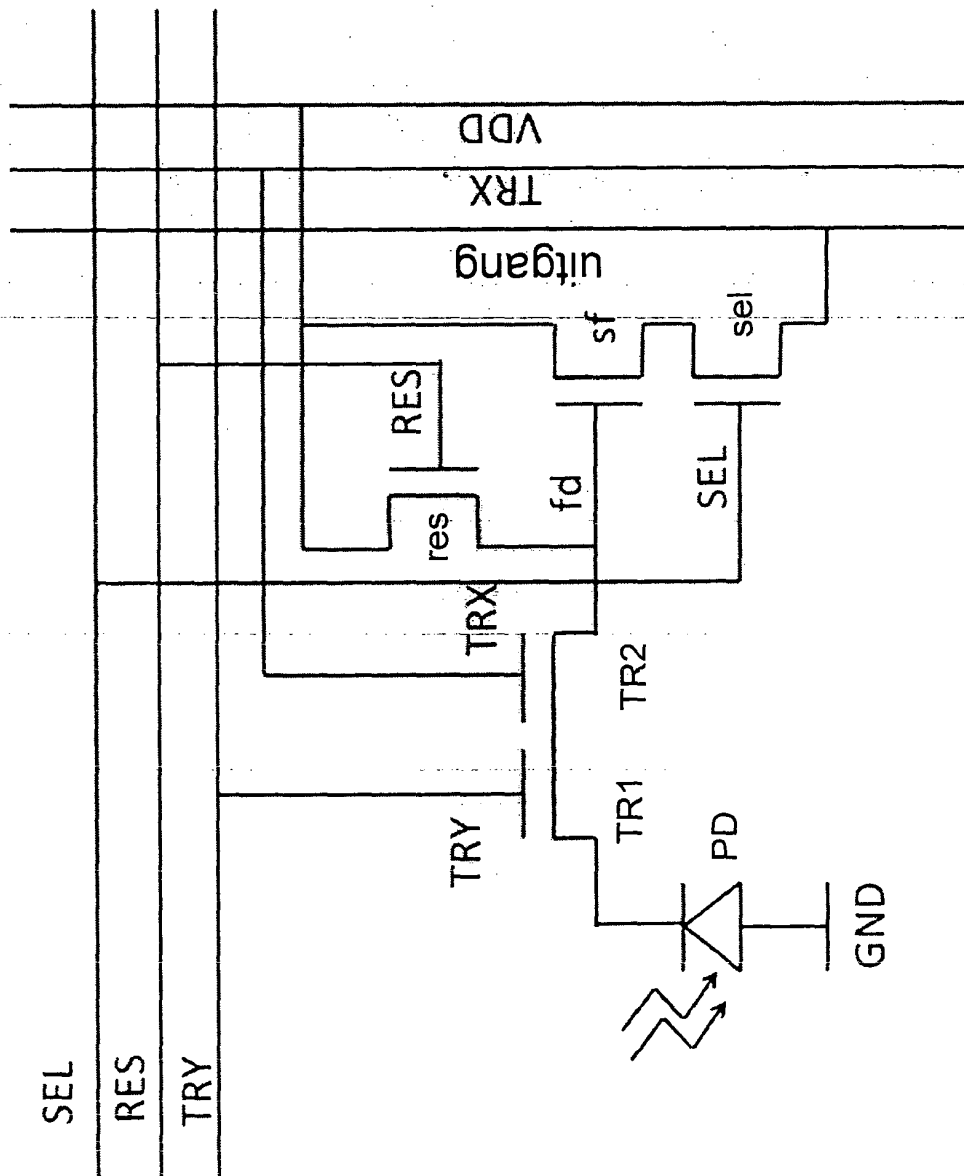


Fig. 5

6/27

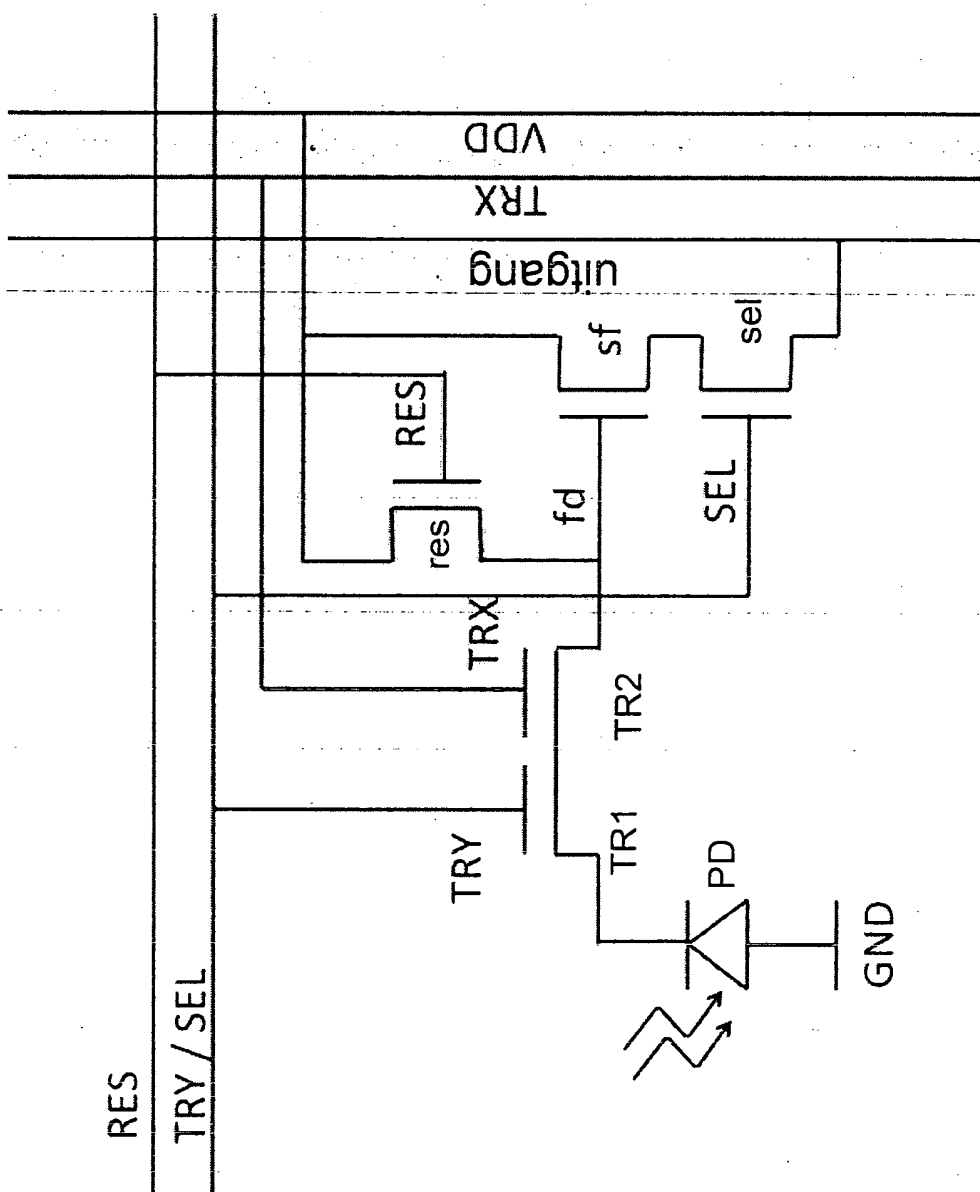


Fig. 6

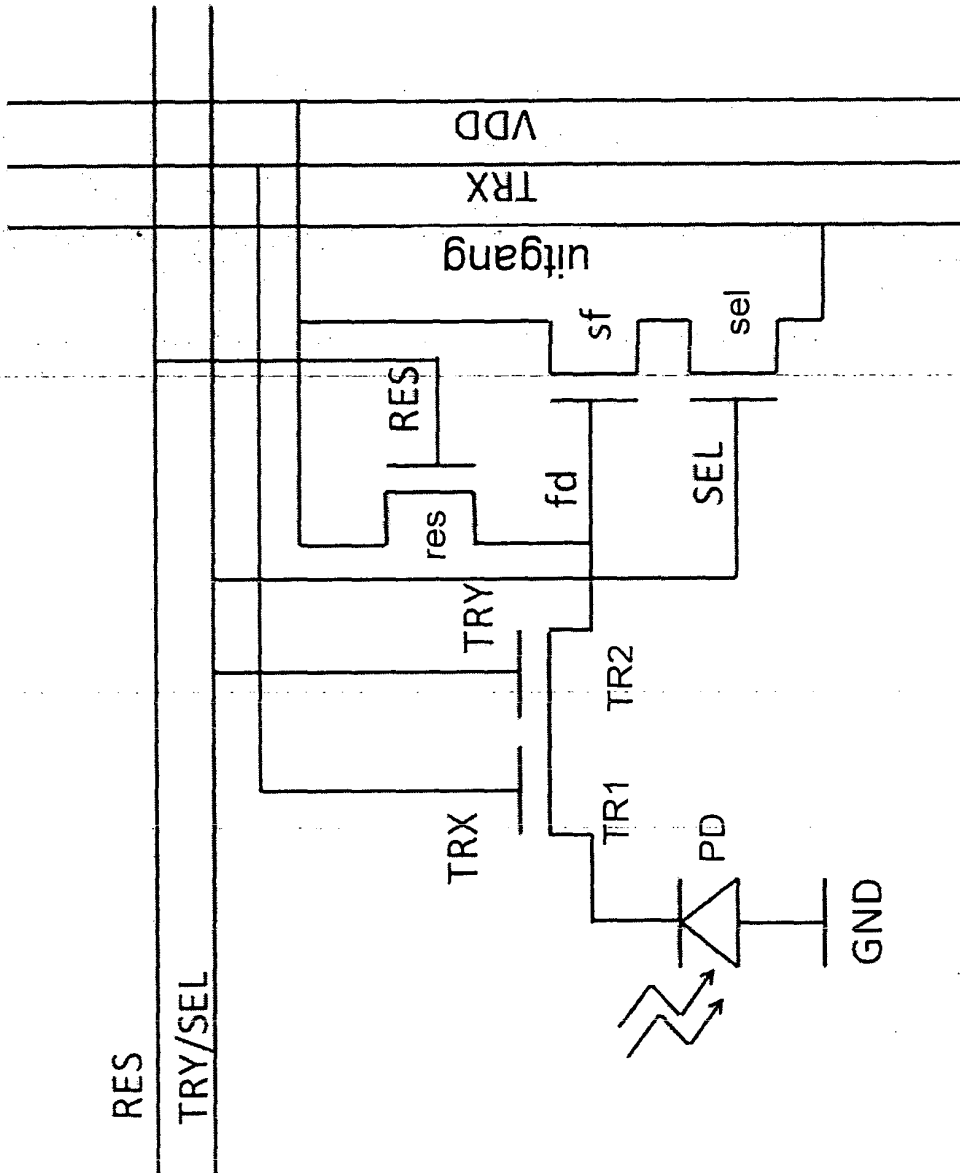


Fig. 7

8/27

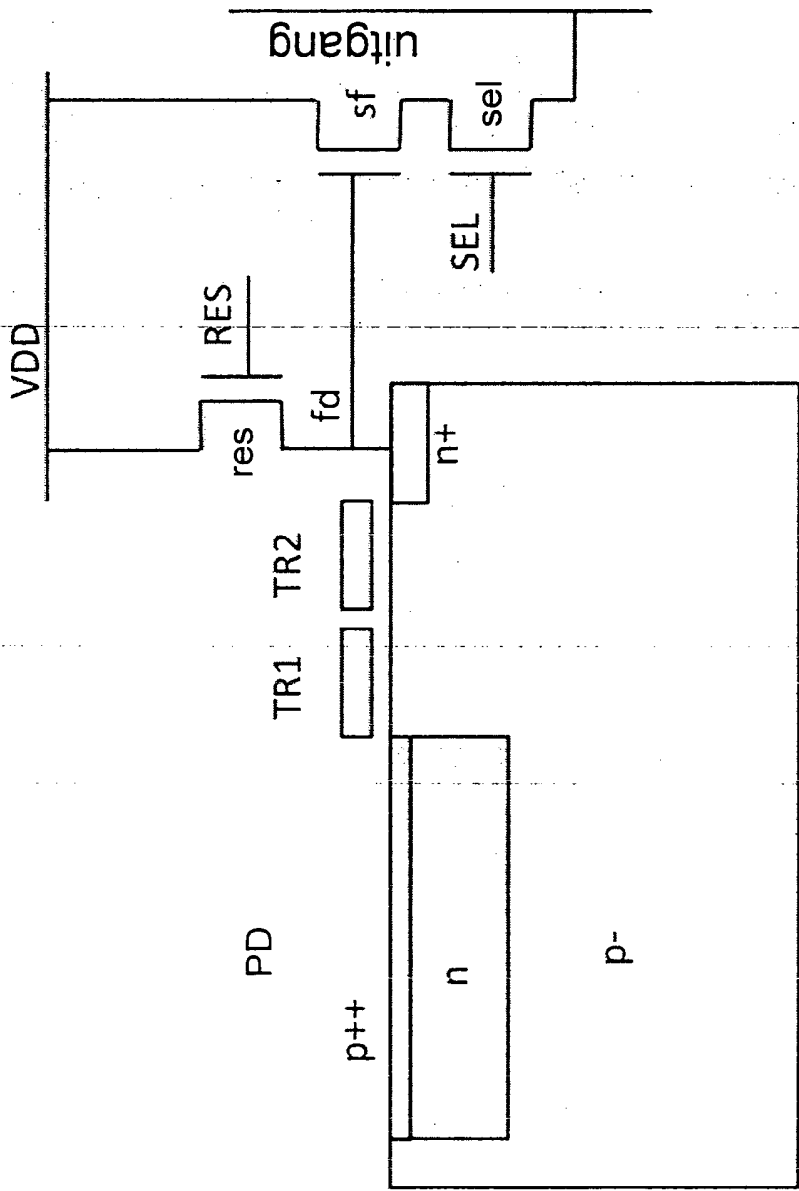


Fig. 8

9/27

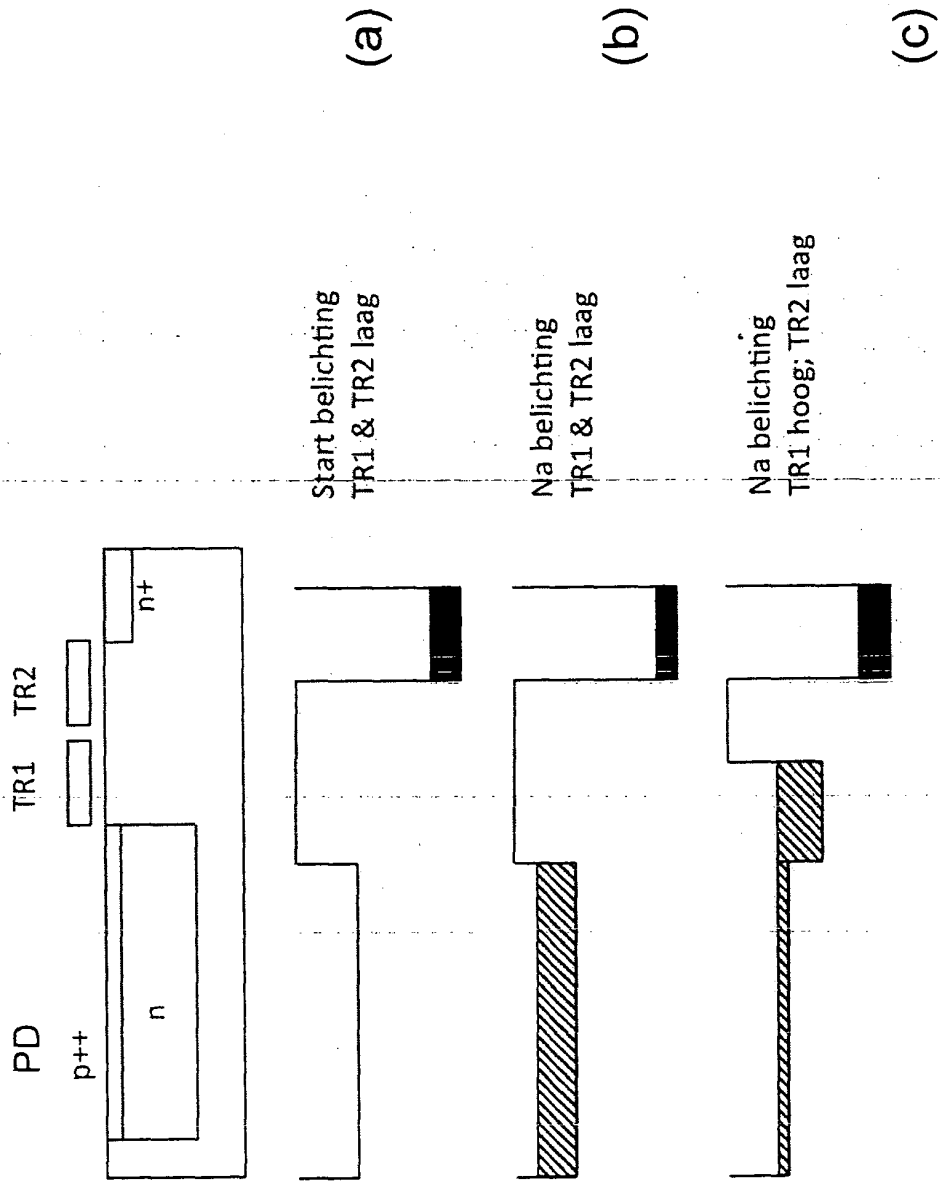
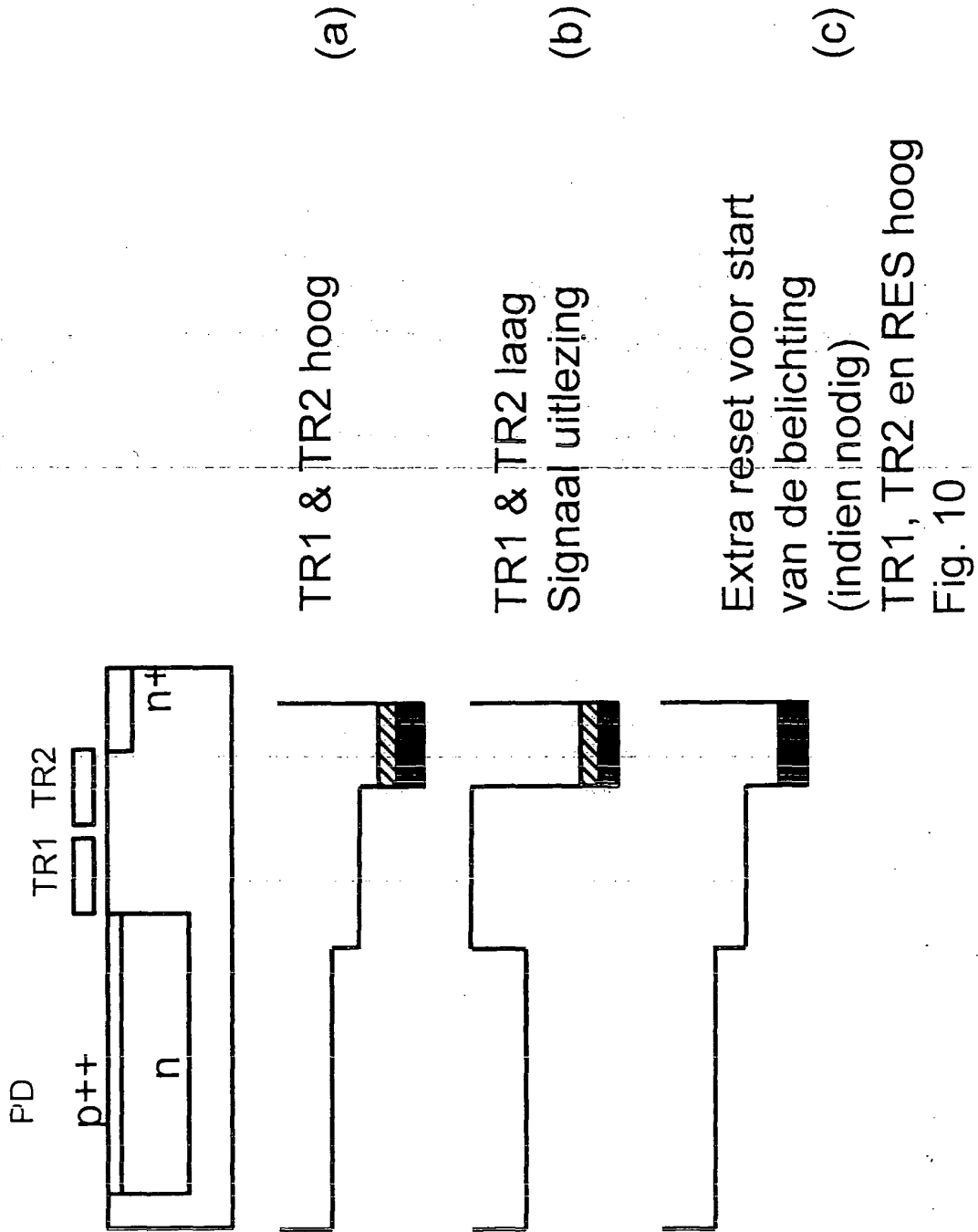


Fig. 9

10/27



11/27

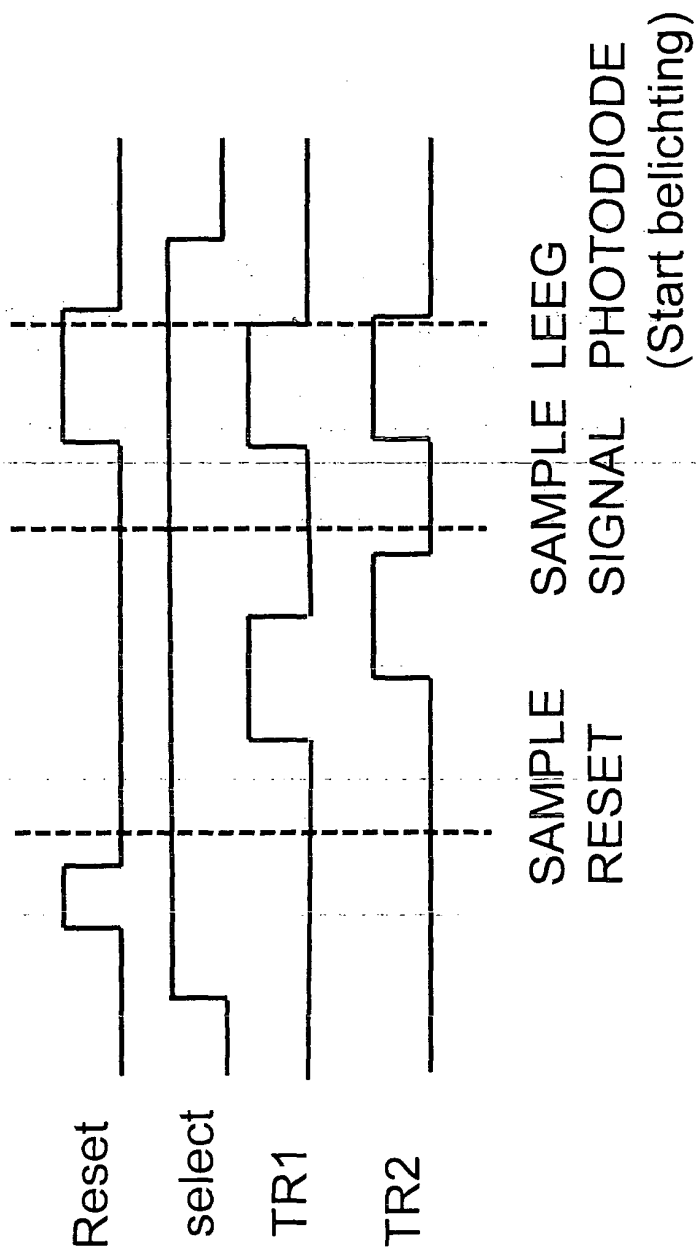


Fig. 11

12/27

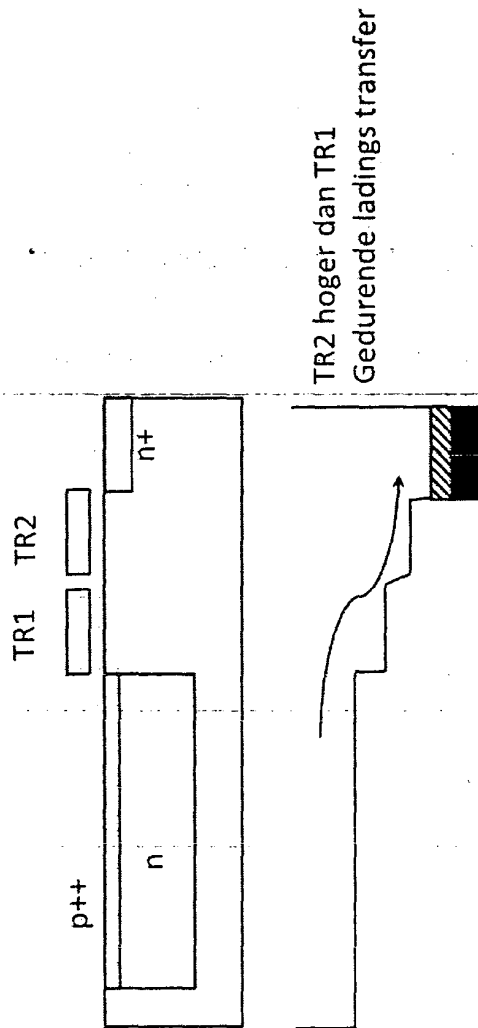
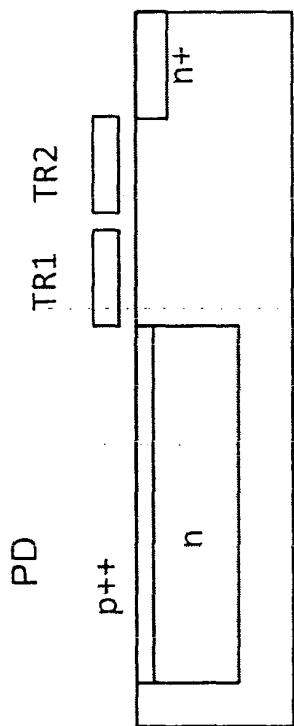
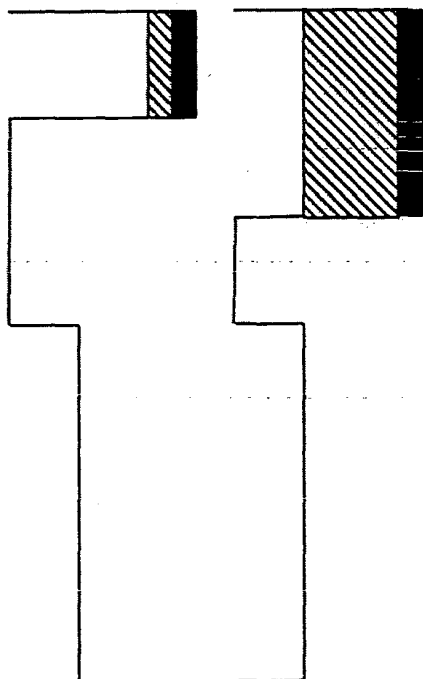


Fig. 12

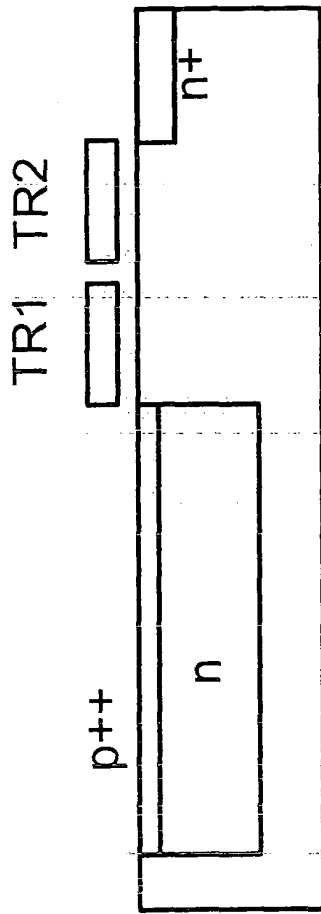


(a)
Signaal uitlezing
met TR1 & TR2 laag
hoge conversiefactor



(b)
Signaal uitlezing
Met TR2 hoog en TR1 laag
Lage conversiefactor

Fig. 13



(a)

Signaaluitlezing
met TR1 & TR2 laag
hoge conversiefactor
Groot ladingspakket

(b)

Signaaluitlezing
Met TR2 hoog en TR1 laag
Lage conversiefactor
Mogelijk om alle lading te lezen

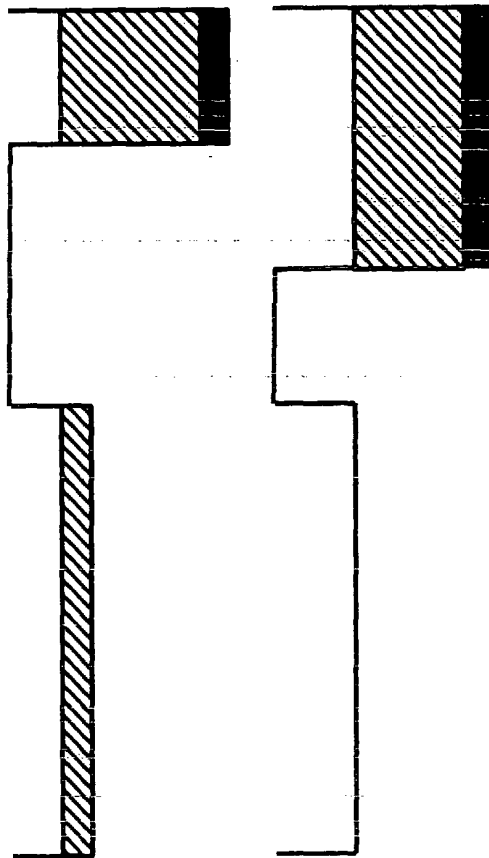
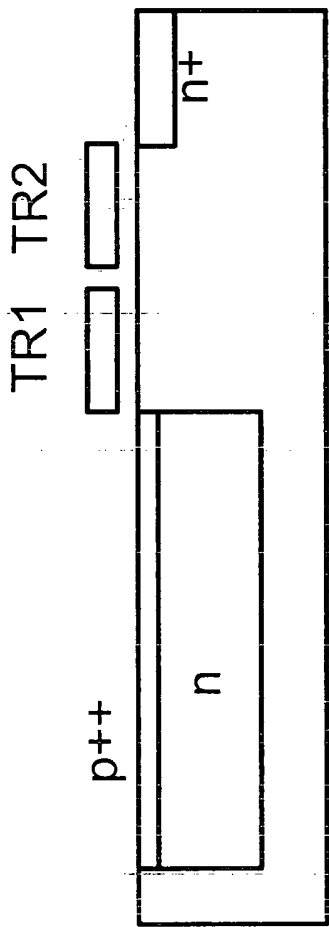


Fig. 14



Signaaluitlezing
 Met TR1 & TR2 laag
 Hoge conversiefactor (a)

Signaaluitlezing
 met TR2 hoog en TR1 laag (b)
 lage conversiefactor
 Spanning op TR2 aangepast om
 optimale zwaai op de conversie-
 knoop te bekomen

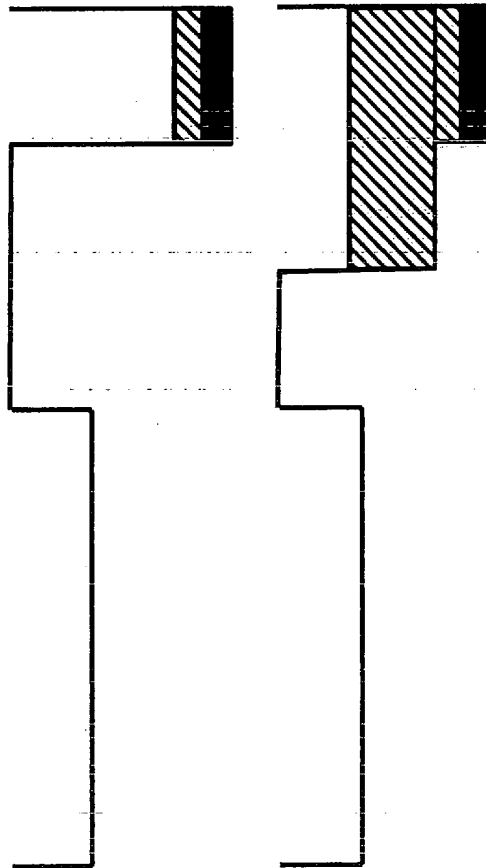


Fig. 15

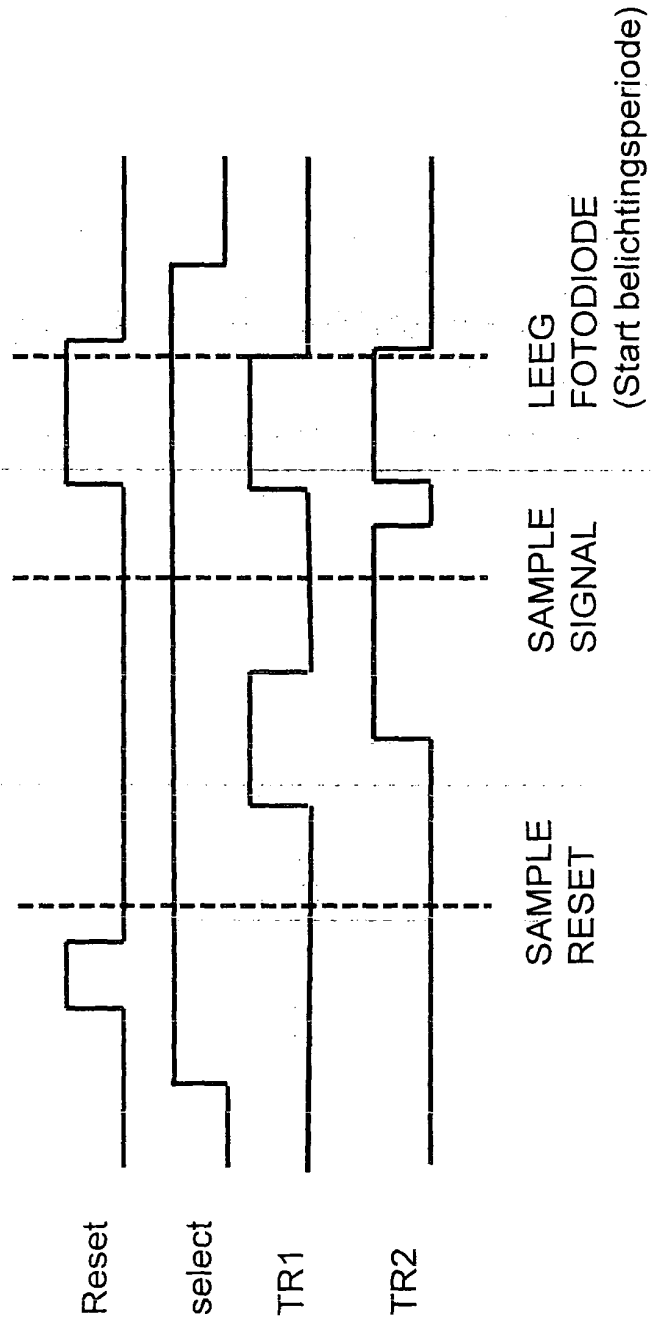


Fig. 16

17/27

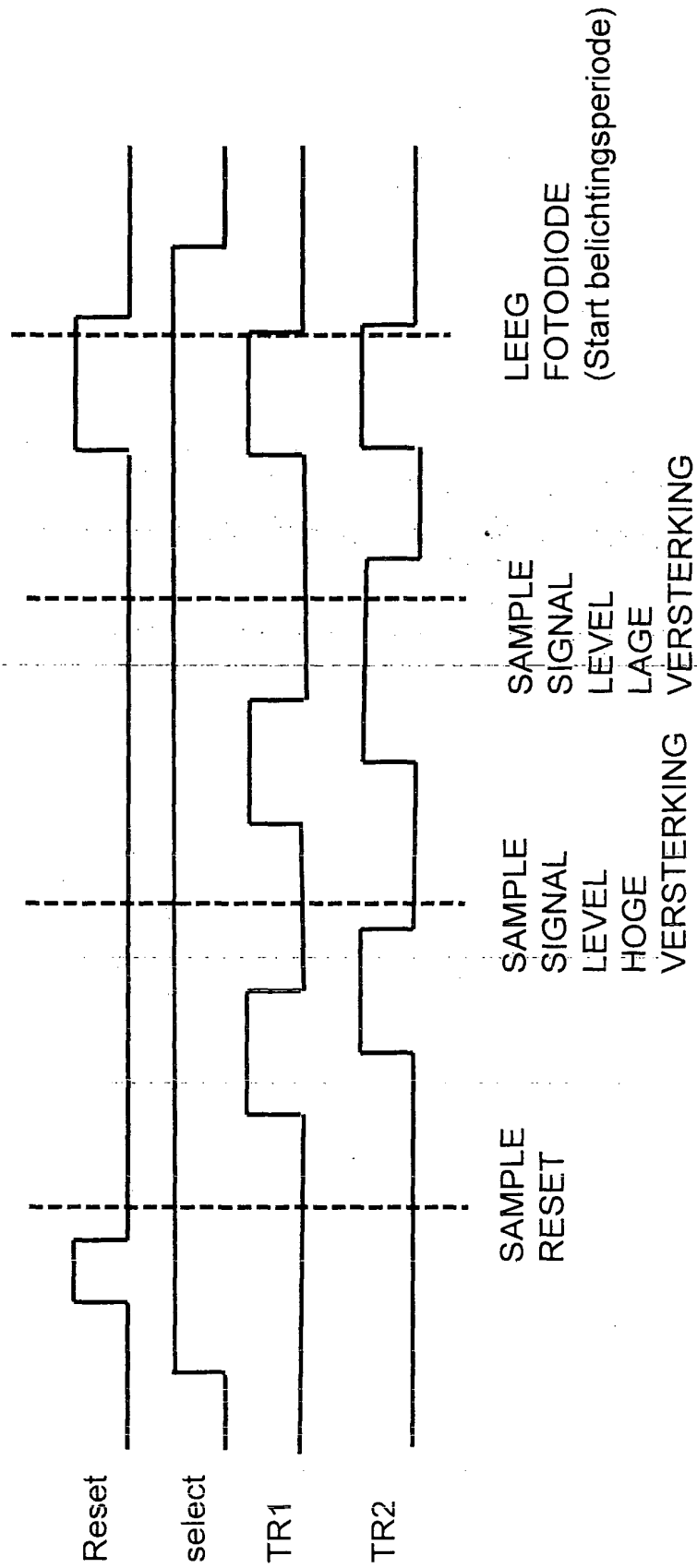


Fig. 17

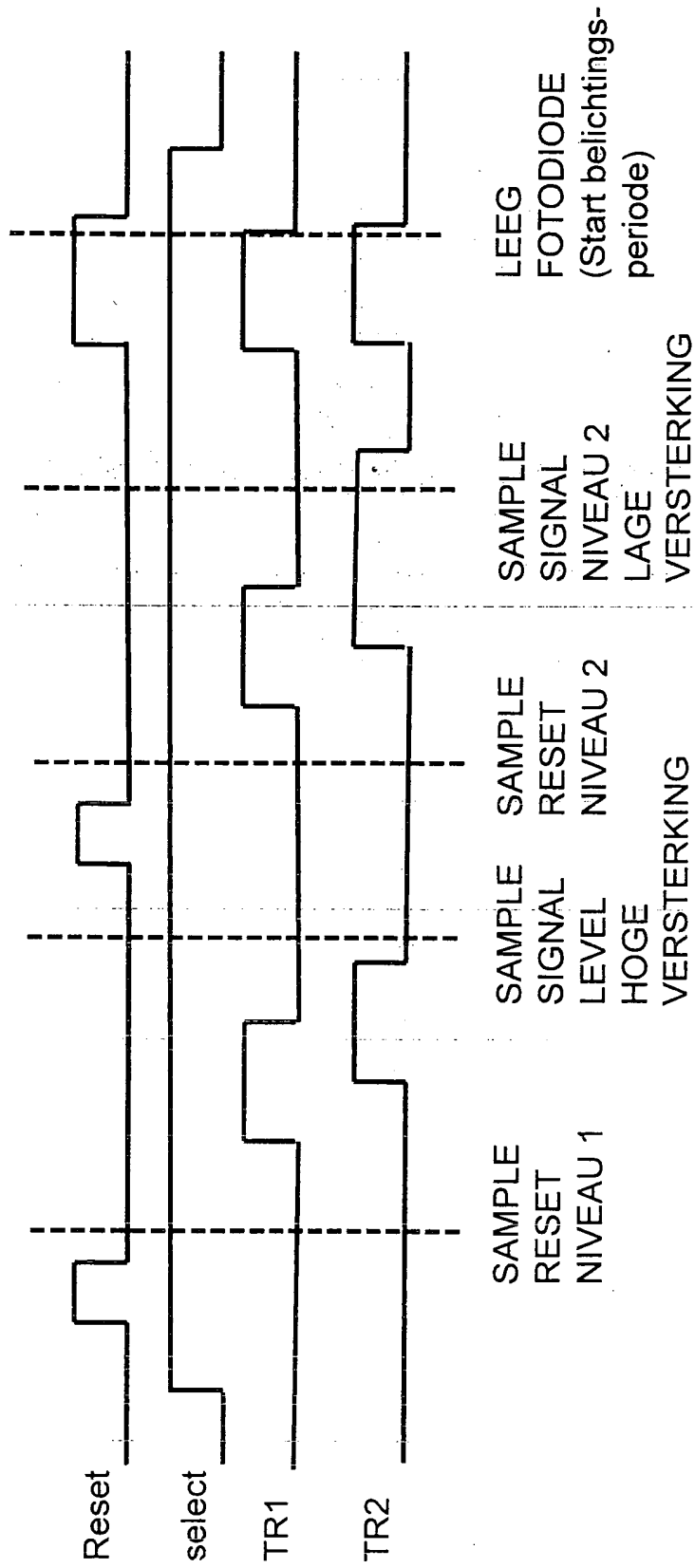


Fig. 18

19/27

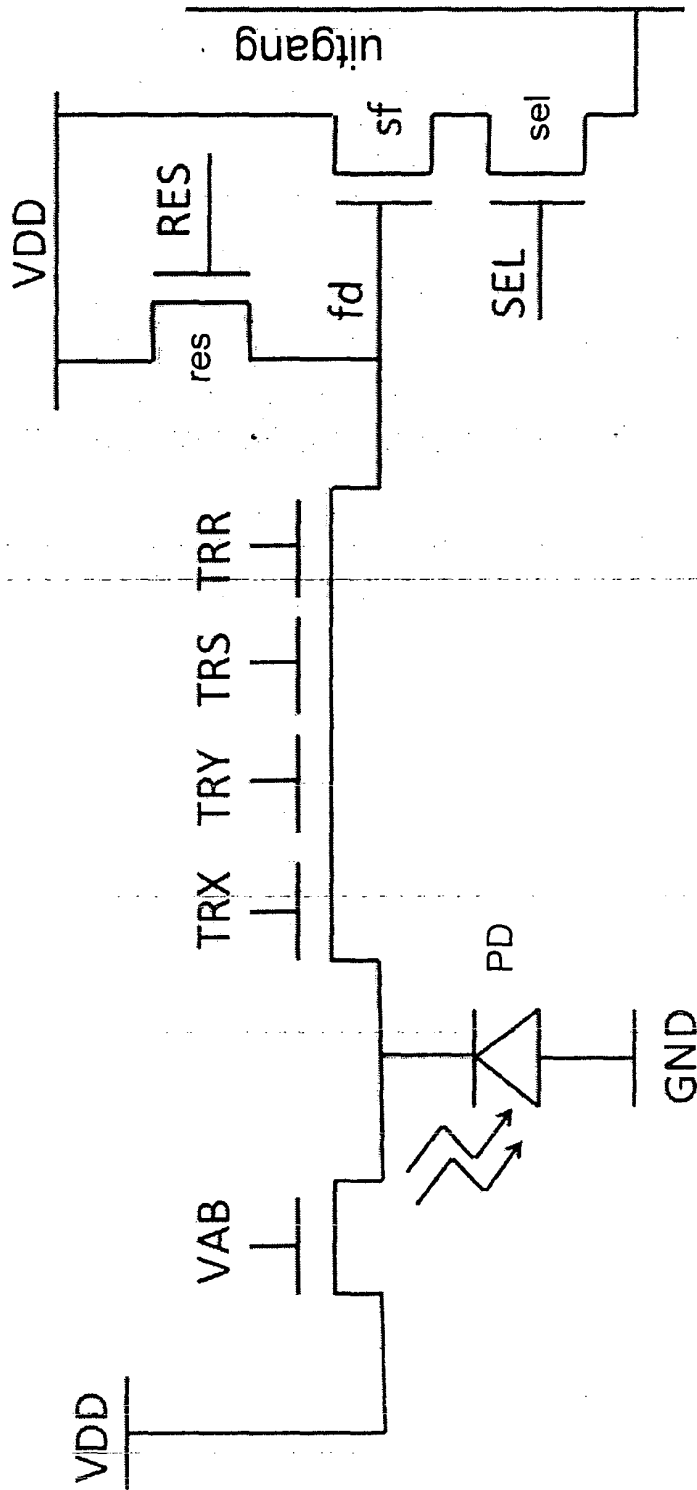


Fig. 19

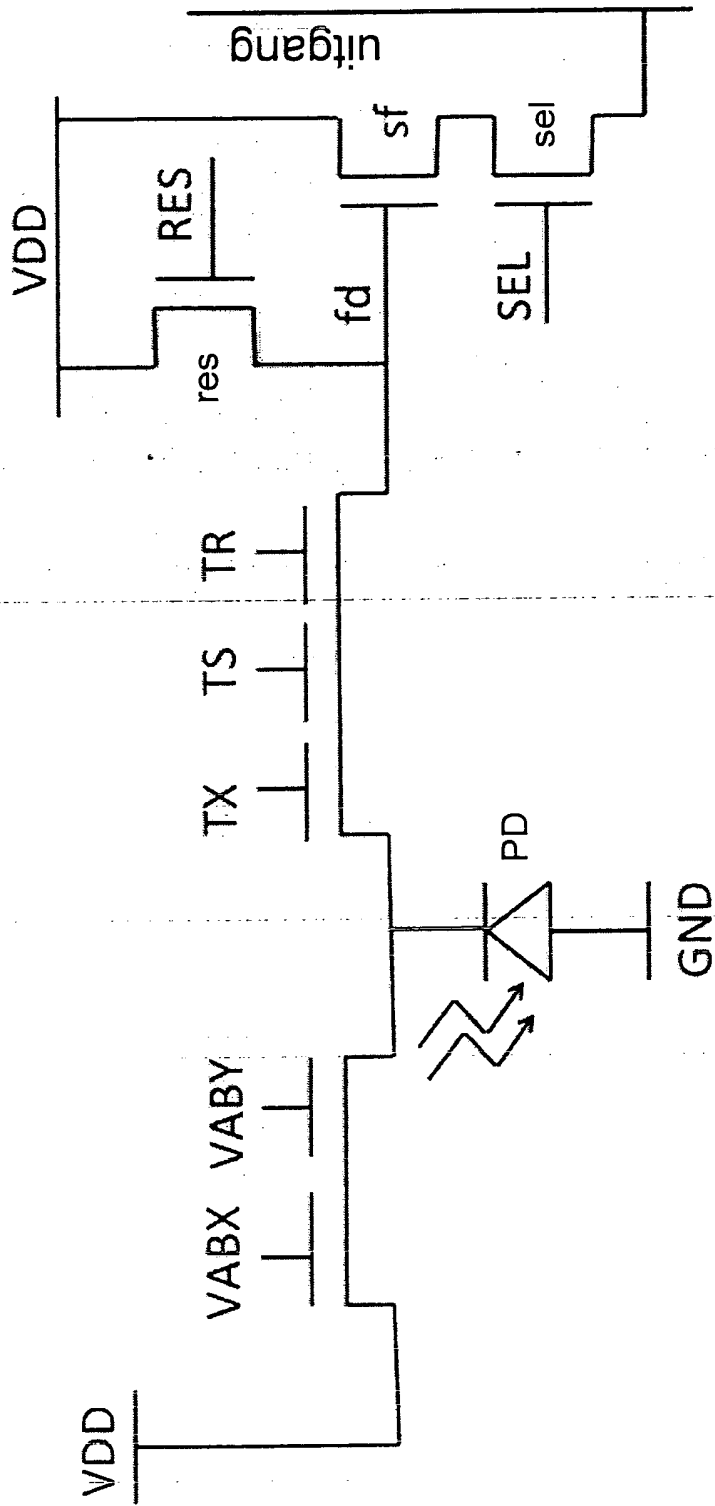


Fig. 20

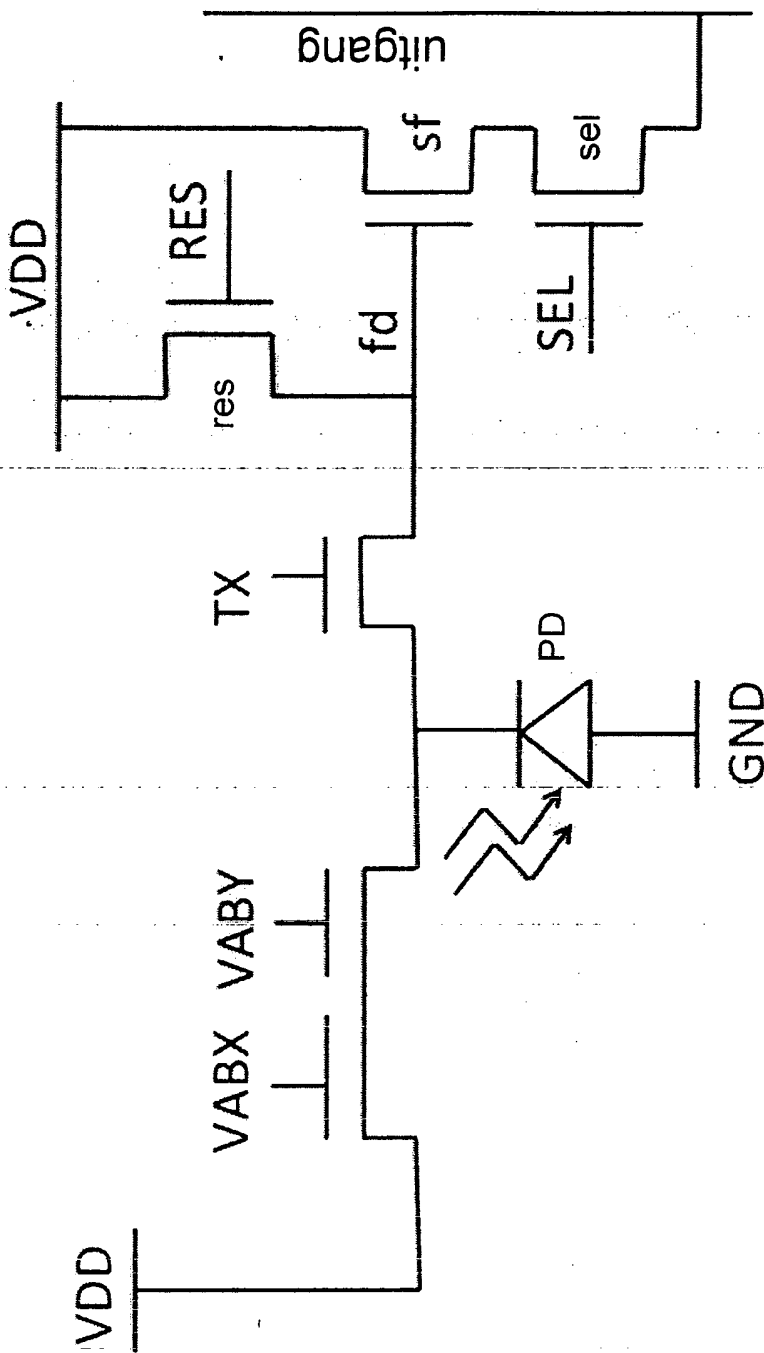


Fig. 21

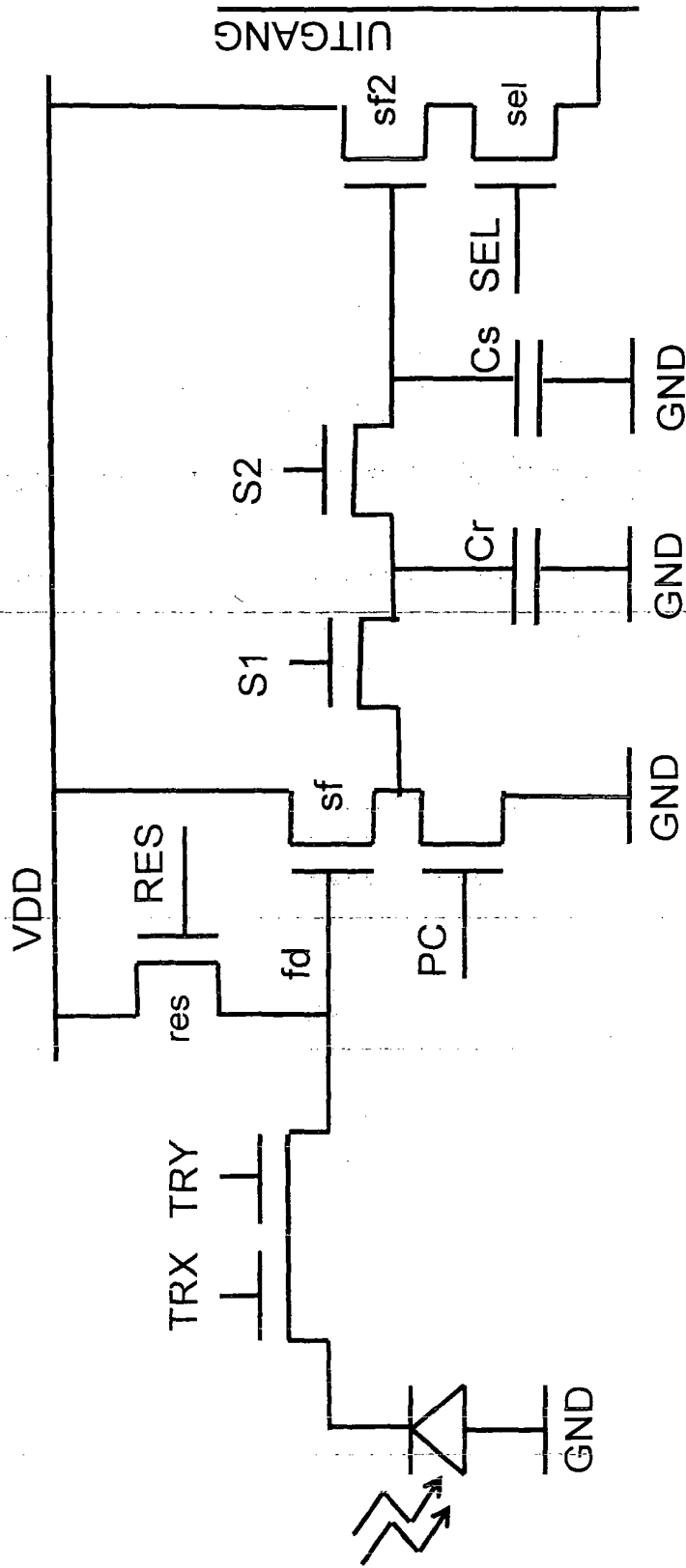


Fig. 22

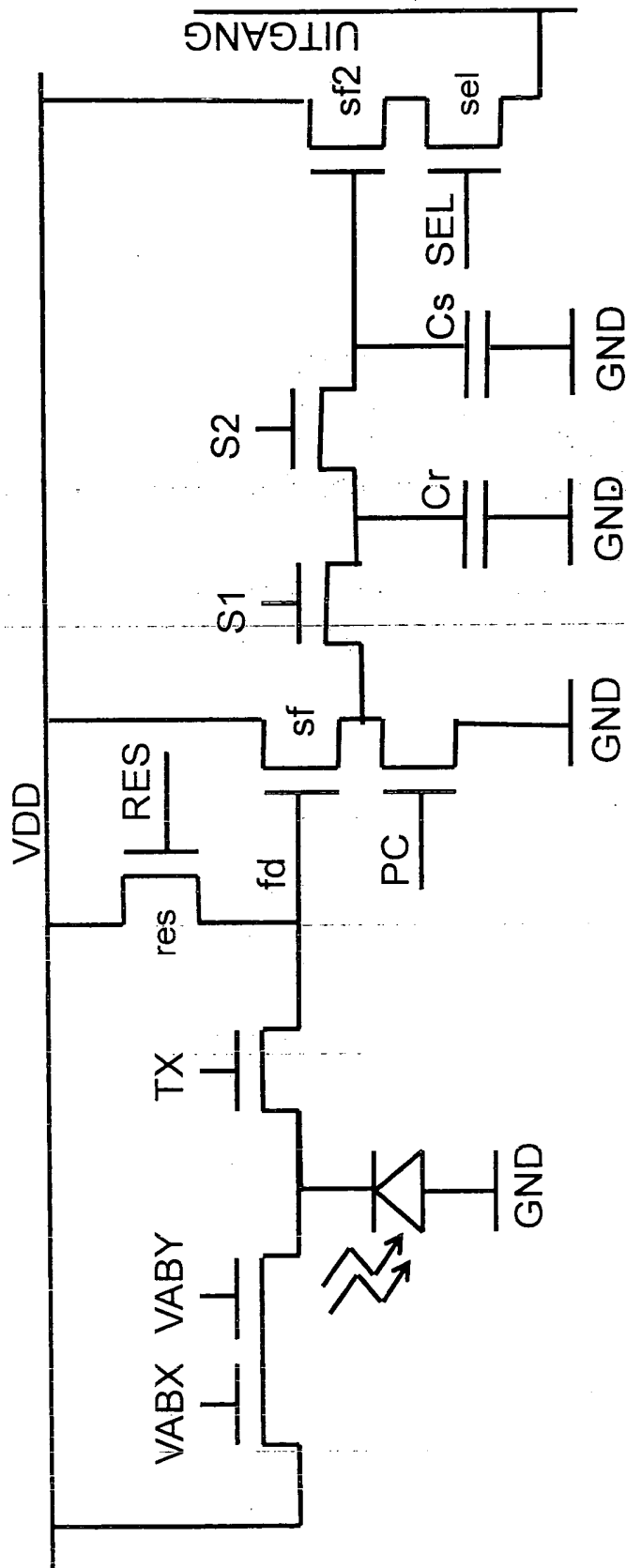


Fig. 23

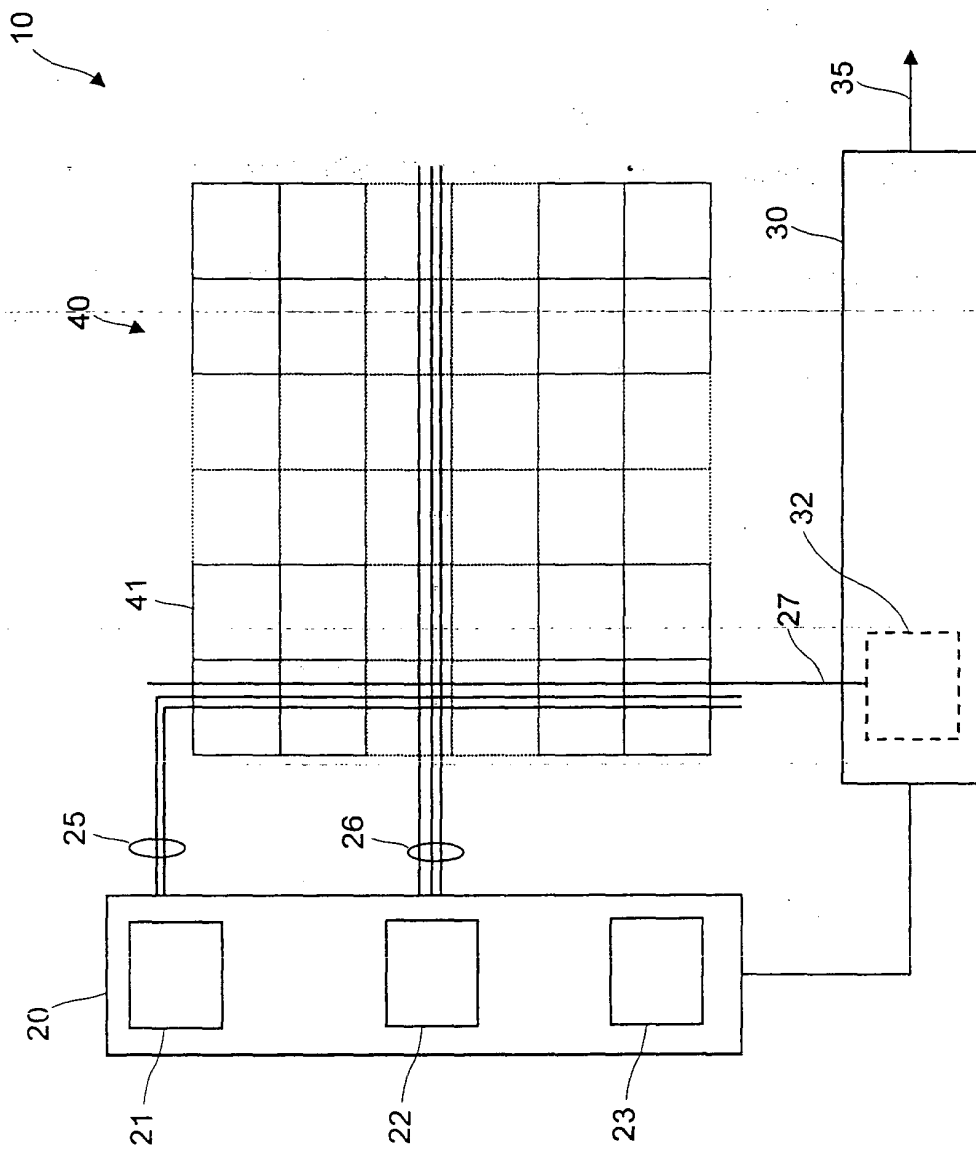


Fig. 24

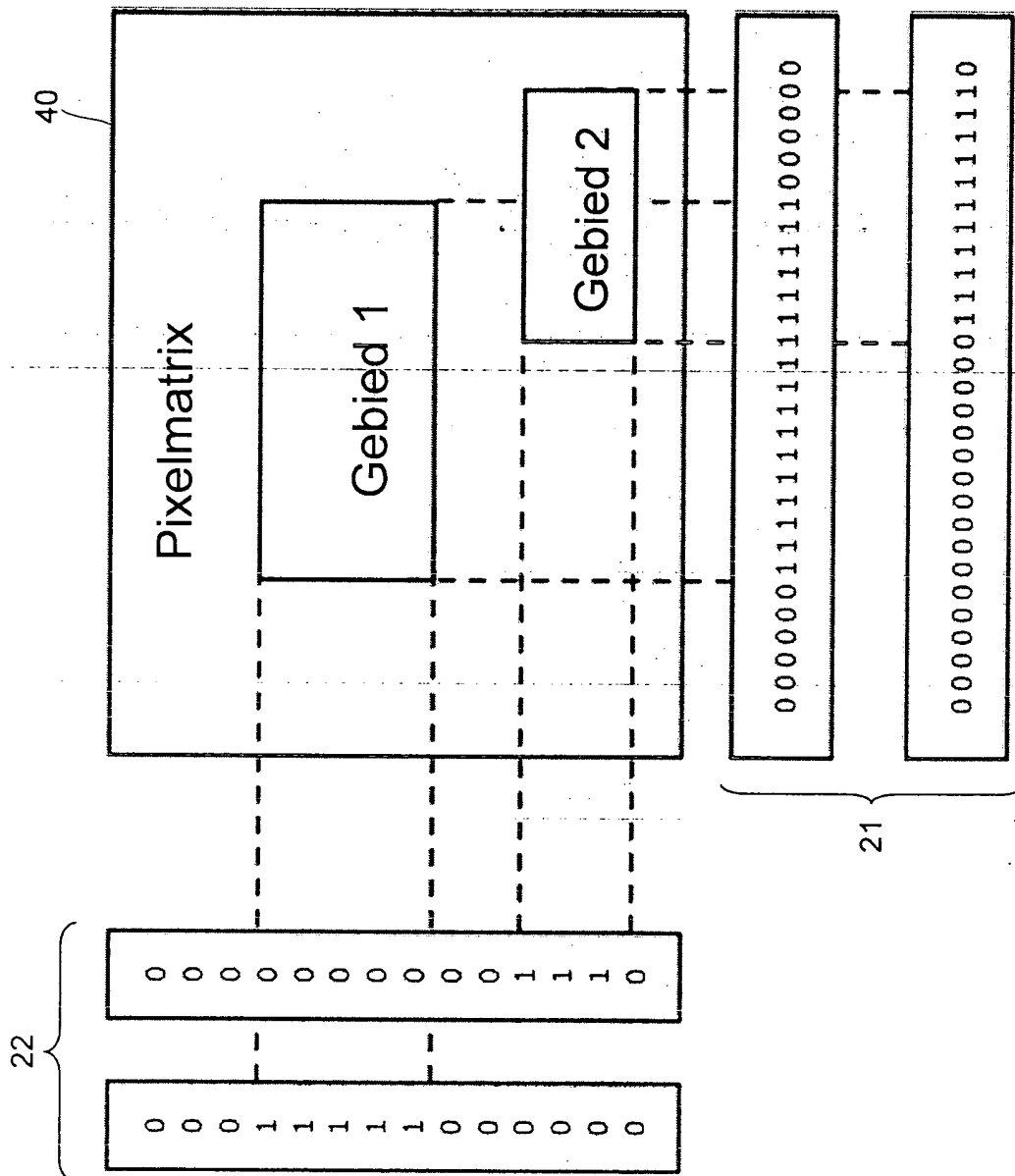


Fig. 25

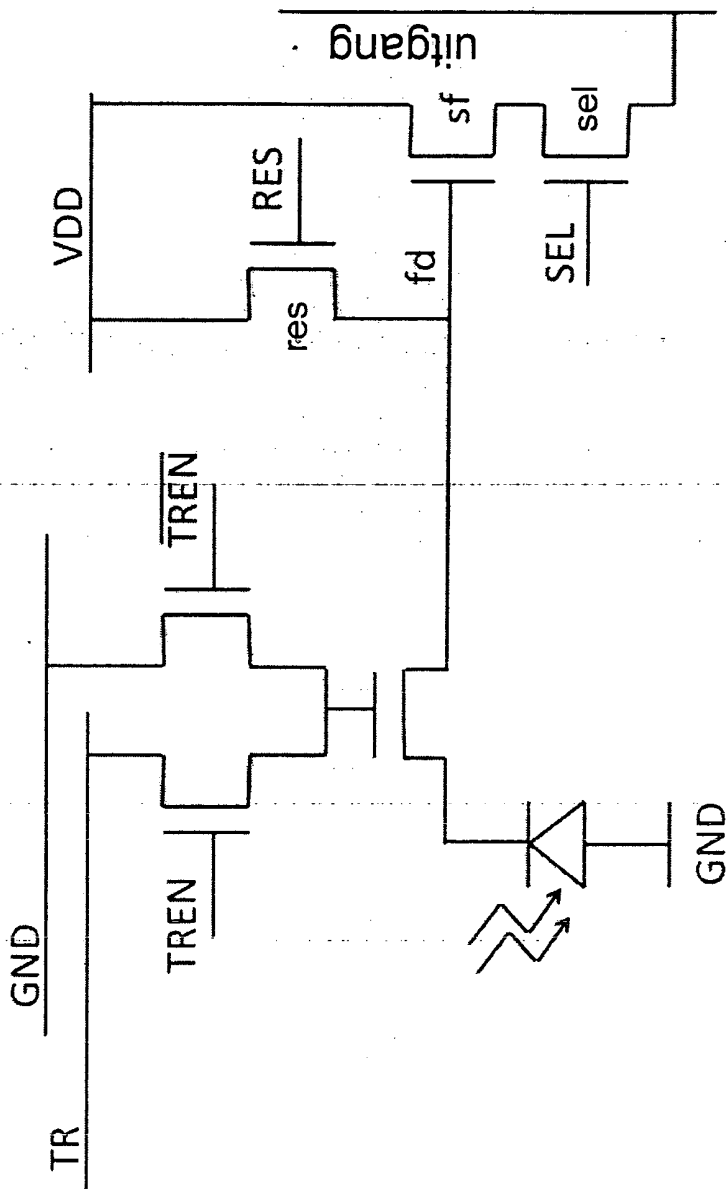


Fig. 26

27/27

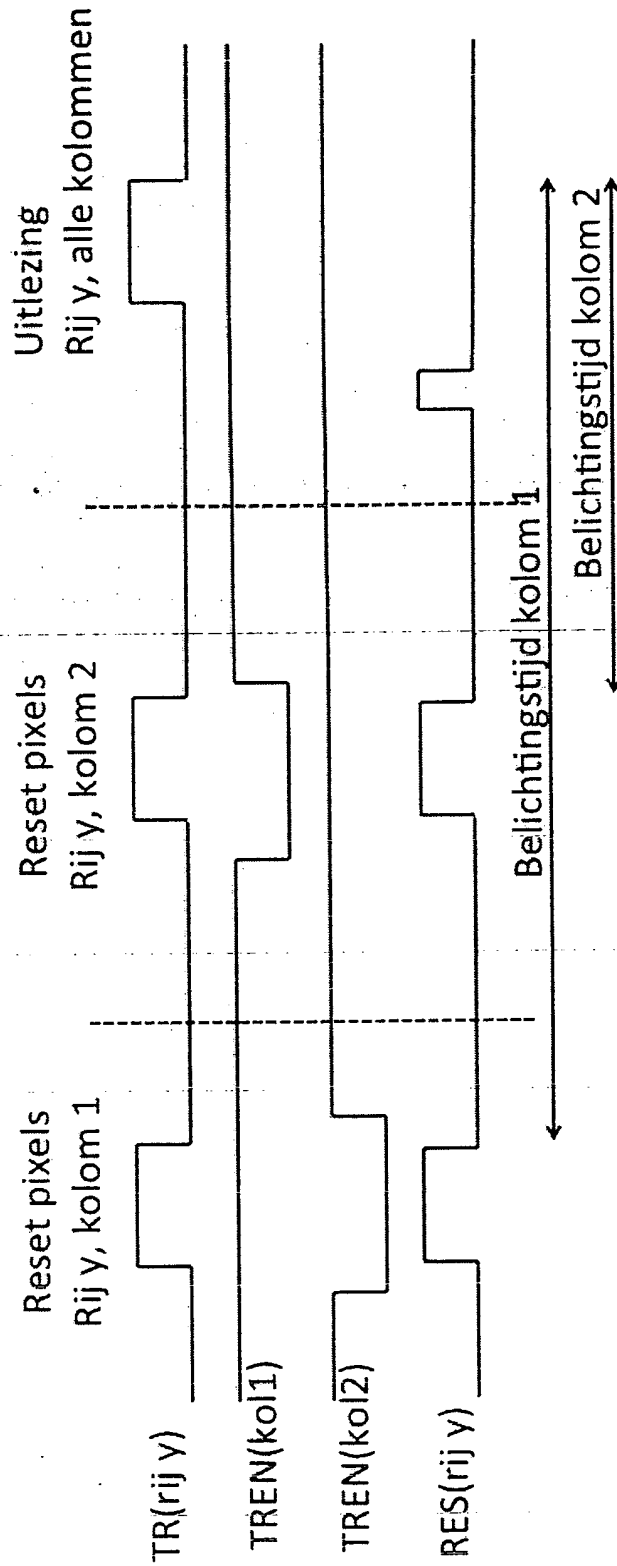


Fig. 27

SAMENVATTING**PIXEL MATRIX MET INDIVIDUELE CONTROLE VAN DE
5 BELICHTINGSTIJD VOOR EEN PIXEL OF EEN GEBIED VAN PIXELS**

10 Een pixelmatrix is beschreven omvattende een veelvoud aan pixel structuren. Elke pixelstructuur omvat een fotogevoelig element om lading te genereren als responsie op invallend licht en waarbij het fotogevoelig element een begraven fotodiode (ENG : “pinned photodiode”) omvat; een ladingsconversie element; een eerste transferpoort en een tweede transferpoort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element of tussen het fotogevoelige element en een voedingslijn; en een uitgangstrap.

15 Een eerste transferpoort controlelijn is verbonden aan de eerste transferpoorten van een eerste sub-set van de pixelstructuren in de matrix; en een tweede transferpoort controlelijn is verbonden aan de tweede transferpoorten van een tweede sub-set van de pixel structuren in de matrix. De eerste sub-set van pixelstructuren en de tweede sub-set van pixel structuren overlappen gedeeltelijk, en hebben ten minste één pixelstructuur gemeenschappelijk.

20

(Figuur 2)



Nummer van de nationale aanvraag:

VERSLAG BETREFFENDE HET ONDERZOEK

opgesteld krachtens artikel 21 § 1 en 2 van de Belgische wet op de uitvindingsoctröoien van 28 maart 1984

BO 10500
BE 201200442

VAN BELANG ZIJNDE LITERATUUR			
Categorie	Vermelding van literatuur met aanduiding voor zover nodig, van speciaal van belang zijnde tekstgedeelten of tekeningen	Van belang voor conclusie(s)Nr.:	CLASSIFICATIE VAN DE AANVRAAG (IPC)
X	US 2008/291304 A1 (OTA KEISUKE [JP] ET AL) 27 november 2008 (2008-11-27) * alinea [0035]; figuren 2,6 * * alinea [0041] * * alinea [0065] - alinea [0066] * -----	1-18	INV. H04N5/345 H04N5/353 H04N5/3745 H01L27/146
X	US 2009/059049 A1 (OHYAMA TATSUSHI [JP] ET AL) 5 maart 2009 (2009-03-05) * alinea [0008]; figuren 4,5,21 * -----	1-18	
A	US 2010/007780 A1 (NISHIHARA TOSHIYUKI [JP]) 14 januari 2010 (2010-01-14) * alineas [0008], [0013]; figuren 4,15 * -----	1-18	
A	US 2010/141792 A1 (ARAI KIMITAKA [JP]) 10 juni 2010 (2010-06-10) * alineas [0237] - [0258]; figuren 20,22 * -----	1-18	
A	ORLY YADID-PECHT ET AL: "CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, deel 32, nr. 2, 1 februari 1997 (1997-02-01), XP011060425, ISSN: 0018-9200 * het gehele document * -----	1-18	ONDERZOCHE GEBIEDEN VAN DE TECHNIEK (IPC) H04N
Datum waarop het onderzoek werd voltooid		Vooronderzoeker	
10 april 2013		Zakharian, Andre	
CATEGORIE VAN DE VERMELDE LITERATUUR			
X : op zichzelf van bijzonder belang Y : van bijzonder belang in samenhang met andere documenten van dezelfde categorie A : achtergrond van de stand van de techniek O : verwijzend naar niet op schrift gestelde stand van de techniek P : literatuur gepubliceerd tussen voorrangs- en indieningsdatum		T : niet tijdig gepubliceerde literatuur over theorie of principe ten grondslag liggend aan de uitvinding E : eerdere octrooipublicatie maar gepubliceerd op of na indieningsdatum D : in de aanvraag genoemd L : om andere redenen vermelde literatuur & : lid van dezelfde octrooifamilie, corresponderende literatuur	

1

EOB FORM 02.83 (P04C47)

**AANHANGSEL BEHORENDE BIJ HET RAPPORT BETREFFENDE
HET ONDERZOEK NAAR DE STAND VAN DE TECHNIEK,
UITGEVOERD IN DE BELGISCHE OCTROOIAANVRAGE NR.**

B0 10500
BE 201200442

Het aanhangsel bevat een opgave van elders gepubliceerde octrooiaanvragen of octrooien (zogenaamde leden van dezelfde octrooifamilie), die overeenkomen met octrooischriften genoemd in het rapport.

De opgave is samengesteld aan de hand van gegevens uit het computerbestand van het Europees Octrooibureau per
De juistheid en volledigheid van deze opgave wordt noch door het Europees Octrooibureau, noch door de Octrooiraad gegarandeerd ;
de gegevens worden verstrekt voor informatiedoeleinden.

10-04-2013

In het rapport genoemd octrooigeschrift	Datum van publicatie	Overeenkomend(e) geschrift(en)	Datum van publicatie
US 2008291304 A1	27-11-2008	CN 101262552 A	10-09-2008
		JP 2008219594 A	18-09-2008
		US 2008291304 A1	27-11-2008
		US 2011058079 A1	10-03-2011
US 2009059049 A1	05-03-2009	GEEN	
US 2010007780 A1	14-01-2010	CN 101626461 A	13-01-2010
		JP 2010021697 A	28-01-2010
		US 2010007780 A1	14-01-2010
US 2010141792 A1	10-06-2010	JP 2010136205 A	17-06-2010
		US 2010141792 A1	10-06-2010



SCHRIFTELIJKE OPINIE

Dossier Nummer BO10500	Indieningsdatum (<i>dag/maand/jaar</i>) 29.06.2012	Vorrangsdatum (<i>dag/maand/jaar</i>) 30.06.2011	Aanvraagnummer BE201200442
Classificatie (IPC) INV. H04N5/345 H04N5/353 H04N5/3745 H01L27/146			
Aanvrager CMOSIS nv			

Deze schriftelijke opinie bevat een toelichting en de corresponderende pagina's met betrekking tot de volgende onderdelen:

- Onderdeel I Basis van schriftelijke opinie
- Onderdeel II Voorrang
- Onderdeel III Formulering van een opinie inzake nieuwheid, inventiviteit en industriële toepasbaarheid niet mogelijk
- Onderdeel IV De aanvraag heeft betrekking op meer dan één uitvinding
- Onderdeel V Gemotiveerde verklaring ten aanzien van nieuwheid, inventiviteit en industriële toepasbaarheid; citaten en explicaties ter ondersteuning van deze verklaring
- Onderdeel VI Bepaalde geciteerde documenten
- Onderdeel VII Gebreken in de aanvraag
- Onderdeel VIII Opmerkingen betreffende de aanvraag

	De Examinator Zakharian, Andre
--	-----------------------------------

Onderdeel I Basis van de opinie

1. Deze opinie is opgesteld op basis van de conclusies ingediend voor aanvang van het onderzoek.
2. Met betrekking tot **nucleotide en/of aminozuur sequenties** die, in voorkomend geval, genoemd worden in de aanvraag, is deze opinie opgesteld op basis van de volgende elementen:
 - a. Aard van het element:
 - een lijst van de sequentie(s)
 - tabel(len) met betrekking tot de lijst van de sequentie(s)
 - b. Type drager:
 - op papier
 - in elektronische vorm
 - c. Moment van indiening of levering:
 - opgenomen in de aanvraag zoals ingediend
 - samen met de aanvraag elektronisch ingediend
 - later geleverd
3. Bovendien, wanneer er mer dan één versie of kopie van een sequentielijst of van één of meerdere tabellen die er betrekking op hebben, werd ingediend, zijn de benodigde verklaringen ingediend, dat de informatie, die later of bij wijze van aanvullende kopieën werd geleverd naar gelang het geval, identiek is aan diegene die oorspronkelijk werd geleverd en niet verder gaat dan de openbaarmaking in de internationale aanvraag zoals oorspronkelijk ingediend.
4. Aanvullende opmerkingen:

Onderdeel V Gemotiveerde verklaring ten aanzien van nieuwheid, inventiviteit en industriële toepasbaarheid; citaten en explicaties ter ondersteuning van deze verklaring

1. Verklaring

Nieuwheid	Ja: Conclusies 2-15, 18
	Nee: Conclusies 1, 16, 17
Inventiviteit	Ja: Conclusies
	Nee: Conclusies 1-18
Industriële toepasbaarheid	Ja: Conclusies 1-18
	Nee: Conclusies

2. Citaten en explicaties:

Zie apart blad

Re Item V

Reasoned statement with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1 Reference is made to the following document:

D1 US 2008/291304 A1 (OTA KEISUKE [JP] ET AL) 27 november 2008
(2008-11-27)

2 The present application does not meet the criteria of patentability, because the subject-matter of claims 1, 16 and 17 is not new.

With respect to claim 1, D1 discloses:

Een pixelmatrix omvattende:

een meervoud aan pixelstructuren (*see figure 3, pixel region 121*), elke pixelstructuur omvattende:

een fotogevoelig element om lading te genereren als responsie op invallend licht (*figure 6, element PD*);

een ladingsconversie element (*transistor MSFM, figure 6*);

een eerste transfer poort en een tweede transfer poort in serie verbonden tussen het fotogevoelige element en het ladingsconversie element (*transistors MTX and MVX connected in series between the photodiode PD and the source follower transistor MSFM, figure 6. It is noted here, that this constellation of connection of the two transistors is one of the two alternatives currently defined in claim 1*)

of tussen het fotogevoelige element en een voedingslijn (*this second alternative is apparently directed to the embodiment of figure 20 of the application as filed, in which transistors VABX and VABY are connected in series between the power supply line VDD and the photodiode PD. With respect to the embodiment of figure 20 it is submitted that the problem solved by the two transistors VABX and VABY is not sufficiently explained in the application as filed. While for the embodiment of the first alternative shown in figure 2 it is clear from the timing diagram of figure 3 that the problem solved is to control the exposure time for different pixel subsets in the array 40 of figure 4 independently, the problem solved by the transistors VABX and VABY is not precisely mentioned. Nor is the control timing for the gates of the transistors VABX and*

VABY explained in detail so as to help to clarify this issue. For the time being, because the problem solved by the transistors VABX and VABY is unclear, the technical effect of the second alternative is considered void. Consequently, the second alternative of the transistors VABX and VABY is not considered inventive.

een uitgangstrap (*see line Vh, figure 6*);

een eerste transferpoort controlelijn verbonden aan de eerste transferpoorten (*see line TX of figure 6*), van een eerste sub-set van pixeistructuren in de matrix (*unclear and therefore ignored, see reasoning in §3 of the present opinion*);

een tweede transferpoort controlelijn verbonden aan de tweede transferpoorten (*see line VX of figure 6*) van een tweede sub-set van pixeistructuren in de matrix (*unclear and therefore ignored, see reasoning in §3 of the present opinion*),

waarbij de eerste sub-set van pixeistructuren en de tweede sub-set van pixeistructuren gedeeltelijk overlappen, en ten minste één pixelstructuur gemeenschappelijk hebben (*unclear and therefore ignored, see reasoning in §3 of the present opinion*).

Because all the features directed to the 1st alternative of claim 1 can be found in D1, claim 1 lacks novelty over D1. The same reasoning applies mutatis mutandis to the independent method 17, which is thereby not new, either.

Independent apparatus claim 16 differs from claim 1 only in that it defines some control logic for driving the gates of the transfer transistors. With respect to this feature it is submitted that D1 must contain the logic in order to drive the gates of the transfer transistors MTX and MVX in figure 6. Consequently, claim 16 is not novel over D1, either.

- 3 Independent claims 1, 16 and 17, lack of support in the description (clarity issues)

The term "*een eerste sub-set van pixeistructuren in de matrix*" and "*een tweede sub-set van pixeistructuren in de matrix*" in combination with the term "*pixeistructuren*" which "*gedeeltelijk overlappen, en ten minste één pixelstructuur gemeenschappelijk hebben*" is unclear in the sense that the above claimed structure does not correspond to the one which is actually disclosed in the first embodiment.

The Examiner understands that all the pixels have the same structure and have two control lines for the two transfer transistors TRX and TRY (see figure 2 of the application) which are controlled differently for some two subsets of the pixel matrix, one of the subsets being corresponding to the entirety of pixels in the regions 42 of figure 4 and the other subset being represented by the remaining pixels of the array 40 of figure 4.

The definitions of the claims define a pixel structure and two subsets wherein the pixel structures used in the the subsets other than the one common pixel structure element for all two subsets, as already defined in the independent claims, is not defined. Should the missing pixel structure be different from the already disclosed, then the independent claims would lack support in the description and the application as such would lack the disclosure for the different pixel structure. If all the pixel elements have the same structure which is defined in the claim, then the meaning of the two subsets as claimed becomes obscure because there is then only one subset with so connected transfer electrodes, the one subset enclosing the entirety of the pixels in the imaging array.

The Examiner's opinion is that the claims should be reformulated in order to simply reflect the structure of figure 2.

- 4 However, it appears that the idea underlying both the application and D1 is the same, to control the exposure time independently for some different regions (which can be as small as one pixel) of the imaging array. In the application this problem is acknowledged on page 2 lines 2-10. In D1 this problem is mentioned in paragraph 64 and solved by the random access pixel cell of figure 6.

Moreover, the same problem is also mentioned in document D2, paragraph 8 and is solved by means of the same pixel cell structure as defined by claim 1 of the application and shown in figure 4 of D2.

- 5 In view of both: the above mentioned lack of clarity for independent claims 1, 16 and 17 explained in paragraph 3 and the general appreciation of the application given in paragraph 4 of the present opinion, it is not possible to present a positive opinion for the dependent claims 2-18 which thereby do not contain any features which, in combination with the features of any claim to which they refer, meet the requirements of novelty and/or inventive step.