



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월27일
(11) 등록번호 10-1215964
(24) 등록일자 2012년12월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1333 (2006.01)
(21) 출원번호 10-2009-0121626
(22) 출원일자 2009년12월09일
심사청구일자 2010년12월09일
(65) 공개번호 10-2010-0068196
(43) 공개일자 2010년06월22일
(30) 우선권주장
JP-P-2008-317286 2008년12월12일 일본(JP)
JP-P-2009-222514 2009년09월28일 일본(JP)
(56) 선행기술조사문헌
KR1020080087744 A*
KR1020080103572 A
KR1020070090182 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고
(72) 발명자
우에다 미키
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논 가부시끼가이샤 나이
이와사키 타쓰야
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논 가부시끼가이샤 나이
(뒷면에 계속)
(74) 대리인
권태복

전체 청구항 수 : 총 13 항

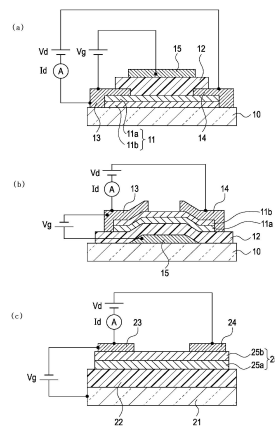
심사관 : 설관식

(54) 발명의 명칭 전계 효과형 트랜지스터 및 표시장치

(57) 요약

적어도 반도체층과 상기 반도체층에 대하여 게이트 절연막을 거쳐서 설치된 게이트 전극을 구비한 전계 효과형 트랜지스터이며, 상기 반도체층은, Zn과 In의 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제1 아모퍼스 산화물 반도체층과, Ge 및 Si의 그룹으로부터 선택된 적어도 1개의 원소와, Zn 및 In의 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제2 아모퍼스 산화물 반도체층을 포함하는 전계 효과형 트랜지스터. 상기 제1 아모퍼스 산화물 반도체층과, 상기 제2 아모퍼스 산화물 반도체층은 조성이 다르다.

대표도 - 도1



(72) 발명자

이타가키 나호

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

고알 아미타

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

특허청구의 범위

청구항 1

반도체층; 및

상기 반도체층에 대하여 게이트 절연층을 거쳐서 설치된 게이트 전극을 구비한 전계 효과형 트랜지스터로서,

상기 반도체층은, Zn 과 In 으로 이루어진 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제1 아모퍼스 산화물 반도체층과, Ge 와 Si 로 이루어진 그룹으로부터 선택된 적어도 1개의 원소와, Zn 과 In 으로 이루어진 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제2 아모퍼스 산화물 반도체층을 포함하는, 전계 효과형 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 제1 아모퍼스 산화물 반도체층은, Zn 과 In 을 포함하고,

상기 제2 아모퍼스 산화물 반도체층은, Zn , In 및 Ge 를 포함하는, 전계 효과형 트랜지스터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1 아모퍼스 산화물 반도체층이 상기 게이트 절연층과 상기 제2 아모퍼스 산화물 반도체층과의 사이에 설치되는, 전계 효과형 트랜지스터.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제2 아모퍼스 산화물 반도체층에 포함되는 Ge 의 조성비, $Ge/(In+Zn+Ge)$ 가, 0.01이상 0.4이하인, 전계 효과형 트랜지스터.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제2 아모퍼스 산화물 반도체층에 포함되는 Ge 의 조성비, $Ge/(In+Zn+Ge)$ 가, 0.03이상 0.15이하인, 전계 효과형 트랜지스터.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제1 아모퍼스 산화물 반도체층에 포함되는 Zn 의 조성비, $Zn/(In+Zn)$ 이 0.3이상 0.75미만인, 전계 효과형 트랜지스터.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제1 아모퍼스 산화물 반도체층에 포함되는 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 이 0.4미만인, 전계 효과형 트랜지스터.

청구항 8

제 2 항에 있어서,

상기 제1 아모퍼스 산화물 반도체층에 포함되는 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 과 상기 제2 아모퍼스 산화물 반도체층에 포함되는 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 이 동일한, 전계 효과형 트랜지스터.

청구항 9

제 1 항, 제 2 항 또는 제 8 항 중 어느 한 항에 있어서,

상기 제2 아모퍼스 산화물 반도체층의 일부가 소스 전극 또는 드레인 전극과 상기 제1 아모퍼스 산화물 반도체층과의 사이에 설치되는, 전계 효과형 트랜지스터.

청구항 10

제 1 항, 제 2 항 또는 제 8 항 중 어느 한 항에 있어서,

상기 게이트 절연층은, 실리콘 산화물로 이루어진, 전계 효과형 트랜지스터.

청구항 11

반도체층; 및

상기 반도체층에 대하여 게이트 절연막을 거쳐서 설치된 게이트 전극을 구비한, 박막 트랜지스터인 전계 효과형 트랜지스터로서,

상기 반도체층은, Z_n 과 I_n 으로 이루어진 그룹으로부터 선택된 적어도 1개의 원소를 각각 포함하는 제1 및 제2 아모퍼스 산화물 반도체층으로 이루어지고,

상기 제1 아모퍼스 산화물 반도체층에 포함된 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 은, 상기 제2 아모퍼스 산화물 반도체층에 포함된 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 보다도 작고,

상기 제1 아모퍼스 산화물 반도체층은, 상기 게이트 절연층과 상기 제2 아모퍼스 산화물 반도체층과의 사이에 설치되고,

상기 제1 및 제2 아모퍼스 산화물 반도체층은 In-Zn-O 박막이고,

상기 제1 아모퍼스 산화물 반도체층에 포함된 Z_n 의 조성비, $Z_n/(I_n+Z_n)$ 은, 0.43 이상 0.75 미만의 범위인, 전계 효과형 트랜지스터.

청구항 12

청구항 1, 2, 8 또는 11 중 어느 한 항에 따른 전계 효과형 트랜지스터의 제조 방법으로서,

제1 아모퍼스 산화물 반도체층을 형성하는 제1 단계; 및

제2 아모퍼스 산화물 반도체층을 형성하는 제2 단계를 포함하고,

상기 제1 아모퍼스 산화물 반도체층을 형성하는 제1 단계와 상기 제2 아모퍼스 산화물 반도체층을 형성하는 제2 단계가 동일한 장치내에서 실시되고,

상기 제1 아모퍼스 산화물 반도체층을 형성하는 제1 단계와 상기 제2 아모퍼스 산화물 반도체층을 형성하는 제2 단계를 통해서 상기 장치내의 압력이 300 Pa 이하의 진공분위기, 또는 대기압 이하의 불활성 가스 분위기에 유지되는, 전계 효과형 트랜지스터의 제조 방법.

청구항 13

청구항 1, 2, 8 또는 11 중 어느 한 항에 따른 전계 효과형 트랜지스터; 및

상기 전계 효과형 트랜지스터에 의해 구동되는 유기 EL 소자를 구비한, 표시장치.

청구항 14

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 아모퍼스(amorphous) 산화물 반도체를 포함하는 전계 효과형 트랜지스터에 관한 것이다. 특히, 본 발명은, 유기 일렉트로루미네센스(electroluminescence) 디스플레이, 무기 일렉트로루미네센스 디스플레이 또는 액정 디스플레이 등의 표시장치에 사용된 전계 효과형 트랜지스터에 관한 것이다.

배경 기술

[0002] 산화물 반도체를 포함하는 전계 효과형의 하나인 박막트랜지스터(TFT)는, 유기 EL 디스플레이나 액정 디스플레이, 페이퍼형 디스플레이 등의 구동용 소자로서 주목을 모으고 있다.

[0003] 특히, 산화물 반도체를 포함하는 TFT는, 큰 전계 효과 이동도와 아울러, 저온에서 형성될 가능성 및 투명한 것의 특징을 이용하여, 디스플레이뿐만 아니라 보다 넓은 범위 용도에 응용도 기대된다.

[0004] 예를 들면, 채널층에 In-Ga-Zn-O계(In, Ga 및 Zn을 함유하는 산화물계)의 아모퍼스 산화물을 사용한 박막트랜지스터가 알려져 있다.

[0005] 미국 특허공개 공보 US2008/0191204에는, 플라즈마에 의한 특성열화를 감소하기 위해서, 2중층 구조의 채널층을 적용한 박막트랜지스터가 보고되어 있다.

발명의 내용

해결 하고자하는 과제

[0006] 그러나, 산화물 재료를 포함하는 TFT를 산업계에서 사용하기 위해서는, 고성능과 아울러, 큰 기판면적에 대하여 소자특성의 변동을 감소시키는 것이 필요하다.

[0007] 소자특성의 변동을 감소시키기 위해서는, TFT의 채널층을 구성하는 반도체층의 조성 변동에 의해 보이는 특성 변동이 작은 것, 즉 소자특성의 조성 의존성이 작은 것을 원한다. 이러한 조성 의존성이 작은 소자를 적용하면, 균일성이 높은 TFT 어레이 기판을 비교적 용이하게 얻을 수 있다. 이것은, 디스플레이와 다른 용도에 있어서, 제조 비용의 관점에서 대단히 유리하다.

[0008] 또한, 높은 성능을 갖는 TFT는, 액티브 매트릭스 유기 발광 다이오드(AMOLED)의 구동 TFT 및 스위칭 TFT에 사용하는 것이 가능해진다.

과제 해결수단

[0009] 본 발명의 제1 측면은, 적어도 반도체층과, 상기 반도체층에 대하여 게이트 절연층을 거쳐서 설치된 게이트 전극을 구비한 전계 효과형 트랜지스터를 제공하고, 상기 반도체층은, Zn과 In의 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제1 아모퍼스 산화물 반도체층; 및 Ge 및 Si의 그룹으로부터 선택된 적어도 1개의 원소와, Zn 및 In의 그룹으로부터 선택된 적어도 1개의 원소를 갖는 제2 아모퍼스 산화물 반도체층을 포

함한다.

[0010] 또한, 본 발명의 제2 측면은, 본 발명에 따른 박막트랜지스터와, 상기 박막트랜지스터에 의해 구동되는 유기 발광 다이오드를 포함한다.

효 과

[0011] 본 발명의 측면들에 의하면, 채널층에 본 발명의 특정한 적층구성을 적용하므로, 전기적 특성이 뛰어나고, 또한, 조성 변동에 대한 특성변화가 작은 TFT를 실현할 수 있다.

[0012] 본 발명의 또 다른 특징들은, 첨부된 도면들을 참조하여 아래의 예시적 실시예들의 설명으로부터 명백해질 것이다.

발명의 실시를 위한 구체적인 내용

[0013] 본 발명자들은 전계 효과형 트랜지스터의 채널에 대한 재료로서의 역할을 아모퍼스 산화물 반도체를 특별히 언급했고, 집중적인 연구를 행하였다. 특히, 본 발명자들은, $Zn-In-O$ 계의 채널층을 가진 TFT의 조성 의존성을 작게 하는 것을 목적으로, 집중적인 연구를 했다. 그 결과, 아모퍼스 $Zn-In-O$ 계 막과 아모퍼스 $Zn-In-Ge$ (혹은 Si)- O 계 막을 적층한 채널층을 사용할 수 있었다는 것을 알았다.

[0014] 본 발명의 측면들에 있어서, $Zn-In-O$ 계 막이란, Zn 과 In 으로 이루어진 그룹으로부터 선택되는 적어도 1개의 원소를 포함하는 산화물 반도체막을 의미한다. 또한, $Zn-In-Ge$ (혹은 Si)- O 계 막이란, Zn , In 및 Ge 로 이루어진 그룹으로부터 선택되는 적어도 1개의 원소를 포함하는 산화물 반도체막, 또는 Zn , In 및 Si 로 이루어진 그룹으로부터 선택되는 적어도 1개의 원소를 포함하는 산화물 반도체막을 의미한다.

[0015] 본 발명의 측면들에 있어서, 채널층에 상기의 적층구성을 적용함으로써, $In-Ga-Zn-O$ 의 단층으로 형성된 채널이나 $In-Ge-Zn-O$ 의 단층으로 형성된 채널을 사용하는 경우와 비교하여, 전계 효과 이동도가 상대적으로 큰 TFT를 얻을 수 있다. 구체적으로는, $In-Ga-Zn-O$ 단층의 구성에 대한 전계 효과 이동도는 약 $10\text{cm}^2/\text{Vs}$ 인 반면에, 본 발명의 측면들에 따른 적층구성의 채널을 가진 TFT에 대해서는 $20\text{cm}^2/\text{Vs}$ 이상의 전계 효과 이동도를 얻을 수 있다. 도 4에는, 본 발명의 측면들에 따른 TFT의 전계 효과 이동도가 그래프로 도시되어 있다.

[0016] 또한, 본 발명의 측면들에 있어서, 채널층에 상기의 적층구성을 적용함으로써, $In-Zn-O$ 단층으로 형성된 채널을 사용한 경우와 비교하여, 조성 변동으로 인한 특성변화가 작은 것을 나타내는 TFT를 실현할 수 있다. 본 발명자들은, $In-Zn-O$ 단층으로 형성된 채널을 사용한 경우에는, $In:Zn=4:6$ 근방에서 양호한 스위칭 특성을 얻었고, 특성의 $In:Zn$ 비 의존성이 존재하는 것을 보고하고 있다(Phys. stat. sol. (a), 1-5(2008)). 본 발명의 측면들에 따른 적층구성을 적용함으로써, 보다 넓은 $In:Zn$ 비에 대하여, 양호한 스위칭 특성을 얻을 수 있다. 도 3에는 온, 오프 전류비의 조성 의존성이 도시되어 있다. 도 3에 있어서, 흰 삼각형은 $In-Zn-O$ 단층으로 형성된 채널을 사용했을 경우이며, 검은 사각은 $Zn-In-O$ (제1층)과 $Zn-In-Ge-O$ (제2층)으로 이루어진 적층 채널을 사용했을 경우이다. 본 발명의 측면들에 따른 적층 채널을 포함하는 TFT가, 온, 오프 전류비의 조성 의존성이 보다 작은 것이 분명하다. 또한, 넓은 범위의 $In/(In+Zn)$ 값에 걸쳐 큰 온, 오프 전류비를 얻는 것이 분명하다.

[0017] 상기의 효과에 대한 이유는 반드시 명확하지 않지만, 이하에 고찰을 서술한다.

[0018] 본 발명의 국면들에 있어서, 전계 효과형 트랜지스터의 채널층으로서, 특정한 조성을 갖는 아모퍼스 산화물 반도체층을 적어도 2층의 적층구성을 채용하는 것이 중요하다. 먼저, 제1 아모퍼스 산화물 반도체층으로서 전자이동도가 높은 재료인 $Zn-In-O$ 막을 게이트 절연막에 접하는 층에 설치한다. 그 산화물 반도체층을 해당 위치에 설치하여서 큰 온(on) 상태의 전류, 즉 큰 전계 효과 이동도를 가능하게 하고 있다고 생각된다. 다음에, 제2 아모퍼스 산화물 반도체층으로서 $Zn-In-Ge-O$ 막을 상기 제1 아모퍼스 산화물 반도체막에 접해서 설치함으로써(적층함으로써), 대기나 진공등의 환경으로부터 $Zn-In-O$ 막을 보호해서 본래의 $Zn-In-O$ 막의 성능을 인출할 수 있다. 또한, 본 발명의 측면들에 따른 적층구성을 이용함으로써 양호한 계면특성, 반도체특성 및 추가로 전극과 채널간 전기 접촉을 가능하게 하고, 단층에 대해서는 실현하기 어려운 기능을 실현한다고 생각된다.

[0019] 여기에서는, 본 발명의 측면들에 따른 적층구성의 특징적 부분을 구성하고, 제2 아모퍼스 산화물 반도체

채층에 적용하는 $Zn-I n-Ge$ (또는 Si)-0막의 특징에 관하여 설명한다. 본 발명자들의 지견에 의하면, IV 족원소인 Ge 또는 Si 를 아모퍼스 산화물 반도체에 첨가하면, 캐리어 농도를 효과적으로 감소할 수 있다. 추가로, Ga (III족의 원소)와 비교하여, 비교적 소량의 Ge 또는 Si 의 첨가에 의해 캐리어 농도의 제어(증가 또는 감소)가 가능하다. 또한, 아모퍼스 산화물 반도체에 Ge 또는 Si 를 첨가함으로써 저항율을 비롯한 전기 물성의 환경(대기, 수분등)에 대한 안정성(외인에 의한 변화에 대한 내성)이 향상한다.

[0020] 이러한 특징을 가진 IV족 원소를 함유한 아모퍼스 산화물 반도체와, 고이동도라고 하는 특징을 가진 $Zn-I n-O$ 계 아모퍼스 산화물 반도체를 적층시켜서 적층구조를 형성하는 것이 본 발명의 특징적 부분이다. 특히, 제2 아모퍼스 산화물 반도체층에 $Zn-I n-O$ 계에 Ge 를 첨가한 $Zn-I n-Ge-O$ 계를 적용하고, $Zn-I n-O$ 계 아모퍼스 산화물 반도체를 적용한 구성을 선택함으로써, 제1 아모퍼스 산화물 반도체층과 제2 아모퍼스 산화물 반도체층간의 조성비의 차이가 작은 구성을 형성할 수 있다. 이러한 구성을 이용하는 경우에, 2개의 층의 사이에서 물질적인 성질의 연속성을 개선하고, 양질의 안정적인 계면을 실현할 수 있다. 그 양질의(전기적 결함이 적은) 계면을 실현할 수 있으므로, $Zn-I n-O$ 계 막의 고이동도라고 하는 특징을 유지한 채, 환경에 대한 안정성과 동작 안정성이 우수한 TFT를 실현할 수 있다.

[0021] 본 발명의 측면들에 따른 상기 채널층의 적층구성은, 제1 아모퍼스 산화물 반도체층을 제2 아모퍼스 산화물 반도체층에 의해 물리적으로 보호할 뿐만 아니라, 적층구조로 함으로써 전기적 특성(디바이스 특성)이, 단층의 경우보다도 크게 향상한다.

[0022] 또한, 본 발명의 측면들에 있어서, $Zn-I n-O$ 단층 채널과 같은 정도의 높은 전계 이동도(예를 들면, $20cm^2/Vsec$)를 얻는다. 이러한 사실에 의거하여도, 전계 이동도가 높은 재료인 $Zn-I n-O$ 막이 게이트 절연막에 접하고 있기 때문에, 큰 온 상태의 전류, 즉 큰 전계 효과 이동도를 가능하게 하고 있다고 생각된다.

[0023] 이 결과, 전술한 바와 같이, 조성 변동에 따른 특성 변화가 작아지고, 한층 더 특성이 우수한 TFT가 실현될 수 있다.

[0024] 이하, 도면을 사용해서 본 발명의 측면들을 실행하기 위한 실시예들을 설명한다.

[0025] 도 1a 내지 도 1c는, 본 발명의 실시예에 따른 박막트랜지스터의 개략을 나타내는 단면도다.

[0026] 도 1a 및 도 1b에 있어서, 참조번호 10은 기판, 11은 본 발명의 측면들에 따른 산화물 반도체층으로 형성된 채널층, 12는 게이트 절연층, 13은 소스 전극, 14는 드레인 전극, 15는 게이트 전극이다. 참조번호 11a는 제1 아모퍼스 산화물 반도체층이고, 11b는 제2 아모퍼스 산화물 반도체층이다.

[0027] 도 1c에서는, 게이트 절연체(22)인 열산화 SiO_2 이 형성된 기판(21) 위에 본 발명의 측면들에 따른 산화물 반도체층으로 형성된 채널층(25)을 배치한다. 참조번호 23은 소스 전극, 24는 드레인 전극이다. 기판(21)은, n^+-Si 로 형성되고, 게이트 전극으로서 기능한다. 참조번호 25a는 제1 아모퍼스 산화물 반도체층이고, 25b는 제2 아모퍼스 산화물 반도체층이다.

[0028] 도 1a는, 반도체 채널층(11) 위에 게이트 절연층(12)과 게이트 전극(15)을 갖는 톱(top) 게이트 구조의 예다. 도 1b는, 게이트 전극(15) 위에 게이트 절연층(12)과 반도체 채널층(11)을 갖는 보텀(bottom) 게이트 구조의 예다. 도 1c는, 다른 보텀 게이트형 트랜지스터의 예다.

[0029] 본 발명의 측면들에서의 TFT의 구성은, 상기의 구조에 한정되지 않고, 예를 들면, 톱 게이트 또는 보텀 게이트형, 스테거형, 역스테거형, 코플래너형, 역코플래너형 등의 임의의 구조에 적용될 수 있다.

[0030] 전계 효과형 트랜지스터는, 게이트 전극(15), 소스 전극(13) 및 드레인 전극(14)을 갖는 3단자 디바이스다. 전계 효과형 트랜지스터는, 전압 V_g 를 게이트 전극에 인가하면, 채널층을 통과하는 드레인 전류 I_d 를 제어할 수 있고, 소스 전극과 드레인 전극과의 사이를 흐르는 전류를 제어하는 전자 디바이스다. 이하, 각 층에 관하여 설명한다.

[0031] (채널층)

[0032] 본 발명의 측면들에 따른 박막트랜지스터는, 채널층이 제1 아모퍼스 산화물 반도체층(11a)과 제2 아모퍼스 산화물 반도체층(11b)을 포함하는 적층구성을 갖는 것과, 또한 각각의 층의 재료에 특징이 있다. 본 발명의 측면들에 있어서, 제1 아모퍼스 산화물 반도체층(11a)은 게이트 절연층(12)과 제2 아모퍼스 산화물 반도체층(11b)과의 사이에, 게이트 절연층(12)에 접해서 설치된다.

- [0033] 또한, 상기 제2 아모퍼스 산화물 반도체층의 일부가 소스 전극 또는 드레인 전극과 상기 제1 아모퍼스 산화물 반도체층과의 사이에 설치될 수 있다.
- [0034] 본 발명의 제1 아모퍼스 산화물 반도체층(11a)은, Zn 과 In 으로 구성되는 그룹으로부터 선택되는 적어도 1개의 원소를 포함하는 아모퍼스 산화물 반도체층으로 형성된다. 특히, Zn 과 In 의 양쪽 원소를 함유하는 아모퍼스 산화물(아모퍼스 $Zn-In-O$)이 사용될 수 있다. 또한, 아모퍼스 $In-Sn-O$, 아모퍼스 $In-O$, 아모퍼스 $In-Ge-O$, 아모퍼스 $Zn-Sn-O$, 아모퍼스 $In-Zn-Ga-O$ 등을 사용할 수 있다.
- [0035] 본 발명의 측면들에 있어서, 제1 아모퍼스 산화물 반도체층의 조성비로서는, 상기 제1 아모퍼스 산화물 반도체층에 함유된 Zn 의 조성비, $Zn/(In+Zn)$ 이 0.3이상, 0.75미만일 수 있다. 또한, 상기 제1 아모퍼스 산화물 반도체층에 함유된 Zn 의 조성비, $Zn/(In+Zn)$ 이 0.4미만이어도 된다.
- [0036] 본 발명의 측면들에 따른 제2 아모퍼스 산화물 반도체층(11b)은, Ge 와 Si 로 구성되는 그룹으로부터 선택되는 적어도 1개의 원소와, Zn 과 In 으로 구성되는 그룹으로부터 선택되는 적어도 1개의 원소를 포함하는 아모퍼스 산화물로 형성된다. 특히, Zn , In 및 Ge 를 모두 함유하는 아모퍼스 산화물(아모퍼스 $Zn-In-Ge-O$)이 사용될 수 있다. 또한, $Zn-In-Si-O$, $Zn-Sn-Ge-O$, $In-Ge-O$, $Zn-Ge-O$, $In-Sn-Ge-O$ 등이 사용될 수 있다.
- [0037] 본 발명의 측면들에 따른 제1 아모퍼스 산화물 반도체층(11a)과 제2 아모퍼스 산화물 반도체층(11b)은 조성이 다른 재료로 구성하므로, 각각의 아모퍼스 산화물 반도체층이 상승적으로 기능 함으로써, 본 발명에 따른 효과를 나타낸다.
- [0038] 본 발명의 측면들에 의하면, 상기 제1 및 제2 아모퍼스 산화물 반도체층의 상술한 아모퍼스 산화물은, 해당 산화물에 함유되는 모든 원소 중에서 산소를 가장 많이 함유하고, 이어서 상기한 각 원소가 함유된다. 그리고, 반도체 특성에 악영향을 주지 않는 한 상기한 원소 이외의 다른 원소를 불순물로서 함유하여도 된다.
- [0039] 예를 들면, $Zn-In-Ge-O$ 로 이루어진 아모퍼스 산화물은, 모든 원소 중에서 산소를 가장 많이 함유하고, 2번째로 아연(혹은 인듐), 3번째로 인듐(혹은 아연), 4번째로 게르마늄을 많이 함유한다. 본 발명의 측면들에 따른 제2 아모퍼스 산화물 반도체층에 포함되는 Ge 의 조성비, $Ge/(In+Zn+Ge)$ 은, 0.01이상 0.4이하이다. 구체적으로는, $Ge/(In+Zn+Ge)$ 이, 0.03이상 0.15이하이다.
- [0040] 이러한 적층 채널 구조와 각 층의 재료의 조합을 사용함으로써 전기적 특성이 뛰어나고, 소자특성의 조성 변동이 작은 TFT를 실현할 수 있다.
- [0041] 본 발명의 측면들에 의하면, 제1 아모퍼스 산화물 반도체층(11a)의 막두께는, 10nm이상, 50nm이하로 특정될 수 있다. 막두께가 10nm이상일 경우, 보다 큰 전류로 TFT 동작을 안정하게 행할 수 있다. 한편, 막두께가 지나치게 두꺼우면, 노멀리 오프의 TFT를 실현하는 것이 어렵게 된다. 그러므로, 특히, 상한은, 30nm이하로 특정될 수 있다.
- [0042] 또한, 제2 아모퍼스 산화물 반도체층(11b)의 막두께는, 10nm이상, 50nm이하로 특정될 수 있다.
- [0043] 제2 아모퍼스 산화물 반도체층(11b)의 막두께가 10nm이상인 경우에, 제1 아모퍼스 산화물 반도체를 보호하고, 환경에 대한 안정성을 향상시키는 기능을 행할 수 있다. 또한, 도 1b 및 1c의 구성과 같이, 제2 아모퍼스 산화물 반도체층의 일부가 소스 전극 또는 드레인 전극과 제1 아모퍼스 산화물 반도체층과의 사이에 설치되는 구성에 있어서는, 상기 막두께의 상한은 예를 들면 30nm이하이다. 막두께가 30nm이하일 경우에, 전극과 제1 아모퍼스 산화물 반도체층과의 사이에서 적절한 전기적 접촉을 얻을 수 있다.
- [0044] 본 발명의 측면들에 의하면, 제1 아모퍼스 산화물 반도체층(11a)에 적용하는 아모퍼스 산화물 반도체막은, 저항률이 $10^{-1}(\Omega \cdot cm) \sim 10^5(\Omega \cdot cm)$ 의 범위의 박막을 사용할 수 있다. 캐리어 농도는 $10^{14} \sim 10^{20}(1/cm^3)$ 의 범위의 재료를 적용할 수 있다. 전자이동도는 $10cm^2/Vsec$ 보다도 클 수 있다.
- [0045] 제2 아모퍼스 산화물 반도체층(11b)에 적용하는 아모퍼스 산화물 반도체막은, 저항률이 $10^1(\Omega \cdot cm) \sim 10^7(\Omega \cdot cm)$ 의 범위의 박막을 사용할 수 있다. 캐리어 농도는 $10^{12} \sim 10^{18}(1/cm^3)$ 의 범위의 재료를 적용할 수 있다. 특히, $10^{16}(1/cm^3)$ 이하가 사용될 수 있다. 제2 아모퍼스 산화물 반도체층의 캐리어 농도를 감소시킴으로써 노멀리 오프형의 트랜지스터를 실현할 수 있다. 전자이동도는, $0.1cm^2/Vsec$ 보다도 클 수 있고, 특히 $1cm^2/Vsec$ 이

상을 사용할 수 있다.

[0046] 본 발명의 측면들에 의하면, 제1 아모퍼스 산화물 반도체층(11a)을 구성하는 재료의 전자이동도가, 제2 아모퍼스 산화물 반도체층(11b)을 구성하는 재료의 전자이동도보다도 클 수 있다. 이렇게 전자이동도가 큰 재료를 게이트 절연층에 접해서 배치하는 경우에, 전계 효과 이동도가 큰 TFT를 실현할 수 있다.

[0047] 또한, 제2 아모퍼스 산화물 반도체층(11b)을 구성하는 재료의 캐리어 농도가, 제1 아모퍼스 산화물 반도체층(11a)을 구성하는 재료의 캐리어 농도보다도 작을 수 있다. 그 캐리어 농도가 작은 재료를, 게이트 절연층으로부터 먼 쪽에 배치하는 경우에, 환경안정성과 구동안정성이 우수한 TFT를 실현할 수 있다.

[0048] 또한, 도 1b와 도 1c의 구성과 같이, 제2 아모퍼스 산화물 반도체층의 일부가 소스 전극 또는 드레인 전극과 제1 아모퍼스 산화물 반도체층과의 사이에 설치되는 구성에 있어서는, 특히 전극과 제1 아모퍼스 산화물 반도체층과의 사이에서 적절한 전기적 접촉을 행할 수 있다. 이러한 구성에 있어서는, 제2 아모퍼스 산화물 반도체층(11b)의 재료의 저항률을 $10^5(\Omega \text{ cm})$ 이하로 특정할 수 있다. 이러한 구성을 사용하는 경우에, 양호한 전기적 접촉을 얻을 수 있다.

[0049] 본 발명의 측면들에 따른 TFT에 있어서의 적층 채널 구조는, 제1 아모퍼스 산화물 반도체층으로서 아모퍼스 Zn-In-O 계 막을 배치하고, 제2 아모퍼스 산화물 반도체층으로서 아모퍼스 Zn-In-Ge (혹은 Si)-O계 막을 배치한 구조를 예를 들 수 있다. 이하에, 본 발명의 측면들에 따른 적층 채널 구조에서 사용될 수 있는 금속조성비에 대해서 자세하게 설명한다. 제1 아모퍼스 산화물 반도체층(11a)에 In-Zn-O 박막을 사용할 경우, $\text{Zn}/(\text{In}+\text{Zn})$ 으로 나타내는 Zn의 원자조성비가, 0.75이상일 경우 결정 혹은 결정성이 증가한다. 이러한 경우, 다결정 입자계면의 산란에 의해, 전자이동도를 크게 할 수 없다고 생각된다. 또한, 전기적 특성을 고려하면, Zn의 원자조성비 $\text{Zn}/(\text{In}+\text{Zn})$ 가 상기한 바와 같이, 0.3이상 0.75미만의 박막을 사용할 수 있다.

[0050] 그렇지만, 나중에 예로 나타난 것처럼, 노멀리 온형의 고이동도 TFT 제작을 위해, 제1 아모퍼스 산화물 반도체층에 있어서의 Zn의 원자조성비에 의거하여 Zn의 원자조성비는 0.4미만으로 특정될 수 있다.

[0051] 또한, 제2 아모퍼스 산화물 반도체층(11b)에 Zn-In-Ge-O 박막을 사용할 경우, Ge의 원자조성비 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 이 커지면, 고저항이 되어, 채널과 전극간의 저항이 커져 바람직하지 못하다. 덧붙여, 넓은 In/Zn 조성비에서 양호한 TFT 동작이 가능해지는 조성을 고려하면, 상기한 바와 같이 $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 이 0.01이상 0.4이하의 값의 박막을 사용할 수 있다. 특히, $\text{Ge}/(\text{In}+\text{Zn}+\text{Ge})$ 이 0.03이상 0.15이하의 값의 박막을 사용할 수 있다.

[0052] 또한, 제1 아모퍼스 산화물 반도체층에 함유되는 Zn의 조성비 $\text{Zn}/(\text{In}+\text{Zn})$ 과 상기 제2 아모퍼스 산화물 반도체층에 함유되는 Zn의 조성비 $\text{Zn}/(\text{In}+\text{Zn})$ 가 동일한 구성은, 사용가능한 구성의 하나이다. 이러한 구성은, 2개층들 사이의 물질적 성질(가전자대 상단, 전도대 하단의 깊이등)의 연속성이 우수한 적층구조를 기대하여도 된다. 또한, 이러한 적층구조에서는, 양호한 계면의 형성을 기대할 수 있다. 특히, 도 1b와 도 1c의 구성과 같이, 제2 아모퍼스 산화물 반도체층의 일부가 소스 전극 또는 드레인 전극과 제1 아모퍼스 산화물 반도체층과의 사이에 설치되는 구성에 있어서는, 전극과 제1 아모퍼스 산화물 반도체층의 사이에서 적절한 전기적 접촉을 이룰 수 있다. 이러한 구성에 있어서는, 제1 아모퍼스 산화물 반도체층과 제2 아모퍼스 산화물 반도체층의 사이에서 양호한 전기적 접촉이 행해질 수 있고, 제1 아모퍼스 산화물 반도체층과 제2 아모퍼스 산화물 반도체층의 전도대 하단에 가까울 수 있다. 이러한 구성에 있어서, 상기의 11b의 재료의 저항률을 $10^5(\Omega \text{ cm})$ 이하로 특정할 수 있다. 이러한 구성에 있어서, 2개층의 $\text{Zn}/(\text{In}+\text{Zn})$ 의 값이 동일한 구성으로 양호한 전기적 접촉을 가능하게 한다.

[0053] 그 밖에도, 제조상의 이점이 있다. 예를 들면, 제1 아모퍼스 산화물 반도체층을 형성할 때는, ZnO 와 In_2O_3 을 혼합한 세라믹으로 형성된 재료원(스퍼터링 타겟)을 사용하고, 제2 아모퍼스 산화물 반도체층을 형성할 때는 상기의 재료원과 Ge로 이루어진 재료원을 사용한 동시 성막을 행한다. 이러한 수법을 사용하면, 2개층을 연속해서 형성할 수 있고, 한층 더 조성을 용이하게 조절할 수 있다. 이렇게 연속 성막시에는, 제1 아모퍼스 산화물 반도체층을 형성하는 제1의 단계와, 제2 아모퍼스 산화물 반도체층을 형성하는 제2 단계 전체에 걸쳐서 장치내의 진공도가 300 Pa 이하, 가능한 경우 100 Pa 이하로 유지할 수 있어서, 층간의 계면을 세정할 수 있다.

[0054] 또한, 2개의 재료의 조성이 서로 가까운 구성은, 각각의 층의 사이에서의 원소 혼합 오염(cross

contamination)이 생기기 쉽지 않다고 하는 이점을 가질 수 있다.

[0055] 또한, 상기한 바와 같이, 본 발명자들의 지견에 의하면, I_n-Z_n -0단층 채널 TFT에 있어서, $Z_n/(I_n+Z_n)$ 로 나타내는 Z_n 의 원자조성비가 0.6근방에서 양호한 스위칭 특성을 얻는다. 그리고, 이러한 조성의 I_n-Z_n -0박막을 제2 아모퍼스 산화물 반도체층(11b)에 사용하고, $Z_n/(I_n+Z_n)$ 이 0.6미만인 박막을 제1 아모퍼스 산화물 반도체층에 사용하는 것도 효과적이다.

[0056] 또한, 본 발명의 측면들에 따른 채널층은, 적어도 제1 및 제2 아모퍼스 산화물 반도체층을 포함하는 것이 충분하고, 부가적으로 다른 층들을 설치하는 것도 허용한다. 즉, 다층 채널을 이용하여도 된다.

[0057] 또한, 본 발명의 측면들에 있어서는, 제1 아모퍼스 산화물 반도체층으로서 적어도 Z_n 과 I_n 을 함유하는 재료를 선택하고, 제2 아모퍼스 산화물 반도체층으로서 적어도 Z_n , I_n 및 Ge 를 함유하는 재료를 선택하는 경우에, 조성비는 이하의 방법으로도 조정될 수 있다. 즉, 제1 및 제2 아모퍼스 산화물 반도체층의 I_n 과 Z_n 에 대한 조성비 ($Z_n/(I_n+Z_n)$)은 동일해지도록 타겟 재료의 조성비 등을 조정한다. 전형적으로는, 동일한 조성비를 갖는 Z_n 과 I_n 으로 이루어진 타겟 재료를 사용한다. 그후, 제2 아모퍼스 산화물 반도체층만 한층 더 Ge 의 타겟을 병용함으로써, 해당 아모퍼스 산화물 반도체층중의 조성비를 조정한다. 이렇게 제1 및 제2 아모퍼스 산화물 반도체층의 각각에 함유되는 I_n 과 Z_n 에만 착안했을 때에, 이것들의 각 층의 Z_n 의 조성비 $Z_n/(I_n+Z_n)$ 을 동일하게 함으로써, 조성비의 조정을 보다 용이하게 할 수 있다.

[0058] 또한, 본 발명의 측면들에 있어서, 상기 "조성비가 동일"이란, 조성비가 실질적으로 동일한 것을 의미한다. 즉, 조성비가 완전히 동일한 경우뿐만 아니라, 오차의 범위내에서의 조성비의 차이가 포함되는 경우도 포함한다. 본 발명자들의 지견에 의하면, 조성비에 차이가 있는 경우도, 그 차이가 3%이내, 바람직하게는 1%이내 이면 본 발명의 실시예들에 따른 효과를 나타낸다.

[0059] 본 발명의 측면들에 의하면, 제1 아모퍼스 산화물 반도체층을 형성하는 단계(제1 단계)와 제2 아모퍼스 산화물 반도체층을 형성하는 단계(제2 단계)를 연속해서 행하는 경우에는, 이하의 조건을 충족시킬 수 있다. 즉, 본 발명자들의 지견에 의하면, 제1 단계와 제2 단계를 통하여, 해당 아모퍼스 산화물 반도체층을 형성하는 장치 내부(성막실, 반송 경로등을 포함한다)의 압력을 소정의 범위내에 유지할 수 있다. 구체적으로는, 300 Pa 이하의 진공분위기를 유지함으로써 아모퍼스 산화물 반도체막의 형성중에 해당 막의 특성이 변화 또는 열화를 억제할 수 있다. 또한, 본 발명의 측면들에 따라 상기 압력은 100 Pa 이하의 진공분위기를 유지하는 것이 특히 유효하다.

[0060] 이와는 달리, 제1 단계와 제2 단계를 통해서 상기한 바와 같이 진공분위기를 유지하는 대신에, 불활성 가스 분위기중에 유지함으로써도 동일한 효과를 얻을 수 있다. 불활성 가스로서는, He , Ne , Ar 등을 사용할 수 있다. 그렇지만, 이들외의 가스여도 아모퍼스 산화물 반도체막에 악영향을 주지 않는 가스이면 사용할 수 있다. 불활성 가스 분위기의 압력은, 특별히 제한되지 않는다. 대기압 이하이면 본 발명에 따른 효과를 얻을 수 있다. 특히, 압력 1000 Pa 이하, 바람직하게는 500 Pa 이하를 사용할 수 있다.

[0061] 여기에서는, Z_n-I_n-Ge-O 계 박막을 제2 아모퍼스 산화물 반도체층에 적용하는 구성에 대해서 서술했다. 그렇지만, 일례로서, Z_n-I_n-O 계 막을 제2 아모퍼스 산화물 반도체층에 적용할 수 있다. 본 발명자들의 지견에 의하면, I_n-Z_n-O 계 박막은, $Z_n/(I_n+Z_n)$ 으로 나타내는 Z_n 의 원자조성비 $Z_n/(I_n+Z_n)$ 이 0.6근방에서 양호한 환경안정성을 나타낸다. 예를 들면, 이러한 조성의 I_n-Z_n -0박막은 제2 아모퍼스 산화물 반도체층(11b)으로서 사용될 수 있다.

[0062] $Z_n/(I_n+Z_n)$ 이 0.6미만인 I_n-Z_n-O 계 박막을 제1의 아모퍼스 산화물 반도체층으로서 사용하고, $Z_n/(I_n+Z_n)$ 이 0.6근방인 I_n-Z_n-O 계 박막을 아모퍼스 산화물 반도체층에 사용하는 구성도, 유효한 구성의 하나다.

[0063] 상기의 채널 구성은, 조성이 다른 2개의 재료로 이루어지는 적층구조를 갖는다. 그렇지만, 이 구조는, 2층의 구조에 한정하지 않고, 임의의 층수를 가진 다층 채널 구조이어도 된다.

[0064] 즉, 본 발명의 측면들에 따른 채널층은, 적어도 상기의 제1 아모퍼스 산화물 반도체층 및 제2 아모퍼스 산화물 반도체층을 가지고 있으면 충분하고, 적어도 3층의 임의의 적층구조를 이용해도 된다. 예를 들면, Z_n-I_n-O 막으로 형성된 제1 아모퍼스 산화물 반도체층, Z_n-I_n-Ge-O 막으로 형성된 제2층, Z_n-I_n-Si-O 막으로 형성된 제3층을 가진 3층 채널 구조의 구성과, Z_n-I_n-O 막으로 형성된 제1 아모퍼스 산화물 반도체층, Z_n-I_n-Ge-O 막으로 형성된 제2층, Z_n-I_n-O 막으로 형성된 제3층, 및 Z_n-I_n-Ge-O 막으로 형성된 제4층을 가진 4층 채널 구조의 구성 등을 든다. 또한, 상기의 채널 구성은, 조성이 다른 2개의 재료로 이루

어진 적층구조를 갖는다. 그렇지만, 두께 방향으로 연속적으로 조성이 변화된 구성을 사용하여도 된다. 예를 들면, $Zn-I n-O$ 막의 조성으로부터 $Zn-I n-Ge-O$ 막의 조성으로 변화되도록 $Ge(Si)$ 의 함유량이 연속적으로 증가하는 구성을 든다.

[0065] 기술한 바와 같은 적층 채널 구조와 각층의 재료의 조합을 사용함으로써 전기적 특성이 뛰어나고, 소자 특성의 조성 변동이 작은 TFT를 제작할 수 있다.

[0066] (게이트 절연층)

[0067] 본 발명의 측면들에 있어서 게이트 절연층(12)으로서, 실리콘 산화물 SiO_x 또는 질화 실리콘 SiN_x 및 실리콘 옥시니트ريد SiO_xN_y 를 사용할 수 있다. 또 본 발명의 측면들에 따른 게이트 절연층으로서 사용할 수 있는 실리콘이외의 산화물로서는, GeO_2 , Al_2O_3 , Ga_2O_3 , Y_2O_3 및 HfO_2 등을 들 수 있다.

[0068] 이들 중에서도, SiO_x 는, CVD법에 의해 양질의 막을 용이하게 형성할 수 있다. SiO_x 를 사용함으로써 TFT의 안정성이 양호하다.

[0069] 본 발명의 측면들에 의하면, 뛰어난 절연 특성을 갖는 박막 게이트 절연부재를 이용함으로써, 소스와 게이트 전극간 및 드레인과 게이트 전극간 리크 전류를 약 $10^{-12}A$ 로 조절할 수 있다.

[0070] 본 발명의 측면들에 있어서 게이트 절연층의 두께는, 50~300nm일 수 있다.

[0071] (전극)

[0072] 본 발명의 측면들에 있어서 소스 전극(13), 드레인 전극(14) 및 게이트 전극(15)의 재료는 높은 도전율을 갖는 재료를 사용할 수 있다. 본 발명의 국면들에 있어서, Pt, Au, Ni, W, Mo, Ag 등의 금속전극을 사용할 수 있다. 또한, 산화인듐주석(ITO) 및 ZnO 등의 투명 도전막도 사용해도 좋다. 또, 본 발명의 측면들에 사용하는 전극의 구조는, 단층 구조이어도 된다. 그렇지만, Au 및 Ti 등의 복수의 층의 캐스케이드 구조도 이용해도 된다.

[0073] (기판)

[0074] 유리 기판, 플라스틱 기판, 또는 플라스틱 필름 등의 수지재료를 기판(10)으로서 사용해도 된다.

[0075] 본 발명의 측면들에 있어서, 상기 채널층 및 게이트 절연층은, 가시광에 대하여 투명할 수 있다.

[0076] 따라서, 상기 전극의 경우 가시광에 대하여 투명한 재료를 선택 함으로써, 가시광 영역에서 전체가 투명한 박막트랜지스터를 제작하는 것이 가능하다.

[0077] (제조 방법)

[0078] 채널층의 형성 방법으로서, 스퍼터링법(SP법), 펄스레이저 증착법(PLD법), 전자빔증착법(EB법) 및 원자층 증착법등의 기상증착법을 사용할 수 있다. 이 기상증착법 중에서, 대량생산성을 고려하면 SP법이 적당하다. 그러나, 성막법은, 이것들의 방법에 한정되지 않는다.

[0079] 본 발명의 측면들에 따른 제조 프로세스에 있어서는, 의도적인 가열을 행하지 않고 기판의 온도를 실온으로 유지하여 성막할 수 있다. 이 기법에 의하면, 플라스틱 기판상의 투명 박막트랜지스터의 저온 제작 프로세스가 가능하게 된다.

[0080] 본 발명의 실시예들에 따른 TFT가 나타내는 특성은, 구동력이 높기(전류량이 크기) 때문에, 유기LED(OLEED)의 구동용의 TFT에 있어서 바람직한 특성이다.

[0081] 이러한 박막트랜지스터를 포함하는 반도체장치(액티브 매트릭스 기판)는, 투명한 기판과 아모퍼스 산화물TFT를 사용하기 때문에, 표시장치에 적용한 경우에 그 개구율을 증가시킬 수 있다.

[0082] 특히, 유기 EL디스플레이에 사용할 때는, 기판측에서도 광을 추출하는 구성(보텀 이미션)을 채용하는 것이 가능해진다.

[0083] 본 실시예의 반도체장치는, ID태그 또는 IC태그 등의 여러가지의 용도에 적용되는 것이 생각된다.

[0084] 이하, 구체적으로, 본 실시예의 전계 효과형 트랜지스터를 구비한 반도체장치의 일례로서 표시장치를 상세하게 설명한다.

- [0085] 본 실시예에 따른 전계 효과형 트랜지스터의 출력 단자인 드레인 전극에, 유기 또는 무기의 일렉트로루 미네센스(E L)소자, 액정소자 등의 표시 소자의 전극에 접속하는 것으로 표시장치를 구성할 수 있다. 이하에, 표시장치의 단면도를 참조하여 구체적인 표시장치 구성의 예를 설명한다.
- [0086] 도 7에 나타나 있는 바와 같이, 기판(111) 위에, 채널층(112)과, 소스 전극(113)과, 드레인 전극(114)과, 게이트 절연막(115)과, 게이트 전극(116)으로 구성되는 전계 효과형 트랜지스터를 형성한다. 여기에서, 도 7 및 도 8에서는, 상기한 바와 같이 비록 채널층이 적층구조를 갖지만, 간단하게 하기 위해서 채널층을 1층으로서 표현하고 있다. 그리고, 드레인 전극(114)에, 중간절연층(117)을 통해 전극(118)이 접속되어 있다. 전극(118)은 발광층(119)과 접하고, 또한, 그 발광층(119)이 전극(120)과 접하고 있다. 상기 구성에 의해, 발광층(119)에 주입하는 전류를, 소스 전극(113)으로부터 드레인 전극(114)에, 채널층(112)에 형성되는 채널을 거쳐서 흐르는 전류치에 의해 제어하는 것이 가능해진다. 따라서, 이것을 전계 효과형 트랜지스터의 게이트 전극(116)의 전압에 의해 제어할 수 있다. 여기에서, 전극 118, 발광층(119) 및 전극 120은 무기 혹은 유기 일렉트로루 미네센스 소자를 구성한다.
- [0087] 다른 구성으로서, 도 8에 나타나 있는 바와 같이, 드레인 전극(114)이 연장되어서 전극(118)을 겸하고 있으므로, 이것은 고저항막(121, 122)에 끼워진 액정 셀이나 전기영동형 입자 셀(123)에 전압을 인가하는 전극(118)으로서의 역할을 하는 구성을 이용할 수도 있다. 액정 셀이나 전기영동형 입자 셀(123), 고저항막(121 및 122), 전극 118 및 전극 120은 표시 소자를 구성한다. 이것들 표시 소자에 인가하는 전압을, 소스 전극(113)으로부터 드레인 전극(114)에 채널층(112)에 형성되는 채널을 거쳐서 흐르는 전류치에 의해 제어하는 것이 가능해진다. 따라서, 이것을 TFT의 게이트 전극(116)의 전압에 의해 제어할 수 있다. 여기에서, 표시 소자의 표시 매체가 유체와 입자를 절연성 코팅막에 밀봉한 캡슐이라면, 고저항막(121, 122)은 불필요하다.
- [0088] 상기의 2개의 예에 있어서, 상기 박막트랜지스터는, 스택 구조(톱 게이트형)의 구성의 대표가 된다. 그렇지만, 본 발명은 반드시 본 구성에 한정되는 것은 아니다. 예를 들면, 박막트랜지스터의 출력 단자인 드레인 전극과 표시 소자의 접속이 위상기하학적으로 동일하면, 코플래너형 등 기타의 구성도 가능하다.
- [0089] 또한, 상기의 2개의 예에 있어서는, 표시 소자를 구동하는 한 쌍의 전극이, 기체(base member)와 평행하게 설치된 예를 도면에 도시했다. 그렇지만, 본 실시예는 반드시 본 구성에 한정되는 것은 아니다. 예를 들면, 박막트랜지스터의 출력 단자인 드레인 전극과 표시 소자의 접속이 위상기하학적으로 동일하면, 어느 한쪽의 전극 혹은 양쪽 전극이 기체와 수직하게 설치되어도 된다.
- [0090] 여기에서, 표시 소자를 구동하는 한 쌍의 전극이, 기체와 평행하게 설치되었을 경우, 표시 소자가 EL 소자 혹은 반사형 액정소자 등의 반사형 표시 소자이면, 적어도 한쪽의 전극이 발광 파장 혹은 반사광의 파장에 대하여 투명한 것이 요구되어도 된다. 또는, 표시 소자가 투과형 액정 표시소자 등의 투과형 표시 소자이면, 양쪽 전극이 투과 광에 대하여 투명한 것이 요구된다.
- [0091] 또한, 본 실시예에 따른 박막트랜지스터에서는, 모든 구성체를 투명하게 하는 것도 가능하고, 이에 따라 투명한 표시 소자를 형성할 수 있다. 또한, 예를 들면, 가볍고 휘 수 있고 투명한 수지의 플라스틱 등 저내열성기체 위에, 이러한 표시 소자를 설치할 수 있다.
- [0092] 다음에, EL 소자(여기에서는, 유기EL 소자)와 전계 효과형 트랜지스터를 포함하는 화소를 이차원 모양으로 복수 배치한 표시소자에 대해서 도 9를 참조하여 설명한다.
- [0093] 도 9에 있어서, 유기EL 층(204)을 구동하는 트랜지스터 201, 및 화소를 선택하는 트랜지스터 202가 도시되어 있다. 또한, 콘덴서(203)는 선택된 상태를 유지하고, 공통전극선(207)과 트랜지스터 202의 소스 부분과의 사이에 전하를 축적하고, 트랜지스터 201의 게이트의 신호를 유지하고 있다. 화소선택은 주사 전극선(205)과 신호 전극선(206)에 의해 결정된다.
- [0094] 보다 구체적으로 설명한다. 화상신호가 드라이버 회로(도면에 나타내지 않음)로부터 주사 전극선(205)을 통해서 게이트 전극에 펄스 신호로 인가된다. 마찬가지로, 동시에, 다른 드라이버 회로(도면에 나타내지 않는다)로부터 신호 전극선(206)을 통해서 펄스 신호를 트랜지스터 202에 인가하여서, 화소가 선택된다. 그 때, 트랜지스터 202가 ON이 되어, 신호 전극선(206)과 트랜지스터(202)의 소스와의 사이에 있는 콘덴서(203)에 전하가 축적된다. 이에 따라, 트랜지스터(201)의 게이트 전압이 원하는 전압에 유지되어 트랜지스터(201)는 ON이 된다. 이 상태는 다음 신호를 받을 때까지 유지된다. 트랜지스터(201)이 ON 상태인 동안, 유기EL 층(204)에는 전압 및 전류가 계속 공급되어 발광이 유지되게 된다.

- [0095] 도 9의 예에서는, 그 구성이 1화소에 트랜지스터 2개 콘덴서 1개를 구비한다. 그렇지만, 성능을 향상시키기 위해서 한층 더 많은 트랜지스터 등을 내장하여도 된다.
- [0096] 상기 트랜지스터의 채널 제조에 있어서, 제1 아모퍼스 산화물 반도체층의 $Zn:I n$ 의 조성은 소정의 범위 내에서 변화되고, 제2 아모퍼스 산화물 반도체층의 $Zn-I n-Ge-O$ 층의 조성은 일정하도록 특정된다.
- [0097] 이러한 구성을 사용하고, 그에 따라, 이하에 설명된 것과 같은 예시 1의 보텀 게이트형 트랜지스터를 제조할 수 있다. 또한, 상기 제1 아모퍼스 산화물 반도체층의 상기 $Zn:I n$ 비를 변화시키는 방법에서는, $Zn:I n$ 비가 다른 막을 성막시의 상기 기판의 증착 위치를 변화시킴에 따라 상기 기판과 In_2O_3 및 ZnO 의 타겟과의 상대적 거리를 변화시켜서 형성될 수 있다.
- [0098] 또한, 트랜지스터의 특성의 차이는, 전계 효과 이동도 μ , 한계치전압(V_t), 온, 오프 전류비, 서브스레숄드 스윙값(S Δ)등의 차이로서 표현할 수 있다. 여기서, 전계 효과 이동도는, 선형영역과 포화 영역의 특성으로부터 결정될 수 있다. 예를 들면, 전달 특성의 결과에 의거하여 $\sqrt{I_d-V_g}$ 의 그래프를 제작하고, 이 기울기로부터 전계 효과 이동도를 도출하는 방법을 들 수 있다. 본 명세서에서는, 달리 특정하지 않으면 이 방법으로 평가하고 있다.
- [0099] 한계치전압을 결정하는 방법의 몇개의 예는, $\sqrt{I_d-V_g}$ 의 그래프의 x절편으로부터 한계치전압 V_t 를 도출하는 방법을 포함한다. 또한, 온, 오프 전류비는 전달 특성에 있어서의 가장 큰 I_d 와, 가장 작은 I_d 의 값의 비로부터 결정할 수 있다. 또한, 서브스레숄드 스윙값은, 전달 특성의 결과에 의거하여 준비된 $\log(I_d)-V_d$ 의 그래프의 기울기의 역수로부터 도출될 수 있다. 그 밖에도, 스위칭 전압 V_o 로서, 전달 특성에 있어서의 전류상승 에지(edge) 시작의 전압(게이트 전압)을 평가할 수 있다.
- [0100] 상술한 것들과 아울러, 여러 가지의 그 밖의 파라미터들에 의해 트랜지스터 특성간의 차이를 나타낼 수 있다.
- [0101] 이하, 본 발명의 측면들을 예들을 참조하여 한층 더 상세하게 설명하지만, 본 발명은 그들에 한정되는 것은 아니다.
- [0102] (예시 1)
- [0103] 본 예시에서는, 도 1c에 있어서, 제1 아모퍼스 산화물 반도체층(25a)으로서 $Zn-I n-O$ 계 막을 선택했다. 그리고, 제2 아모퍼스 산화물 반도체층(25b)으로서 $Zn-I n-Ge-O$ 계 반도체막을 선택하고, 채널층(25)을 갖는 보텀 게이트형 전계 효과형 트랜지스터를 제작했다.
- [0104] 구체적으로는, 게이트 절연체(22)인 열산화 SiO_2 (두께 100nm)이 형성된 n^+ 형 Si 기판(21) 위에, 상기 제1 아모퍼스 산화물 반도체층(25a)과 상기 제2 아모퍼스 산화물 반도체층(25b)을 채널층으로서 형성한다. 해당 채널층은, 스퍼터링 챔버에서, 아르곤 및 산소의 혼합 분위기중에서 고주파 스퍼터링법을 사용해서 형성한다. 이때, 채널층의 패터닝은, 표준 포토리소그래피법과 리프트 오프법을 사용해서 패턴 형성을 행했다.
- [0105] 도 6은, 본 발명의 실시예에 따른 전계 효과형 트랜지스터의 채널층을 형성하기 위해서 사용한 성막 시스템의 개략을 도시한 도면이다.
- [0106] 도 6에 나타나 있는 바와 같이, 본 실시예에 따른 성막 시스템은, 진공배기 능력을 제어하는 게이트 밸브(57)와, 각각의 기체의 시스템에의 가스 유입량을 제어하기 위한 개별의 매스 플로우(mass flow) 컨트롤러(56)를 구비한다. 또한, 진공 이온 게이지(54)와, 기판 홀더(55)와, 기판(51)과, 터보 분자펌프(53)와, 성막실(58)과, 스퍼터링 타겟 첨부 스퍼터링 건(gun)(52)을 가진다.
- [0107] 터보 분자 진공펌프(53)는, 성막실(58)을 1×10^{-5} Pa(배압)에 도달할 때까지 배기한다.
- [0108] 기판 홀더(55)는, 기판의 위치를 x-y면내 및 수직한 z 방향으로 조절할 수 있다.
- [0109] 스퍼터링 건(52)은, 위에 산화물 타겟을 가진다. 이것들 이외에, 성막동안에 일어나는 과열에 의한 스퍼터링 건에의 악영향을 막는 냉각수 공급이 있다.
- [0110] 참조번호 59는, 스퍼터링 타겟을 위한 RF 전원 및 매칭 네트워크다.
- [0111] 가스 도입 배관에는, 아르곤 가스의 도입 배관과 희석 산소 가스($Ar:O_2=95:5$)의 도입 배관 각각은,

하나의 매스 플로우 컨트롤러(MFC)(56)를 갖는다.

[0112] 따라서, MFC(56)로 아르곤과 희석 산소 가스의 유입량을 제어하고, 게이트 밸브를 사용해서 상기 압력을 제어함으로써 성막실 내의 분위기를 소정의 분위기(총 압력과 산소분압)가 되도록 조절할 수 있다.

[0113] 본 예시에서는, 우선, 2인치 In_2O_3 세라믹 타겟과 2인치 ZnO 세라믹 타겟의 동시 스퍼터링에 의해, 제1 아모퍼스 산화물 반도체층(Zn-In-O 막)(11a)을 성막한다. 이어서, 0.3~1Pa의 범위내에서 진공분위기를 유지한 상태에서, 제2 아모퍼스 산화물 반도체층(Zn-In-Ge-O 막)(11b)을 성막한다. 이 때, 타겟으로서 는, 2인치 In_2O_3 세라믹 타겟, 2인치 GeO_2 세라믹 타겟 및 2인치 ZnO 세라믹 타겟을 사용해서 동시 스퍼터링에 의해 성막한다.

[0114] 제1 아모퍼스 산화물 반도체층의 성막동안, In_2O_3 타겟에는 35W, ZnO 타겟에는 46W의 일정값(불가피한 진동 폭은 허용한다, 이하 마찬가지로)으로 되도록 RF전원을 유지했다. 또한, 제2 아모퍼스 산화물 반도체층의 성막동안에는, In_2O_3 타겟에는 인가전력이 각각, 35W, GeO_2 타겟에는 30W, ZnO 타겟에는 45W의 일정값으로 되도록 RF전원을 유지한다.

[0115] 성막시의 전체 가스압 및 Ar와 O_2 의 유량비는, 각각 0.4Pa 및 69:1이다. 성막 속도는, 제2 및 제1 아모퍼스 산화물 반도체층에 대해서 각각 약 11nm/분 및 9nm/분이며, 각각의 층을 약 15nm의 두께로 형성한다. 추가로, 성막시 기판온도는 실온($\sim 25^\circ\text{C}$)으로 유지한다.

[0116] 그 후, 포토리소그래피 패턴형성법과 리프트 오프법에 의하여, 드레인 전극(24) 및 소스 전극(23)을 패턴 형성했다. 소스 및 드레인, 각각 100nm 및 5nm의 두께를 갖는 Au와 Ti의 층상구조체다.

[0117] 또한, 본 예시에서는 채널의 폭 및 길이는 각각 150 μm 및 10 μm 로 하고 다른 채널 조성으로 이루어진 소자를 제작한다.

[0118] (TFT소자의 특성의 평가)

[0119] 이하, 상기 순서에 의해 작성한 TFT의 전압-전류특성을 평가한다.

[0120] 도 2a는, 실온에서 측정한 본 예시의 $\text{Zn-In-Ge-O}/\text{Zn-In-O}$ (제2 아모퍼스 산화물 반도체층/제1 아모퍼스 산화물 반도체층)적층 채널로 이루어진 TFT의 전달 특성을 나타내는 그래프다. 여기에서, 제1 아모퍼스 산화물층(25a)에 있어서의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.27~0.65의 범위내에서 서로 다른 5개의 그래프가 도시되고, 제2 아모퍼스 산화물층(25b)의 조성비는 $\text{In}:\text{Zn}:\text{Ge} \sim 42:45:13$ 을 가진다. 제1 아모퍼스 산화물층의 폭 넓은 In조성비에 있어서, TFT의 동작을 확인할 수 있다.

[0121] 비교 예로서, 상기 제1 아모퍼스 산화물층과 같은 조성비를 갖는 Zn-In-O 막의 일층으로 구성된 채널층으로 형성된 TFT의 전류-전압특성을 도 2b에 나타낸다. In의 조성비가 증가되면, 스위칭 전압이 떨어지고, TFT로서 작동하지 않게 된다.

[0122] 도 3은, 본 예시 1의 적층 채널 TFT에 대해서, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 의 함수로서, TFT의 온, 오프 전류비를 나타내는 그래프다. 비교 목적으로, Zn-In-O 의 일층(단층)의 채널층으로 형성된 TFT의 온, 오프 전류비도 도시되어 있다. 여기에서는, 게이트 전압이 20V와 -20V의 사이에서, 온 및 오프 전류치를 측정하였다. 일층에 대해 동작하지 않은 In조성비가 높은 영역에서도, 높은 온, 오프비를 얻는 것이 명백하다.

[0123] 도 2에 있어서, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.27일 경우, 정(positive)의 온(on) 전압(스위칭 전압이라고도 한다) V_o 를 나타내는 노멀리 오프형 TFT를 얻는다. 이번의 V_o 의 $\text{In}/(\text{In}+\text{Zn})$ 값에 관한 의존성의 관계로부터, 본 예시에서는 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 약 0.3이하일 경우 정의 V_o 를 나타내는 TFT가 실현될 수 있다는 것을 추정한다. 또한, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.57이하인 경우에 오프 전류가 10^{-12} 이하를 나타내는 TFT를 얻는다.

[0124] 또한, 도 3으로부터 분명하듯이, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.55이하일 경우에, 온, 오프비가 10^9 이상을 나타내는 전계 효과형 트랜지스터인 TFT를 얻는다.

[0125] 도 4는, 제1 아모퍼스 산화물 반도체층에 있어서의 $\text{In}/(\text{In}+\text{Zn})$ 의 함수로서의 전계 효과 이동도 μ

($\text{cm}^2/\text{V s e c}$)의 예를 나타내는 그래프다.

- [0126] In 조성비의 변화에 크게 영향을 미치지 않고, $15 \sim 25 \text{cm}^2/\text{V s e c}$ 의 이동도를 실현하고 있는 것을 확인할 수 있었다. 특히, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.35이상일 경우 전계 효과 이동도 μ 가 $20 \text{cm}^2/\text{V s e c}$ 이상의 TFT를 얻는다. 또한, 이것들을 공기중 250도에서 1시간 어닐링 함에 의해, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.65이상일 경우에 상기 이동도 μ 가 $100 \text{cm}^2/\text{V s e c}$ 이상을 나타내는 TFT를 얻는다.
- [0127] 즉, Zn-In-O 로 이루어진 제1 아모퍼스 산화물 반도체층과, Zn-In-Ge-O 로 이루어진 새로운 아모퍼스 산화물 반도체인 제2 아모퍼스 산화물 반도체층으로 이루어진 적층 채널을 사용함으로써 뛰어난 전달 특성을 실현할 수 있다.
- [0128] 이것은, 이동도가 크지만, 조성 의존성의 영향이 큰 Zn-In-O 계 TFT와 비교하여, 큰 온, 오프 전류비를 나타내는 조성 마진을 확대하여서, 뛰어난 TFT 특성을 실현할 수 있다는 것을 나타낸다.
- [0129] 도 5는, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 에 대한 서브스레숄드 스윙값($S_{\text{d e c}}$)이다. 도 5에 있어서, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.35이하일 경우에, $S_{\text{d e c}}$ 이 1이하를 갖는 TFT가 실현된다. 이 결과로부터, 본 예시에서는, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.3이하일 경우 $S_{\text{d e c}}$ 이 1이하를 갖는 TFT가 실현가능하다고 추정된다.
- [0130] TFT 성능이 양호하므로, OLED의 동작 회로중에 본 발명의 측면들에 따른 In-Ge-O 채널층 박막 트랜지스터를 사용하면 유망하다.
- [0131] 상술한 것처럼, 예시 1에 있어서, 도 2a에 도시된 TFT 전달 특성에 관해, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.27일 경우, 정의 온 전압(스위칭 전압이라고도 한다) V_o 를 나타내는 노멀리 오프형 TFT를 얻는다. 따라서, 이번의 V_o 의 $\text{In}/(\text{In}+\text{Zn})$ 값에 관한 의존성의 관계로부터, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 약 0.3이하일 경우 정의 V_o 를 나타내는 TFT가 실현될 수 있다는 것을 추정한다. 즉, 노멀리 오프 TFT의 실현의 관점에서 제1 아모퍼스 산화물 반도체 층의 조성비, $\text{In}/(\text{In}+\text{Zn})$ 이 0.3이하이다.
- [0132] 또한, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.57이하인 경우에 오프 전류가 10^{-12} 이하를 나타내는 TFT를 얻는다. 즉, 제1 아모퍼스 산화물 반도체 층의 조성비, $\text{In}/(\text{In}+\text{Zn})$ 은, 오프 전류가 작은 TFT의 실현의 관점에서 0.57이하이다.
- [0133] 또한, 도 3에서, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.6이하일 경우에, 온, 오프비가 10^9 이상을 나타내는 전계 효과형 트랜지스터인 TFT를 얻는다. 즉, 예시 1에서 제1 아모퍼스 산화물 반도체층의 조성비, $\text{In}/(\text{In}+\text{Zn})$ 은, 온, 오프비가 큰 TFT의 실현의 관점에서 약 0.6이하, 특히 0.55이하이다.
- [0134] 추가로, 예시 1에 있어서, In 조성비의 변화에 크게 영향을 미치지 않고, $15 \sim 25 \text{cm}^2/\text{V s e c}$ 의 이동도를 실현하고 있는 것을 도 4로부터 확인할 수 있었다. 특히, 제1 아모퍼스 산화물층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.35이상일 경우 전계 효과 이동도 μ 가 $20 \text{cm}^2/\text{V s e c}$ 이상의 TFT를 얻는다. 즉, 예시 1에서 상기 제1 아모퍼스 산화물 반도체층의 조성비, $\text{In}/(\text{In}+\text{Zn})$ 은, 상술한 결과와 전계 효과 이동도가 큰 TFT의 실현의 관점에서 약 0.3이상이다.
- [0135] 또한, 도 5는, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 에 대한 서브스레숄드 스윙값($S_{\text{d e c}}$)이다. 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.35이하일 경우에, $S_{\text{d e c}}$ 이 1이하를 갖는 TFT가 실현된다. 이 결과로부터, 본 예시 1에서는, 제1 아모퍼스 산화물 반도체층의 $\text{In}/(\text{In}+\text{Zn})$ 이 0.4이하일 경우 $S_{\text{d e c}}$ 이 1이하를 갖는 TFT가 실현가능하다고 추정된다. 즉, 예시 1에서는, 제1 아모퍼스 산화물 반도체층의 조성비, $\text{In}/(\text{In}+\text{Zn})$ 가, $S_{\text{d e c}}$ 이 작은 TFT의 실현의 관점에서 0.4이하이다.
- [0136] (예시 2)
- [0137] 예시 2에서는, 도 1a에 나타내는 튜 게이트형 전계 효과형 트랜지스터를 사용해서 예시 1에서와 같은 평가를 행한다. 구체적으로는, 채널층은, 제1 아모퍼스 산화물층(11a)으로서 Zn-In-O 를 사용하고, 제2 아모퍼스 산화물층(11b)은 Zn-In-Ge-O 를 사용한다. 이렇게 해서, 도 1a에 나타내는 튜 게이트형 전계 효과형 트랜지스터를 제작해서 예시 1과 마찬가지로 평가를 행한다. 그 결과, 예시 1과 마찬가지로 본 발명의 측면들에

따른 박막트랜지스터의 효과를 확인할 수 있었다.

(예시 3)

예시 3에서는, 도 1b에 나타내는 보텀 게이트형 전계 효과형 트랜지스터를 사용하여 상기 예시 1에서와 같은 평가를 행했다. 구체적으로는, 채널층에 관해, 제1 아모퍼스 산화물 반도체층(11a)으로서 $Zn-In-O$ 를 사용하였고, 제2 아모퍼스 산화물 반도체층(11b)으로서 $Zn-In-Ge-O$ 를 사용하였다. 이렇게, 도 1b에 도시된 것처럼, 게이트 전극(15) 위에 상기 게이트 절연층(12)과 반도체 채널층(11)을 갖는 보텀 게이트형 전계 효과형 트랜지스터를 제작하고, 예시 1에서와 같이 평가를 행했다. 그 결과, 본 발명의 측면들에 따른 박막트랜지스터의 효과를 예시 1에서와 같이 확인할 수 있었다.

(예시 4)

예시 4에서는, 예시 1에서의 제1 아모퍼스 산화물 반도체층의 전기적 특성에 관하여 나타낸다. $In/(In+Zn)$ 이 0.45를 나타내는 $Zn-In-O$ 막의 홀 이동도를 평가한 결과를 표 1a에 나타낸다. 박막의 제작 조건은, 예시 1의 제1 아모퍼스 산화물 반도체층의 성막 조건에 준하고 있다. 막두께는 300 nm이며, 250℃ 공기중에서 1시간 어닐링 처리를 실시했다. 박막은, X선회절에 의거하여 아모퍼스인 것이 확인되었다.

다음에, 제2 아모퍼스 산화물 반도체층의 전기적 특성에 관하여 설명한다. $In:Zn:Ge$ 가 42:45:13의 $Zn-In-Ge-O$ 막의 홀 이동도를 평가한 결과를 표 1b에 나타낸다. 박막의 제작 조건은, 예시 1의 제1 아모퍼스 산화물 반도체층의 성막 조건에 준하고 있다. 막두께는 300 nm정도이며, 250℃ 공기중에서 1시간 어닐링 처리를 실시한다. 박막은, X선회절에 의거하여 아모퍼스인 것이 확인되었다.

이것들의 결과로부터, $Zn-In-O$ 막은 $Zn-In-Ge-O$ 막보다도 큰 이동도 특성을 나타내는 것을 안다. 예시 1의 디바이스 구성에 있어서는, 제1 아모퍼스 산화물 반도체층($Zn-In-O$)의 재료의 전하이동도가 제2 아모퍼스 산화물 반도체층($Zn-In-Ge-O$)의 재료의 전하이동도보다 큰 것을 안다. 예시 1에서는, 게이트 절연층에 접하는 측(제1 아모퍼스 산화물 반도체층)에 큰 전하이동도를 갖는 재료를 적용함으로써 큰 전계 효과 이동도를 나타내는 TFT를 실현할 수 있다고 생각된다.

또한, 본 예시의 결과는, $Zn-In-Ge-O$ 막이 $Zn-In-O$ 막보다도 작은 캐리어 농도가 되는 것을 보이고 있다. 이것들의 결과로부터, 예시 1의 디바이스 구성에 있어서, 제1 아모퍼스 산화물 반도체층의 재료의 캐리어 농도가 제2 아모퍼스 산화물 반도체층의 재료의 캐리어 농도보다 큰 것을 안다. 게이트 절연층에 접하는 측(제1 아모퍼스 산화물 반도체층)에 비교적 큰 캐리어 농도를 가진 재료를 적용하고 있는에도 불구하고, 제2 아모퍼스 산화물 반도체층에 캐리어 농도가 낮은 막을 사용함으로써 큰 온, 오프비를 나타내는 TFT를 실현할 수 있다고 생각된다.

[표 1]

(a) $InZnO$ 막($In/(In+Zn) \approx 0.45$) 250℃ 공기중에서 어닐링한 후의 막특성

| IZO ($In/(In+Zn) \approx 0.45$ 막 250℃ 어닐링후) | |
|--|------------|
| 저항률 (Ωcm) | 0.32 |
| 이동도 ($cm^2/Vsec$) | 26.7 |
| 캐리어 농도 ($/cm^3$) | $-7.3E+17$ |

(b) $InGeZnO$ 막($In:Zn:Ge \approx 42:45:13$) 250℃ 공기중에서 어닐링한 후의 막특성

| InGeZnO ($In:Zn:Ge \approx 42:45:13$ 막 250℃ 어닐링후) | |
|--|------------|
| 저항률 (Ωcm) | 6.78 |
| 이동도 ($cm^2/Vsec$) | 12.1 |
| 캐리어 농도 ($/cm^3$) | $-7.6E+16$ |

(예시 5)

예시 5에서는, 예시 1과 마찬가지로 제작한 박막트랜지스터에 대하여, 계속해서, 공기중에서 250℃에서 1시간동안 어닐링을 행하고, 예시 1에서와 같은 평가를 행했다. 도 11은, 실온에서 측정한 본 예시의 TFT의

전달 특성을 나타내는 그래프다. 제1 아모퍼스 산화물 반도체층(11a)의 $I_n/(I_n+Z_n)$ 이 0.27~0.65의 범위 내에서 서로 다른 5개의 그래프가 도시되어 있다. 제2 아모퍼스 산화물 반도체층(11b)의 조성비 $I_n:Z_n:Ge$ 는, 42:45:13정도이었다. 예시 1과 마찬가지로, 제1 아모퍼스 산화물 반도체층의 $I_n/(I_n+Z_n)$ 값이 0.27~0.65일 경우에 TFT의 동작을 확인할 수 있었다.

[0152] 또한, 도 12는, 본 예시의 제1 아모퍼스 산화물 반도체층의 $I_n/(I_n+Z_n)$ 의 함수로서의 전계 효과 이동도 $\mu(cm^2/Vsec)$ 의 예를 나타내는 그래프다. I_n 조성비가 큰 소자에 대해 높은 전계 효과 이동도를 얻었다. 특히, 제1 아모퍼스 산화물 반도체층의 $I_n/(I_n+Z_n)$ 이 0.65인 소자에 관해서, $150cm^2/Vsec$ 이상을 나타내는 TFT를 얻었다. 또한, 제1 아모퍼스 산화물 반도체층의 $I_n/(I_n+Z_n)$ 이 약 0.57과 0.65인 경우의 TFT에 대해서, 그 전달 특성을 도 13a 및 도 13c에 도시하고, 전계 효과 이동도 $\mu(cm^2/Vsec)$ 를 도 13b 및 도 13d에 도시한다.

[0153] 이것들의 $I_n/(I_n+Z_n)$ 조성비(I_n 조성이 높은 조성 영역)에 대해 단층 채널을 포함하는 TFT를 제작하는 경우에, 부(negative)의 게이트 전압을 인가하여서 적절한 오프 상태를 얻는 것이 곤란하다. 한편, 본 예시의 구성에서는, 부의 게이트 전압을 인가함으로써 I_d 를 $10^{-10}A$ 이하까지 감소시키는 것(오프하는 것)이 가능하다.

[0154] 아울러, 도 13b 및 도 13d에 나타나 있는 바와 같이, 전계 효과 이동도가 100을 넘는 값을 얻었다. 이 상과 같이, 본 예시에서는, 높은 전류 전달이 가능하여, 고이동도 트랜지스터로서의 사용 가능성이 높다.

[0155] 즉, 본 예시에 따른 적층 채널을 갖는 TFT에 있어서는, 제1 아모퍼스 산화물 반도체층에 I_n 함유량이 큰 산화물 반도체를 적용할 수 있다. 이에 따라, 단층 채널 구조에서는 도달하기 곤란한 레벨의 큰 전계 효과 이동도를 갖는 TFT를 실현할 수 있다.

[0156] 또한, 도 10은, -4V 내지 20V의 게이트 전압에서의 I_d-V_d 특성을 나타낸다. 전형적인 트랜지스터 특성으로서 핀치오프 특성(V_d 의 증가와 함께 I_d 가 포화되는 현상)이 관찰된다.

[0157] (예시 6)

[0158] 예시 6는, 도 1a에 나타낸 것처럼, 톱 게이트형 전계 효과형 트랜지스터의 예를 나타낸다. 구체적으로는, 채널층에 관해서, 제1 아모퍼스 산화물 반도체층(11a)은 $Zn-I_n-O$ 로 이루어지고, 제2 아모퍼스 산화물 반도체층(11b)은 $Zn-I_n-Ge-O$ 로 이루어진다. 제1 아모퍼스 산화물 반도체층에 있어서의 조성비는, $I_n:Zn \approx 40:60$ 이며, 제2 아모퍼스 산화물 반도체층에 있어서의 조성비는, $I_n:Zn:Ge \approx 43:46:11$ 이다.

[0159] 참조번호 10은 유리 기판, 13 및 14는 Mo 로 이루어진 소스 및 드레인 전극, 12는 SiO_x 로 이루어진 게이트 절연막, 15는 Mo 로 이루어진 게이트 전극이다. 예시 1과 비교하면, 2개의 재료의 적층순서가 반대이다. 게이트 절연막에 접하는 층의 재료가 $Zn-I_n-O$ 인 예시 1과 공통이다.

[0160] 이러한 적층 채널 구조를 적용함으로써, 예시 1과 마찬가지로, 이동도가 크고, 조성비에 의한 특성변동이 작은 박막트랜지스터를 제작할 수 있다.

[0161] (예시 7)

[0162] 예시 7은, 도 1b에 나타낸 것처럼, 보텀 게이트형 전계 효과형 트랜지스터의 예를 나타낸다. 구체적으로는, 채널층에 관해서, 제1 아모퍼스 산화물 반도체층(11a)은 $Zn-I_n-O$ 로 이루어지고, 제2 아모퍼스 산화물 반도체층(11b)은 $Zn-I_n-Si-O$ 로 이루어진다. 제1 아모퍼스 산화물 반도체층에 있어서의 조성비는 $I_n:Zn \approx 38:62$ 이며, 제2 아모퍼스 산화물 반도체층에 있어서의 조성비는 $I_n:Zn:Si \approx 44:47:9$ 이다. 참조번호 10은 유리 기판, 13 및 14는 Au/Ti 로 이루어진 소스 및 드레인 전극, 12는 SiO_x 로 이루어진 게이트 절연막, 15는 Mo 로 이루어진 게이트 전극이다.

[0163] 이러한 적층 채널 구조를 적용함으로써 예시 1의 보텀 게이트형의 구성과 마찬가지로, 이동도가 크고, 조성비에 대한 특성변동이 작은 박막트랜지스터를 제조할 수 있다.

[0164] (예시 8)

[0165] 예시 8은, 본 발명의 측면들에 따른 적층 채널 TFT의 구동 안정성을 평가한 예다. 본 예시 8에서는,

예시 5에 따른 구성의 소자(제1 아모퍼스 산화물 반도체층의 조성은 $Zn:In \approx 36:64$, 제2 아모퍼스 산화물 반도체층의 조성은 $In:Zn:Ge \approx 42:45:13$)에 대하여, 소정 기간의 전압인가(스트레스)를 행하고, 그 스트레스 전후에서의 TFT 특성(전달 특성)의 차이를 비교했다. 전압 스트레스에 있어서는, 직류전압을 사용하고, 게이트 전압($V_g=12V$)과, 소스 드레인 전압($V_d=6V$)을 동시에 인가했다. 전압인가 시간은 800sec이다.

스트레스 전후의 전달 특성으로부터 추출한 TFT 특성 파라미터(V_o, S, V_t, μ)의 차이를 표 2a에 나타낸다. 표 2b에는, 비교 예로서, 상기 제1 아모퍼스 산화물 반도체층과 같은 조성비를 갖는 $Zn-In-O$ 막 단층의 채널층으로 이루어진 소자의 스트레스 내성 측정 결과도 보이고 있다. 비교 예에서는, 스위칭 전압(V_o)의 쉬프트가 0.64V인 반면에, 본 예시에서는 V_o 의 쉬프트가 0.33V로 크게 경감되어 있다. 이에 따라, 본 예시에 따른 TFT에서는, 구동에 대하여 높은 안정성을 나타내는 것을 안다.

[표 2]

(a) 예시 5의 제1 아모퍼스 산화물 반도체층의 $In/(In+Zn) \approx 0.36$ 의 TFT에 있어서의 DC스트레스의 영향

| | 스트레스 전의 값 | 스트레스 후의 값 | 스트레스 전후의 차이 |
|-----------------------|-----------|-----------|-------------|
| V_o (V) | -1.07 | -0.74 | 0.33 |
| S (V/dec) | 0.40 | 0.39 | -0.01 |
| V_t (V) | 1.30 | 1.75 | 0.45 |
| μ ($cm^2/Vsec$) | 23.47 | 23.47 | 0.00 |

DC 스트레스 측정에 있어서의 TFT 특성변화($V_g=12V, V_d=6V, 800sec$)

(b) IZO 단층 TFT($In/(In+Zn) \approx 0.36$)(250도 공기중 1시간 어닐링 후)에 있어서의 DC스트레스의 영향

| | 스트레스 전의 값 | 스트레스 후의 값 | 스트레스 전후의 차이 |
|-----------------------|-----------|-----------|-------------|
| V_o (V) | -1.18 | -0.54 | 0.64 |
| S (V/dec) | 0.41 | 0.42 | 0.01 |
| V_t (V) | 2.13 | 3.10 | 0.97 |
| μ ($cm^2/Vsec$) | 20.76 | 21.46 | 0.70 |

DC 스트레스 측정에 있어서의 TFT 특성변화($V_g=12V, V_d=6V, 800sec$)

(예시 9)

예시 9는, 도 1c에 나타낸 것처럼, 보텀 게이트형 전계 효과형 트랜지스터의 예를 나타낸다. 구체적으로는, 채널층의 제1 아모퍼스 산화물 반도체층(11a)으로서 $Zn-In-O$ 계 막을 선택했다. 그리고, 제2 아모퍼스 산화물 반도체층(11b)으로서 제1 아모퍼스 산화물 반도체층(11a)과 다른 조성을 갖는 $Zn-In-O$ 계 반도체막을 선택했다. 제1 아모퍼스 산화물 반도체층의 조성비, $In/(In+Zn)$ 는 0.57이며, 제2 아모퍼스 산화물 반도체층의 조성비는 $In/(In+Zn)$ 는 0.48이다.

기관(10)은 n^+ 형 Si 기관이고, 소스 및 드레인 전극(13,14)은 각각 100nm 및 5nm의 두께를 갖는 Au와 Ti의 층상구조체로 형성되고, 게이트 절연막(12)은 SiO_x 로 이루어진다.

도 14는, 실온에서 측정한 본 예시에 따른 TFT의 전달 특성을 나타내는 그래프다. 상술한 비교 예에 있어서는, 채널층의 $In/(In+Zn)$ 값이 0.57인 경우에, 도 2b에 나타나 있는 바와 같이, TFT 작동하지 않고 있다. 한편, 본 예시의 TFT에서는, 도 14에 나타나 있는 바와 같이, 동작을 확인할 수 있었다.

본 예시와 비교 예의 조성으로부터, 본 발명의 측면들에 따른 적층 채널 구성은 단층 채널 구성(비교 예1)보다 넓은 조성비, $In/(In+Zn)$ 에 대하여, TFT 동작이 가능한 것이 확인되었다.

이러한 적층 채널 구조를 적용함으로써, 예시 1과 마찬가지로, 이동도가 크고, 조성비에 의한 특성변동

이 작은 박막트랜지스터를 제작할 수 있다.

[0180] (비교 예)

[0181] 비교예로서, 도 2b는 예시 1의 제 1 아모퍼스 산화물층과 같은 조성비를 갖는 Zn-In-O막의 일층으로 이루어진 채널층으로 형성된 TFT의 전류-전압 특성을 나타낸다. In의 조성비가 증가하면, 스위칭 전압이 떨어지고, TFT로서 작동하지 않았다.

[0182] 본 비교 예에 있어서는, $I_n/(I_n+Z_n)$ 이 0.27과 0.36인 소자에서는 스위칭 동작을 행한다. 그렇지만, I_n 의 조성비가 증가하면($I_n/(I_n+Z_n)$ 이 0.45), 스위칭 전압 V_o 가 떨어진다. 게다가, $I_n/(I_n+Z_n)$ 이 0.57 및 0.65인 경우, TFT로서 작동하지 않았다.

[0183] 예시 1과 비교 예의 조성을 도 2를 참조하여 알 수 있듯이, 본 예시의 적층 채널 구성은 단층 채널 구성(비교 예)과 비교하여, 보다 넓은 조성비, $I_n/(I_n+Z_n)$ 에 대하여, TFT동작이 가능하였다.

[0184] 또한, 도 3을 참조하여 예시 1과 비교 예간의 온,오프비의 조성으로부터, 비교 예(단층 Zn-In-O채널)에서 I_n 조성비가 큰 조성에 대해 온, 오프비가 감소하는 반면에, 본 예시 1의 적층 채널 TFT에 대해 넓은 조성 범위에 걸쳐 높은 온, 오프비를 얻는 것을 안다. 즉, 본 예시에서는, 조성 변동에 의한 TFT특성의 변동이 작다고 말할 수 있다.

[0185] 즉, TFT 특성, 예를 들면 전계 효과 이동도와 온,오프 전류비가 뛰어나고 조성비 변동과 함께 소자특성의 변동이 작은 우수한 트랜지스터 특성은, Zn-In-O로 이루어진 상기 제1 아모퍼스 산화물 반도체층과 새로운 아모퍼스 산화물 반도체인 Zn-In-Ge-O로 이루어진 제2 아모퍼스 산화물 반도체층으로 형성된 적층 채널을 사용하여 실현될 수 있다.

[0186] 본 발명의 측면들을 예시적 실시예들을 참조하여 기재하였지만, 본 발명은 상기 개시된 예시적 실시예들에 한정되지 않는다는 것을 알 것이다. 아래의 청구항의 범위는, 모든 변형, 동등한 구조 및 기능을 포함하도록 아주 넓게 해석해야 한다.

도면의 간단한 설명

[0187] 도 1a 내지 도 1c는 본 발명의 실시예에 따른 제1 및 제2 아모퍼스 산화물층으로 이루어진 채널을 포함하는 박막트랜지스터의 개략을 나타내는 단면도다.

[0188] 도 2a 및 도 2b는 본 발명 및 비교 예에 따른 TFT의 전류-전압 특성의 In조성 의존성의 예를 나타낸 도면이다.

[0189] 도 3은 본 발명의 실시예에 따른 TFT에서의 제1 아모퍼스 산화물층의 $I_n/(I_n+Z_n)$ 조성비에 대한 온, 오프 전류비 변화의 예를 나타내는 그래프다.

[0190] 도 4는 본 발명의 실시예에 따른 TFT에서의 제1 아모퍼스 산화물층의 $I_n/(I_n+Z_n)$ 조성비에 대한 전계 효과 이동도 변화의 예를 나타내는 그래프다.

[0191] 도 5는 본 발명의 실시예에 따른 TFT에서의 제1 아모퍼스 산화물층의 $I_n/(I_n+Z_n)$ 조성비에 대한 서브스레숄드 스윙 $\Delta S(V/d e c)$ 의 값 변화의 예를 나타내는 그래프다.

[0192] 도 6은 본 발명의 실시예에 따른 전계 효과형 트랜지스터의 채널층을 형성하기 위해서 사용된 성막 시스템의 개략을 도시한 도면이다.

[0193] 도 7은 본 발명의 실시예에 따른 표시장치의 개략적인 단면도다.

[0194] 도 8은 본 발명의 실시예에 따른 표시장치의 개략적인 단면도다.

[0195] 도 9는 유기 EL 소자와 박막트랜지스터를 포함하는 화소를 이차원 모양으로 배열한 표시장치의 구성을 개략적으로 나타낸 도면이다.

[0196] 도 10은 본 발명의 실시예에 따른 TFT의 I_d-V_d 특성을 나타내는 그래프다.

[0197] 도 11은 본 발명에 따른 TFT(250℃의 공기중에서 1시간 어닐링 후)의 전류-전압특성의 I_n 조성의존성을 도시한 도면이다.

[0198] 도 12는 본 발명의 실시예에 따른 TFT에서의 제1 아모퍼스 산화물 반도체층의 $I_n/(I_n+Z_n)$ 조

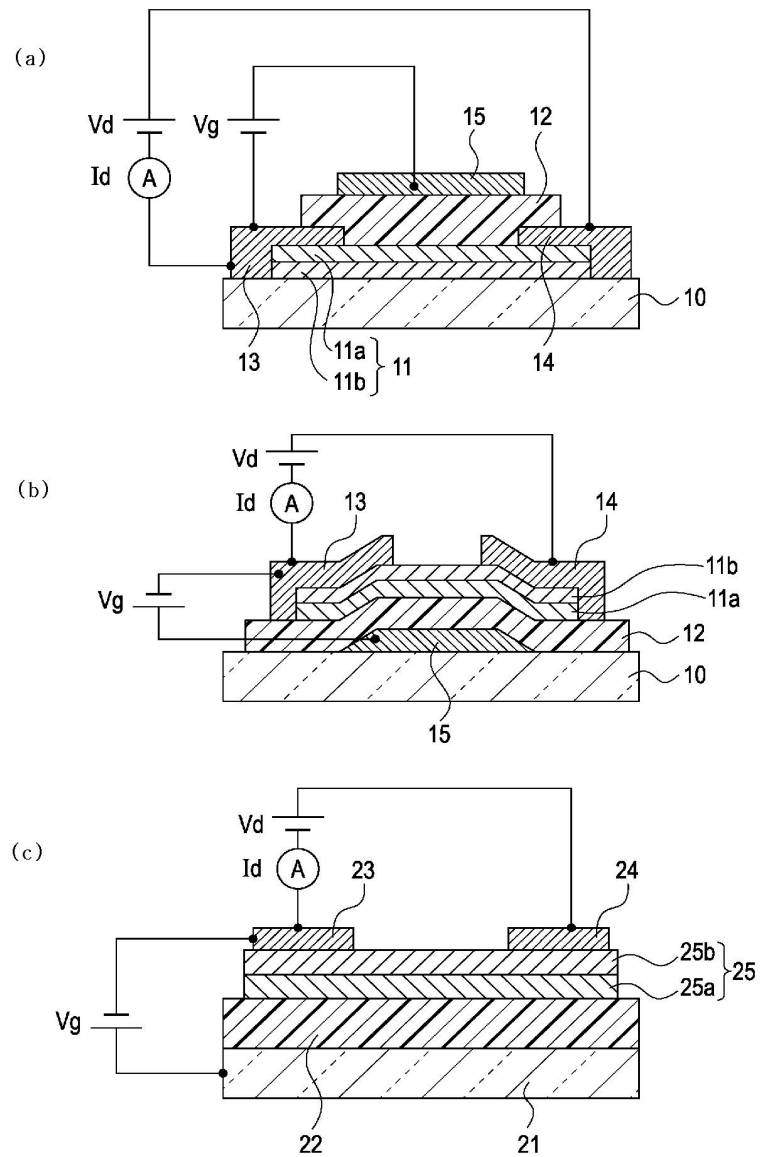
성비에 대한 전계 효과 이동도 변화의 예를 나타내는 그래프다.

[0199] 도 13a 내지 도 13d는 본 발명의 실시예에 따른 TFT의 전달 특성과 전계 효과 이동도를 도시한 도면이다.

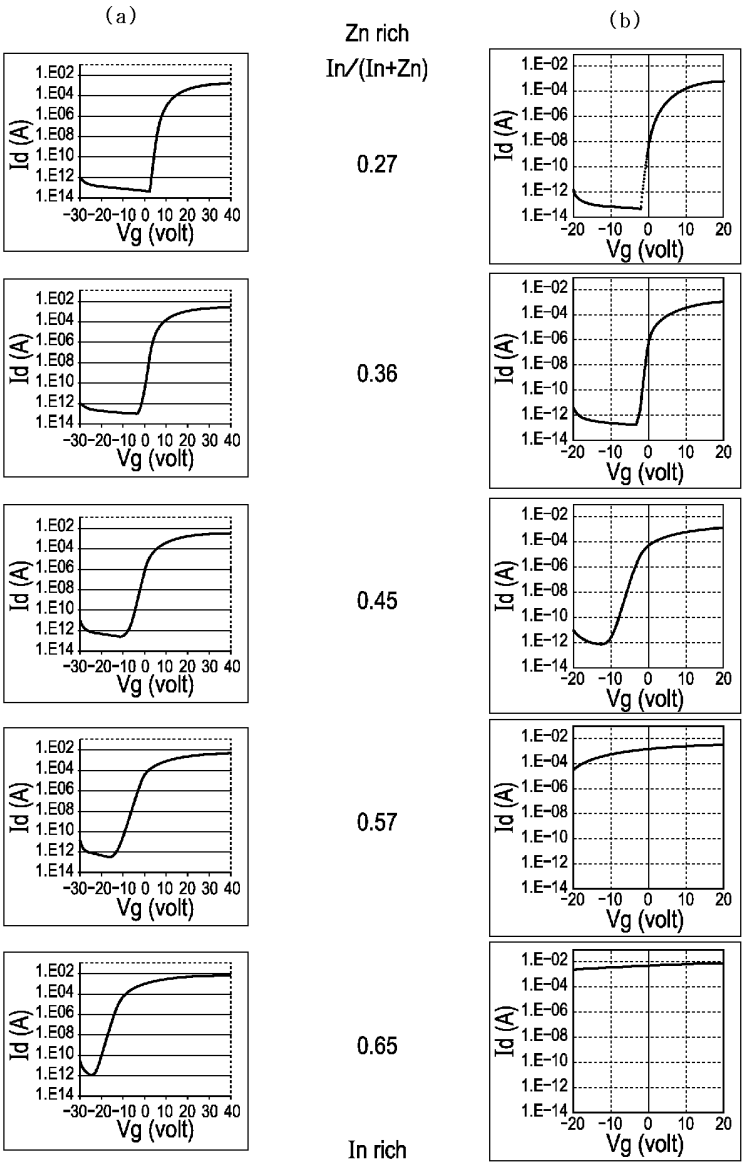
[0200] 도 14는 본 발명에 따른 TFT의 전달 특성을 나타내는 그래프다.

도면

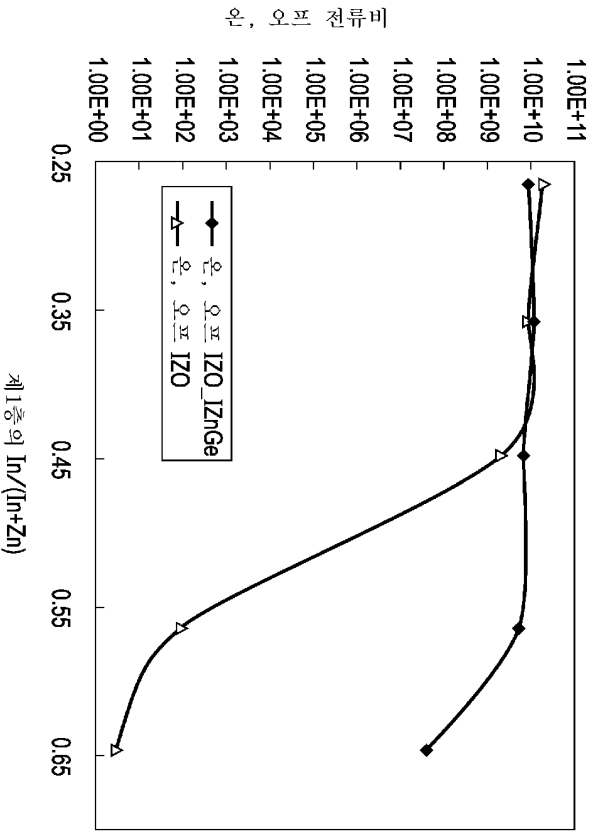
도면1



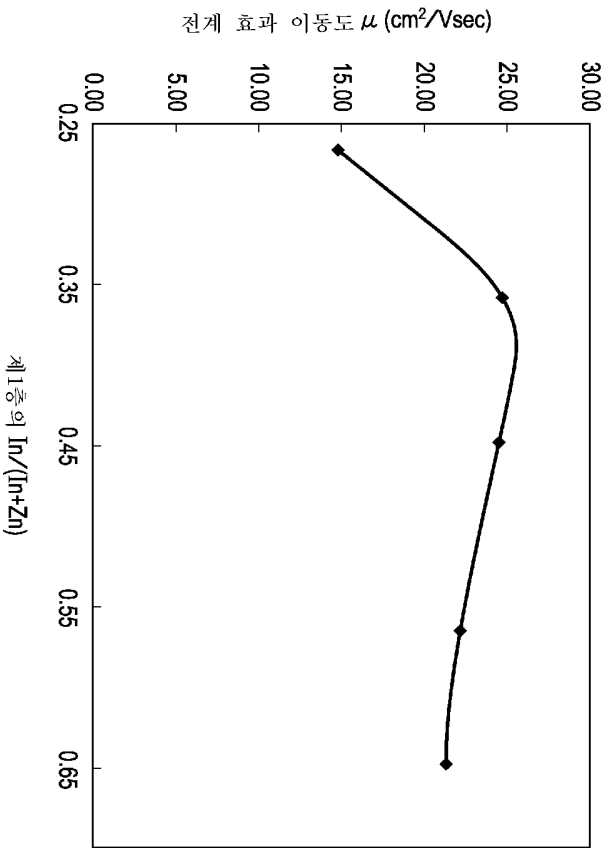
도면2



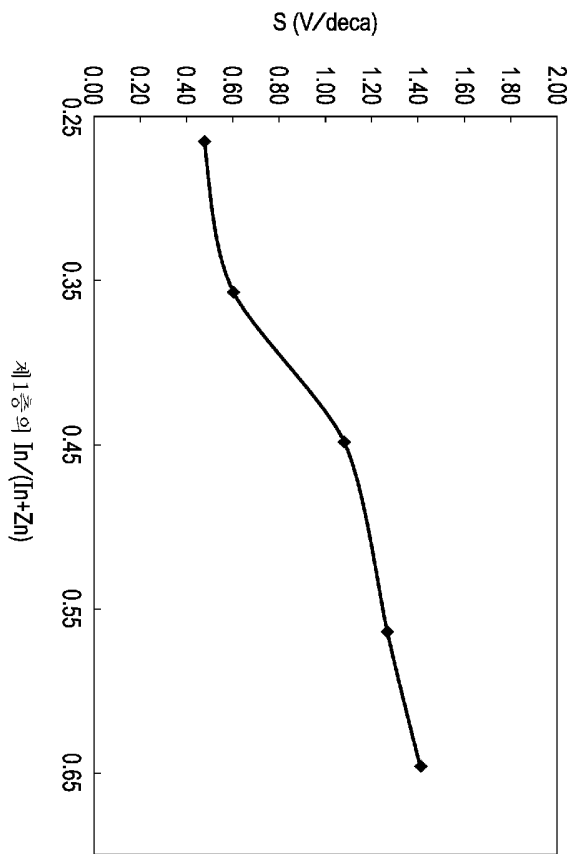
도면3



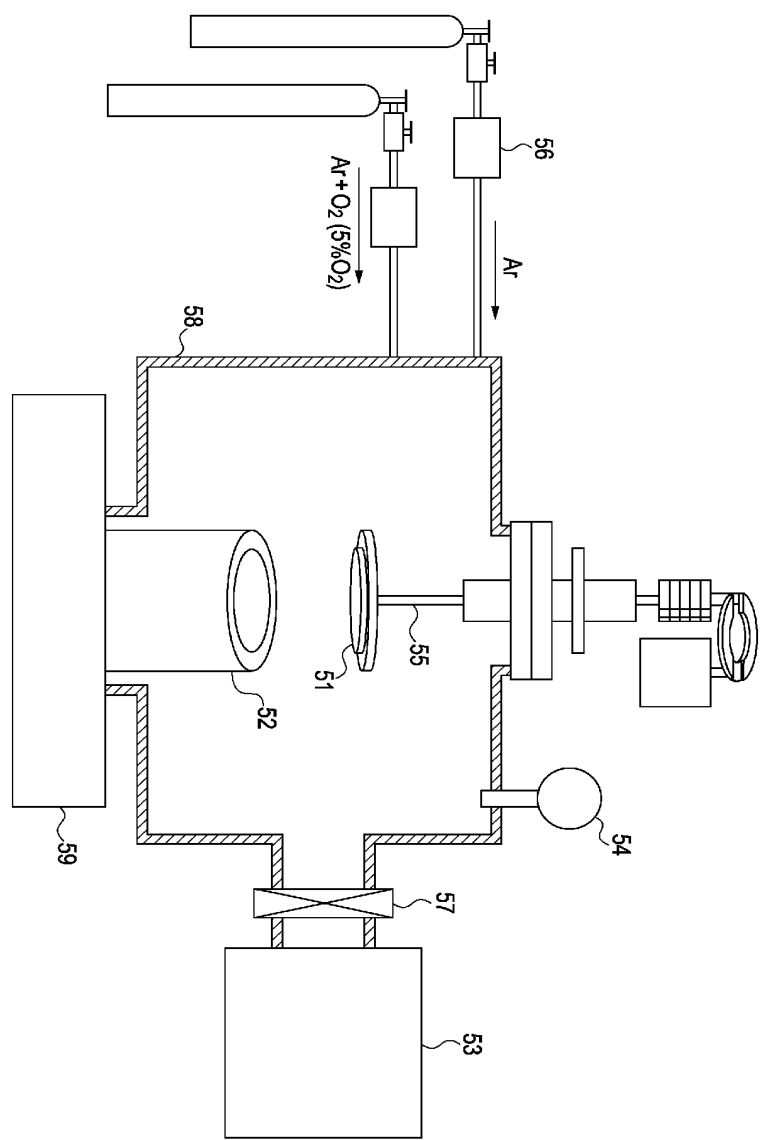
도면4



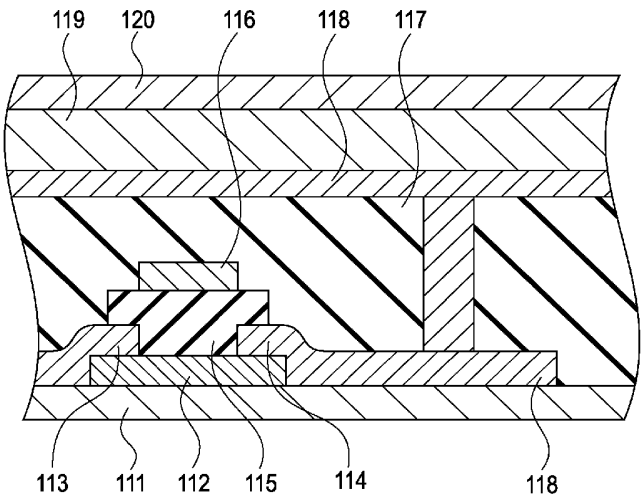
도면5



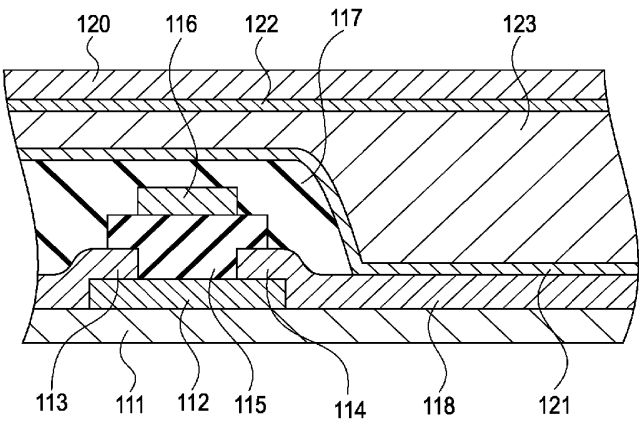
도면6



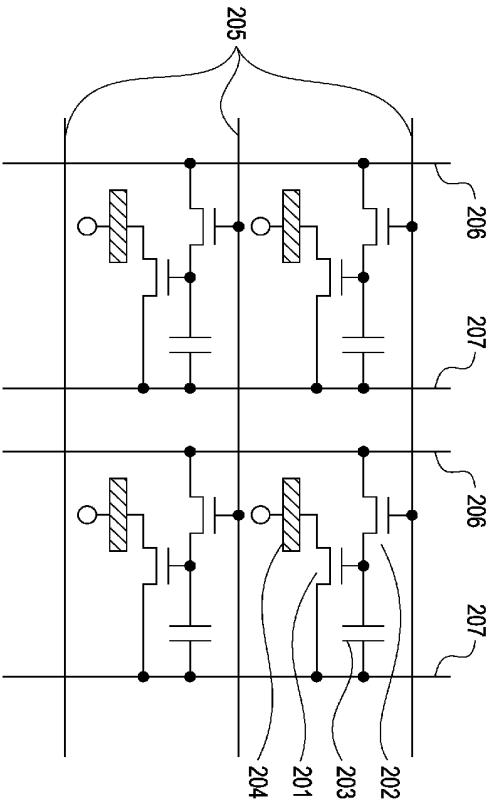
도면7



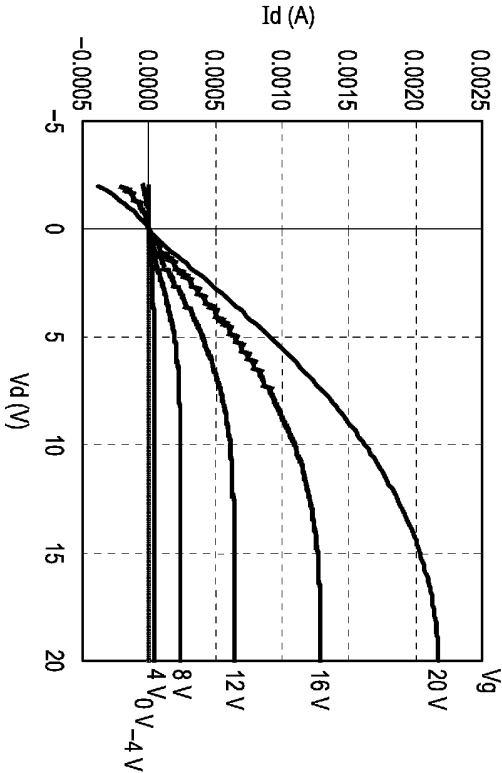
도면8



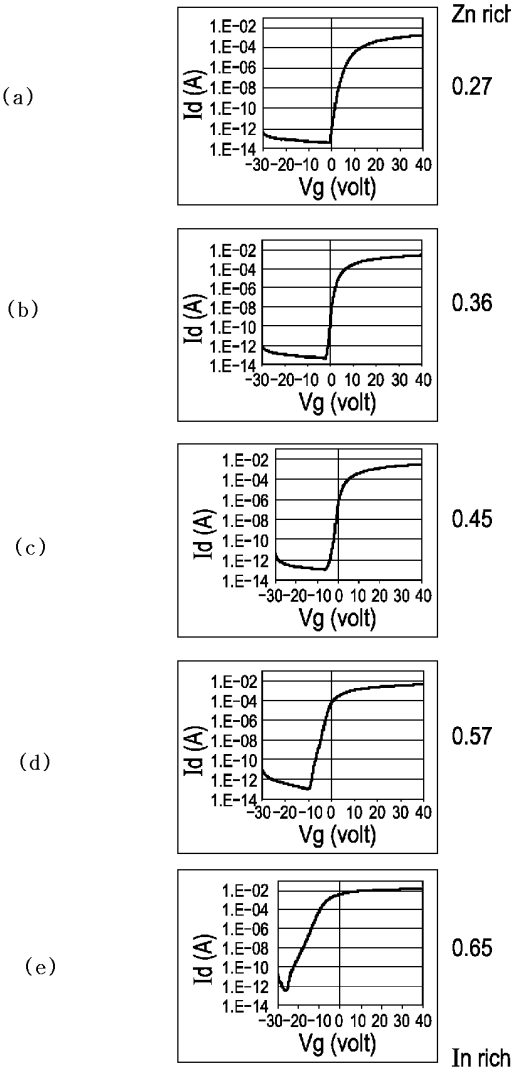
도면9



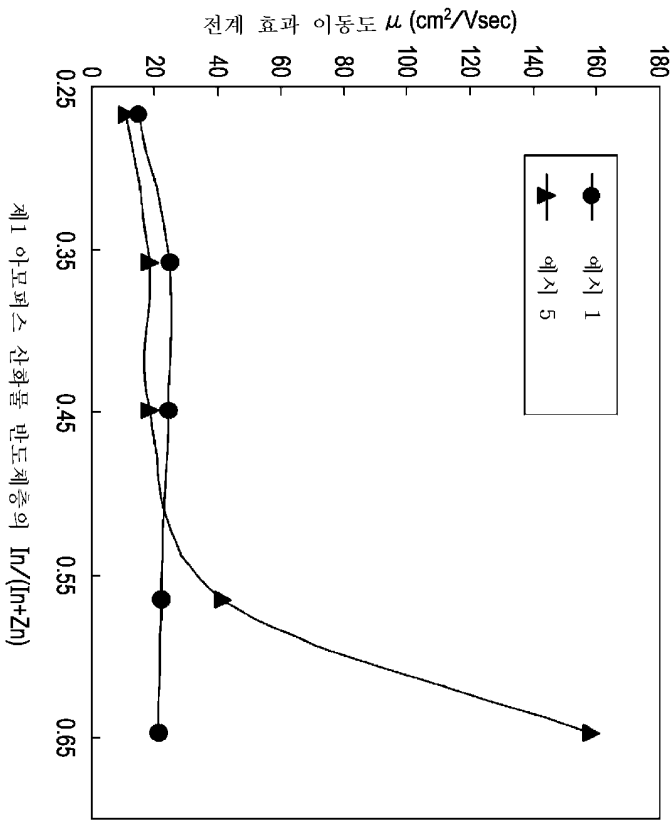
도면10



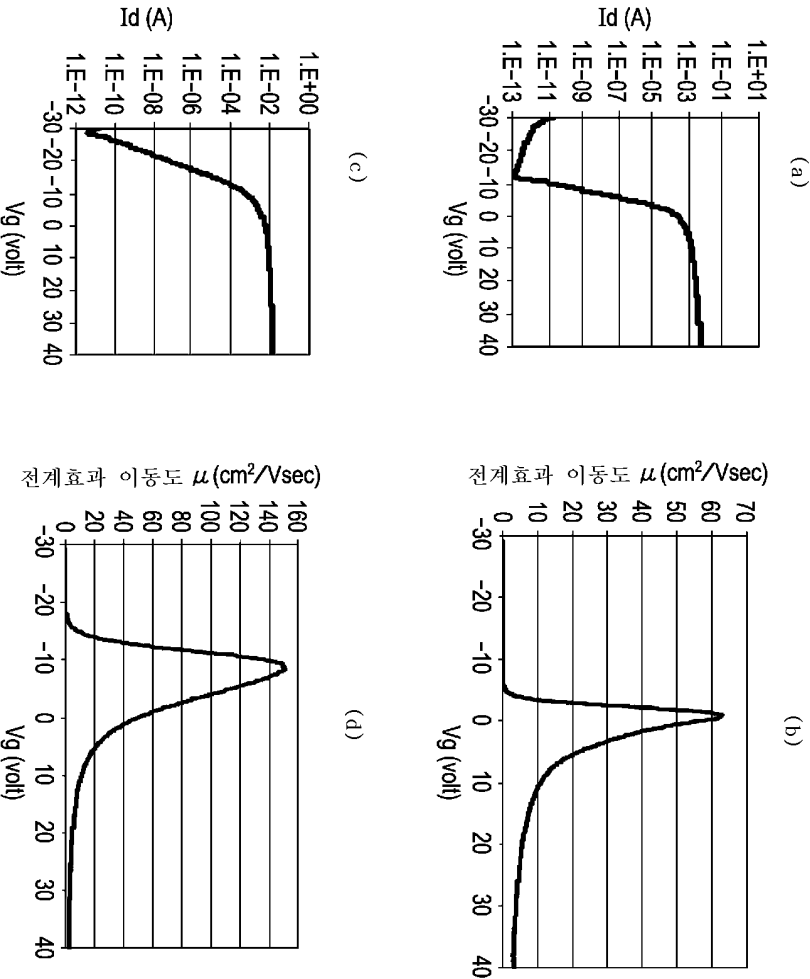
도면11



도면12



도면13



도면14

