

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2003-241957(P2003-241957A)
 【公開日】平成 15 年 8 月 29 日 (2003.8.29)
 【出願番号】特願 2002-300220(P2002-300220)
 【国際特許分類第 7 版】

G 0 6 F 3/153

G 0 6 T 1/20

G 0 9 G 5/00

【F I】

G 0 6 F 3/153 3 3 0 A

G 0 6 T 1/20 Z

G 0 9 G 5/00 5 5 5 T

【手続補正書】

【提出日】平成 17 年 4 月 22 日 (2005.4.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】シングルチップ表示プロセッサ

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シングルチップ表示プロセッサにおいて、

(a) グラフィック画素データとビデオ画素データの少なくとも 1 つを記憶するダイナミックランダムアクセスメモリ (D R A M) と、

(b) D R A M と同じ集積回路 (I C) チップに集積され、前記画素データを処理する画素データユニット (P D U) とから構成され、

(c) 前記 I C は、D R A M から前記 P D U へ同時に画素データのブロックを転送する並列バスを含み、

前記 P D U は、処理された画素データを表示するために、画素データのブロックを処理可能であり、

(d) 前記 D R A M は、複数のワード線の行と、前記ワード線の行と直交する複数のビット線の列と、前記ビット線とワード線に接続され、それぞれ画素データのビットを記憶するビット記憶セルと、前記ビット線に接続されたセンスアンプの行と、センスアンプのグループの動作を可能にするために複数の前記センスアンプの前記グループに接続されたセンスアンプ選択線と、を備え、前記センスアンプと選択線は前記ワード線と平行に前記 I C チップに支持され、前記並列バスを構成するデータバス線はそれぞれセンスアンプの出力に接続されており、ビット線に平行に前記 I C チップに支持されており、

(e) 前記 P D U は、4 つのビット線列と等しいピッチ間隔を有し、シングルビット P D U プロセッサから構成され、パラレル処理のために対応するデータバスからのビットを仮想的に同時に受信する、

ことを特徴とするシングルチップ表示プロセッサ。

【請求項 2】

シングルチップ表示プロセッサにおいて、

(a) グラフィック画素データとビデオ画素データの少なくとも 1 つを記憶するダイナミックランダムアクセスメモリ (DRAM) と、

(b) DRAM と同じ集積回路 (IC) チップに集積され、前記画素データを処理する画素データユニット (PDU) とから構成され、

(c) 前記 IC チップは、DRAM から前記 PDU へ画素データのブロックを転送する並列バスを含み、

前記 PDU は、処理された画素データを表示するために、画素データのブロックを処理可能であり、

(d) 前記 DRAM は、

複数のワード線の行と、前記ワード線の行と直交する複数のビット線の列と、

前記ビット線とワード線に接続され、それぞれ画素データのビットを記憶するビット記憶セルと、前記ビット線に接続されたセンスアンプの行と、センスアンプのグループの動作を可能にするために複数の前記センスアンプの前記グループに接続されたセンスアンプ選択線と、を備え、前記センスアンプと選択線は前記ワード線に平行に前記 IC チップに支持され、前記並列バスを構成するデータバス線はそれぞれセンスアンプの出力に接続されており、ビット線に平行に前記 IC チップに支持されており、前記 PDU はビット線列の所定の数にマッチするピッチであり、

(e) 前記各 PDU は、複数の PDU ユニットから構成され、各 PDU ユニットは、シングルビット PDU プロセッサから構成され、各 PDU プロセッサは、データバスに接続され、センスアンプからの論理ビットを受信し、

(f) 隣接したアドレスを有する任意の数の PDU プロセッサの動作を同時に可能状態にする PDU アドレスデコーダを有し、任意の隣接したビット線からの任意の幅を持つデータが前記任意の数の PDU プロセッサに書き込まれるか、あるいは任意の幅を持った前記の数の PDU プロセッサがシングルサイクルで消去される、

ことを特徴とするシングルチップ表示プロセッサ。

【請求項 3】

シングルチップ表示プロセッサにおいて、

(a) グラフィック画素データとビデオ画素データの少なくとも 1 つを記憶するダイナミックランダムアクセスメモリ (DRAM) と、

(b) DRAM と同じ集積回路 (IC) チップに集積され、前記画素データを処理する画素データユニット (PDU) とから構成され、

(c) 前記 IC チップは、DRAM から前記 PDU へ画素データのブロックを転送する並列バスを含み、

前記 PDU は、処理された画素データを表示するために、画素データのブロックを処理可能であり、

(d) 前記 DRAM は、

複数のワード線の行と、前記ワード線の行と直交する複数のビット線の列と、前記ビット線とワード線に接続され、それぞれ画素データのビットを記憶するビット記憶セルと、前記ビット線に接続されたセンスアンプの行と、センスアンプのグループの動作を可能にするために複数の前記センスアンプの前記グループに接続されたセンスアンプ選択線と、を備え、前記センスアンプと選択線は前記ワード線に平行に前記 IC チップに支持され、前記並列バスを構成するデータバス線はそれぞれセンスアンプの出力に接続されており、ビット線に平行に前記 IC チップに支持されており、前記 PDU はビット線列の所定の数にマッチするピッチであり、

(e) 前記各 PDU は、複数の PDU ユニットから構成され、各 PDU ユニットは、シングルビット PDU プロセッサから構成され、各 PDU プロセッサは、データバスに接続され、センスアンプからの論理ビットを受信し、

(f) 各 P D U ユニットは、1 ビットソース可変レジスタと、行き先可変レジスタと、ブラシ可変レジスタと、前記レジスタに記憶されたビットを論理演算するための 4 入力ラスタ演算 (R O P 4) 回路と、 R O P 4 回路の出力データを記憶する R O P 4 レジスタと、 P D U プロセッサの出力データをマスキングするためのマスクレジスタから構成され、各レジスタは R O P 4 回路に接続され、 R O P 4 回路と各レジスタは 4 本のビット線列に等しいピッチ間隔でデータバスに接続されている、
ことを特徴とするシングルチップ表示プロセッサ。

【請求項 4】

各ソース、行き先、ブラシ可変レジスタはそれぞれ、1 組の N M O S トランジスタを介してメモリアクセス回路を通し各データバスに接続されている相互結合インバータから構成される請求項 3 に記載のプロセッサ。

【請求項 5】

各ソースレジスタ、行き先レジスタ、及びブラシ可変レジスタはそれぞれ 2 ポートを有し、1 組の N M O S トランジスタを経由してメモリ回路を通過し 1 つのポートから対応するデータバスに接続される相互結合インバータからなり、2 番目のポートから R O P 4 回路に接続されたレジスタバスに接続される請求項 3 に記載のプロセッサ。

【請求項 6】

各インバータは、V D D 電圧供給端と V S S 接地端とを備え、さらにインバータに対する書き込みサイクルを実行するために、V D D 電圧供給端と V S S 接地端とに $1 / 2 V D D$ の電圧を印加して等しくし、前記レジスタバスに対して入力データを入力し、レジスタを選択し、その後、V D D 電圧供給端の電圧を V D D に、V S S 接地端の電圧を V S S に設定する手段を備える、ことを特徴とする請求項 5 に記載のプロセッサ。

【請求項 7】

読みだしサイクルを実行するために、レジスタを読む前に、レジスタバスを V D D 電圧にプリチャージすることを特徴とする請求項 6 に記載のプロセッサ。

【請求項 8】

読みだしサイクルを実行するために、出力電圧 V D D の代わりに、V D D より N M O S トランジスタ動作しきい値電圧 (V_t) だけ高い V P P 電圧を与える、請求項 6 に記載のプロセッサ。

【請求項 9】

シングルチップ表示プロセッサにおいて、

(a) グラフィック画素データとビデオ画素データの少なくとも 1 つを記憶するダイナミックランダムアクセスメモリ (D R A M) と、

(b) ハードウェアで、グラフィカルユーザインタフェース又はオペレーティングシステムによって要求されたインストラクションに従ってピクセルデータを処理し、前記 D R A M と同一の集積回路チップに集積化されたグラフィックプロセッサと、

(c) 前記 I C チップは、D R A M フレームバッファから画像プロセッサへと画像プロセッサから D R A M へ画素データのブロックを平行して転送する並列バスを含み、

前記画像プロセッサは処理された画像データの後に続く表示のために、前記画像データのブロックを処理し、画像データをフレームバッファに書き込み可能であり、

(d) 前記画像プロセッサは、少なくとも一つのレジスタと、アクセス手段を介して一組のデータバス線に接続する相互結合した V D D と V S S 接地入力からなるインバータからなる少なくとも一つのレジスタからなり、V D D と V S S の差の中間の電圧をデータバス線にプリチャージすることにより一組のデータバス線に対するインバータにアクセスするサイクルを実行し、インバータを一組のデータバス線に接続するために各レジスタを選択し、V D D 電圧供給端の電圧を V D D に、V S S 接地端の電圧を V S S に設定する手段を備えることを特徴とするシングルチップ表示プロセッサ。

【請求項 10】

前記中間電圧は約 $V D D / 2$ である請求項 9 に記載のプロセッサ。

【請求項 11】

シングルチップ表示プロセッサであって、

(a) 少なくとも一つの画像及びビデオ画素データを記憶するダイナミックランダムアクセスメモリ (D R A M) と、

(b) D R A M として同じ集積回路 (I C) に集積された前記画素データを処理する画素データユニット (P D U) と、

を備え、

(c) 前記 I C チップは、さらに D R A M から P D U へ同時に画素データのブロックを転送するための並列バスを備え、前記 P D U は処理された画素データの後に続く表示のために、画素データの前記ブロックを処理することができ、

(d) 前記 D R A M は、

複数のワード線の行と、前記ビット線の行と直交する複数のビット線の列と、

前記ビット線とワード線に接続され、それぞれ画素データのビットを記憶するビット記憶セルと、前記ビット線に接続されたセンスアンプの行と、センスアンプのグループの動作を可能にするために複数の前記センスアンプの前記グループに接続されたセンスアンプ選択線と、を備え、前記センスアンプと選択線は前記ワード線に平行に前記 I C チップに支持され、前記並列バスを構成するデータバス線はそれぞれセンスアンプの出力に接続されており、ビット線に平行に前記 I C チップに支持されており、前記 P D U はビット線列の所定の数にマッチするピッチであり、

(e) 前記 D R A M が使用されていないインターバルに、ビット線に接続されたセンスアンプにおいて前記 P D U からのデータを一時的に記憶する手段と、

(f) 前記並列バスを介して一時的に記憶するため前記 P D U から前記センスアンプに前記データを送信する手段と、
を備えたプロセッサ。

【請求項 1 2】

D R A M メモリが、マルチビット画素のフレーム全体の各画素に対し 1 ビットを記憶する別々のバッファブロックの中で構成される請求項 1 1 に記載のプロセッサ。

【請求項 1 3】

システムグラフィックプロセッサからの画素ビットを書き込みのためにそれぞれのバッファブロックへ送信し、またすべてのバッファブロックにおいて、ブロードキャストモードで、システムグラフィックプロセッサからの画素ビットを同じビット値の書き込みのために送信するシステムバスを含む請求項 1 2 に記載のプロセッサ。

【請求項 1 4】

出力画素データを与えるためのファーストページモードにおいてバッファブロックを読み出す手段を含む請求項 1 2 に記載のプロセッサ。

【請求項 1 5】

バッファブロックは、ビット容量において少なくとも 2 5 6 0 列幅、5 4 4 行の深さの大きさを持つ請求項 1 2 に記載のプロセッサ。

【請求項 1 6】

バッファブロックは、メモ帳データ、画素色データ、パターンデータ、テキストフォントデータ、ビデオデータの中で少なくとも 1 つを記憶するためのメモリの追加行を含む請求項 1 2 に記載のプロセッサ。

【請求項 1 7】

バッファブロックは、ビット容量において少なくとも 2 5 6 0 列幅、5 6 4 行の深さの大きさを持つ請求項 1 2 に記載のプロセッサ。

【請求項 1 8】

各バッファブロックは、D R A M と、前記並列バスを介して D R A M とピッチ間隔整合がとられ接続された関連した P D U を含む請求項 1 2 に記載のプロセッサ。

【請求項 1 9】

D R A M とピッチ間隔の等しい並列バスを介して接続されたグラフィック出力シフトレジスタと、前記バスを介してデータを同時に D R A M からグラフィック出力シフトレジス

タへ送信し、表示回路による処理のために前記送信データを順次出力する手段とを含む請求項 12 に記載のプロセッサ。

【請求項 20】

シフトレジスタは 1 組のシフトレジスタセグメントと、連続した画素のグループに対応したデータを各シフトレジスタの交互に 1 列に並んだ組に送信する手段とから構成され、完全な表示線に関連した画素データは、連続した順番で 1 組のシフトレジスタから順次読み出される請求項 19 に記載のプロセッサ。

【請求項 21】

ビットの並列なグループにおいてシフトレジスタから前記データを読み出す手段と、サイクルの中で画素データレートの端数のレートでシフトレジスタを動作するための手段を含む請求項 20 に記載のプロセッサ。

【請求項 22】

さらに、並列に D R A M から画素データを受信し、また表示回路により処理のため受信画素データを順次出力するために並列バスに接続されたビデオ出力シフトレジスタと、直列ビデオ画素データを受信し、並列バスを介して直列ビデオ画素データを出力するために並列バスに接続されたビデオ入力シフトレジスタを含む請求項 20 に記載のプロセッサ。

【請求項 23】

さらに (g) グラフィック画素データとビデオ画素データのうちの少なくとも 1 つを処理するプロセッサと、(h) 前記プロセッサにより処理されるデータを受信し、該受信データを表示信号に変換するランダムアクセスメモリ・デジタル / アナログ変換器 (R A M D A C) とから構成され、(i) 前記 D R A M、前記プロセッサ、前記 R A M D A C は同じ集積回路チップの中に集積されることを特徴とする請求項 11 に記載の表示プロセッサ。

【請求項 24】

前記画素データブロックを処理し、同じ集積回路チップ内に集積された画素データユニット (P D U) を含む請求項 23 に記載のプロセッサ。

【請求項 25】

さらに、表示プロセッサにおいて、(g) 行の中の画素データを記憶するためのフレームバッファを形成する D R A M と、(h) 前記画素データを処理するための出力論理回路と、(i) フレームバッファと出力論理回路とに内部で接続され 1 行中の画素ビットと同じ数のバス線数を持つ並列バスと、(j) 出力論理回路によって処理されたデータを表示信号に変換するために出力論理回路に接続されたランダムアクセスメモリ・デジタル / アナログ変換器 (R A M D A C) とから構成され、(k) 前記フレームバッファ、出力論理回路、バスないし R A M D A C は同じ集積回路内に集積されることを特徴とする請求項 11 に記載の表示プロセッサ。

【請求項 26】

シングルチップ表示プロセッサにおいて、

(a) グラフィック画素データとビデオ画素データの少なくとも 1 つを記憶するダイナミックランダムアクセスメモリ (D R A M) と、

(b) D R A M と同じ集積回路 (I C) チップに集積され、前記画素データを処理する画素データユニット (P D U) とから構成され、

(c) 前記 I C チップは、D R A M から前記 P D U へ同時に画素データのブロックを転送する並列バスを含み、

前記 P D U は、処理された画素データを表示するために、画素データのブロックを処理可能であり、

(d) 前記 D R A M は、複数のワード線の行と、前記ビット線の行と直交する複数のビット線の列と、前記ビット線とワード線に接続され、それぞれ画素データのビットを記憶するビット記憶セルと、前記ビット線に接続されたセンスアンプの行と、センスアンプのグループの動作を可能にするために複数の前記センスアンプの前記グループに接続されたセンスアンプ選択線と、を備え、前記センスアンプと選択線は前記ワード線と平行に前記

ＩＣチップに支持され、前記並列バスを構成するデータバス線はそれぞれセンスアンプの出力に接続されており、ビット線に平行に前記ＩＣチップに支持されており、前記ＰＤＵはビット線列の所定の数にマッチするピッチであり、

（ e ）ＤＲＡＭの各ビット線列は複数の送信と受信センスアンプからなり、それらは、それぞれビット線の組に接続し、前記複数のセンスアンプは並列に機能的データバスの一対の機能的データバス線に接続され、またさらに、ダミーの一组のデータバス線からなるダミーデータバスと、複数の送信センスアンプがデータを一组の機能的データバス線に出力することを可能にし、対応する一组のビット線上の電圧を $V_{DD}/2$ に等しくする手段と、機能的に対のデータバス線と共に同時に一组のダミーデータバス線をチャージする手段と、一组のダミーデータバス線が読み出し可能になるタイミングを検出し送信センスアンプへ不可能状態の信号を与え、受信センスアンプに可能状態の信号を与える手段とからなり、機能的データバス線上の電圧は正確にデータを読み出すための電圧値より高くならないように制限される、
ことを特徴とするシングルチップ表示プロセッサ。