

WO 2020/008299 A1

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

making it possible to enhance the aperture ratios at pixels.

(57) 要約: 要約書 画像品質を高めることができる表示装置を提供する。加算回路を表示領域の内外に設けた表示装置であって、加算回路は、ソースドライバから供給される複数のデータを加算する機能を有する。加算回路の要素の一部は画素領域に分割して配置される。したがって、加算回路が有する要素のサイズに関する制約を緩和することができ、データの加算を効率良く行うことができる。また、加算回路が有する他の要素を表示領域外に設けることで、表示領域内の配線数を少なくすることができ、画素においては開口率を高めることができる。

明細書

発明の名称

表示装置および電子機器

技術分野

[0001]

本発明の一態様は、表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛またはIn-Ga-Zn系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2に開示されている。

[0005]

また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献3に開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2007-123861号公報

[特許文献2] 特開2007-96055号公報

[特許文献3] 特開2011-119674号公報

発明の概要

発明が解決しようとする課題

[0007]

8K4K（画素数：7680×4320）解像度またはそれ以上の解像度で表示を行うことができる高解像度の表示装置が開発されている。また、輝度調整によって画像品質を高めるHDR（ハイダイナミックレンジ）表示技術の導入も進んでいる。

[0008]

明瞭な階調表示を行うには、広範囲に亘るデータ電位を用いて表示デバイスを動作させることが好ましい。一方で、例えば液晶表示装置用のソースドライバの出力電圧は10乃至20V程度であり、

それ以上の電圧を表示デバイスに供給するには高出力のソースドライバを用いなければならない。高出力のソースドライバは消費電力も高く、新たなドライバICを開発しなければならない場合もある。

[0009]

したがって、本発明の一態様では、画像品質を高めることができる表示装置を提供することを目的の一つとする。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。または、画素の開口率を高めることができる表示装置を提供することを目的の一つとする。

[0010]

または、低消費電力の表示装置を提供することを目的の一つとする。または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の駆動方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、画像品質を高めることができる表示装置に関する。

[0013]

本発明の一態様は、画素と、第1の回路と、を有する表示装置であって、画素と第1の回路とは電氣的に接続され、第1の回路は、第1のデータおよび第2のデータを加算して第3のデータを生成する機能を有し、画素は、第1のデータおよび第3のデータを加算して第4のデータを生成する機能、および第4のデータに応じて表示を行う機能を有する表示装置である。

[0014]

本発明の他の一態様は、画素と、第1の回路と、を有する表示装置であって、画素と第1の回路とは電氣的に接続され、第1の回路は、第1のデータおよび第2のデータを加算して第3のデータを生成する機能を有し、画素は、第3のデータに第3のデータを加算して第4のデータを生成する機能、および第4のデータに応じて表示を行う機能を有する表示装置である。

[0015]

第1の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1のキャパシタと、を有し、第1のトランジスタのソースまたはドレインの一方は、画素と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第1のキャパシタの一方の電極と電氣的に接続され、第1のキャパシタの他方の電極は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は、第2のトランジスタのソースまたはドレインの他方と電氣的に接続することができる。

[0016]

第1のキャパシタは複数の第2のキャパシタを有し、第2のキャパシタは並列接続された構成とすることができる。

[0017]

画素は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第3のキャパシタと、第2の回路と、を有し、第4のトランジスタのソースまたはドレインの一方は、第3のキャパシタの一方の電極と電氣的に接続され、第3のキャパシタの一方の電極は、第2の回路と電氣的に接続され、第3のキャパシタの他方の電極は、第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、第5のトランジスタのソースまたはドレインの一方は、第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のトランジスタのソースまたはドレインの他方は、第1の回路と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は、第1の回路と電氣的に接続され、第2の回路は、表示デバイスを有することができる。

[0018]

第2の回路は、第7のトランジスタと、第4のキャパシタと、表示デバイスとして発光デバイスと、を有し、第7のトランジスタのゲートは、第4のトランジスタのソースまたはドレインの他方と電氣的に接続され、第7のトランジスタのソースまたはドレインの一方は、発光デバイスの一方の電極と電氣的に接続され、発光デバイスの一方の電極は、第4のキャパシタの一方の電極と電氣的に接続され、第4のキャパシタの他方の電極は、第7のトランジスタのゲートと電氣的に接続することができる。

[0019]

または、第2の回路は、表示デバイスとして液晶デバイスを有し、液晶デバイスの一方の電極は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続される構成としてもよい。さらに第5のキャパシタを有し、第5のキャパシタの一方の電極は、液晶デバイスの一方の電極と電氣的に接続されていてもよい。

[0020]

第1の回路および画素が有するトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M (MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

[0021]

第1の回路が有するトランジスタのチャネル幅は、画素が有するトランジスタのチャネル幅よりも大きいことが好ましい。

発明の効果

[0022]

本発明の一態様を用いることで、画像品質を高めることができる表示装置を提供することができる。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。または、画素の開口率を高めることができる表示装置を提供することができる。

[0023]

または、低消費電力の表示装置を提供することができる。または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の動作

方法を提供することができる。または、新規な半導体装置などを提供することができる。

図面の簡単な説明

[0024]

[図1] 図1は、表示装置を説明する図である。

[図2] 図2は、加算回路および画素を説明する図である。

[図3] 図3(A)～図3(F)は、加算回路および画素を説明する図である。

[図4] 図4は、加算回路および画素を説明する図である。

[図5] 図5は、加算回路および画素の動作を説明するタイミングチャートである。

[図6] 図6は、加算回路および画素の動作を説明するタイミングチャートである。

[図7] 図7(A)～図7(D)は、回路ブロックを説明する図である。

[図8] 図8(A)～図8(D)は、回路ブロックを説明する図である。

[図9] 図9(A)～図9(C)は、回路ブロックを説明する図である。

[図10] 図10は、加算回路および画素を説明する図である。

[図11] 図11は、シミュレーションに用いる加算回路および画素の構成を説明する図である。

[図12] 図12は、シミュレーションに用いるタイミングチャートである。

[図13] 図13は、シミュレーションに用いるタイミングチャートである。

[図14] 図14は、シミュレーションの結果を説明する図である。

[図15] 図15は、シミュレーションの結果を説明する図である。

[図16] 図16(A)～図16(C)は、表示装置を説明する図である。

[図17] 図17(A)、図17(B)は、タッチパネルを説明する図である。

[図18] 図18(A)、図18(B)は、表示装置を説明する図である。

[図19] 図19は、表示装置を説明する図である。

[図20] 図20(A)、図20(B)は、表示装置を説明する図である。

[図21] 図21(A)、図21(B)は、表示装置を説明する図である。

[図22] 図22(A)～図22(E)は、表示装置を説明する図である。

[図23] 図23(A1)～図23(C2)は、トランジスタを説明する図である。

[図24] 図24(A1)～図24(C2)は、トランジスタを説明する図である。

[図25] 図25(A1)～図25(C2)は、トランジスタを説明する図である。

[図26] 図26(A1)～図26(C2)は、トランジスタを説明する図である。

[図27] 図27(A)～図27(F)は、電子機器を説明する図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0026]

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、

当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数の直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

[0027]

また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

[0028]

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

[0029]

本発明の一態様は、データを加算する機能を有する回路（以下、加算回路）と、同様にデータを加算する機能を有する画素を有する表示装置である。

[0030]

加算回路は、ソースドライバから供給されるデータを加算する機能を有する。また、画素は、加算回路から供給されるデータを加算する機能を有する。したがって、本発明の一態様の表示装置は、ソースドライバの出力電圧の数倍の電圧を生成して表示デバイスに供給することができる。

[0031]

加算回路は、表示領域列方向の画素と電気的に接続され、その要素の一部は画素領域に分割して配置することができる。したがって、加算回路が有する要素のサイズに関する制約を緩和することができ、データの加算を効率良く行うことができる。また、加算回路が有する他の要素を表示領域外に設けることで、表示領域内の配線数を少なくすることができ、画素においては開口率を高めることができる。

[0032]

図1は、本発明の一態様の表示装置を説明する図である。表示装置は、列方向および行方向に配置された画素10と、ソースドライバ12と、ゲートドライバ13と、回路11を有する。ソースドライバ12は、回路11と電気的に接続される。ゲートドライバ13は、画素10と電気的に接続される。回路11は、画素10と電気的に接続される。なお、図1では、ゲートドライバ13が表示領域15の一辺に沿って一つ設けられた例を示しているが、当該一辺と対向する辺に沿ってさらに一つ設け、2つのゲートドライバで画素10を駆動させてもよい。

[0033]

回路11は列毎に設けることができ、同じ列に配置される全ての画素10と電気的に接続される。また、回路11の要素は、表示領域の内外に設けることができる。

[0034]

回路11は加算回路であり、ソースドライバ12から供給される第1のデータおよび第2のデータを容量結合によって加算し、第3のデータを生成する機能を有する。

[0035]

画素10は、回路20および回路ブロック110を有する。回路20は、加算回路から供給される第1のデータおよび第3のデータを容量結合によって加算し、第4のデータを生成する機能を有する。または、加算回路から供給される第3のデータに第3のデータを容量結合によって加算し、第5のデ

ータを生成する機能を有する。回路ブロック 110 は表示デバイスを有し、回路 20 から供給される第 4 のデータまたは第 5 のデータに応じて当該表示デバイスで表示を行う機能を有する。

[0036]

図 2 は、図 1 に示す表示装置の任意の 1 列（第 m 列）に配置される回路 11 および画素 10（画素 10 [m , 1] 乃至 [m , n]（ m 、 n は 1 以上の自然数））を説明する図である。

[0037]

回路 11 は、トランジスタ 101 と、トランジスタ 102 と、トランジスタ 103 と、キャパシタ 107 を有する構成とすることができる。トランジスタ 101 のソースまたはドレインの一方は、キャパシタ 107 の一方の電極と電氣的に接続される。キャパシタ 107 の他方の電極は、トランジスタ 102 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 102 のソースまたはドレインの一方は、トランジスタ 103 の一方の電極と電氣的に接続される。

[0038]

ここで、キャパシタ 107 は、複数のキャパシタ 108 の並列接続で構成することができる。キャパシタ 108 を画素領域に分散させて設けることで、キャパシタ 107 の総面積を大きくすることが容易となる。また、表示領域外において、回路 11 の占有面積を小さくすることができ、狭額縁とすることができる。なお、表示領域の外側にもいくつかのキャパシタ 108 が設けられていてもよい。また、キャパシタ 108 は、全ての画素領域に設けられていなくてもよい。並列接続するキャパシタ 108 の数を調整することで、キャパシタ 107 の容量値を所望の値とすることができる。

[0039]

キャパシタ 108 は、配線 125 を一方の電極とし、配線 125 と重なる別の配線を他方の電極として構成することができる。したがって、図 2 に示すようにキャパシタ 108 を画素領域に配置しても、開口率が大きく低下することはない。

[0040]

画素 10 は、回路 20 と、回路ブロック 110 を有する構成とすることができる。また、上述したように画素領域内には、キャパシタ 108 を配置することができる。

[0041]

回路 20 は、トランジスタ 104、トランジスタ 105、トランジスタ 106、キャパシタ 109 を有する構成とすることができる。トランジスタ 104 のソースまたはドレインの一方は、キャパシタ 109 の一方の電極と電氣的に接続される。キャパシタ 109 の他方の電極は、トランジスタ 105 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 105 のソースまたはドレインの一方は、トランジスタ 106 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 104 のソースまたはドレインの一方は、回路ブロック 110 と電氣的に接続される。

[0042]

回路ブロック 110 は、トランジスタ、キャパシタ、および表示デバイスなどを有する構成とすることができ、詳細は後述する。

[0043]

回路 11 および画素 10 が有する要素と各種配線との接続を説明する。トランジスタ 101 のゲートは、配線 121 と電氣的に接続される。トランジスタ 102 のゲートは、配線 122 と電氣的に接続される。トランジスタ 103 のゲートは、配線 121 と電氣的に接続される。トランジスタ 104 のゲートは、配線 123 と電氣的に接続される。トランジスタ 105 のゲートは、配線 124 と電氣

的に接続される。トランジスタ 106 のゲートは、配線 123 と電氣的に接続される。

[0044]

トランジスタ 101 のソースまたはドレインの一方は、配線 125 と電氣的に接続される。トランジスタ 101 のソースまたはドレインの他方およびトランジスタ 102 のソースまたはドレインの他方は配線 126 と電氣的に接続される。トランジスタ 103 のソースまたはドレインの他方およびトランジスタ 106 のソースまたはドレインの他方は、 V_{ref} （例えば、0V などの基準電位）を供給することのできる配線と電氣的に接続される。

[0045]

配線 121、122、123（123 [1] 乃至 [n]）、配線 124（124 [1] 乃至 [n]）は、ゲート線としての機能を有する。例えば、配線 121、122 は、回路 11 の動作を制御する回路と電氣的に接続することができる。配線 123、124 は、ゲートドライバ 13 と電氣的に接続することができる。配線 126 は、ソースドライバ 12 と電氣的に接続することができる（図 1 参照）。

[0046]

ここで、トランジスタ 101 のソースまたはドレインの一方と、キャパシタ 107 の一方の電極と、トランジスタ 105 のソースまたはドレインの一方とを接続する配線（配線 125）をノード NA とする。トランジスタ 102 のソースまたはドレインの一方と、トランジスタ 103 のソースまたはドレインの一方と、キャパシタ 107 の他方の電極と、を接続する配線をノード NB とする。トランジスタ 105 のソースまたはドレインの一方と、トランジスタ 106 のソースまたはドレインの一方と、キャパシタ 109 の他方の電極とを接続する配線をノード NC とする。トランジスタ 104 のソースまたはドレインの一方と、キャパシタ 109 の一方の電極と、回路ブロック 110 とを接続する配線をノード NP とする。

[0047]

ノード NP はフローティングとすることができ、回路ブロック 110 が有する表示デバイスはノード NP の電位に従って動作する。

[0048]

回路 11 では、まず、ノード NA に第 1 のデータ（重み：W）を書き込む。このとき、キャパシタ 107 の他方の電極には“ V_{ref} ”を供給し、キャパシタ 107 には“ $W - V_{ref}$ ”を保持させる。次に、ノード NA をフローティングとし、ノード NB に第 2 のデータ（データ：D）を供給する。

[0049]

このとき、キャパシタ 107 の容量値を C_{107} 、ノード NA の容量値を C_{NA} とすると、ノード NA の電位は、 $W + (C_{107} / (C_{107} + C_{NA})) \times (D - V_{ref})$ となる。ここで、 C_{107} の値を大きくし、 C_{NA} の値を無視できるようになれば、ノード NA の電位は“ $W + D - V_{ref}$ ”となる。本発明の一態様では、上述したようにキャパシタ 107 の総面積を大きくし、容量値（ C_{107} ）を高めることが容易であるため、データの加算を効率良く行うことができる。

[0050]

したがって、“ $W = D$ ”、“ $V_{ref} = 0V$ ”であって、 C_{107} が C_{NA} に比べて十分に大きければノード NA の電位は“ $2D$ ”に近づく。つまり、ソースドライバ 12 の出力の約 2 倍の電位となる第 3 のデータ（“ $2D$ ”）をノード NA に供給できることになる。

[0051]

また、画素 10 においては、ノード NA に第 1 のデータ“W”が書き込まれたときにノード NP に“W”

を書き込む。このとき、キャパシタ109の他方の電極には“ V_{ref} ”を供給し、キャパシタ109には“ $W - V_{ref}$ ”を保持させる。次に、ノードNPをフローティングとし、ノードNCに第3のデータ（“2D”）を供給する。

[0052]

このとき、キャパシタ109の容量値を C_{109} 、ノードNPの容量値を C_{NP} とすると、ノードNPの電位は、 $W + (C_{109} / (C_{109} + C_{NP})) \times (2D - V_{ref})$ となる。ここで、 C_{109} の値を大きくし、 C_{NP} の値を無視できるようになれば、ノードNPの電位は“ $W + 2D - V_{ref}$ ”となる。

[0053]

したがって、“ $W = D$ ”、“ $V_{ref} = 0V$ ”であって、 C_{109} が C_{NP} に比べて十分に大きければノードNPの電位は“ $D + 2D = 3D$ ”に近づく。つまり、ソースドライバ12の出力の約3倍の電位となる第4のデータ（“3D”）をノードNPに供給できることになる。

[0054]

また、画素10では上記と異なる動作を行うことができる。ノードNAに第3のデータ“2D”が書き込まれたときにノードNPに“2D”を書き込む。このとき、キャパシタ109の他方の電極には“ V_{ref} ”を供給し、キャパシタ109には“ $2D - V_{ref}$ ”を保持させる。次に、ノードNPをフローティングとし、ノードNCに第3のデータ（“2D”）を供給する。

[0055]

このとき、キャパシタ109の容量値を C_{109} 、ノードNPの容量値を C_{NP} とすると、ノードNPの電位は、 $2D + (C_{109} / (C_{109} + C_{NP})) \times (2D - V_{ref})$ となる。ここで、 C_{109} の値を大きくし、 C_{NP} の値を無視できるようになれば、ノードNPの電位は“ $2D + 2D - V_{ref}$ ”となる。

[0056]

したがって、“ $W = D$ ”、“ $V_{ref} = 0V$ ”であって、 C_{109} が C_{NP} に比べて十分に大きければノードNPの電位は“ $2D + 2D = 4D$ ”に近づく。つまり、ソースドライバ12の出力の約4倍の電位となる第4のデータ（“4D”）をノードNPに供給できることになる。

[0057]

当該作用により、汎用のドライバICを用いても高い電圧を生成することができる。例えば、階調制御に高い電圧を必要とする液晶デバイスなどを駆動することができる。または、一般的な液晶デバイスや発光デバイスなどを駆動するためにソースドライバ12から供給する電圧を約1/3乃至1/4とすることができるため、表示装置を低消費電力化することができる。

[0058]

その他、第1のデータ（重み： W ）として、補正データを供給してもよい。例えば、輝度補正データを画像データに加算することで、表示装置固有の輝度のばらつきを補正することができる。または、画素単位で輝度を補正することができるため、HDR表示に用いてもよい。また、表示デバイスとして発光デバイスを用いる場合は、表示品位が駆動トランジスタのしきい値電圧ばらつきの影響を受けるため、当該トランジスタのしきい値電圧補正データを第1のデータ（重み： W ）として供給し、表示品位の改善を行ってもよい。なお、第1のデータ（重み： W ）と第2のデータ（データ： D ）は入れ替えてもよい。

[0059]

本発明の一態様では、上述したように回路11で生成したデータ電位を特定の画素10に供給してノードNPの電位を確定させる。このような動作を画素10[m, 1]乃至[m, n]まで順次行う

ことで、各画素10のノードNPの電位を確定させることができる。すなわち、各画素10に異なる画像データを供給することができる。

[0060]

ノードNA、ノードNB、ノードNC、ノードNPは、記憶ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、OSトランジスタ）を用いることができる。

[0061]

具体的には、トランジスタ101、102、103、104、105、106のいずれか、または全てにOSトランジスタを適用することが好ましい。また、回路ブロック110が有する要素にOSトランジスタを適用してもよい。また、リーク電流量が許容できる範囲で動作を行う場合は、Siをチャネル形成領域に有するトランジスタ（以下、Siトランジスタ）を適用してもよい。または、OSトランジスタおよびSiトランジスタを併用してもよい。なお、上記Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。

[0062]

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するCAAC-OSまたはCAC-OSなどを用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

[0063]

OSトランジスタは半導体層のエネルギーギャップが大きいので、数 $\mu\text{A}/\mu\text{m}$ （チャネル幅 $1\mu\text{m}$ あたりの電流値）という極めて低いオフ電流特性を示す。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどSiトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。また、Siトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもOSトランジスタでは生じにくい。

[0064]

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むIn-M-Zn系酸化物で表記される膜とすることができる。

[0065]

半導体層を構成する酸化物半導体がIn-M-Zn系酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=$

5 : 1 : 7、In : M : Zn = 5 : 1 : 8 等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス 40 % の変動を含む。

[0066]

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

[0067]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0068]

半導体層を構成する酸化物半導体において、第 14 族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n 型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0069]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0070]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n 型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

[0071]

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0072]

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能する。しかしながら、当該欠陥

を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0073]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0074]

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c 軸に配向した結晶を有する CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OS は最も欠陥準位密度が低い。

[0075]

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0076]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OS の領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

[0077]

以下では、非単結晶の半導体層の一態様である CAC (Cloud-Aligned Composite)-OS の構成について説明する。

[0078]

CAC-OS とは、例えば、酸化物半導体を構成する元素が、0.5 nm 以上 10 nm 以下、好ましくは、1 nm 以上 2 nm 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm 以上 10 nm 以下、好ましくは、1 nm 以上 2 nm 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0079]

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0080]

例えば、 In-Ga-Zn 酸化物における CAC-OS (CAC-OS の中でも In-Ga-Zn 酸化物を、特に CAC-IGZO と呼称してもよい。) とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は 0 よりも大きい実数) とする。)、またはインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は 0 よりも大きい実数) とする。) と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は 0 よりも大きい実数) とする。)、またはガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は 0 よりも大きい実数) とする。) などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。) である。

[0081]

つまり、 CAC-OS は、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第 1 の領域の元素 M に対する In の原子数比が、第 2 の領域の元素 M に対する In の原子数比よりも大きいことを、第 1 の領域は、第 2 の領域と比較して、 In の濃度が高いとする。

[0082]

なお、 IGZO は通称であり、 In 、 Ga 、 Zn 、および O による 1 つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数) で表される結晶性の化合物が挙げられる。

[0083]

上記結晶性の化合物は、単結晶構造、多結晶構造、または CAAC 構造を有する。なお、 CAAC 構造とは、複数の IGZO のナノ結晶が c 軸配向を有し、かつ $a-b$ 面においては配向せずに連結した結晶構造である。

[0084]

一方、 CAC-OS は、酸化物半導体の材料構成に関する。 CAC-OS とは、 In 、 Ga 、 Zn 、および O を含む材料構成において、一部に Ga を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、 CAC-OS において、結晶構造は副次的な要素である。

[0085]

なお、 CAC-OS は、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、 In を主成分とする膜と、 Ga を主成分とする膜との 2 層からなる構造は、含まない。

[0086]

なお、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

[0087]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、 CAC-OS は、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0088]

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数をいれればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0089]

CAC-OSは、X線回折（XRD: X-ray diffraction）測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0090]

また、CAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nano-crystal）構造を有することがわかる。

[0091]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、GaO_{x3}が主成分である領域と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0092]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaO_{x3}などが主成分である領域と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0093]

ここで、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域は、GaO_{x3}などが主成分である領域と比較して、導電性が高い領域である。つまり、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（ μ ）が実現できる。

[0094]

一方、GaO_{x3}などが主成分である領域は、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{x3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[0095]

したがって、CAC-OSを半導体素子に用いた場合、GaO_{x3}などに起因する絶縁性と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}に起因する導電性とが、相補的に作用することにより、高いオン電流（ I_{on} ）、および高い電界効果移動度（ μ ）を実現することができる。

[0096]

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

[0097]

なお、本発明の一態様の表示装置は、図3(A)に示すように、回路11のキャパシタ107以外の要素がソースドライバ12に組み込まれていてもよい。当該構成とすることで、狭額縁化が可能となる。

[0098]

基板上に画素回路とソースドライバ12がモノリシック化されている場合は、ソースドライバ12と回路11のいずれかの要素が重なる領域を有するスタック構造としてもよい。当該構成とすることで、回路11の要素の設計自由度を高めることができ、電気特性を向上させることができる。

[0099]

また、図1では列毎に回路11を設ける例を示したが、図3(B)に示すように、回路11と画素10との間に選択回路16を設け、複数の列の画素に対するデータの書き込みを一つの回路11で行ってもよい。当該構成とすることで、回路11の数を削減することができ、狭額縁化が可能となる。なお、図3(B)では、一つの回路11と一つの選択回路16の組み合わせで3列分の画素に書き込みを行う例を示しているが、これに限らず、書き込み時間が許容される範囲で、列数を決定すればよい。

[0100]

また、図3(C)に示すように、キャパシタ107を表示領域に設けず、回路11と共に表示領域の外側に配置してもよい。当該構成では、回路11とキャパシタ107が重なる領域を有するスタック構造としてもよい。当該構成とすることで、画素10の開口率を高めることができる。

[0101]

また、図3(D)に示すように、キャパシタ107がソースドライバ12に組み込まれていてもよい。当該構成では、ソースドライバ12とキャパシタ107が重なる領域を有するスタック構造としてもよい。当該構成とすることで、狭額縁化が可能となる。

[0102]

また、図3(E)に示すように、キャパシタ107を表示領域の外側に配置し、回路11をソースドライバ12に組み込む構成でもよい。当該構成では、ソースドライバ12と回路11が重なる領域を有するスタック構造としてもよい。当該構成とすることで、狭額縁化および画素の開口率を高めることが可能となる。

[0103]

また、図3(F)に示すように、回路11およびキャパシタ107がソースドライバ12に組み込まれていてもよい。当該構成では、ソースドライバ12と、回路11およびキャパシタ107のいずれかが重なる領域を有するスタック構造としてもよい。または、ソースドライバ12と、回路11と、キャパシタ107が互いに重なる領域を有するスタック構造としてもよい。当該構成とすることで、狭額縁化が可能となる。

[0104]

回路11が有するトランジスタ101、102、103は表示領域の外側に設けられるため、サイズの制約を受けにくく、画素に設けられるトランジスタよりもチャネル幅を大きくすることができる。

チャネル幅が大きいトランジスタを用いることで、配線 1 2 5 等に対する充放電時間を短縮することができ、フレーム周波数を高めやすくなる。また、画素数が多く、水平期間の短い高精細ディスプレイにも適用しやすくなる。

[0105]

また、トランジスタ 1 0 1、1 0 2、1 0 3 に OS トランジスタを用いることで回路 1 1 を高耐圧とすることができ、データの加算において生成される電圧が数十 V でも安定した動作を行うことができる。また、トランジスタ 1 0 1、1 0 2、1 0 3 を IC チップ内に設けた Si トランジスタとする場合は、より高速な動作を行うことができる。なお、IC チップ内にトランジスタ 1 0 1、1 0 2、1 0 3 を設ける場合は、当該トランジスタを OS トランジスタとしてもよい。

[0106]

回路 1 1 は、図 4 に示すように、表示領域 1 5 の一辺に沿う領域と、当該一辺と対向する辺に沿う領域との両方に設けられていてもよい。

[0107]

ここで、表示領域 1 5 の一辺に設けられた回路 1 1 は、回路 1 1 a とする。回路 1 1 a は、配線 1 2 1 a、1 2 2 a から供給される信号で動作制御が行われる。回路 1 1 a はソースドライバ 1 2 a と電氣的に接続される。また、表示領域 1 5 の当該一辺と対向する辺に設けられた回路 1 1 は、回路 1 1 b とする。回路 1 1 b は、配線 1 2 1 b、1 2 2 b から供給される信号で動作制御が行われる。また、回路 1 1 b はソースドライバ 1 2 b と電氣的に接続される。

[0108]

回路 1 1 a および回路 1 1 b は、同一のタイミングで同一のデータを出力するように動作させる。つまり、ソースドライバ 1 2 a、1 2 b からは同一のタイミングで同じデータを出力し、配線 1 2 1 a および配線 1 2 1 b、または配線 1 2 2 a および配線 1 2 2 b には、同一のタイミングで同じ動作信号を供給する。

[0109]

このように動作させることで、回路 1 1 a および回路 1 1 b を同時に動作させることができ、配線 1 2 5 に同じデータを出力することができる。したがって、配線 1 2 5 を高速に充放電することができ、画素数が多く、水平期間の短い表示装置、配線 1 2 5 の寄生容量が大きくなる大型の表示装置などに対応しやすくなる。

[0110]

次に、図 5 に示すタイミングチャートを用いて、回路 1 1 および画素 1 0 の動作によりソースドライバが出力するデータ電位の約 3 倍のデータ電位を表示デバイスに供給する方法を説明する。

[0111]

なお、以下の説明においては、高電位を“H”、低電位を“L”で表す。また、画素 1 0 [1] に供給する重みを“W [1]”、画像データを“D [1]”、画素 1 0 [2] に供給する重みを“W [2]”、画像データを“D [2]”とする。” V_{ref} ”としては、例えば 0 V、GND 電位または特定の基準電位を用いることができる。

[0112]

なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、当該要素の容量値は十分に小

さい値に仮定する。

[0113]

時刻T1において配線126に“W[1]”を供給し、配線121の電位を“H”、配線122の電位を“L”、123[1]の電位を“H”、配線124[1]の電位を“L”とすると、トランジスタ103が導通し、ノードNBの電位は“ V_{ref} ”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

[0114]

また、トランジスタ101、104が導通し、ノードNAに配線126の電位が書き込まれる。また、ノードNP[1]にノードNAの電位が書き込まれる。当該動作は、回路11および画素10の両方における重みの書き込み動作であり、ノードNAおよびノードNP[1]の電位は“W[1]”となる。

[0115]

時刻T2において配線121の電位を“L”、配線122の電位を“L”、配線123[1]の電位を“L”、配線124[1]の電位を“L”とすると、トランジスタ101、103、104が非導通となる。このとき、ノードNAおよびノードNP[1]に“W[1]”が保持される。また、キャパシタ107およびキャパシタ109には、“ $W[1] - V_{ref}$ ”が保持される。

[0116]

時刻T3において配線126に“D[1]”を供給し、配線121の電位を“L”、配線122の電位を“H”、123[1]の電位を“L”、124[1]の電位を“H”とすると、トランジスタ102が導通する。このとき、ノードNBの電位は“D[1]”となり、ノードNBとノードNAの容量比に応じた“ $D[1]'$ ”がノードNAに付加される。当該動作は回路11における加算動作であり、ノードNAの電位は“ $W[1] + (D[1] - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNAの電位は、“ $W[1] + D[1]'$ ”となる。

[0117]

また、画素10においては、トランジスタ105が導通する。このとき、ノードNCの電位は“ $W[1] + D[1]'$ ”となり、ノードNC[1]とノードNP[1]の容量比に応じた“ $(W[1] + D[1]')'$ ”がノードNP[1]に付加される。当該動作は画素10における加算動作であり、ノードNP[1]の電位は“ $W[1] + (W[1] + D[1]') - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNP[1]の電位は、“ $W[1] + (W[1] + D[1]')'$ ”となる。ノードNP[1]の電位は表示デバイスに供給され、表示が行われる。

[0118]

ここで、 $W[1] = D[1]$ であって、ノードNAの容量がノードNBの容量より十分に小さく、かつノードNP[1]の容量がノードNC[1]の容量より十分に小さい場合は、“ $W[1] + (W[1] + D[1]')'$ ”は“ $3D[1]$ ”に近い値となる。したがって、ソースドライバが出力するデータ電位の約3倍のデータ電位を表示デバイスに供給することができる。

[0119]

時刻T4において配線121、122、123[1]、124[1]の電位を“L”とすると、トランジスタ102、105は非導通となり、ノードNP[1]の電位は保持され、次フレームの動作まで表示が継続される。以上が画素10[1]の動作説明である。

[0120]

同様の動作を時刻T5乃至T8で画素10[2]に適用することにより、画素10[2]では、“ $W[2] + (W[2] + D[2])'$ ”に応じた表示を行うことができる。

[0121]

次に、図6に示すタイミングチャートを用いて、回路11および画素10の動作によりソースドライバが出力するデータ電位の約4倍のデータ電位を表示デバイスに供給する方法を説明する。

[0122]

時刻T1において配線126に“ $W[1]$ ”を供給し、配線121の電位を“H”、配線122の電位を“L”、配線123[1]の電位を“L”、配線124[1]の電位を“L”とすると、トランジスタ103が導通し、ノードNBの電位は“ V_{ref} ”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

[0123]

時刻T2において配線121の電位を“L”、配線122の電位を“L”、配線123[1]の電位を“L”、配線124[1]の電位を“L”とすると、トランジスタ101、103が非導通となる。このとき、ノードNAに“ $W[1]$ ”が保持される。また、キャパシタ107には、“ $W[1] - V_{ref}$ ”が保持される。当該動作は、回路11における重みの書き込み動作である。

[0124]

時刻T3において配線126に“ $D[1]$ ”を供給し、配線121の電位を“L”、配線122の電位を“H”、123[1]の電位を“H”、124[1]の電位を“L”とすると、トランジスタ102が導通する。このとき、ノードNBの電位は“ $D[1]$ ”となり、ノードNBとノードNAの容量比に応じた“ $D[1]'$ ”がノードNAに付加される。当該動作は回路11における加算動作であり、ノードNAの電位は“ $W[1] + (D[1] - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNAの電位は、“ $W[1] + D[1]'$ ”となる。

[0125]

また、トランジスタ104、106が導通し、ノードNP[1]にノードNAの電位が書き込まれる。また、ノードNCに“ V_{ref} ”が書き込まれる。当該動作は画素10における重みの書き込み動作および容量結合のためのリセット動作であり、ノードNP[1]の電位は“ $W[1] + D[1]'$ ”となる。

[0126]

時刻T4において配線121の電位を“L”、配線122の電位を“L”、123[1]の電位を“L”、124[1]の電位を“L”とすると、トランジスタ102、104、106が非導通となり、ノードNP[1]に“ $W[1] + D[1]'$ ”が保持される。

[0127]

時刻T5において配線121の電位を“L”、配線122の電位を“L”、123[1]の電位を“L”、124[1]の電位を“H”とすると、トランジスタ105が導通する。このとき、ノードNC[1]にはノードNAの電位“ $W[1] + D[1]'$ ”が書き込まれ、ノードNC[1]とノードNP[1]の容量比に応じた“ $(W[1] + D[1])'$ ”がノードNP[1]に付加される。

[0128]

当該動作は画素10における加算動作であり、ノードNP[1]の電位は“ $(W[1] + D[1])' + (W[1] + D[1]' - V_{ref})'$ ”となる。このとき、“ $V_{ref} = 0$ ”であれば、ノードNP[1]の電位は、“ $W[1] + D[1]' + (W[1] + D[1])'$ ”となる。ノードNP[1]の電位は表

示デバイスに供給され、表示が行われる。

[0129]

ここで、 $W[1] = D[1]$ であって、ノードNAの容量がノードNBの容量より十分に小さく、かつノードNP[1]の容量がノードNC[1]の容量より十分に小さい場合は、“ $W[1] + D[1]'$ ” + “ $(W[1] + D[1]')$ ” は “ $4D[1]$ ” に近い値となる。したがって、ソースドライバが出力するデータ電位の約4倍のデータ電位を表示デバイスに供給することができる。

[0130]

時刻T6において配線121、122、123[1]、124[1]の電位を“L”とすると、トランジスタ102、105は非導通となり、ノードNP[1]の電位は保持され、次フレームの動作まで表示が継続される。以上が画素10[1]の動作説明である。

[0131]

同様の動作を時刻T7乃至T12で画素10[2]に適用することにより、画素10[2]では、“ $W[2] + D[2]'$ ” + “ $(W[2] + D[2]')$ ” に応じた表示を行うことができる。

[0132]

図7(A)乃至(C)は、回路ブロック110に適用でき、表示デバイスとして発光デバイスを含む構成の例である。

[0133]

図7(A)に示す構成は、トランジスタ111と、キャパシタ113と、発光デバイス114を有する。トランジスタ111のソースまたはドレインの一方は、発光デバイス114の一方の電極と電氣的に接続される。発光デバイス114の一方の電極は、キャパシタ113の一方の電極と電氣的に接続される。キャパシタ113の他方の電極は、トランジスタ111のゲートと電氣的に接続される。トランジスタ111のゲートは、ノードNPと電氣的に接続される。

[0134]

トランジスタ111のソースまたはドレインの他方は、配線128と電氣的に接続される。発光デバイス114の他方の電極は、配線129と電氣的に接続される。配線128、129は電源を供給する機能を有する。例えば、配線128は、高電位電源を供給することができる。また、配線129は、低電位電源を供給することができる。

[0135]

図7(A)に示す構成では、ノードNPの電位がトランジスタ111のしきい値電圧以上となったときに発光デバイス114に電流が流れる。したがって、ノードNPに重み(W)が書き込まれた段階で発光デバイス114の発光が始まる場合がある。

[0136]

または、図7(B)に示すように、発光デバイス114の一方の電極を配線128と電氣的に接続し、発光デバイス114の他方の電極をトランジスタ111とソースまたはドレインの他方と電氣的に接続してもよい。当該構成は、発光デバイス114を有する他の回路ブロック110にも適用することができる。

[0137]

図7(C)は、図7(A)の構成にトランジスタ112を付加した構成である。トランジスタ112のソースまたはドレインの一方は、トランジスタ111のソースまたはドレインの一方と電氣的に接続される。トランジスタ112のソースまたはドレインの他方は、発光デバイス114の一方の電

極と電氣的に接続される。トランジスタ 1 1 2 のゲートは、配線 1 2 7 と電氣的に接続される。配線 1 2 7 は、トランジスタ 1 1 2 の導通を制御する信号線としての機能を有することができる。

[0 1 3 8]

当該構成では、ノード N P の電位がトランジスタ 1 1 1 のしきい値電圧以上であって、トランジスタ 1 1 2 が導通したときに発光デバイス 1 1 4 に電流が流れる。したがって、重み (W) とデータ (D) の加算動作後の任意タイミングに発光デバイス 1 1 4 の発光を開始することができる。

[0 1 3 9]

図 7 (D) は、図 7 (A) の構成にトランジスタ 1 1 5 を付加した構成である。トランジスタ 1 1 5 のソースまたはドレインの一方は、トランジスタ 1 1 1 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 1 1 5 のソースまたはドレインの他方は、配線 1 3 1 と電氣的に接続される。トランジスタ 1 1 5 のゲートは、配線 1 3 2 と電氣的に接続される。配線 1 3 2 は、トランジスタ 1 1 5 の導通を制御する信号線としての機能を有することができる。

[0 1 4 0]

配線 1 3 1 は、基準電位などの特定の電位の供給源と電氣的に接続することができる。配線 1 3 1 からトランジスタ 1 1 1 のソースまたはドレインの一方に特定の電位を供給することで、画像データの書き込みを安定化させることができる。また、発光デバイス 1 1 4 の発光のタイミングを制御することもできる。

[0 1 4 1]

また、配線 1 3 1 は回路 1 2 0 と接続することができ、モニタ線としての機能を有することもできる。回路 1 2 0 は、上記特定の電位の供給源、トランジスタ 1 1 1 の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

[0 1 4 2]

図 8 (A) 乃至 (D) は、回路ブロック 1 1 0 に適用でき、表示デバイスとして液晶デバイスを含む構成の例である。

[0 1 4 3]

図 8 (A) に示す構成は、キャパシタ 1 1 6 および液晶デバイス 1 1 7 を有する。液晶デバイス 1 1 7 の一方の電極は、キャパシタ 1 1 6 の一方の電極と電氣的に接続される。キャパシタ 1 1 6 の一方の電極は、ノード N P と電氣的に接続される。

[0 1 4 4]

キャパシタ 1 1 6 の他方の電極は、配線 1 3 3 と電氣的に接続される。液晶デバイス 1 1 7 の他方の電極は、配線 1 3 4 と電氣的に接続される。配線 1 3 3、1 3 4 は電源を供給する機能を有する。例えば、配線 1 3 3、1 3 4 は、GND や 0 V などの基準電位や任意の電位を供給することができる。

[0 1 4 5]

なお、図 8 (B) に示すようにキャパシタ 1 1 6 を省いた構成としてもよい。前述したように、ノード N P と接続するトランジスタに O S トランジスタを用いることができる。O S トランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ 1 1 6 を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動のように、高速動作で表示期間を短くできる場合にもキャパシタ 1 1 6 を省くことは有効である。キャパシタ 1 1 6 を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

[0146]

図8 (A)、(B) に示す構成では、ノードNPの電位が液晶デバイス117の動作しきい値以上に確定したときに液晶デバイス117の動作が開始される。したがって、ノードNPに重み書き込まれた段階で表示動作が始まる場合があり、用途が限定されることがある。ただし、透過型液晶表示装置の場合は、重み(W)とデータ(D)の加算動作が終了するタイミングまでバックライトを消灯するなどの動作を併用することで、不必要な表示動作が行われても視認を抑制することができる。

[0147]

図8 (C) は、図8 (A) の構成にトランジスタ118を付加した構成である。トランジスタ118のソースまたはドレインの一方は、キャパシタ116の一方の電極と電氣的に接続される。トランジスタ118のソースまたはドレインの他方は、ノードNPと電氣的に接続される。トランジスタ118のゲートは、配線136と電氣的に接続される。配線136は、トランジスタ118の導通を制御する信号線としての機能を有することができる。

[0148]

当該構成では、トランジスタ118の導通に伴って液晶デバイス117にノードNPの電位が印加される。したがって、重み(W)とデータ(D)の加算動作後の任意のタイミングに液晶デバイスの動作を開始することができる。

[0149]

なお、トランジスタ118が非導通の状態ではキャパシタ116および液晶デバイス117に供給された電位が保持され続けるため、画像データを書き換える前にキャパシタ116および液晶デバイス117に供給された電位をリセットすることが好ましい。当該リセットは、例えば、配線125にリセット電位を供給し、トランジスタ104およびトランジスタ118を同時に導通させればよい。

[0150]

図8 (D) は、図8 (C) の構成にトランジスタ119を付加した構成である。トランジスタ119のソースまたはドレインの一方は、液晶デバイス117の一方の電極と電氣的に接続される。トランジスタ119のソースまたはドレインの他方は、配線131と電氣的に接続される。トランジスタ119のゲートは、配線135と電氣的に接続される。配線135はトランジスタ119の導通を制御する信号線としての機能を有することができる。

[0151]

配線131と電氣的に接続される回路120は、前述した図7 (D) の説明と同様であるほか、キャパシタ116および液晶デバイス117に供給された電位をリセットする機能を有していてもよい。

[0152]

図9 (A) 乃至 (C) は、図2などに示した画素10において、“ V_{ref} ”を供給するための配線の具体例を示す図である。図9 (A) に示すように、表示デバイスとして発光デバイスを用いる場合は、“ V_{ref} ”を供給するための配線に配線128を適用することができる。“ V_{ref} ”は0V、GNDまたは低電位であることが好ましいため、配線128は、少なくともそれらの電位のいずれかを供給する機能も有する。配線128には、ノードNPにデータを書き込むタイミングでは“ V_{ref} ”を供給し、発光デバイス114を発光させるタイミングでは高電位電源を供給すればよい。または、図9 (B) に示すように、低電位を供給する配線129を“ V_{ref} ”を供給するための配線として適用してもよい。

[0153]

また、図9（C）に示すように、表示デバイスとして液晶デバイスを用いる場合は、“ V_{ref} ”を供給するための配線に配線133を適用することができる。または、配線134を適用してもよい。なお、表示デバイスの種類に関わらず、“ V_{ref} ”を供給する専用の共通配線を設けてもよい。

[0154]

また、本発明の一態様においては、図10に例示するように、トランジスタにバックゲートを設けた構成としてもよい。図10では、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電氣的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御することができる。なお、回路ブロック110が有するトランジスタにもバックゲートを設けてもよい。

[0155]

次に、画素の動作に関するシミュレーション結果を説明する。図11にシミュレーションに用いた画素（PIX）および回路11の構成を示す。画素数は4を想定し、回路ブロック110としては、図8（A）に示す構成（液晶デバイスおよびキャパシタ）を用いた。シミュレーションは、入力電圧を約3倍にする動作（以下、以下動作1）および、入力電圧を約4倍に昇圧する動作（以下、動作2）における各画素のノードNPの電圧変化について行った。

[0156]

動作1におけるシミュレーションに用いたパラメータは以下の通りであり、トランジスタサイズは $L/W=3\mu m/100\mu m$ （トランジスタTr1、Tr2、Tr3）、 $L/W=3\mu m/50\mu m$ （トランジスタTr4、Tr5、Tr6）、キャパシタC1の容量値は500pF、キャパシタC2の容量値は5pF、キャパシタCsの容量値は500fF、液晶デバイスC1cの容量値は500fFとした。また、トランジスタのゲートに印加する電圧は、“H”として+15V、“L”として-15Vとした。

[0157]

動作2におけるシミュレーションに用いたパラメータは以下の通りであり、トランジスタサイズは $L/W=1\mu m/50\mu m$ （トランジスタTr1、Tr2、Tr3）、 $L/W=3\mu m/100\mu m$ （トランジスタTr4、Tr5、Tr6）、キャパシタC1の容量値は100pF、キャパシタC2の容量値は10pF、キャパシタCsの容量値は50fF、液晶デバイスC1cの容量値は50fFとした。また、トランジスタのゲートに印加する電圧は、“H”として+15V、“L”として-20Vとした。

[0158]

なお、より正確にシミュレーション結果を得るには、回路11と画素PIXとを接続する配線PLに寄生抵抗に相当する抵抗R1、寄生容量に相当する容量C3を画素と同じ数だけ組み入れることが好ましい。本シミュレーションでは回路11および画素PIXの基本動作を検証するため、配線PLの寄生容量（C3の和）は0F、配線PLの抵抗（R1の和）は0Ωとした。なお、回路シミュレーションソフトウェアにはSPICEを用いた。

[0159]

図12は、動作1のシミュレーションに用いたタイミングチャートである。また、図13は、動作2のシミュレーションに用いたタイミングチャートである。動作1および動作2ともに、画素PIX [1]乃至[4]に正極性動作用のデータを書き込んだ後、負極性動作用のデータを書き込む動作を

検証した。動作1および動作2の共通のパラメータとして、重み(+W)、データ(+D)は+5V、重み(-W)、データ(-D)は-5V、を用いた。また、 V_{ref} 、 V_{COM} 、 T_{COM} の電位は全て0Vとした。

[0160]

図14、図15は動作1、動作2のそれぞれのシミュレーション結果であり、横軸を時間(秒)、縦軸をノードNPの電圧(V)で表している。各図は、画素PIX[1]乃至[4]に書き込み動作を行ったときのノードNPにおける電圧の変化を時間軸で示している。

[0161]

トランジスタのゲートドレイン間容量に起因するフィードスルーおよび直列接続される容量の電荷分配の影響が認められるが、動作1において正極性動作で約2.5倍、負極性動作で約2.8倍に入力電圧が昇圧できることが確認できた。また、動作2においては、正極性動作で約3.3倍、負極性動作で約3.4倍に入力電圧が昇圧できることが確認できた。トランジスタの電気特性の向上および寄生容量の低減などを行うことにより、より高い電圧を生成することが可能となる。

[0162]

以上のシミュレーション結果により、本発明の一態様の効果を確認することができた。

[0163]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0164]

(実施の形態2)

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態1で説明した表示装置の要素、動作および機能の説明は省略する。

[0165]

本実施の形態で説明する表示装置には、実施の形態1で説明した加算回路および画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。

[0166]

図16(A)乃至(C)は、本発明の一態様を用いることのできる表示装置の構成を示す図である。

[0167]

図16(A)において、第1の基板4001上に設けられた表示部215を囲むようにして、シール材4005が設けられ、表示部215がシール材4005および第2の基板4006によって封止されている。

[0168]

図16(A)では、走査線駆動回路221a、信号線駆動回路231a、信号線駆動回路232a、および共通線駆動回路241aは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路241aは、実施の形態1に示した配線128、129、133、134などに規定の電位を供給する機能を有する。

[0169]

走査線駆動回路 221a、共通線駆動回路 241a、信号線駆動回路 231a、および信号線駆動回路 232a に与えられる各種信号および電位は、FPC (Flexible printed circuit) 4018 を介して供給される。

[0170]

走査線駆動回路 221a および共通線駆動回路 241a が有する集積回路 4042 は、表示部 215 に選択信号を供給する機能を有する。信号線駆動回路 231a および信号線駆動回路 232a が有する集積回路 4042 は、表示部 215 に画像データを供給する機能を有する。集積回路 4042 は、第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に実装されている。

[0171]

なお、集積回路 4042 の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COG (Chip On Glass) 法、TCP (Tape Carrier Package) 法、COF (Chip On Film) 法などを用いることができる。

[0172]

図 16 (B) は、信号線駆動回路 231a および信号線駆動回路 232a に含まれる集積回路 4042 を COG 法により実装する例を示している。また、駆動回路の一部または全体を表示部 215 と同じ基板上に一体形成して、システムオンパネルを形成することができる。

[0173]

図 16 (B) では、走査線駆動回路 221a および共通線駆動回路 241a を、表示部 215 と同じ基板上に形成する例を示している。駆動回路を表示部 215 内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

[0174]

また、図 16 (B) では、第 1 の基板 4001 上に設けられた表示部 215 と、走査線駆動回路 221a および共通線駆動回路 241a と、を囲むようにして、シール材 4005 が設けられている。また表示部 215、走査線駆動回路 221a、および共通線駆動回路 241a の上に第 2 の基板 4006 が設けられている。よって、表示部 215、走査線駆動回路 221a、および共通線駆動回路 241a は、第 1 の基板 4001 とシール材 4005 と第 2 の基板 4006 とによって、封止されている。

[0175]

また、図 16 (B) では、信号線駆動回路 231a および信号線駆動回路 232a を別途形成し、第 1 の基板 4001 に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装してもよい。また、図 16 (C) に示すように、信号線駆動回路 231a および信号線駆動回路 232a を表示部 215 と同じ基板上に形成してもよい。

[0176]

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む場合がある。

[0177]

また第 1 の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、上記実施の形態で示したトランジスタを適用することができる。

[0178]

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造であってもよく、2種類以上の構造を組み合わせ用いられていてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造であってもよく、2種類以上の構造を組み合わせ用いられていてもよい。

[0179]

また、第2の基板4006上には入力装置4200を設けることができる。図16(A)乃至(C)に示す表示装置に入力装置4200を設けた構成はタッチパネルとして機能させることができる。

[0180]

本発明の一態様のタッチパネルが有する検知素子（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知素子として適用することができる。

[0181]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

[0182]

本実施の形態では、静電容量方式の検知素子を有するタッチパネルを例に挙げて説明する。

[0183]

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

[0184]

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知素子とを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知素子を構成する電極等を設ける構成等、様々な構成を適用することができる。

[0185]

図17(A)、(B)に、タッチパネルの一例を示す。図17(A)は、タッチパネル4210の斜視図である。図17(B)は、入力装置4200の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

[0186]

タッチパネル4210は、別々に作製された表示装置と検知素子とを貼り合わせた構成である。

[0187]

タッチパネル4210は、入力装置4200と、表示装置とを有し、これらが重ねて設けられている。

[0188]

入力装置4200は、基板4263、電極4227、電極4228、複数の配線4237、複数の配線4238および複数の配線4239を有する。例えば、電極4227は配線4237または配線4239と電気的に接続することができる。また、電極4228は配線4238と電気的に接続することができる。FPC4272bは、複数の配線4237、配線4238および複数の配線4239の各々と電気的に接続する。FPC4272bにはIC4273bを設けることができる。

[0189]

または、表示装置の第1の基板4001と第2の基板4006との間にタッチセンサを設けてもよ

い。第1の基板4001と第2の基板4006との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

[0190]

図18(A)、(B)は、図16(B)中でN1-N2の鎖線で示した部位の断面図である。図18(A)、(B)に示す表示装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電氣的に接続されている。また、図18(A)、(B)では、電極4015は、絶縁層4112、絶縁層4111、および絶縁層4110に形成された開口において配線4014と電氣的に接続されている。

[0191]

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極およびドレイン電極と同じ導電層で形成されている。

[0192]

また、第1の基板4001上に設けられた表示部215と走査線駆動回路221aは、トランジスタを複数有しており、図18(A)、(B)では、表示部215に含まれるトランジスタ4010、および走査線駆動回路221aに含まれるトランジスタ4011を例示している。なお、図18(A)、(B)では、トランジスタ4010およびトランジスタ4011としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

[0193]

図18(A)、(B)では、トランジスタ4010およびトランジスタ4011上に絶縁層4112が設けられている。また、図18(B)では、絶縁層4112上に隔壁4510が形成されている。

[0194]

また、トランジスタ4010およびトランジスタ4011は、絶縁層4102上に設けられている。また、トランジスタ4010およびトランジスタ4011は、絶縁層4111上に形成された電極4017を有する。電極4017はバックゲート電極として機能することができる。

[0195]

また、図18(A)、(B)に示す表示装置は、キャパシタ4020を有する。キャパシタ4020は、トランジスタ4010のゲート電極と同じ工程で形成された電極4021と、ソース電極およびドレイン電極と同じ工程で形成された電極と、を有する。これらの電極は、絶縁層4103を介して重なっている。

[0196]

一般に、表示装置の画素部に設けられるキャパシタの容量は、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。キャパシタの容量は、当該キャパシタと電氣的に接続されるトランジスタのオフ電流等を考慮して設定すればよい。

[0197]

表示部215に設けられたトランジスタ4010は表示デバイスと電氣的に接続する。図18(A)は、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図18(A)において、表示デバイスである液晶デバイス4013は、第1の電極層4030、第2の電極層4031、および液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、

第1の電極層4030と第2の電極層4031は液晶層4008を介して重畳する。

[0198]

液晶デバイス4013として、様々なモードが適用された液晶デバイスを用いることができる。例えば、VA (Vertical Alignment) モード、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Bend) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、VA-IPSモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

[0199]

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

[0200]

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0201]

図18 (A) では、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

[0202]

また、スペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極層4030と第2の電極層4031との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いてもよい。

[0203]

また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロLEDなどを用いてもよい。

[0204]

図18（A）に示す表示装置では、基板4006と第2の電極層4031の間に、遮光層4132、着色層4131、絶縁層4133が設けられている。

[0205]

遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層に用いる材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造とすることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

[0206]

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層の形成は、前述した各層の形成と同様に行なえばよい。例えば、インクジェット法などで行なってもよい。

[0207]

また、図18（A）、（B）に示す表示装置は、絶縁層4111と絶縁層4104を有する。絶縁層4111および絶縁層4104には、不純物元素を透過しにくい絶縁層を用いる。絶縁層4111と絶縁層4104でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

[0208]

また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するEL素子を適用することができる。EL素子は、一対の電極の間に発光性の化合物を含む層（「EL層」ともいう。）を有する。一対の電極間に、EL素子の閾値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光物質が発光する。

[0209]

また、EL素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

[0210]

有機EL素子は、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれEL層に注入される。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に当該有機化合物は発光する。このようなメカニズムから、このような発光デバイスは、電流励起型の発光デバイスと呼ばれる。

[0211]

なお、E L層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸送性および正孔輸送性が高い物質）などを有していてもよい。

[0212]

E L層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

[0213]

無機E L素子は、その素子構成により、分散型無機E L素子と薄膜型無機E L素子とに分類される。分散型無機E L素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機E L素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機E L素子を用いて説明する。

[0214]

発光デバイスは発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

[0215]

図18（B）は、表示デバイスとして発光デバイスを用いた発光表示装置（「E L表示装置」ともいう。）の一例である。表示デバイスである発光デバイス4513は、表示部215に設けられたトランジスタ4010と電気的に接続している。なお発光デバイス4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光デバイス4513から取り出す光の方向などに合わせて、発光デバイス4513の構成は適宜変えることができる。

[0216]

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

[0217]

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

[0218]

発光デバイス4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

[0219]

カラー表示を実現する方法としては、発光色が白色の発光デバイス4513と着色層を組み合わせで行う方法と、画素毎に発光色の異なる発光デバイス4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があ

るため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス4513にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0220]

なお、発光層4511は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0221]

発光デバイス4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon) などを形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

[0222]

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)などを用いることができる。また、充填材4514に乾燥剤が含まれていてもよい。

[0223]

シール材4005には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材4005に乾燥剤が含まれていてもよい。

[0224]

また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板(楕円偏光板を含む)、位相差板($\lambda/4$ 板、 $\lambda/2$ 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

[0225]

また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

[0226]

表示デバイスに電圧を印加する第1の電極層および第2の電極層(画素電極層、共通電極層、対向電極層などともいう)においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

[0227]

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化

物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

[0228]

また、第1の電極層4030、第2の電極層4031はタングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

[0229]

また、第1の電極層4030、第2の電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

[0230]

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

[0231]

なお、図19に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ4011およびトランジスタ4022を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ4010、トランジスタ4023、キャパシタ4020などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させることができる。なお、図19では図18(A)に示す液晶表示装置にスタック構造を応用した例を示しているが、図18(B)に示すEL表示装置に応用してもよい。

[0232]

また、画素回路において、電極や配線に可視光に対して透光性の高い導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、OSトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

[0233]

また、液晶表示装置と発光装置を組み合わせて表示装置を構成としてもよい。

[0234]

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給する機能を有する。発光装置は、バックライトとも呼ぶことができる。

[0235]

ここで、発光装置は、板状またはシート状の導光部(導光板ともいう)と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構(光取り出し機構ともいう)を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。ま

たは、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

[0236]

発光装置は、赤色（R）、緑色（G）、青色（B）の3色の発光デバイスを有することが好ましい。さらに白色（W）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（LED: Light Emitting Diode）を用いることが好ましい。

[0237]

さらに、発光デバイスは、その発光スペクトルの半値全幅（FWHM: Full Width at Half Maximum）が、50nm以下、好ましくは40nm以下、より好ましくは30nm以下、さらに好ましくは20nm以下である、極めて色純度の高い発光デバイスであることが好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば1nm以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

[0238]

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、625nm以上650nm以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、515nm以上540nm以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、445nm以上470nm以下の範囲内に位置する素子を用いることが好ましい。

[0239]

表示装置は、3色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

[0240]

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画像を表示することができる。また上記駆動方法を用いることで、1つの画素を複数の異なる色の副画素で構成する必要がなく、1つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率も向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

[0241]

図20(A)、(B)は、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の基板4001側にはRGB各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、RGB各色の時分割発光で色を表現するため、カラーフィルタは不要となる。

[0242]

図20(A)に示すバックライトユニット4340aは、画素の直下に拡散板4352を介して発光デバイス4342が複数設けられた構成である。拡散板4352は、発光デバイス4342から基板4001側に射出された光を拡散し、表示部面内の輝度を均一化する機能を有する。発光デバイス4342と拡散板4352との間には、必要に応じて偏光板を設けてもよい。また、拡散板4352は不要であれば設けなくてもよい。また、遮光層4132を省いた構成としてもよい。

[0243]

バックライトユニット4340aは、発光デバイス4342を多く搭載することができるため、明るい表示が可能となる。また、導光板は不要であり、発光デバイス4342の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス4342に光拡散用のレンズ4344を設けてもよい。

[0244]

図20(B)に示すバックライトユニット4340bは、画素の直下に拡散板4352を介して導光板4341が設けられた構成である。導光板4341の端部には発光デバイス4342が複数設けられる。導光板4341は、拡散板4352とは逆側に凹凸形状を有し、導波した光を当該凹凸形状で散乱して拡散板4352の方向に射出することができる。

[0245]

発光デバイス4342は、プリント基板4347に固定することができる。なお、図20(B)では、RGB各色の発光デバイス4342が重なるように図示しているが、奥行方向にRGB各色の発光デバイス4342が並ぶように配置することもできる。また、導光板4341において、発光デバイス4342とは反対側の側面には、可視光を反射する反射層4348を設けてもよい。

[0246]

バックライトユニット4340bは、発光デバイス4342を少なくすることができるため、低コストかつ薄型とすることができる。

[0247]

また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイスとしては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶(PNLC(Polymer Network Liquid Crystal))素子を用いてもよい。

[0248]

光散乱型液晶デバイスは、一対の電極で挟まれる樹脂部の3次元ネットワーク構造中に液晶部が設けられた構成である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。

[0249]

光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくなる方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなると、液晶部と樹脂部の屈折率の差に大きな変化が生じないため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

[0250]

図21(A)は、図20(A)の表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。光散乱型液晶デバイス4016は、液晶部および樹脂部を有する複合層4

009、ならびに電極層4030、4031を有する。フィールドシーケンシャル駆動に関する要素は、図20(A)と同じであるが、光散乱型液晶デバイス4016を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ4035は球状の形態で図示しているが、柱状であってもよい。

[0251]

図21(B)は、図20(B)の表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。図20(B)の構成では、光散乱型液晶デバイス4016に電圧を印加しないときに光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

[0252]

図21(B)に示す表示装置の変形例を図22(A)乃至(E)に示す。なお、図22(A)乃至(E)においては、明瞭化のため、図21(B)の一部要素を用い、他の要素を省いて図示している。

[0253]

図22(A)は、基板4001が導光板としての機能を有する構成である。基板4001の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス4342が射出する光を効率良く利用することができる。

[0254]

図22(B)は、複合層4009の端部近傍から光を入射する構成である。複合層4009と基板4006との界面、および複合層4009と基板4001との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層4009の樹脂部には、基板4001および基板4006よりも屈折率が高い材料を用いる。

[0255]

なお、発光デバイス4342は表示装置の一辺に設けるだけでなく、図22(C)に示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス4342を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

[0256]

図22(D)は、発光デバイス4342から射出される光がミラー4345を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

[0257]

図22(E)は、複合層4009上に層4003および層4004の積層を有する構成である。層4003および層4004の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層4009の樹脂部には、層4004よりも屈折率が高い材料を用いる。また、層4004には層4003よりも屈折率が高い材料を用いる。

[0258]

複合層4009と層4004との間には一つ目の界面が形成され、層4004と層4003との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二つ目の界面で全反射させ、複合層4009に戻すことができる。したがって、発光デバイス4342が

射出する光を効率良く利用することができる。

[0259]

なお、図21 (B) および図22 (A) 乃至 (E) における構成は、互いに組み合わせることができる。

[0260]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0261]

(実施の形態3)

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

[0262]

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

[0263]

[ボトムゲート型トランジスタ]

図23 (A1) は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810のチャネル長方向の断面図である。図23 (A1) において、トランジスタ810は基板771上に形成されている。また、トランジスタ810は、基板771上に絶縁層772を介して電極746を有する。また、電極746上に絶縁層726を介して半導体層742を有する。電極746はゲート電極として機能できる。絶縁層726はゲート絶縁層として機能できる。

[0264]

また、半導体層742のチャネル形成領域上に絶縁層741を有する。また、半導体層742の一部と接して、絶縁層726上に電極744aおよび電極744bを有する。電極744aは、ソース電極またはドレイン電極の一方として機能できる。電極744bは、ソース電極またはドレイン電極の他方として機能できる。電極744aの一部、および電極744bの一部は、絶縁層741上に形成される。

[0265]

絶縁層741は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に、半導体層742のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0266]

また、トランジスタ810は、電極744a、電極744bおよび絶縁層741上に絶縁層728を有し、絶縁層728の上に絶縁層729を有する。

[0267]

半導体層742に酸化物半導体を用いる場合、電極744aおよび電極744bの、少なくとも半導体層742と接する部分に、半導体層742の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層742中の酸素欠損が生じた領域はキャリア濃度が増

加し、当該領域はn型化し、n型領域（n⁺層）となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層742に酸化物半導体を用いる場合、半導体層742から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

[0268]

半導体層742にソース領域およびドレイン領域が形成されることにより、電極744aおよび電極744bと半導体層742の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

[0269]

半導体層742にシリコンなどの半導体を用いる場合は、半導体層742と電極744aの間、および半導体層742と電極744bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

[0270]

絶縁層729は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層729を省略することもできる。

[0271]

図23(A2)に示すトランジスタ811は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ810と異なる。電極723は、電極746と同様の材料および方法で形成することができる。

[0272]

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（GND電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0273]

また、電極746および電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、および絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

[0274]

なお、電極746または電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」と言う場合、電極746を「バックゲート電極」と言う。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746および電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

[0275]

半導体層742を挟んで電極746および電極723を設けることで、更には、電極746および電極723を同電位とすることで、半導体層742においてキャリアの流れる領域が膜厚方向におい

てより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 8 1 1 のオン電流が大きくなると共に、電界効果移動度が高くなる。

[0276]

したがって、トランジスタ 8 1 1 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 8 1 1 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0277]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0278]

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0279]

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

[0280]

図 23（B 1）は、図 23（A 1）とは異なる構成のチャンネル保護型のトランジスタ 8 2 0 のチャンネル長方向の断面図である。トランジスタ 8 2 0 は、トランジスタ 8 1 0 とほぼ同様の構造を有しているが、絶縁層 7 4 1 が半導体層 7 4 2 の端部を覆っている点が異なる。また、半導体層 7 4 2 と重なる絶縁層 7 4 1 の一部を選択的に除去して形成した開口部において、半導体層 7 4 2 と電極 7 4 4 a が電気的に接続している。また、半導体層 7 4 2 と重なる絶縁層 7 4 1 の一部を選択的に除去して形成した他の開口部において、半導体層 7 4 2 と電極 7 4 4 b が電気的に接続している。絶縁層 7 4 1 の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

[0281]

図 23（B 2）に示すトランジスタ 8 2 1 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 2 0 と異なる。

[0282]

絶縁層 7 4 1 を設けることで、電極 7 4 4 a および電極 7 4 4 b の形成時に生じる半導体層 7 4 2 の露出を防ぐことができる。よって、電極 7 4 4 a および電極 7 4 4 b の形成時に半導体層 7 4 2 の薄膜化を防ぐことができる。

[0283]

また、トランジスタ 8 2 0 およびトランジスタ 8 2 1 は、トランジスタ 8 1 0 およびトランジスタ 8 1 1 よりも、電極 7 4 4 a と電極 7 4 6 の間の距離および電極 7 4 4 b と電極 7 4 6 の間の距離が長くなる。よって、電極 7 4 4 a と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。また、電極 7 4 4 b と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

[0284]

図23(C1)は、ボトムゲート型のトランジスタの1つであるチャネルエッチング型のトランジスタ825のチャネル長方向の断面図である。トランジスタ825は、絶縁層729を用いずに電極744aおよび電極744bを形成する。このため、電極744aおよび電極744bの形成時に露出する半導体層742の一部がエッチングされる場合がある。一方、絶縁層729を設けないため、トランジスタの生産性を高めることができる。

[0285]

図23(C2)に示すトランジスタ826は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ820と異なる。

[0286]

図24(A1)乃至(C2)にトランジスタ810、811、820、821、825、826のチャネル幅方向の断面図をそれぞれ示す。

[0287]

図24(B2)、(C2)に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層742は、ゲート電極とバックゲート電極で挟まれている。

[0288]

ゲート電極およびバックゲート電極のそれぞれのチャネル幅方向の長さは、半導体層742のチャネル幅方向の長さよりも長く、半導体層742のチャネル幅方向全体は、絶縁層726、741、728、729を間に挟んでゲート電極およびバックゲート電極に覆われた構成である。

[0289]

当該構成とすることで、トランジスタに含まれる半導体層742を、ゲート電極およびバックゲート電極の電界によって電氣的に取り囲むことができる。

[0290]

トランジスタ821およびトランジスタ826のように、ゲート電極およびバックゲート電極の電界によって、チャネル形成領域が形成される半導体層742を電氣的に取り囲むトランジスタのデバイス構造をSurrounded channel (S-channel) 構造と呼ぶことができる。

[0291]

S-channel 構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャネルを誘起させるための電界を効果的に半導体層742に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、S-channel 構造とすることで、トランジスタの機械的強度を高めることができる。

[0292]

[トップゲート型トランジスタ]

図25(A1)に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

[0293]

また、電極 7 4 6 と重ならない絶縁層 7 2 6 の一部を除去し、電極 7 4 6 と残りの絶縁層 7 2 6 をマスクとして用いて不純物を半導体層 7 4 2 に導入することで、半導体層 7 4 2 中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ 8 4 2 は、絶縁層 7 2 6 が電極 7 4 6 の端部を越えて延伸する領域を有する。半導体層 7 4 2 の絶縁層 7 2 6 を介して不純物が導入された領域の不純物濃度は、絶縁層 7 2 6 を介さずに不純物が導入された領域の不純物濃度よりも小さくなる。よって、半導体層 7 4 2 は、電極 7 4 6 と重ならない領域に LDD（L i g h t l y D o p e d D r a i n）領域が形成される。

[0294]

図 2 5（A 2）に示すトランジスタ 8 4 3 は、電極 7 2 3 を有する点がトランジスタ 8 4 2 と異なる。トランジスタ 8 4 3 は、基板 7 7 1 の上に形成された電極 7 2 3 を有する。電極 7 2 3 は、絶縁層 7 7 2 を介して半導体層 7 4 2 と重なる領域を有する。電極 7 2 3 は、バックゲート電極として機能することができる。

[0295]

また、図 2 5（B 1）に示すトランジスタ 8 4 4 および図 2 5（B 2）に示すトランジスタ 8 4 5 のように、電極 7 4 6 と重ならない領域の絶縁層 7 2 6 を全て除去してもよい。また、図 2 5（C 1）に示すトランジスタ 8 4 6 および図 2 5（C 2）に示すトランジスタ 8 4 7 のように、絶縁層 7 2 6 を残してもよい。

[0296]

トランジスタ 8 4 2 乃至トランジスタ 8 4 7 も、電極 7 4 6 を形成した後に、電極 7 4 6 をマスクとして用いて不純物を半導体層 7 4 2 に導入することで、半導体層 7 4 2 中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0297]

図 2 6（A 1）乃至（C 2）にトランジスタ 8 4 2、8 4 3、8 4 4、8 4 5、8 4 6、8 4 7 のチャネル幅方向の断面図をそれぞれ示す。

[0298]

トランジスタ 8 4 3、トランジスタ 8 4 5、およびトランジスタ 8 4 7 は、それぞれ先に説明した S－channel 構造である。ただし、これに限定されず、トランジスタ 8 4 3、トランジスタ 8 4 5、およびトランジスタ 8 4 7 を S－channel 構造としなくてもよい。

[0299]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0300]

（実施の形態 4）

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 2 7 に示す。

[0301]

図27(A)はデジタルカメラであり、筐体961、シャッターボタン962、マイク963、スピーカ967、表示部965、操作キー966、ズームレバー968、レンズ969等を有する。表示部965に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0302]

図27(B)はデジタルサイネージであり、大型の表示部922を有する。デジタルサイネージは、例えば、柱921の側面に大型の表示部922が取り付けられる。表示部922に本発明の一態様の表示装置を用いることで、表示品位の高い表示を行うことができる。

[0303]

図27(C)は携帯電話機であり、筐体951、表示部952、操作ボタン953、外部接続ポート954、スピーカ955、マイク956、カメラ957等を有する。当該携帯電話機は、表示部952にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部952に触れることで行うことができる。また、筐体951および表示部952は可撓性を有し、図示するように折り曲げて使用することができる。表示部952に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0304]

図27(D)はビデオカメラであり、第1筐体901、第2筐体902、表示部903、操作キー904、レンズ905、接続部906、スピーカ907等を有する。操作キー904およびレンズ905は第1筐体901に設けられており、表示部903は第2筐体902に設けられている。表示部903に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0305]

図27(E)はテレビであり、筐体971、表示部973、操作キー974、スピーカ975、通信用接続端子976、光センサ977等を有する。表示部973にはタッチセンサが設けられ、入力操作を行うこともできる。表示部973に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0306]

図27(F)は携帯データ端末であり、筐体911、表示部912、スピーカ913、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。表示部912に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0307]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0308]

10:画素、11:回路、11a:回路、11b:回路、12:ソースドライバ、12a:ソースドライバ、12b:ソースドライバ、13:ゲートドライバ、15:表示領域、16:選択回路、20:回路、101:トランジスタ、102:トランジスタ、103:トランジスタ、104:トランジスタ、105:トランジスタ、106:トランジスタ、107:キャパシタ、108:キャパシタ、109:キャパシタ、110:回路ブロック、111:トランジスタ、112:トランジスタ、113:キャパシタ、114:発光デバイス、115:トランジスタ、116:キャパシタ、117:液晶デ

バイス、118：トランジスタ、119：トランジスタ、120：回路、121：配線、121a：配線、121b：配線、122：配線、122a：配線、122b：配線、123：配線、124：配線、125：配線、126：配線、127：配線、128：配線、129：配線、130：配線、131：配線、132：配線、133：配線、134：配線、135：配線、136：配線、215：表示部、221a：走査線駆動回路、231a：信号線駆動回路、232a：信号線駆動回路、241a：共通線駆動回路、723：電極、726：絶縁層、728：絶縁層、729：絶縁層、741：絶縁層、742：半導体層、744a：電極、744b：電極、746：電極、771：基板、772：絶縁層、810：トランジスタ、811：トランジスタ、820：トランジスタ、821：トランジスタ、825：トランジスタ、826：トランジスタ、842：トランジスタ、843：トランジスタ、844：トランジスタ、845：トランジスタ、846：トランジスタ、847：トランジスタ、901：筐体、902：筐体、903：表示部、904：操作キー、905：レンズ、906：接続部、907：スピーカ、911：筐体、912：表示部、913：スピーカ、919：カメラ、921：柱、922：表示部、951：筐体、952：表示部、953：操作ボタン、954：外部接続ポート、955：スピーカ、956：マイク、957：カメラ、961：筐体、962：シャッターボタン、963：マイク、965：表示部、966：操作キー、967：スピーカ、968：ズームレバー、969：レンズ、971：筐体、973：表示部、974：操作キー、975：スピーカ、976：通信用接続端子、977：光センサ、4001：基板、4003：層、4004：層、4005：シール材、4006：基板、4008：液晶層、4009：複合層、4010：トランジスタ、4011：トランジスタ、4013：液晶デバイス、4014：配線、4015：電極、4016：光散乱型液晶デバイス、4017：電極、4018：FPC、4019：異方性導電層、4020：キャパシタ、4021：電極、4022：トランジスタ、4023：トランジスタ、4030：電極層、4031：電極層、4032：絶縁層、4033：絶縁層、4035：スペーサ、4041：プリント基板、4042：集積回路、4102：絶縁層、4103：絶縁層、4104：絶縁層、4110：絶縁層、4111：絶縁層、4112：絶縁層、4131：着色層、4132：遮光層、4133：絶縁層、4200：入力装置、4210：タッチパネル、4227：電極、4228：電極、4237：配線、4238：配線、4239：配線、4263：基板、4272b：FPC、4273b：IC、4340a：バックライトユニット、4340b：バックライトユニット、4341：導光板、4342：発光デバイス、4344：レンズ、4345：ミラー、4347：プリント基板、4348：反射層、4352：拡散板、4510：隔壁、4511：発光層、4513：発光デバイス、4514：充填材

請求の範囲

[請求項 1]

画素と、第 1 の回路と、を有する表示装置であって、
前記画素と前記第 1 の回路とは電氣的に接続され、
前記第 1 の回路は、第 1 のデータおよび第 2 のデータを加算して第 3 のデータを生成する機能を有し、

前記画素は、前記第 1 のデータおよび前記第 3 のデータを加算して第 4 のデータを生成する機能、および前記第 4 のデータに応じて表示を行う機能を有する表示装置。

[請求項 2]

画素と、第 1 の回路と、を有する表示装置であって、
前記画素と前記第 1 の回路とは電氣的に接続され、
前記第 1 の回路は、第 1 のデータおよび第 2 のデータを加算して第 3 のデータを生成する機能を有し、

前記画素は、前記第 3 のデータに前記第 3 のデータを加算して第 4 のデータを生成する機能、および前記第 5 のデータに応じて表示を行う機能を有する表示装置。

[請求項 3]

請求項 1 または 2 において、

前記第 1 の回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 のキャパシタと、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記画素と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 のキャパシタの一方の電極と電氣的に接続され、

前記第 1 のキャパシタの他方の電極は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの他方と電氣的に接続されている表示装置。

[請求項 4]

請求項 3 において、

前記第 1 のキャパシタは複数の第 2 のキャパシタを有し、前記第 2 のキャパシタは並列接続されている表示装置。

[請求項 5]

請求項 1 乃至 4 のいずれか一項において、

前記画素は、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、第 3 のキャパシタと、第 2 の回路と、を有し、

前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 3 のキャパシタの一方の電極と電氣的に接続され、

前記第 3 のキャパシタの一方の電極は、前記第 2 の回路と電氣的に接続され、

前記第 2 のキャパシタの他方の電極は、前記第 5 のトランジスタのソースまたはドレインの一方

と電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第1の回路と電氣的に接続され、
前記第5のトランジスタのソースまたはドレインの他方は、前記第1の回路と電氣的に接続され、
前記第2の回路は、表示デバイスを有する表示装置。

[請求項6]

請求項5において、

前記第2の回路は、第7のトランジスタと、第4のキャパシタと、前記表示デバイスとして発光デバイスと、を有し、

前記第7のトランジスタのゲートは、前記第4のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第7のトランジスタのソースまたはドレインの一方は、前記発光デバイスの方の電極と電氣的に接続され、

前記発光デバイスの方の電極は、前記第4のキャパシタの方の電極と電氣的に接続され、

前記第4のキャパシタの他方の電極は、前記第7のトランジスタのゲートと電氣的に接続される表示装置。

[請求項7]

請求項5において、

前記第2の回路は、前記表示デバイスとして液晶デバイスを有し、

前記液晶デバイスの方の電極は、前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続されている表示装置。

[請求項8]

請求項7において、

さらに第5のキャパシタを有し、

前記第5のキャパシタの方の電極は、前記液晶デバイスの方の電極と電氣的に接続されている表示装置。

[請求項9]

請求項1乃至8のいずれか一項において、

前記第1の回路および画素が有するトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有する表示装置。

[請求項10]

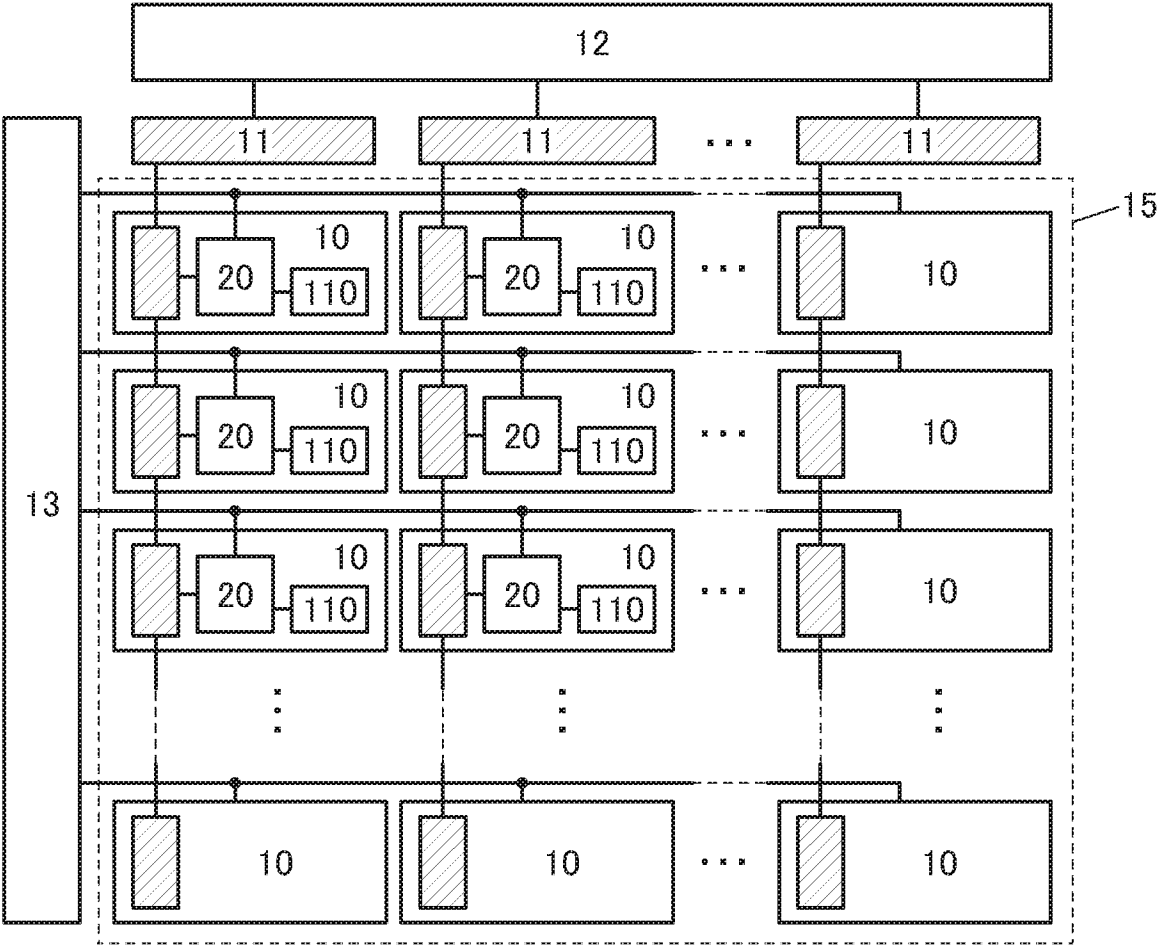
請求項1乃至9のいずれか一項において、

前記第1の回路が有するトランジスタのチャネル幅は、前記画素が有するトランジスタのチャネル幅よりも大きい表示装置。

[請求項11]

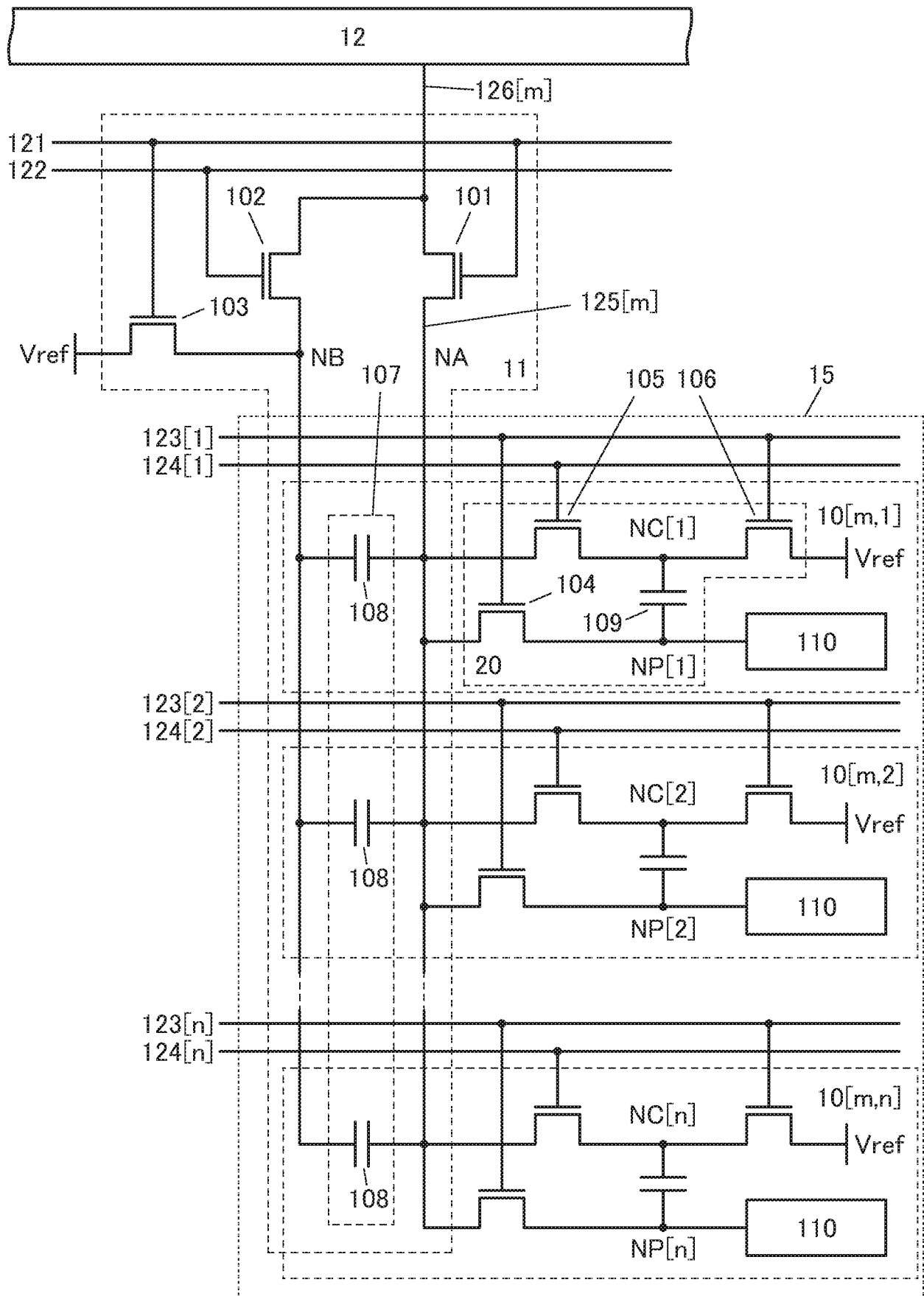
請求項1乃至10のいずれか一項に記載の表示装置と、カメラと、を有する電子機器。

[図1]



[図2]

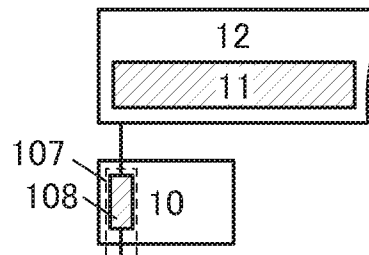
2/27



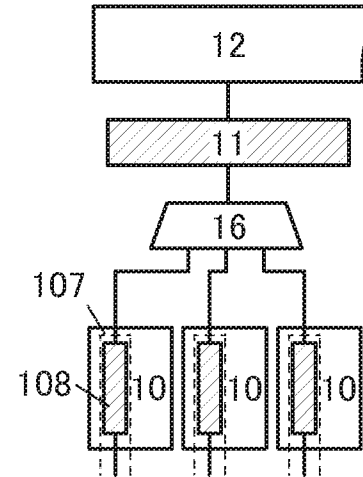
[圖3]

3/27

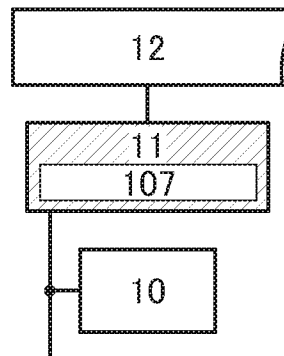
(A)



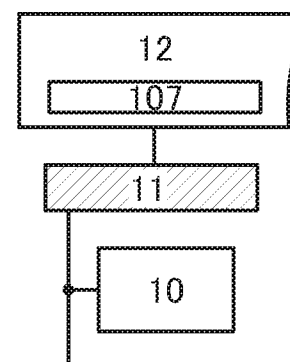
(B)



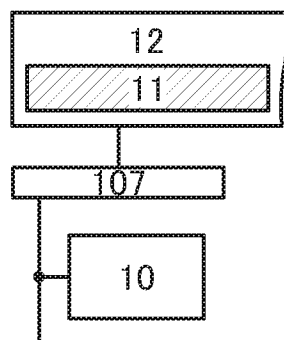
(C)



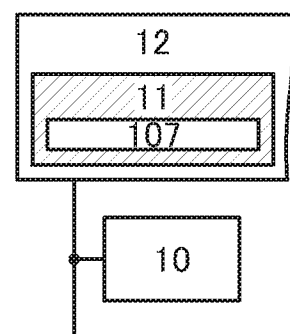
(D)



(E)

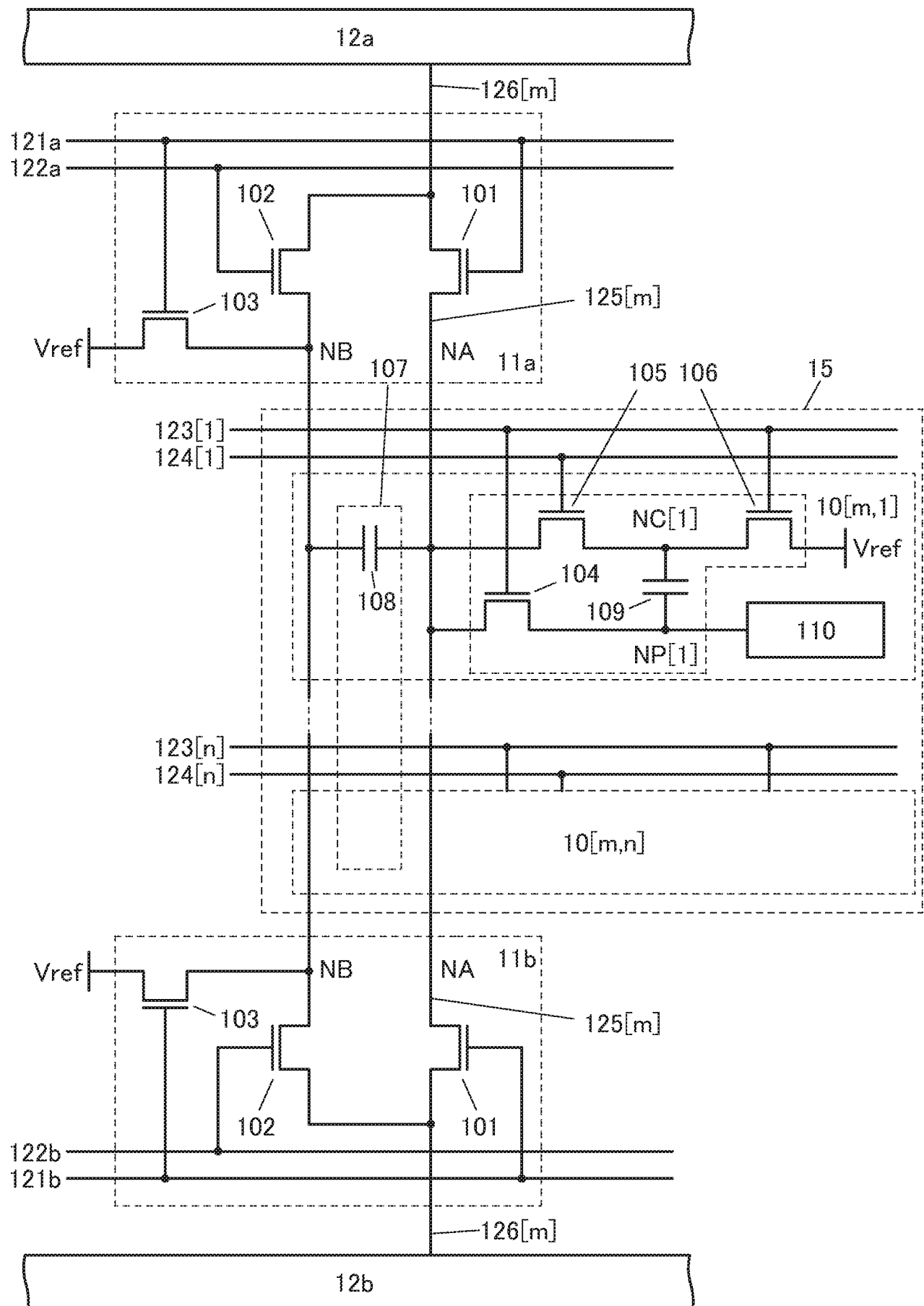


(F)



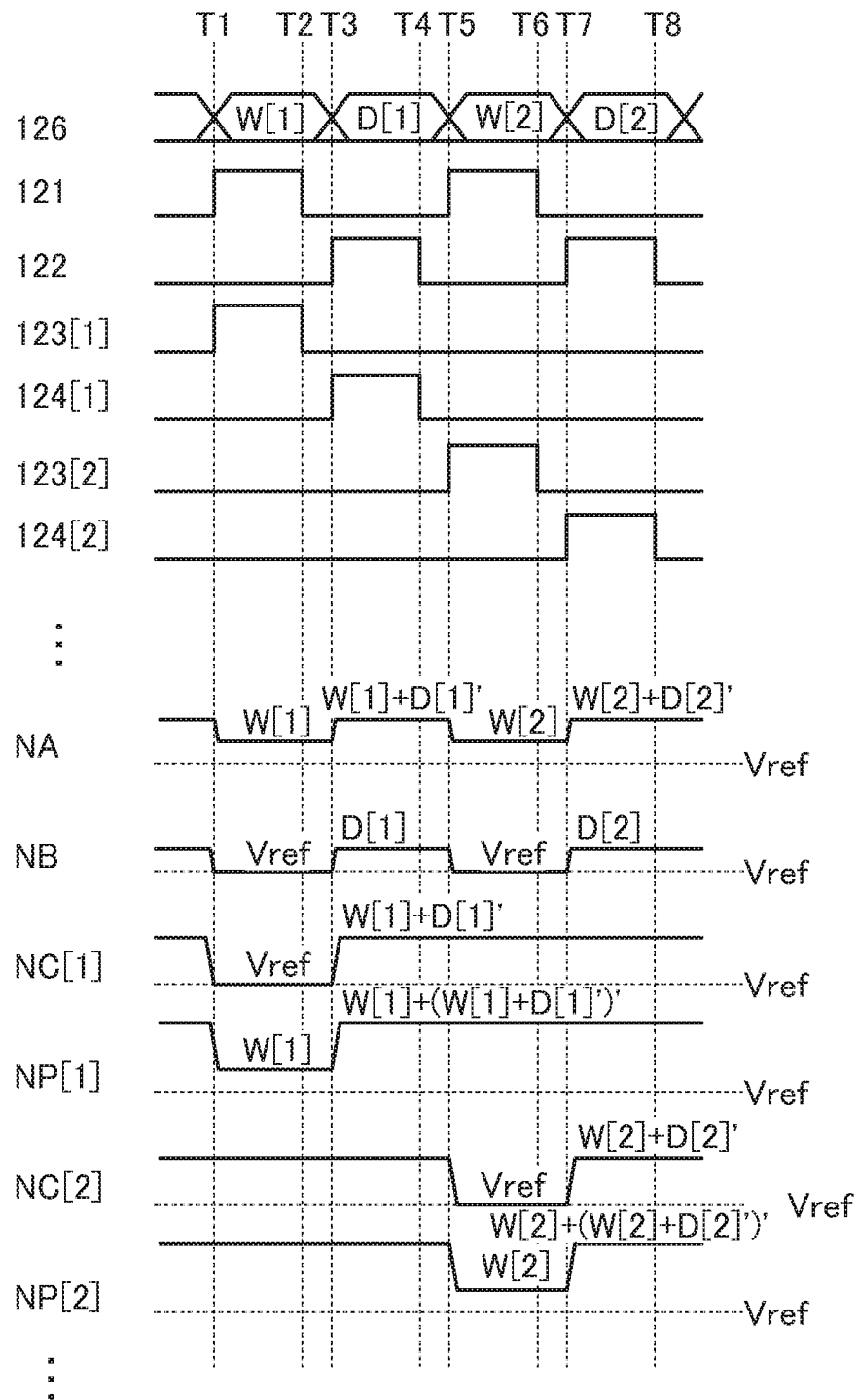
[図4]

4/27



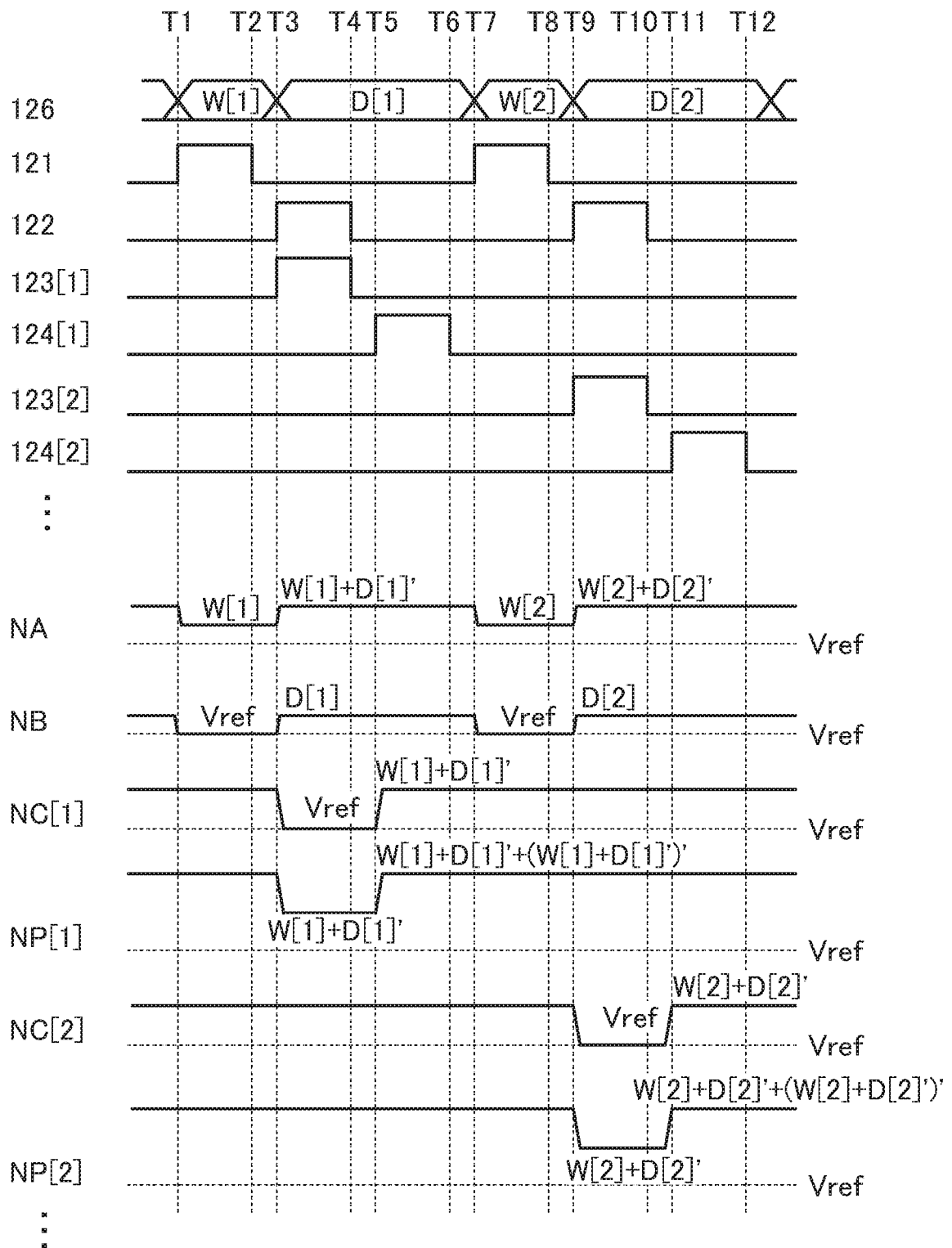
[図5]

5/27



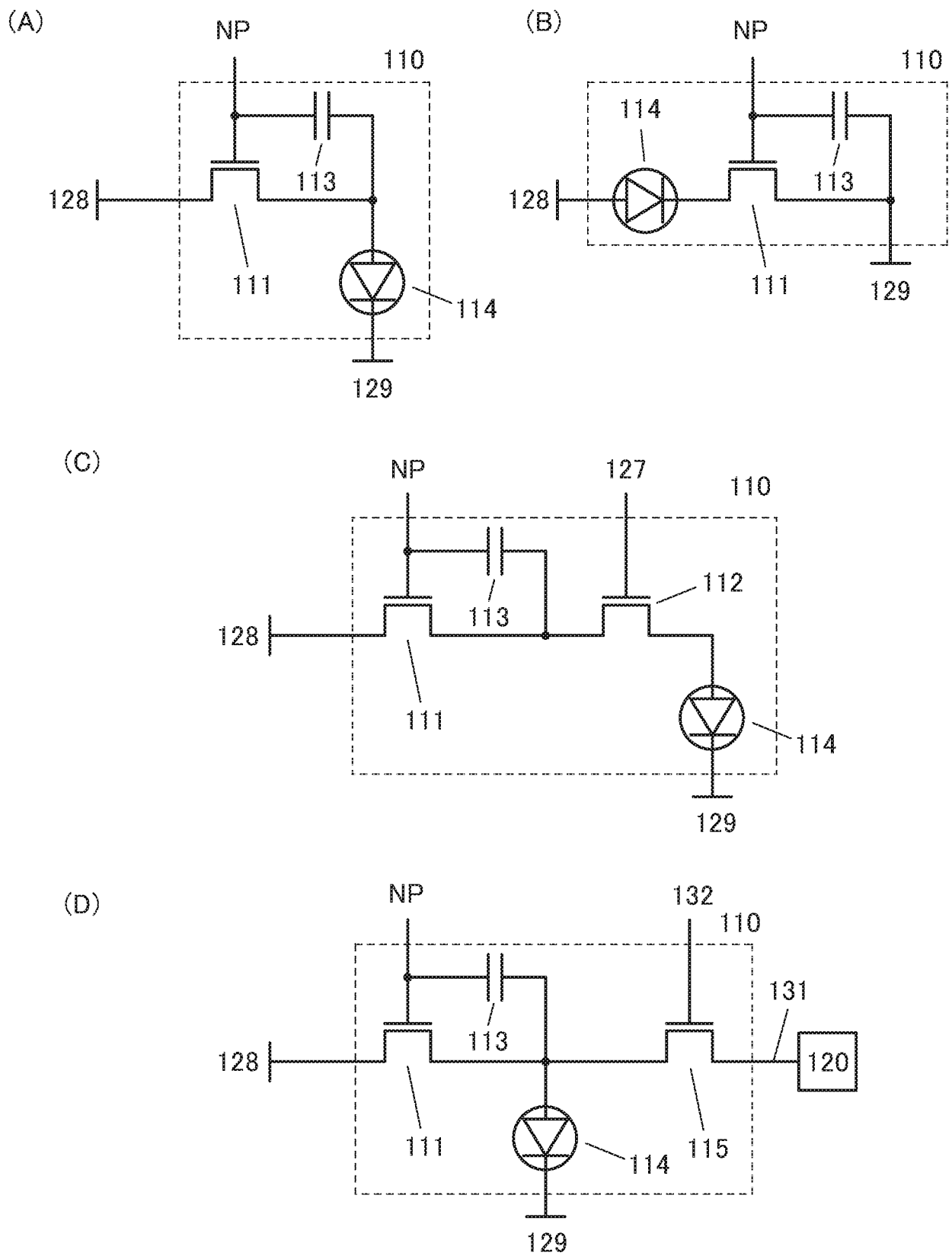
[図6]

6/27



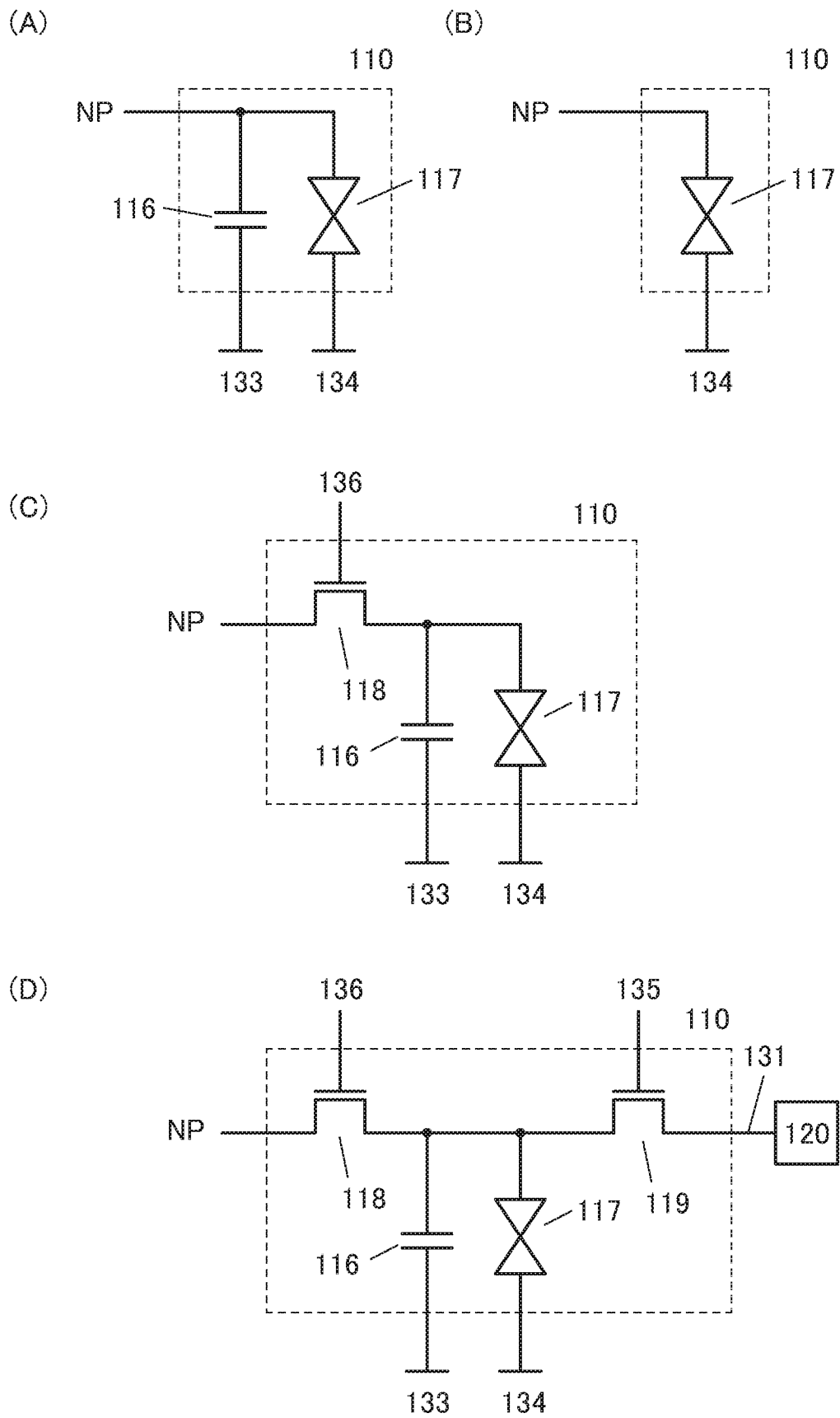
[図7]

7/27



[図8]

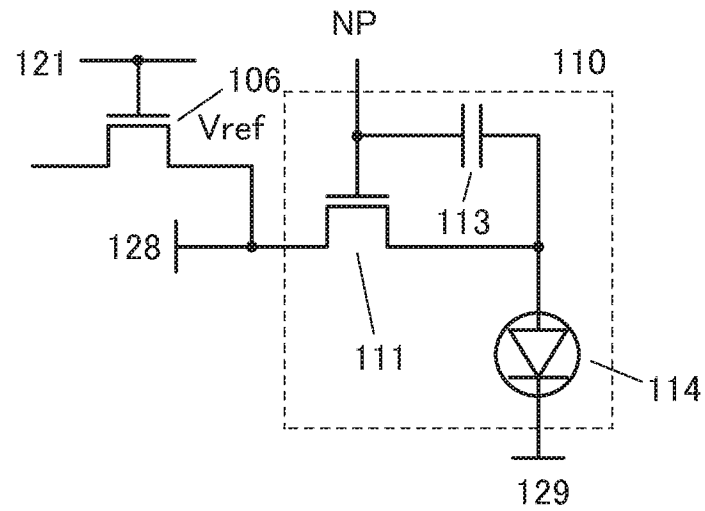
8/27



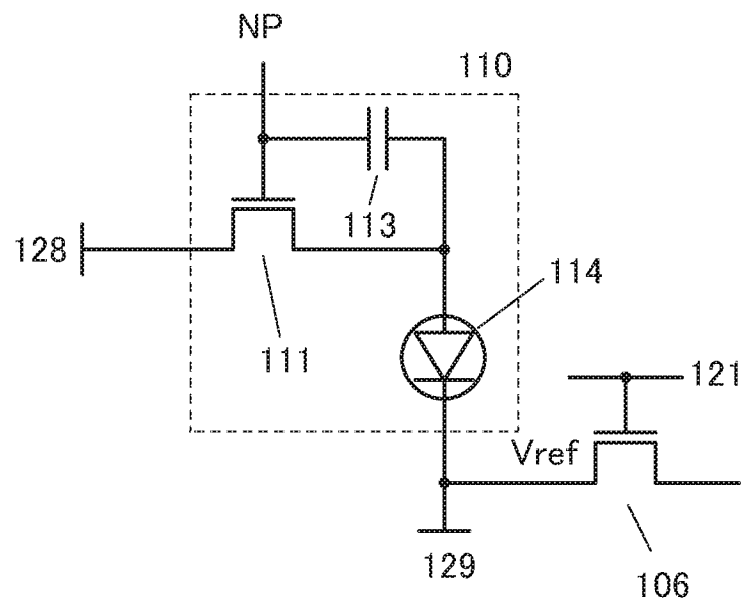
[圖9]

9/27

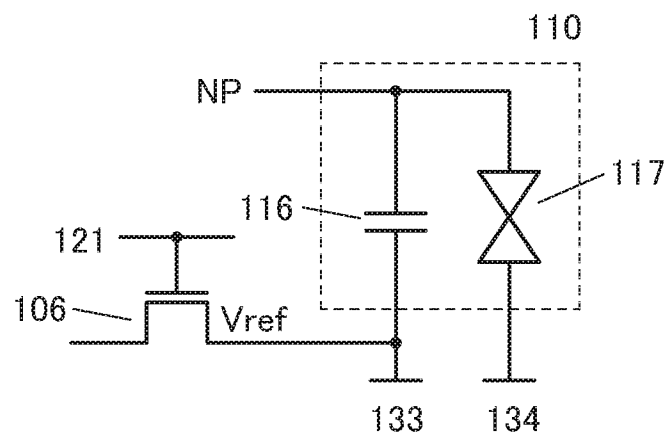
(A)



(B)

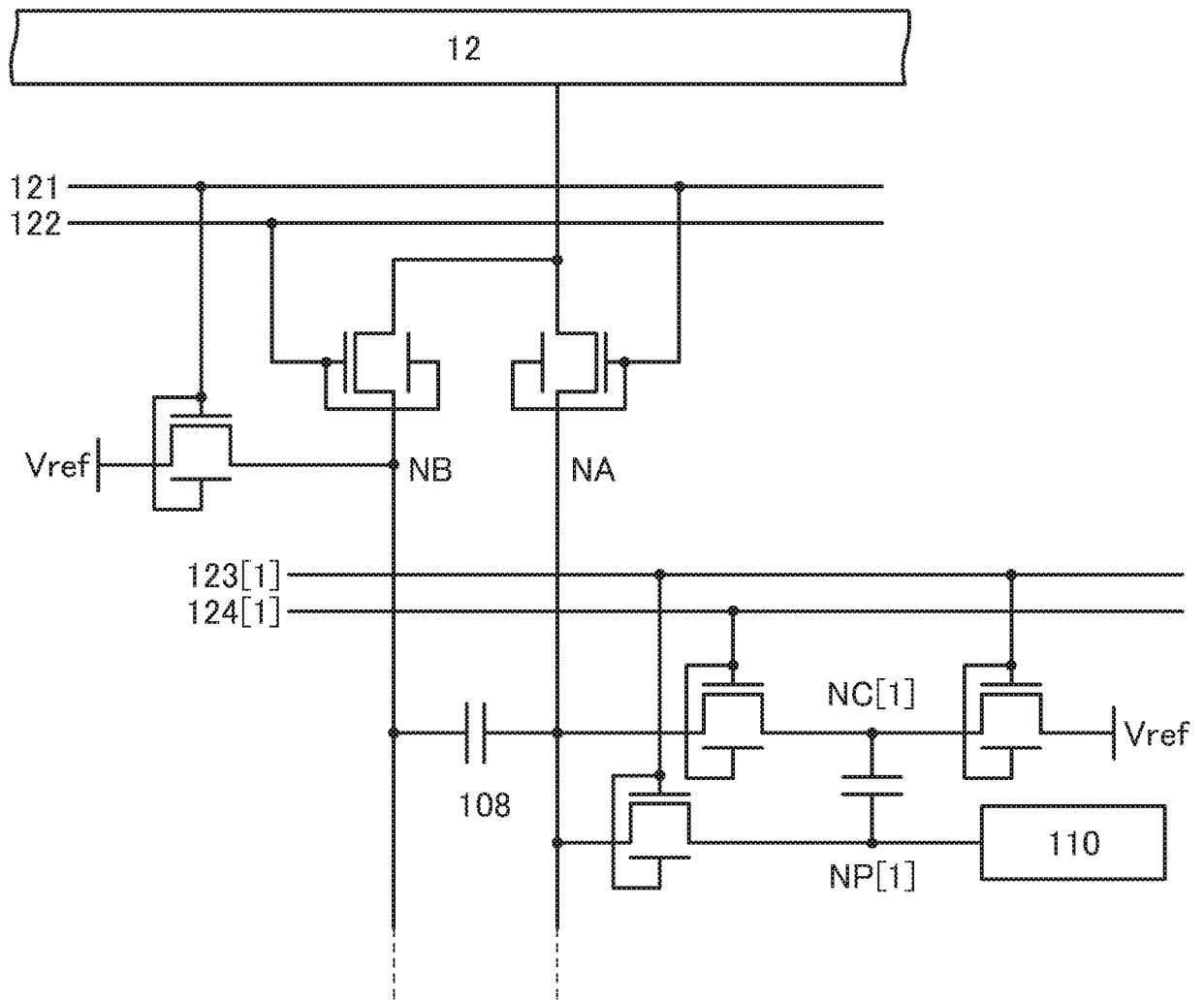


(C)



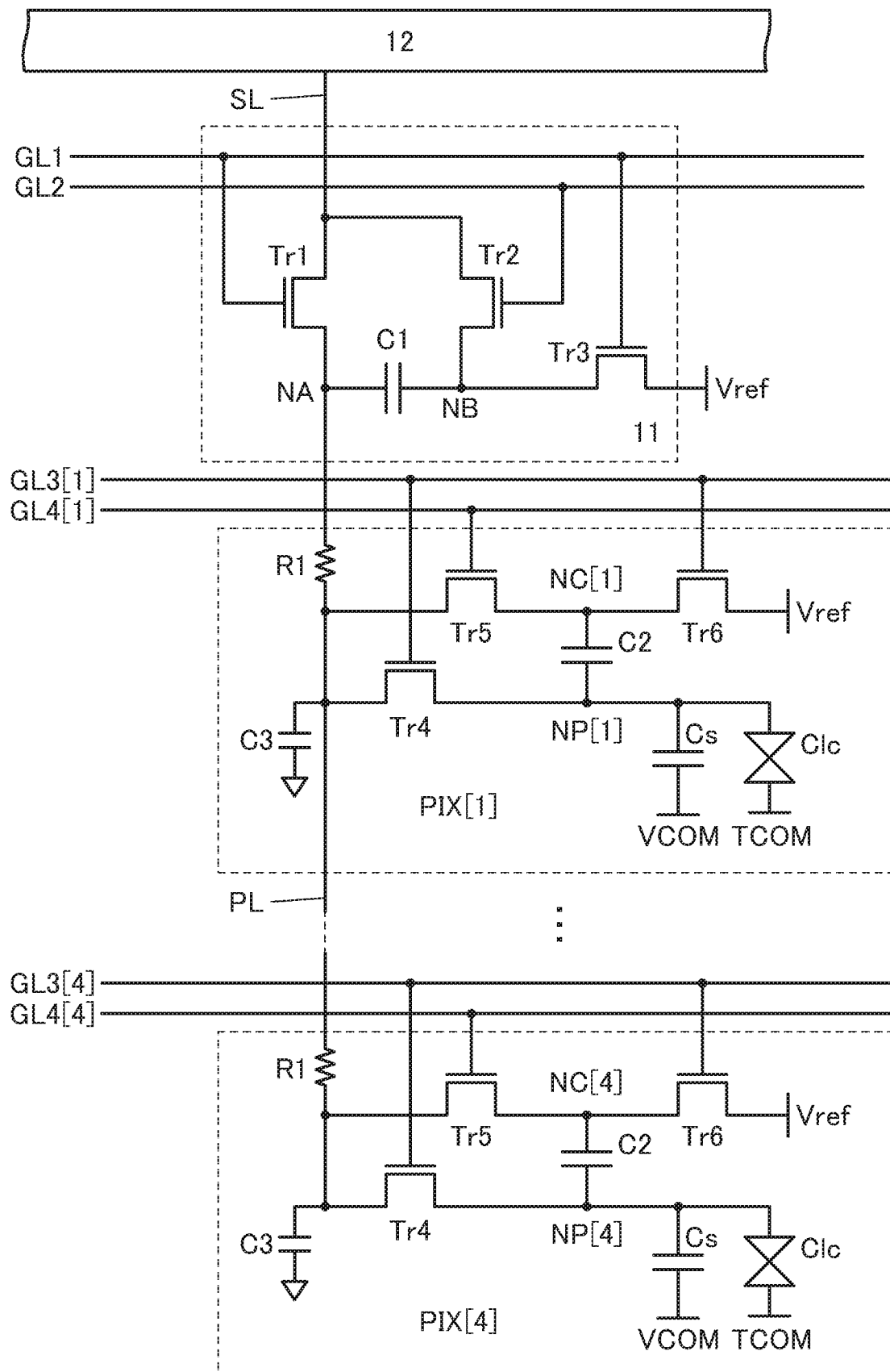
[図10]

10/27

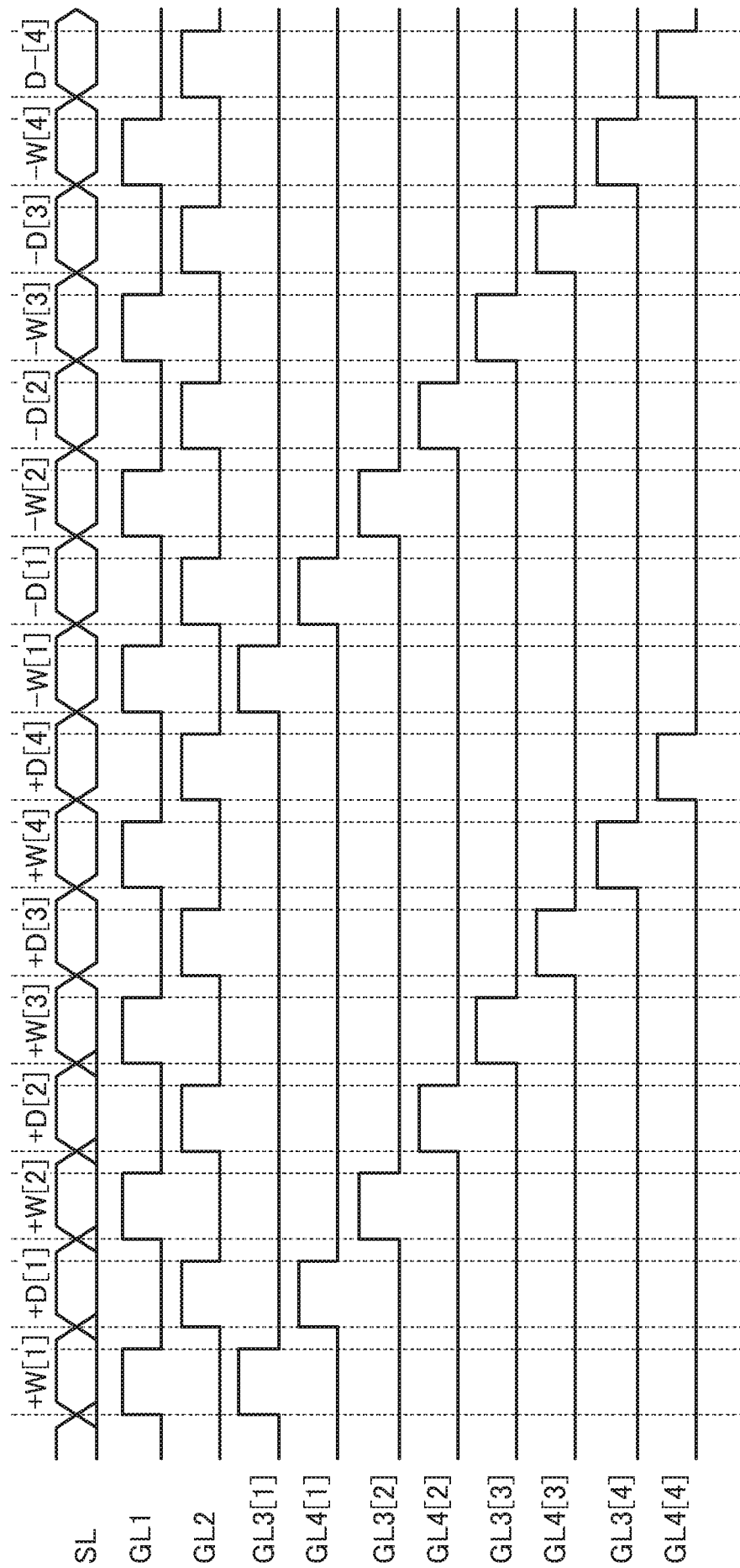
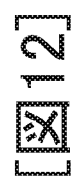


[図11]

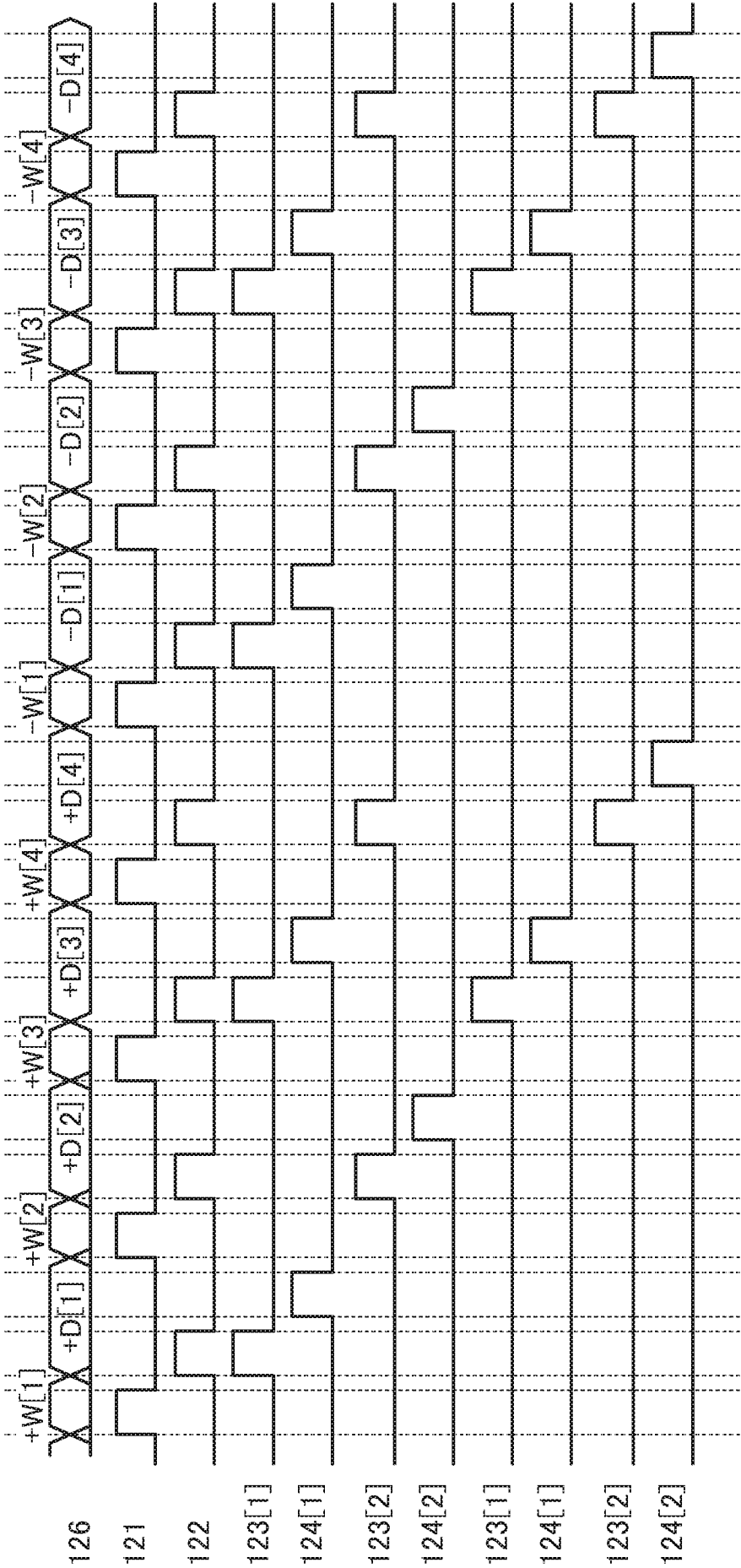
11/27



12/27

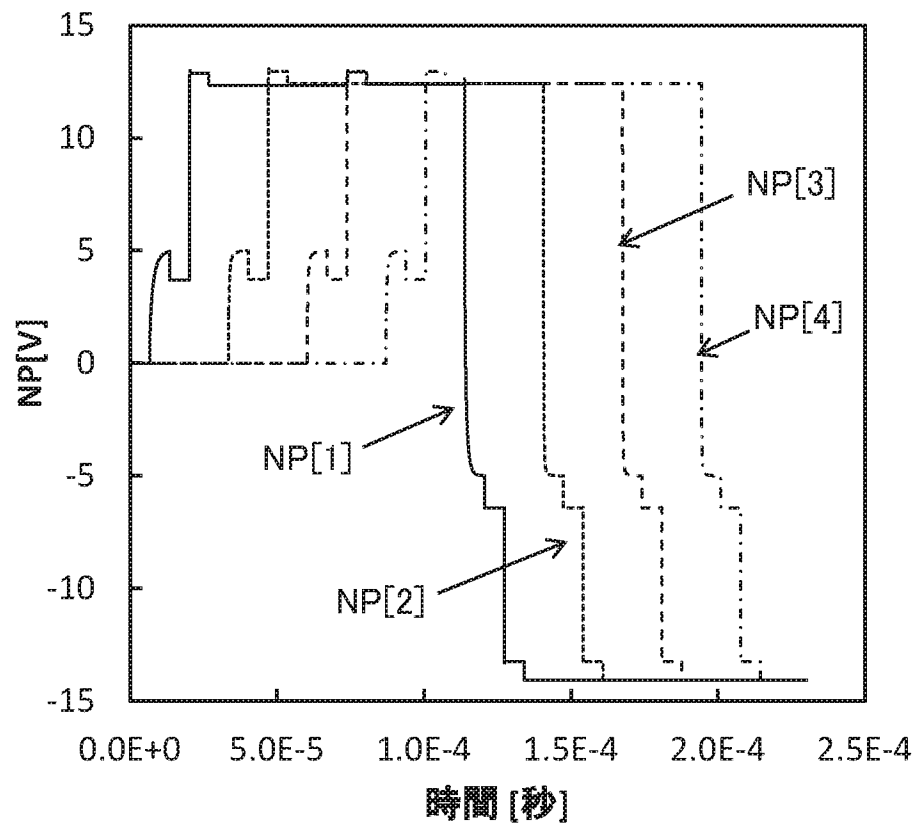


[図13]



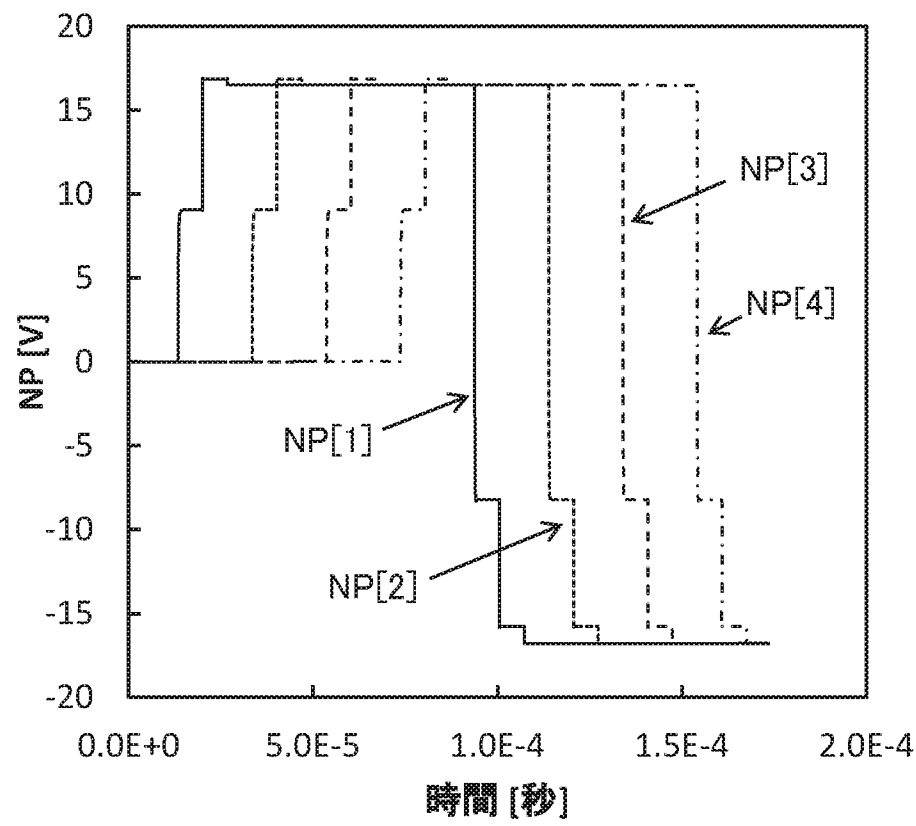
[図14]

14/27



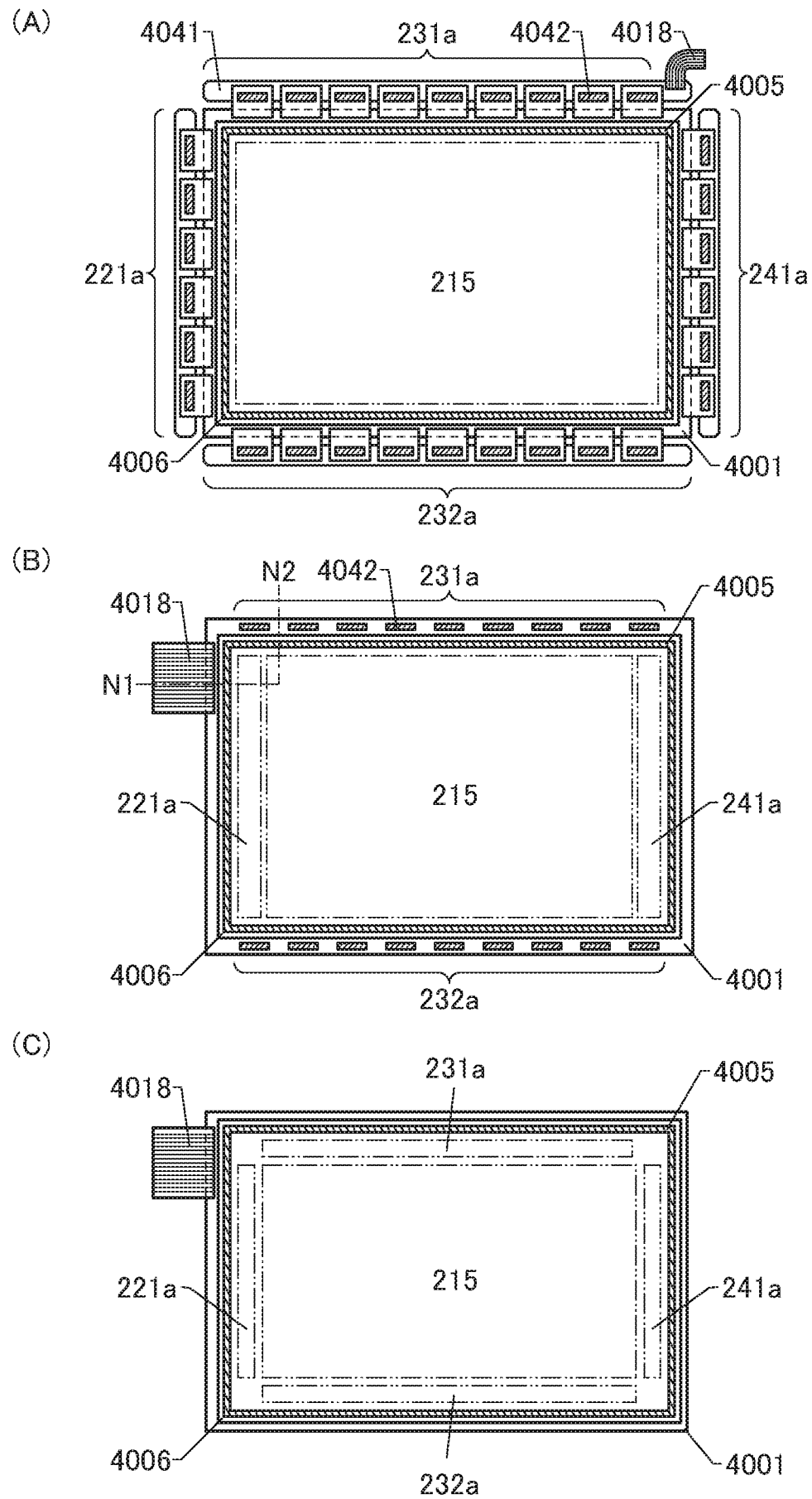
[図15]

15/27



[図16]

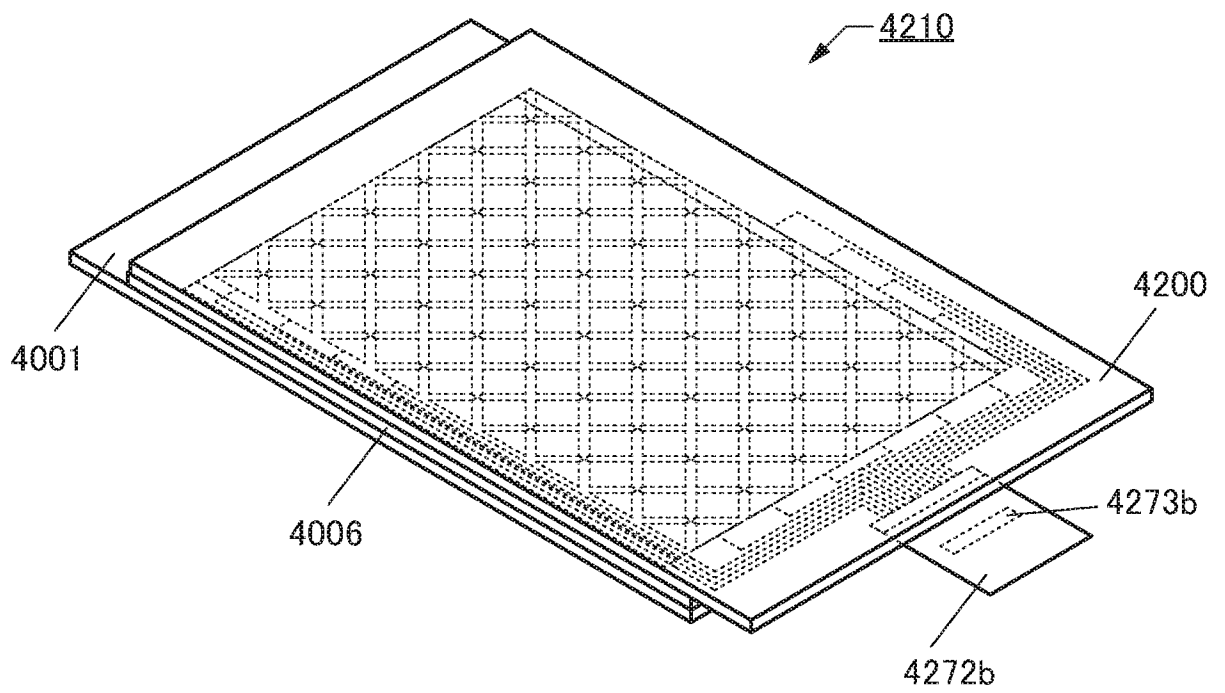
16/27



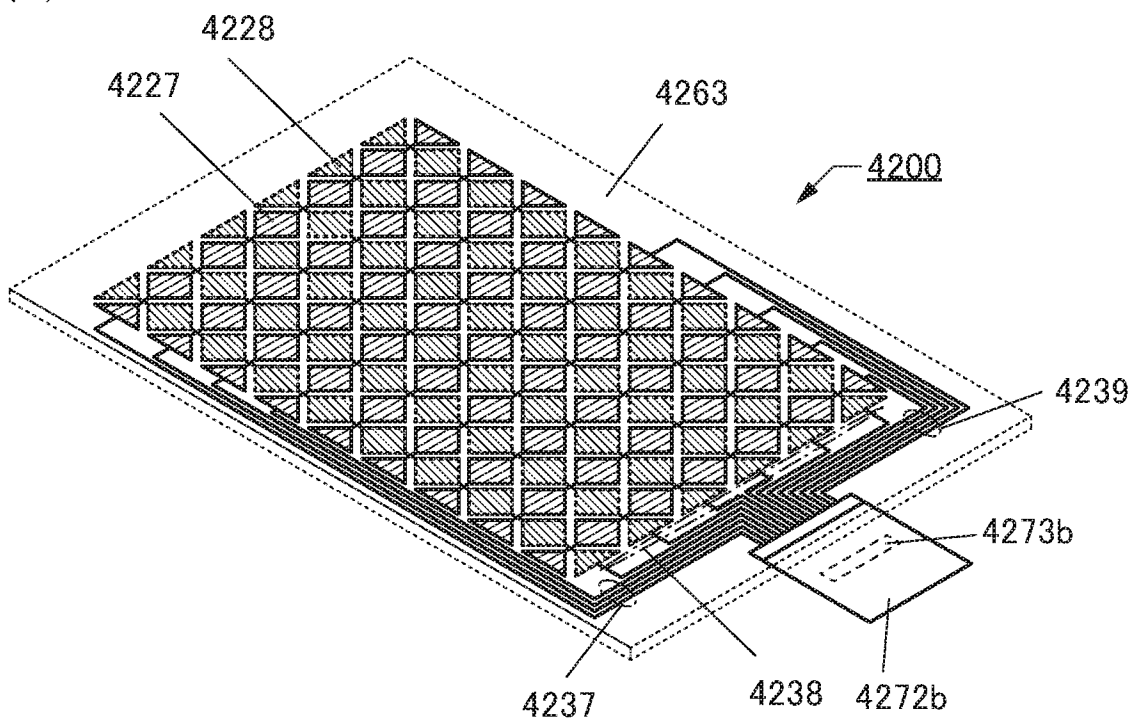
[図17]

17/27

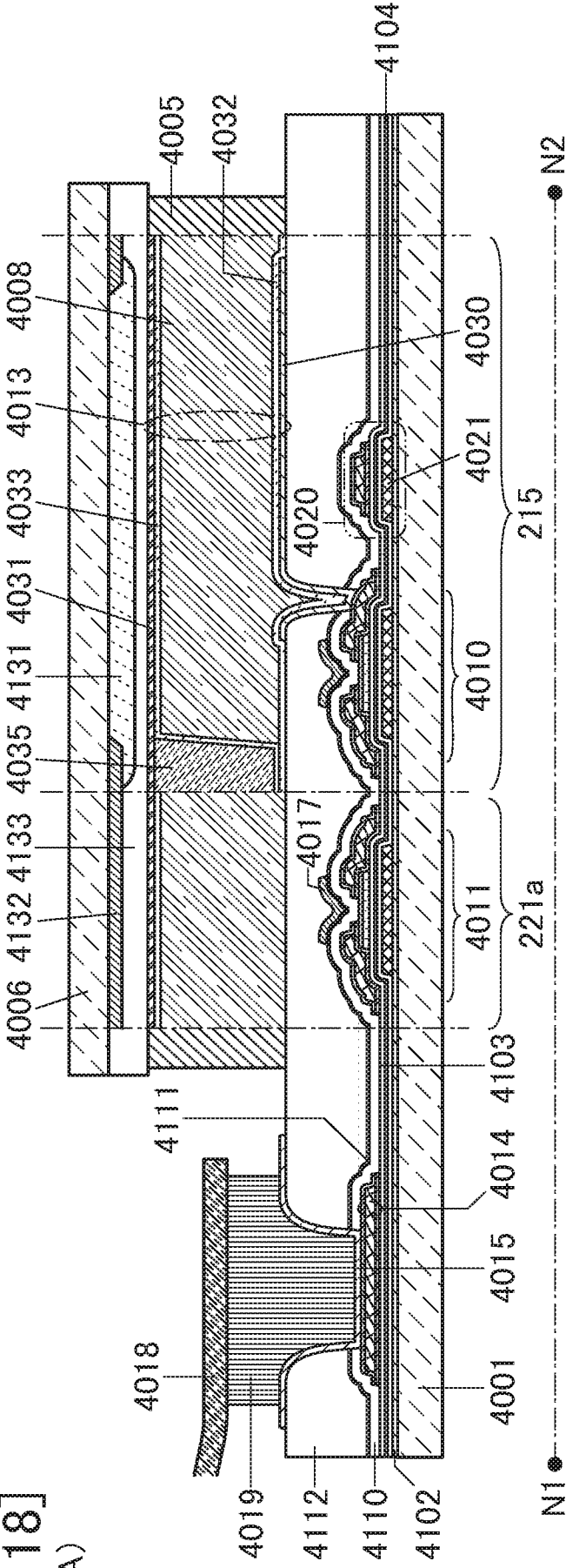
(A)



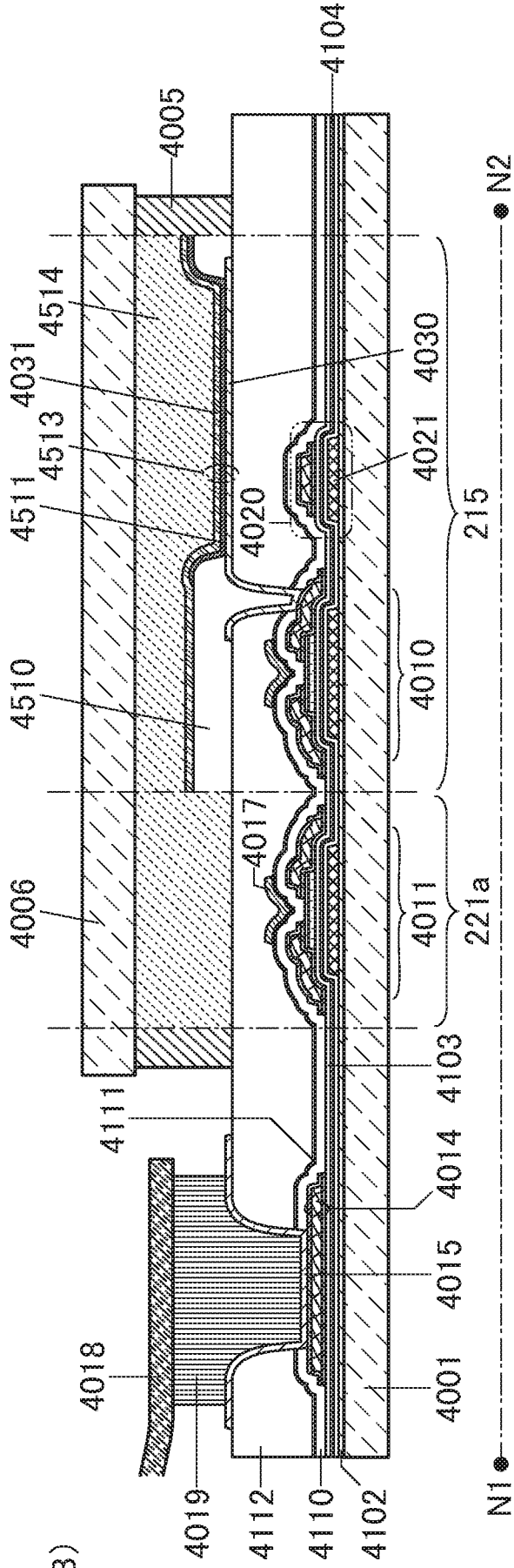
(B)



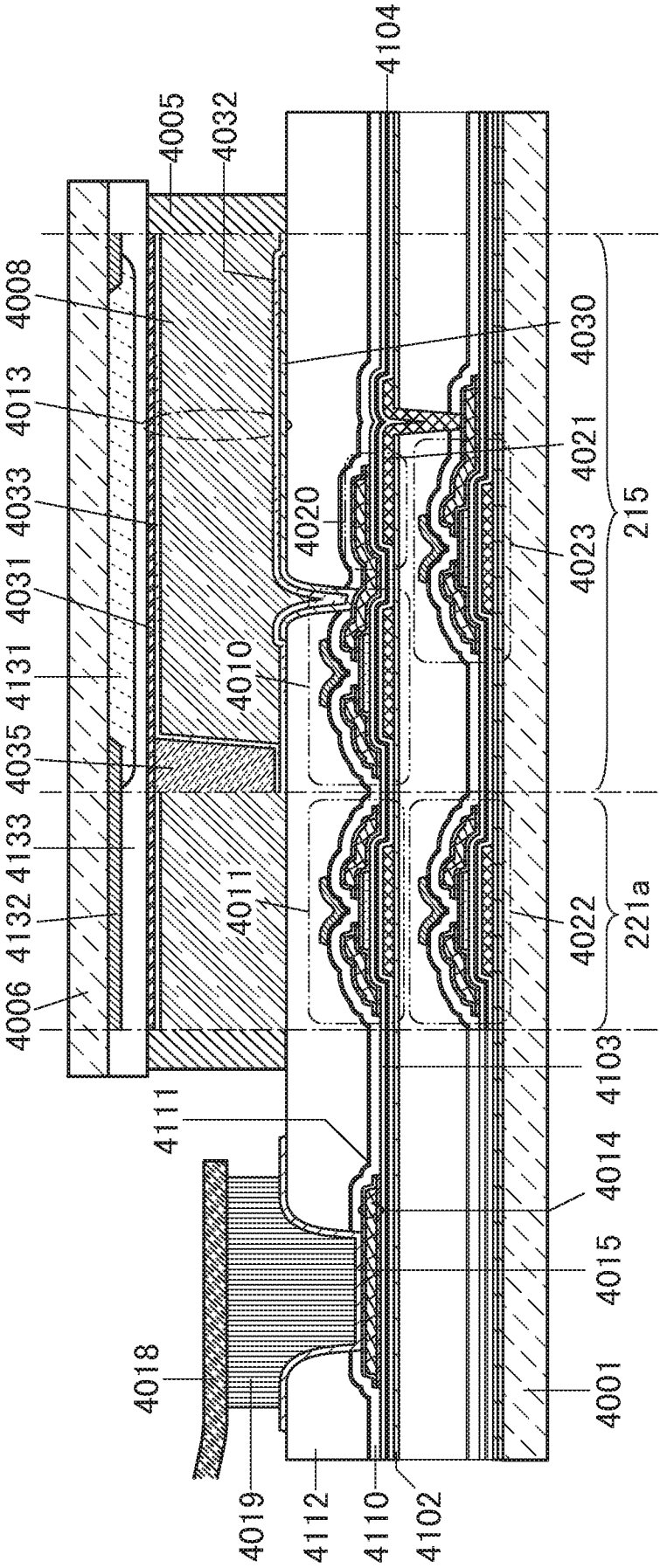
[図18]
(A)



(B)

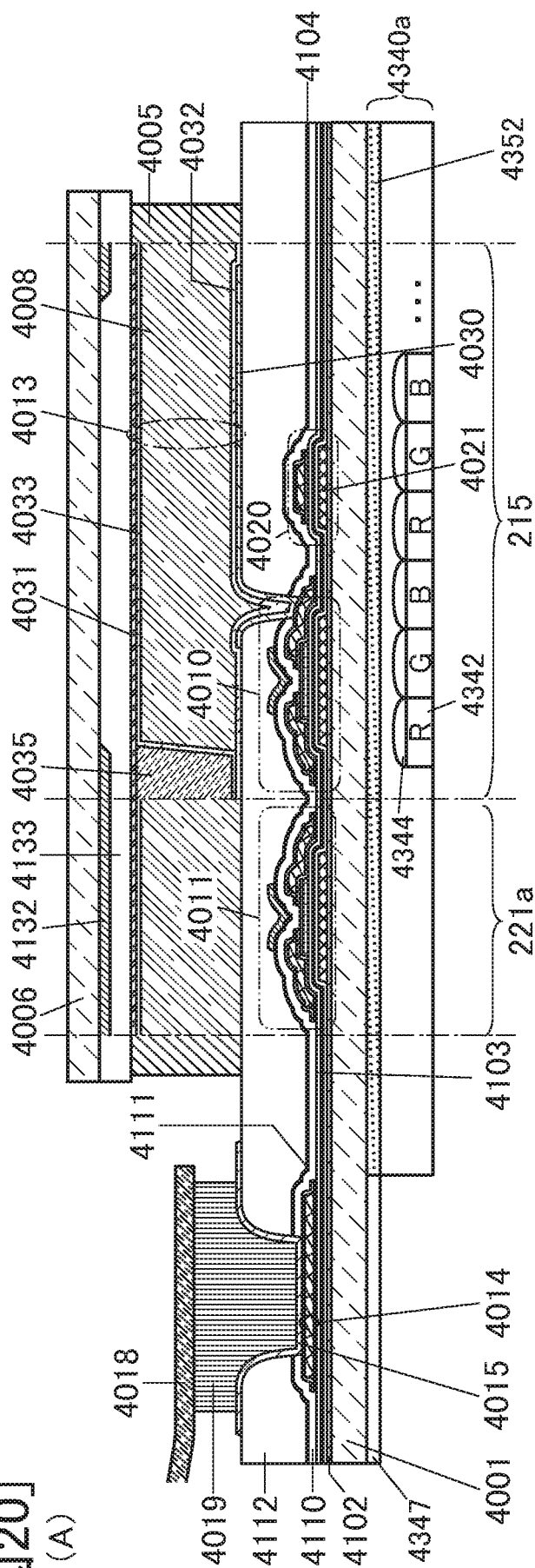


[图19]

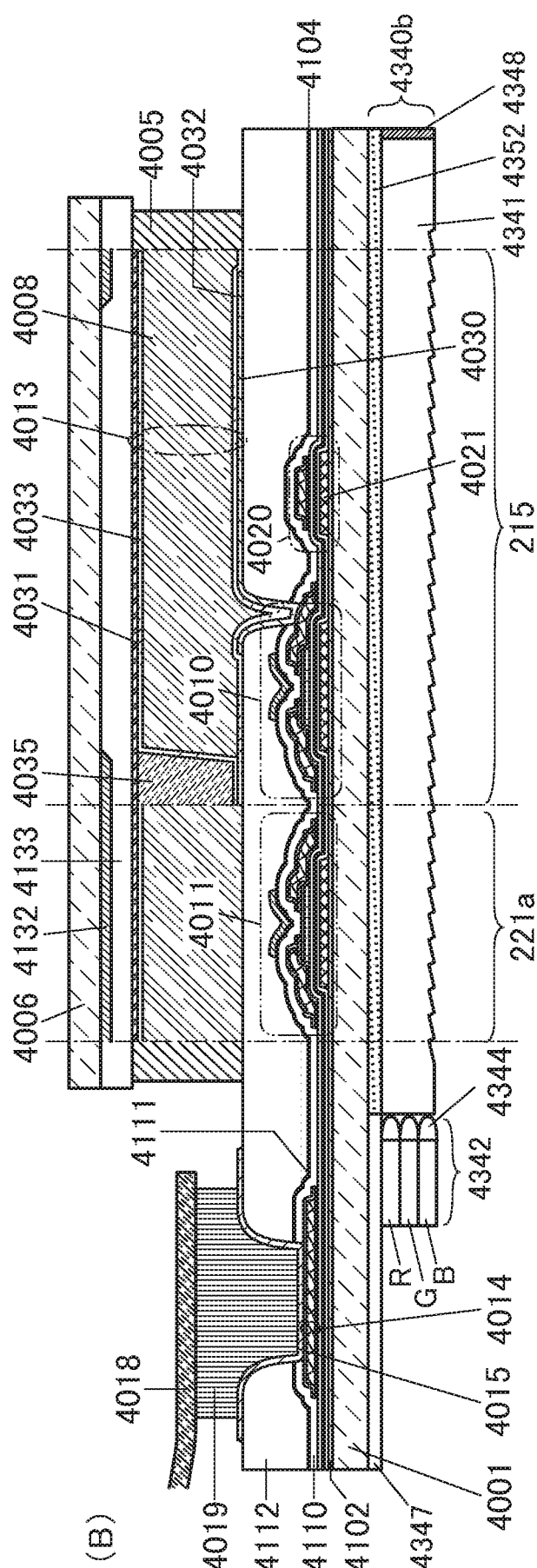


[図20]

(A)

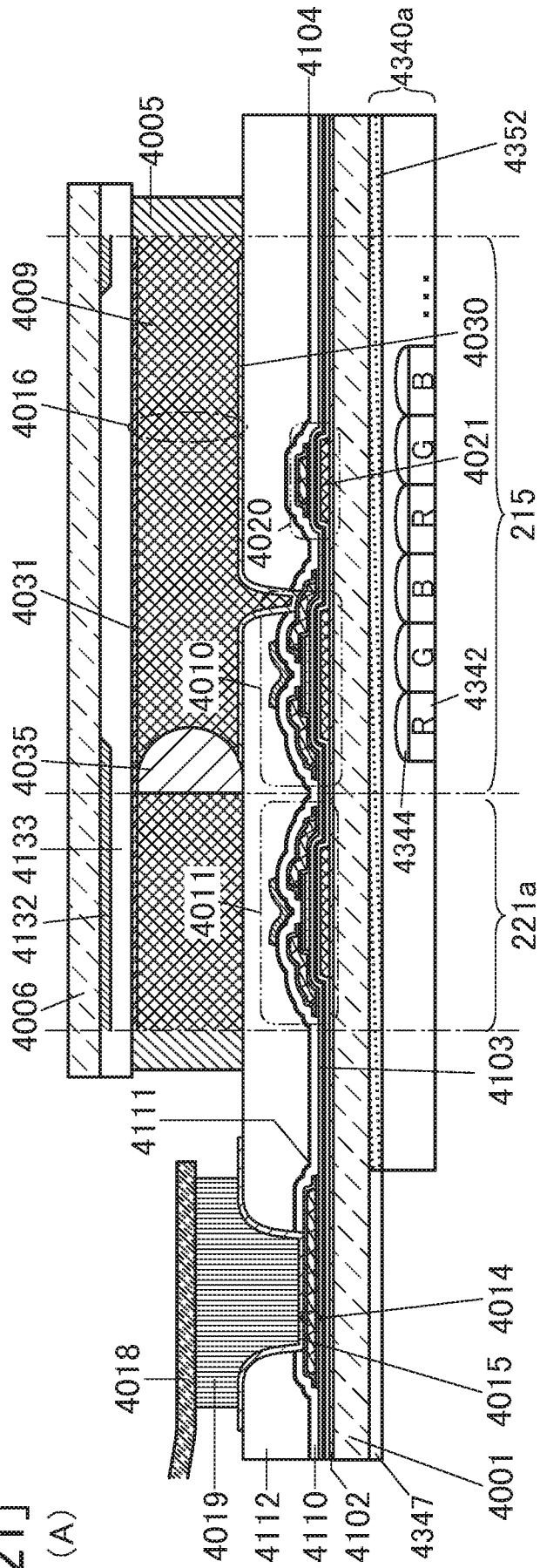


(B)

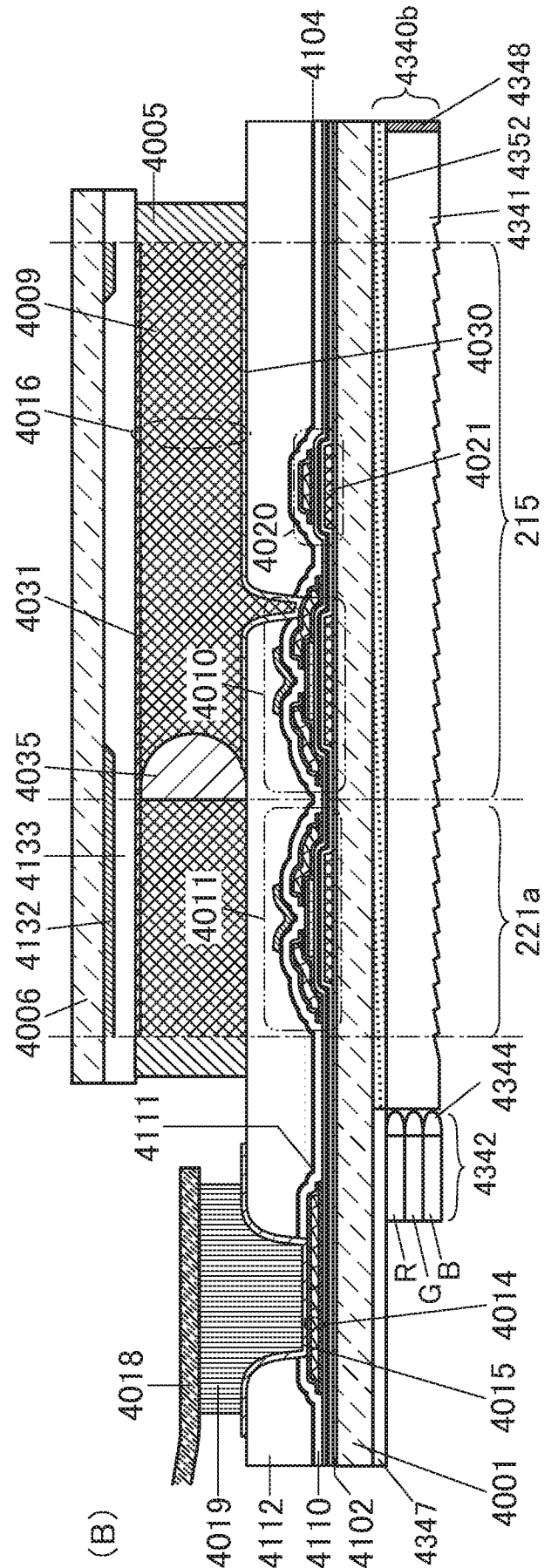


[図21]

(A)



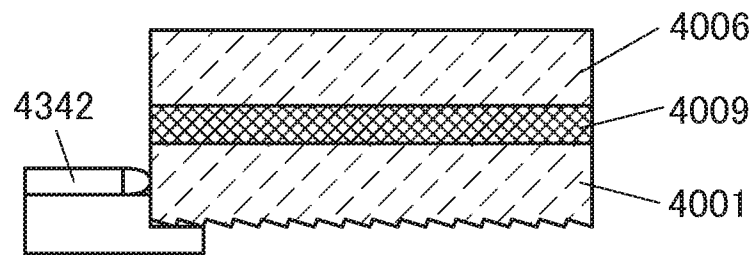
(B)



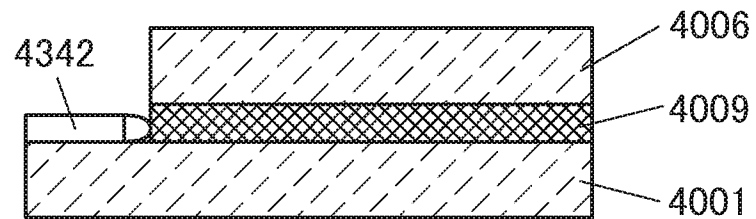
[図22]

22/27

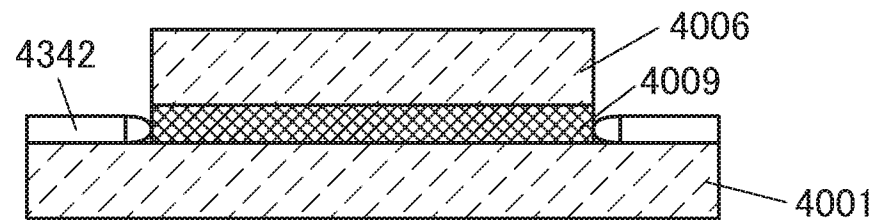
(A)



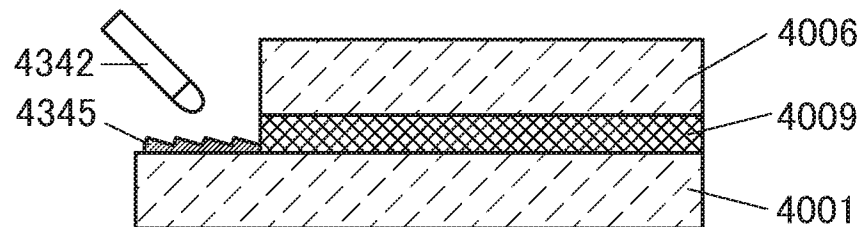
(B)



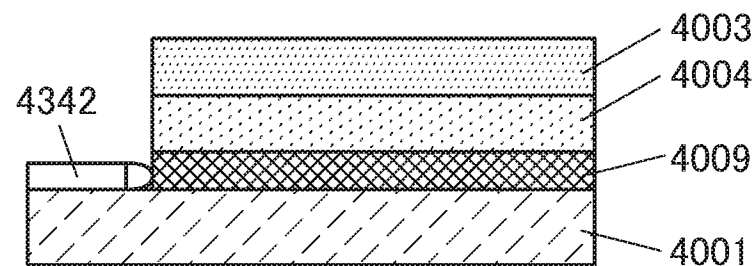
(C)



(D)

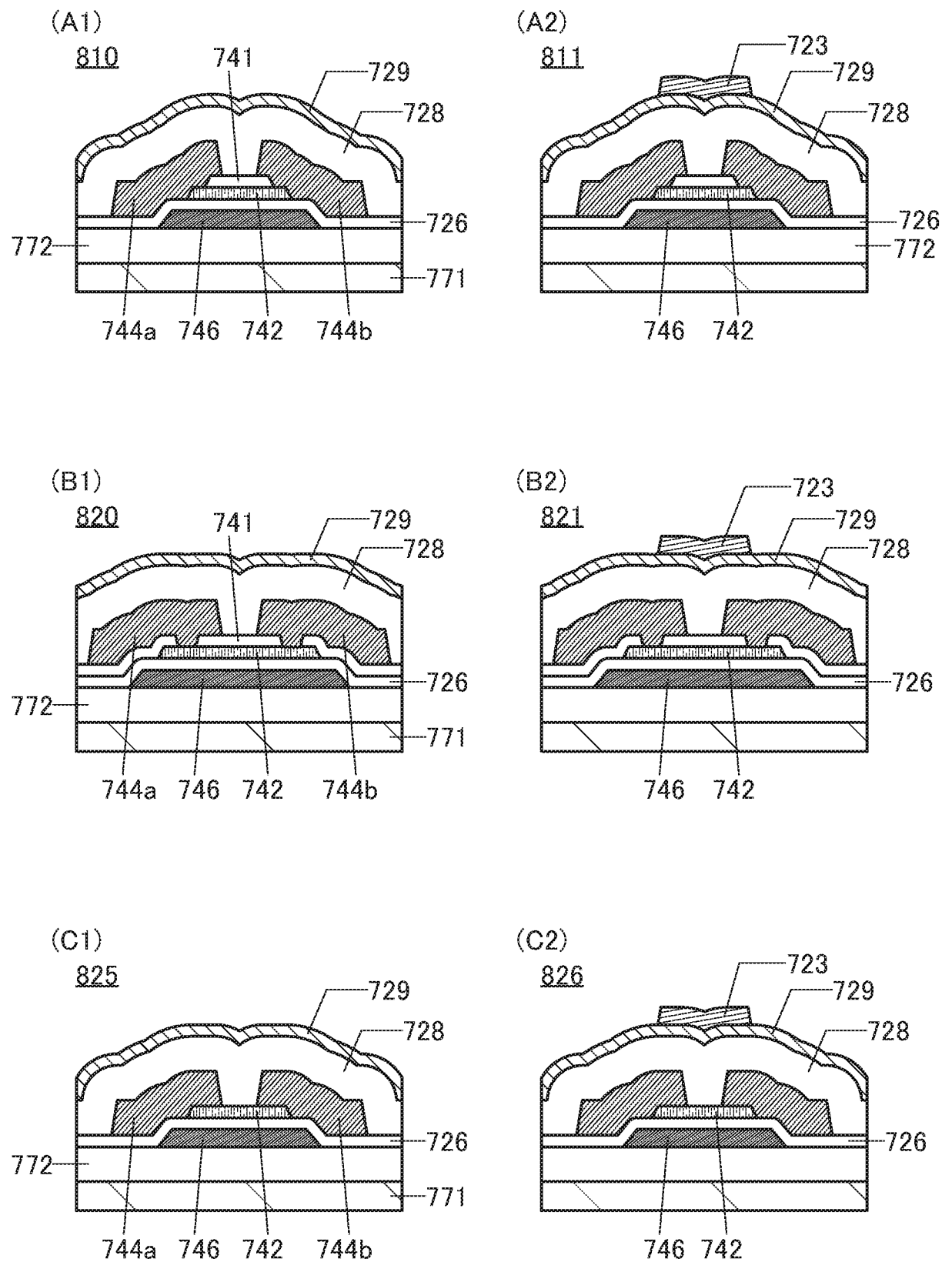


(E)



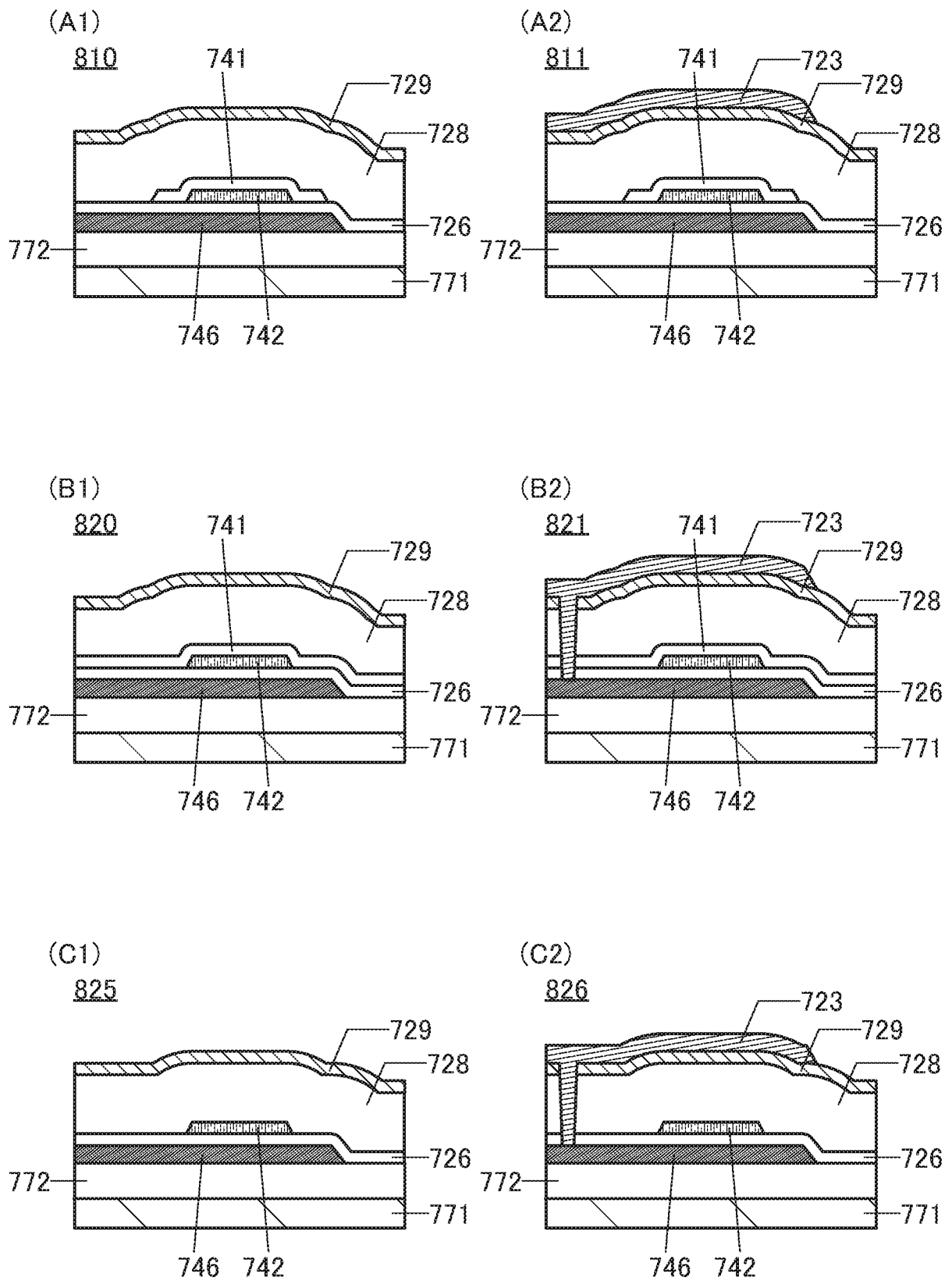
[図23]

23/27



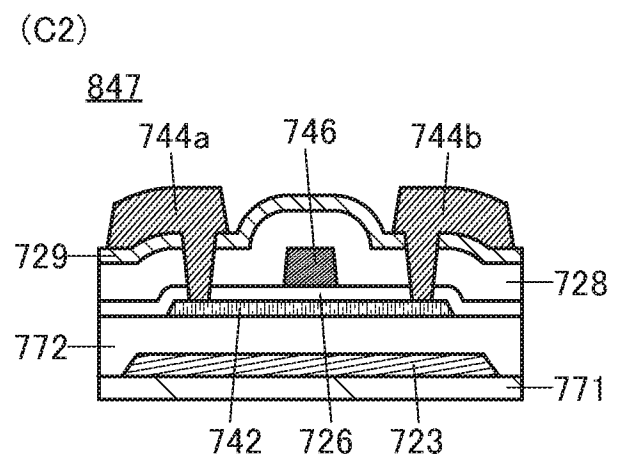
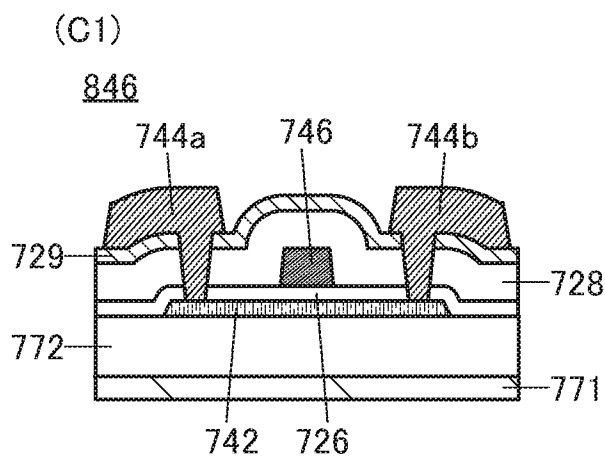
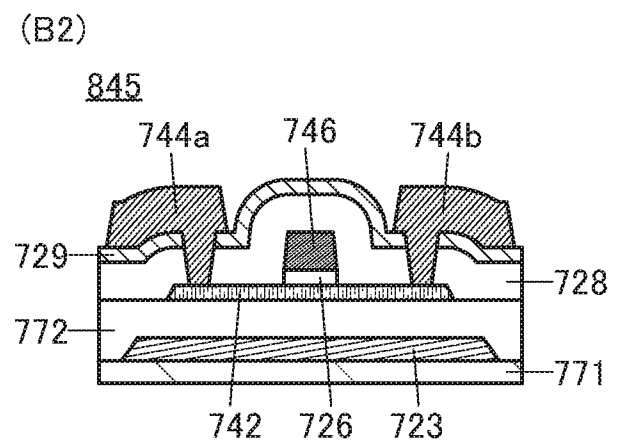
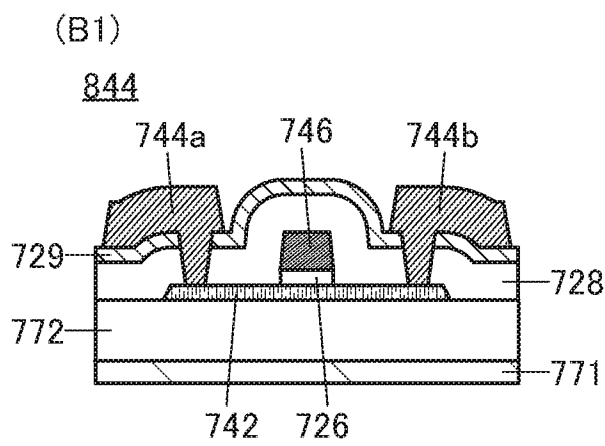
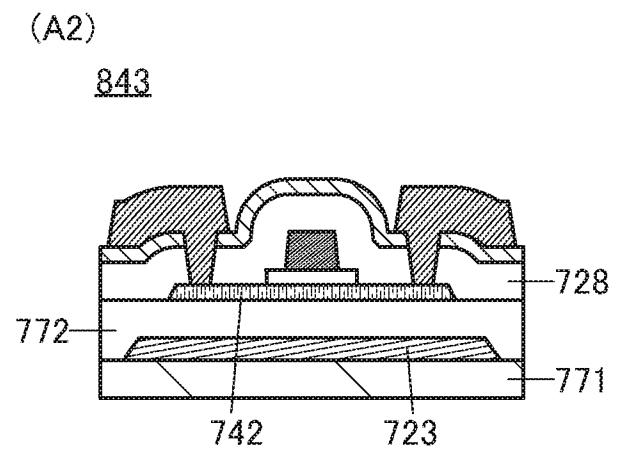
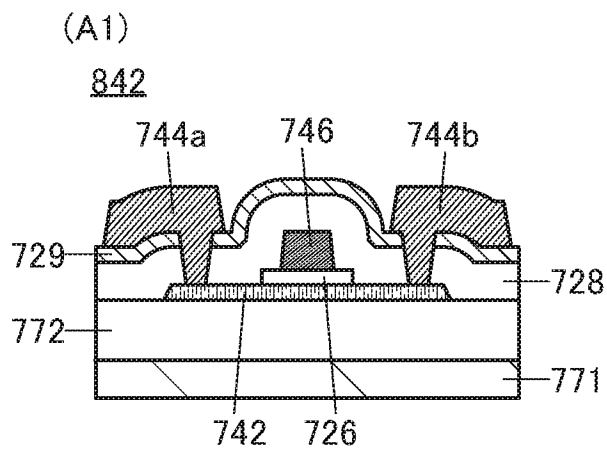
[図24]

24/27



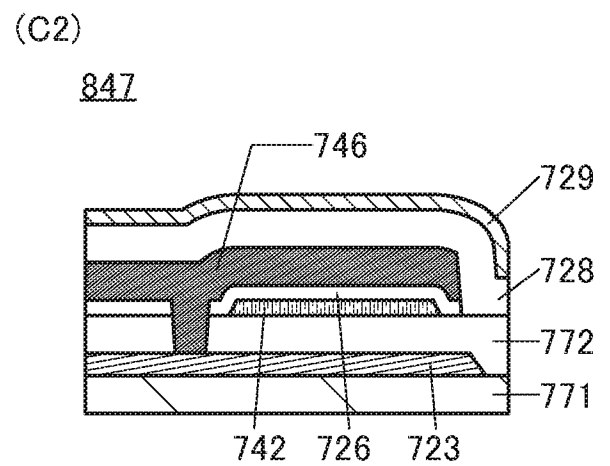
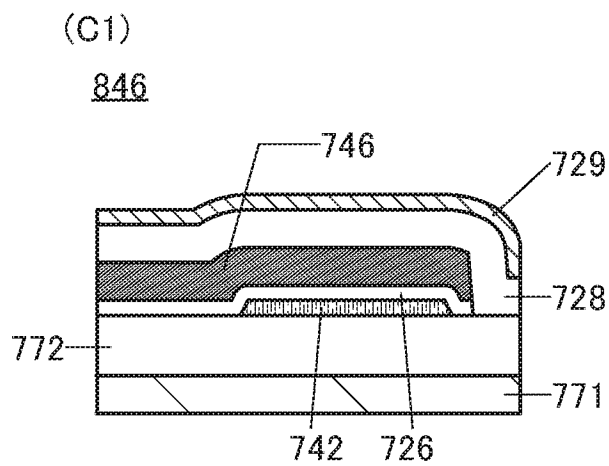
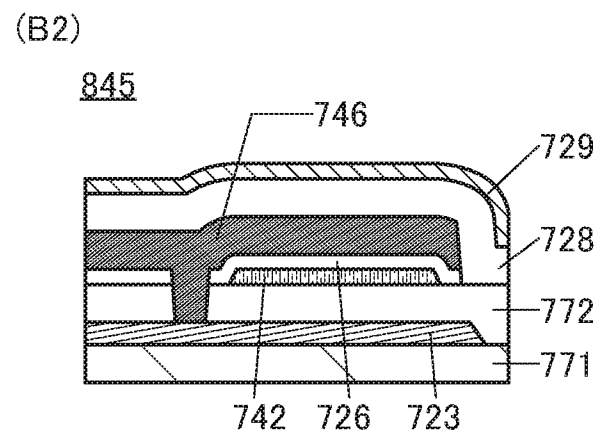
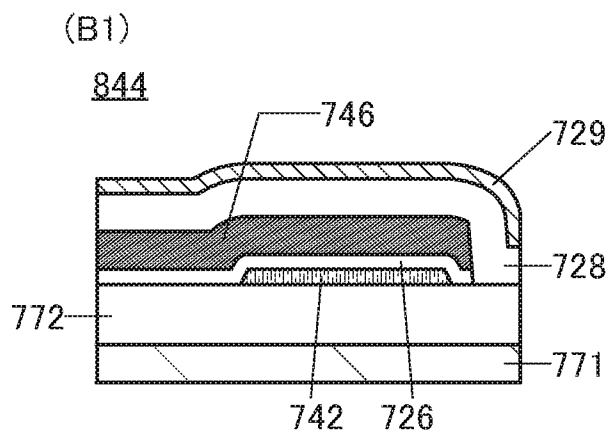
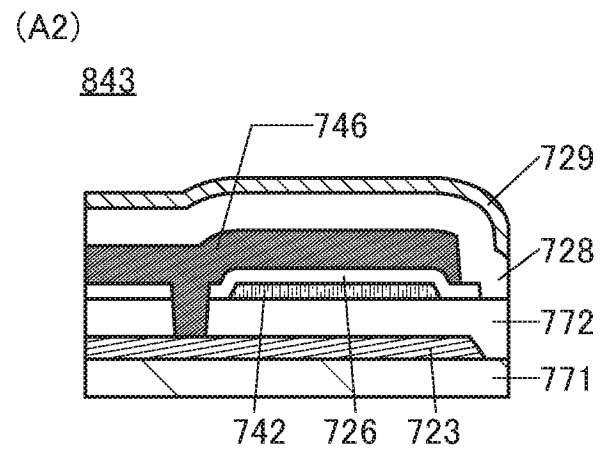
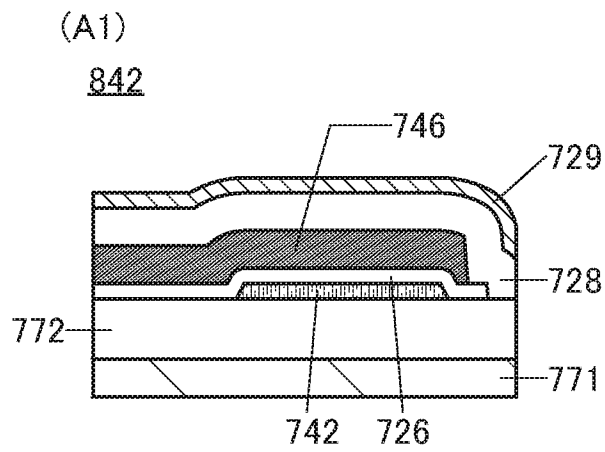
[図25]

25/27



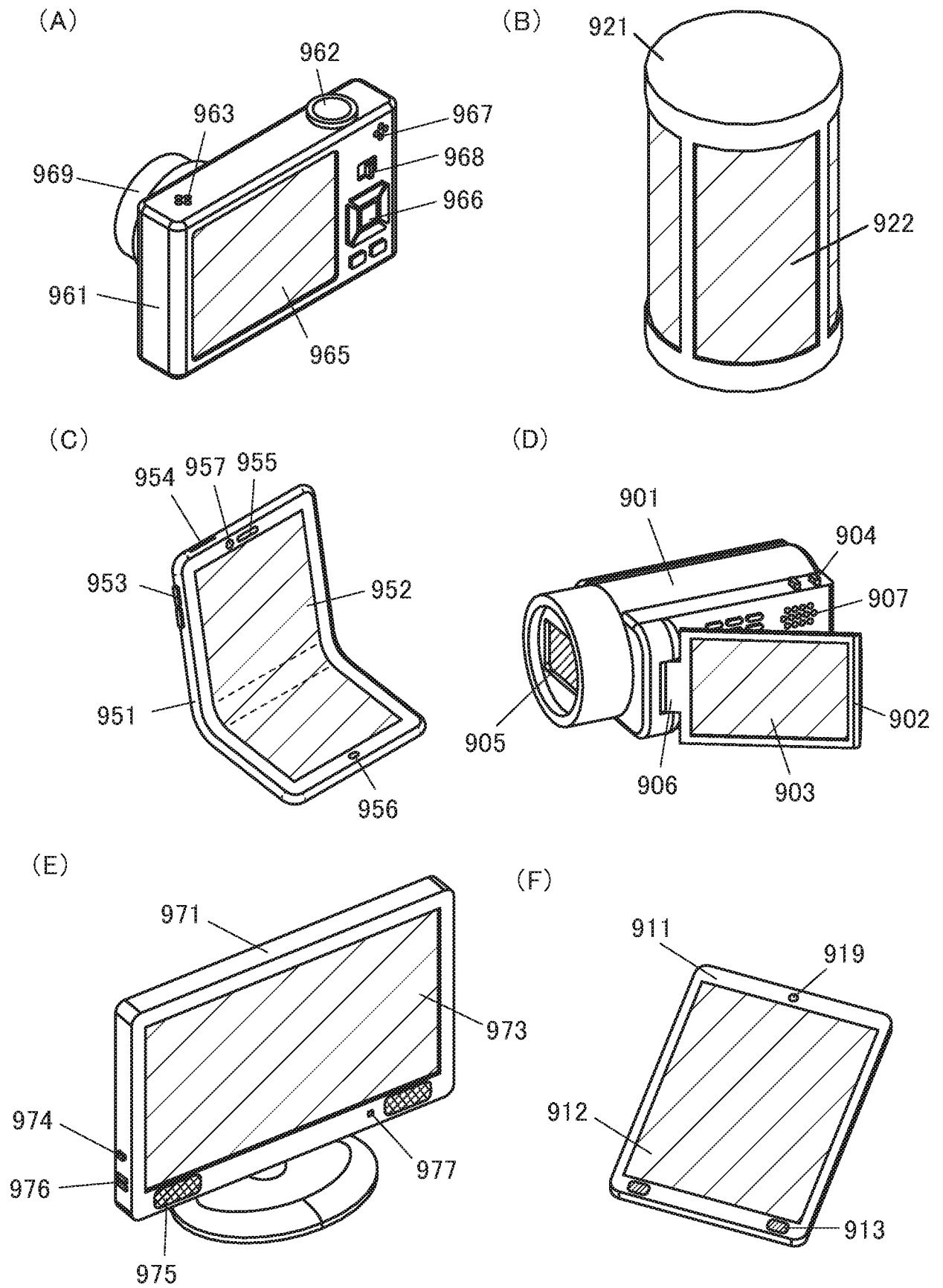
[図26]

26/27



[図27]

27/27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055325

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/36 (2006.01) i, G02F1/13357 (2006.01) i, G02F1/1368 (2006.01) i,
G09F9/30 (2006.01) i, G09G3/20 (2006.01) i, G09G3/3225 (2016.01) i,
H01L27/32 (2006.01) i, H01L29/786 (2006.01) i, H01L51/50 (2006.01) i,
H05B33/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/36, G02F1/13357, G02F1/1368, G09F9/30, G09G3/20,
G09G3/3225, H01L27/32, H01L29/786, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2016/0055817 A1 (AU OPTRONICS CORP.) 25 February 2016, paragraphs [0025]-[0047], fig. 2-7 & TW 201608555 A & CN 104575418 A	1-11
Y	US 2012/0249509 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04 October 2012, paragraphs [0090]-[0102], fig. 7- 8 & EP 2506247 A1 & KR 10-2012-0110387 A & CN 102737586 A	1, 3-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 September 2019 (20.09.2019)

Date of mailing of the international search report
01 October 2019 (01.10.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055325

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2014-0143989 A (LG DISPLAY CO., LTD.) 18 December 2014, paragraph [0085], fig. 2 (Family: none)	2-11
Y	JP 2011 -39269 A (SEIKO EPSON CORP.) 24 February 2011, paragraph [0018], fig. 2 (Family: none)	6, 9-11
Y	JP 2014-215495 A (JVC KENWOOD CORPORATION) 17 November 2014, paragraphs [0041]-[0044], fig. 2 (Family: none)	10-11
A	US 2014/0111491 A1 (LG DISPLAY CO., LTD.) 24 April 2014, entire text, all drawings & KR 10-2014-0052342 A & CN 103777421 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/36(2006.01)i, G02F1/13357(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/3225(2016.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/36, G02F1/13357, G02F1/1368, G09F9/30, G09G3/20, G09G3/3225, H01L27/32, H01L29/786, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2016/0055817 A1 (AU OPTRONICS CORP.) 2016.02.25, 段落[0025]-[0047], 第2-7図 & TW 201608555 A & CN 104575418 A	1-11
Y	US 2012/0249509 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2012.10.04, 段落[0090]-[0102], 第7-8図 & EP 2506247 A1 & KR 10-2012-0110387 A & CN 102737586 A	1, 3-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.09.2019

国際調査報告の発送日

01.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

斎藤 厚志

電話番号 03-3581-1101 内線 3273

21

5702

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	KR 10-2014-0143989 A (LG DISPLAY CO., LTD.) 2014.12.18, 段落[0085], 第2図 (ファミリーなし)	2-11
Y	JP 2011-39269 A (セイコーエプソン株式会社) 2011.02.24, 段落[0018], 第2図 (ファミリーなし)	6, 9-11
Y	JP 2014-215495 A (株式会社 J V C ケンウッド) 2014.11.17, 段落[0041]-[0044], 第2図 (ファミリーなし)	10-11
A	US 2014/0111491 A1 (LG DISPLAY CO., LTD.) 2014.04.24, 全文全図 & KR 10-2014-0052342 A & CN 103777421 A	1-11