

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-222011

(P2013-222011A)

(43) 公開日 平成25年10月28日(2013.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2012-92666 (P2012-92666)
 (22) 出願日 平成24年4月16日 (2012.4.16)

(71) 出願人 598045058
 株式会社サムスン日本研究所
 神奈川県横浜市鶴見区菅沢町2-7
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 神田 栄二
 神奈川県横浜市鶴見区菅沢町2-7 株式会社サムスン横浜研究所内
 (72) 発明者 奥野 武志
 神奈川県横浜市鶴見区菅沢町2-7 株式会社サムスン横浜研究所内
 (72) 発明者 古宮 直明
 神奈川県横浜市鶴見区菅沢町2-7 株式会社サムスン横浜研究所内

最終頁に続く

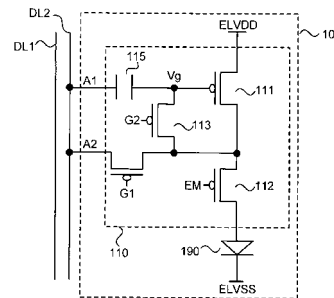
(54) 【発明の名称】 駆動回路、電気光学装置、電子機器、および駆動方法

(57) 【要約】

【課題】 発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させること。

【解決手段】 本発明の駆動回路は、画素回路と、各列の画素回路に対応してn本(nは2以上の整数)ずつ設けられたデータ線と、走査信号が供給されるゲート線と、発光制御信号が供給される発光制御線とを備え、各列の画素回路に対応して設けられたn本のデータ線の各々には、複数の行の画素回路が排他的に接続され、画素回路は、走査信号に応じてデータ電圧の書き込みを制御する書き制御トランジスタと、電流発光素子へ供給される電流量を制御する駆動トランジスタと、発光制御信号に応じて、電流発光素子への電流供給の有無を制御する発光制御トランジスタと、データ電圧に応じた電圧を保持する容量素子と、駆動トランジスタのゲート電極をイニシャル電圧に設定するためのリセットトランジスタとを有する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

マトリクス状に配置され、階調に応じたデータ電圧が書き込まれる複数の画素回路であって、それぞれ書き込まれたデータ電圧に応じた電流を電流発光素子に対して供給する画素回路と、

各列の前記画素回路に対応して n 本 (n は 2 以上の整数) ずつ設けられ、前記データ電圧またはイニシャル電圧が供給されるデータ線と、

前記データ線に供給されたデータ電圧を書き込む前記画素回路の行を選択する走査信号が供給されるゲート線と、

前記画素回路の各行における前記電流発光素子への電流供給の有無を指定する発光制御信号が供給される発光制御線とを備え、

各列の前記画素回路に対応して設けられた n 本のデータ線の各々には、複数の行の画素回路が排他的に接続され、

前記画素回路の各々は、

前記走査信号に応じて、前記データ線に供給されるデータ電圧の当該画素回路への書き込みを制御する書込制御トランジスタと、

ゲート電極に印加された電圧に応じて、前記電流発光素子へ供給される電流量を制御する駆動トランジスタと、

前記駆動トランジスタと前記電流発光素子との間に設けられ、前記発光制御信号に応じて、電源から前記電流発光素子への電流供給の有無を制御する発光制御トランジスタと、

当該画素回路に接続されたデータ線と前記駆動トランジスタのゲート電極との間に設けられ、当該画素回路に書き込まれるデータ電圧に応じた電圧を保持する容量素子と、

当該画素回路への書き込みがされる前に、前記駆動トランジスタのゲート電極を前記イニシャル電圧に設定するためのリセットトランジスタと

を有することを特徴とする駆動回路。

【請求項 2】

前記データ電圧を制御するデータ線制御回路と、

前記発光制御信号を制御する発光制御回路とをさらに備え、

前記データ線制御回路は、

前記 n 本のデータ線のいずれかに前記データ電圧が供給されているときには、他のデータ線にはイニシャル電圧が供給されるように、前記データ電圧を制御し、

前記発光制御回路は、

前記データ電圧が供給されているデータ線に接続された前記画素回路、および前記リセットトランジスタが前記駆動トランジスタのゲート電極をイニシャル電圧に設定している画素回路の前記発光制御トランジスタが、前記電流供給を停止させ、その他の画素回路の前記発光制御トランジスタが、前記電流供給を行うように、前記発光制御信号を制御することを特徴とする請求項 1 に記載の駆動回路。

【請求項 3】

前記画素回路の書込制御トランジスタのゲート電極、および当該画素回路の次にデータ電圧が書き込まれる行の画素回路のリセットトランジスタのゲート電極は、ともに同一のゲート線に接続されていることを特徴とする請求項 1 または請求項 2 に記載の駆動回路。

【請求項 4】

前記リセットトランジスタおよび前記書込制御トランジスタをオン状態にすることにより、前記容量素子の両端を短絡することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の駆動回路。

【請求項 5】

前記リセットトランジスタをオン状態にすることにより、前記容量素子の両端を短絡することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の駆動回路。

【請求項 6】

前記 n は 2 であり、一方のデータ線には奇数行の前記画素回路が接続され、他方のデー

10

20

30

40

50

タ線には偶数行の前記画素回路が接続されていることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の駆動回路。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかに記載の駆動回路と、
前記画素回路によって電流が供給される前記電流発光素子と
を備えることを特徴とする電気光学装置。

【請求項 8】

請求項 7 に記載の電気光学装置を用いた表示部と、
前記表示部における階調を制御する制御部と
を備えることを特徴とする電子機器。

10

【請求項 9】

マトリクス状に配置され、階調に応じたデータ電圧が書き込まれる複数の画素回路であって、それぞれ書き込まれたデータ電圧に応じた電流を電流発光素子に対して供給する画素回路と、

各列の前記画素回路に対応して n 本 (n は 2 以上の整数) ずつ設けられ、前記データ電圧またはイニシャル電圧が供給されるデータ線と、

前記データ線に供給されたデータ電圧を書き込む前記画素回路の行を選択する走査信号が供給されるゲート線と、

前記画素回路の各行における前記電流発光素子への電流供給の有無を指定する発光制御信号が供給される発光制御線とを備え、

20

各列の前記画素回路に対応して設けられた n 本のデータ線の各々には、複数の行の画素回路が排他的に接続され、

前記画素回路の各々は、

前記走査信号に応じて、前記データ線に供給されるデータ電圧の当該画素回路への書き込みを制御する書込制御トランジスタと、

ゲート電極に印加された電圧に応じて、前記電流発光素子へ供給される電流量を制御する駆動トランジスタと、

前記駆動トランジスタと前記電流発光素子との間に設けられ、前記発光制御信号に応じて、電源から前記電流発光素子への電流供給の有無を制御する発光制御トランジスタと、

当該画素回路に接続されたデータ線と前記駆動トランジスタのゲート電極との間に設けられ、当該画素回路に書き込まれるデータ電圧に応じた電圧を保持する容量素子と、

30

前記駆動トランジスタのゲート電極を前記イニシャル電圧に設定するためのリセットトランジスタと

を有する駆動回路の駆動方法であって、

各列の前記画素回路において、

前記 n 本のデータ線のいずれかにデータ電圧を供給する一方、他のデータ線にはイニシャル電圧を供給し、

前記データ電圧が供給されたデータ線に接続された前記画素回路、および前記駆動トランジスタのゲート電極をイニシャル電圧に設定している画素回路においては、前記電流発光素子への電流供給を停止するとともに、その他の画素回路においては、前記電流発光素子への電流供給を行うことを特徴とする駆動回路の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流により発光する電流発光素子を用いた電気光学装置を駆動する技術に関する。

【背景技術】

【0002】

近年、有機 EL (Organic Electroluminescence) など、供給される電流に応じた強度で発光する素子 (以下、電流発光素子という) を用いた表示装置が開発されている。この

50

ような表示装置は、電流発光素子に供給される電流量を、各画素における駆動トランジスタにより制御して、表示の階調が制御される。そのため、この駆動トランジスタに特性ばらつきがあると、その特性ばらつきが表示に直接現れてしまう。

そこで、駆動トランジスタの特性ばらつきが表示への影響を少なくするための様々な技術が開発されている（例えば、特許文献1、2）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-170788号公報

【特許文献2】特開2011-247981号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記特許文献1、2に記載された技術においては、データ線と駆動トランジスタのゲート電極との間には容量素子が設けられている。このような構成においては、各画素回路にデータ電圧を書き込む（プログラム）ときに、容量素子による容量カップリングを利用する。一方、データ線にデータ電圧が供給されている期間、すなわち、各画素回路にデータ電圧が書き込まれる期間には、書き込み対象の画素回路以外であっても、容量素子の容量カップリングにより駆動トランジスタのゲート電極の電圧が変動する。そのため、全画素回路へのデータ電圧の書き込みが終了するまでは、電流発光素子には電流が供給されないように制御し、全画素回路へのデータ電圧の書き込み終了後、電流発光素子に電流を供給して発光させる必要がある。

20

【0005】

上記のように駆動する結果、1フレームの前半で全行の画素回路に書き込みを行い、後半で発光を行うことになる。この場合、1行あたりの画素回路へのデータ電圧の書き込み時間は、（1フレーム期間 - 発光期間）/ 行数となり、十分な書き込み時間が得られず、階調の精度が悪化する場合があった。また、駆動トランジスタの V_{th} ばらつきを補償する処理を行う時間も短くなってしまいうため、十分に補償が行えずにそのばらつきの影響が面内ムラとして表示に現れてしまう場合があった。

【0006】

30

本発明は、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることを目的とする。

【課題を解決するための手段】

【0007】

本発明の一実施形態によると、マトリクス状に配置され、階調に応じたデータ電圧が書き込まれる複数の画素回路であって、それぞれ書き込まれたデータ電圧に応じた電流を電流発光素子に対して供給する画素回路と、各列の前記画素回路に対応して n 本（ n は2以上の整数）ずつ設けられ、前記データ電圧またはイニシャル電圧が供給されるデータ線と、前記データ線に供給されたデータ電圧を書き込む前記画素回路の行を選択する走査信号が供給されるゲート線と、前記画素回路の各行における前記電流発光素子への電流供給の有無を指定する発光制御信号が供給される発光制御線とを備え、各列の前記画素回路に対応して設けられた n 本のデータ線の各々には、複数の行の画素回路が排他的に接続され、前記画素回路の各々は、前記走査信号に応じて、前記データ線に供給されるデータ電圧の当該画素回路への書き込みを制御する書込制御トランジスタと、ゲート電極に印加された電圧に応じて、前記電流発光素子へ供給される電流量を制御する駆動トランジスタと、前記駆動トランジスタと前記電流発光素子との間に設けられ、前記発光制御信号に応じて、電源から前記電流発光素子への電流供給の有無を制御する発光制御トランジスタと、当該画素回路に接続されたデータ線と前記駆動トランジスタのゲート電極との間に設けられ、当該画素回路に書き込まれるデータ電圧に応じた電圧を保持する容量素子と、当該画素回路への書き込みがされる前に、前記駆動トランジスタのゲート電極を前記イニシャル電圧

40

50

に設定するためのリセットトランジスタとを有することを特徴とする駆動回路が提供される。

【0008】

この駆動回路によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0009】

また、別の好ましい態様において、前記データ電圧を制御するデータ線制御回路と、前記発光制御信号を制御する発光制御回路とをさらに備え、前記データ線制御回路は、前記n本のデータ線のいずれかに前記データ電圧が供給されているときには、他のデータ線にはイニシャル電圧が供給されるように、前記データ電圧を制御し、前記発光制御回路は、前記データ電圧が供給されているデータ線に接続された前記画素回路、および前記リセットトランジスタが前記駆動トランジスタのゲート電極をイニシャル電圧に設定している画素回路の前記発光制御トランジスタが、前記電流供給を停止させ、その他の画素回路の前記発光制御トランジスタが、前記電流供給を行うように、前記発光制御信号を制御してもよい。

10

【0010】

この駆動回路によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0011】

また、別の好ましい態様において、前記画素回路の書込制御トランジスタのゲート電極、および当該画素回路の次にデータ電圧が書き込まれる行の画素回路のリセットトランジスタのゲート電極は、ともに同一のゲート線に接続されていてもよい。

20

【0012】

この駆動回路によれば、ゲート線駆動回路の構成を簡易にすることができる。

【0013】

また、別の好ましい態様において、前記リセットトランジスタおよび前記書込制御トランジスタをオン状態にすることにより、前記容量素子の両端を短絡してもよい。

【0014】

この駆動回路によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

30

【0015】

また、別の好ましい態様において、前記リセットトランジスタをオン状態にすることにより、前記容量素子の両端を短絡してもよい。

【0016】

この駆動回路によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0017】

また、別の好ましい態様において、前記nは2であり、一方のデータ線には奇数行の前記画素回路が接続され、他方のデータ線には偶数行の前記画素回路が接続されていてもよい。

40

【0018】

この駆動回路によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0019】

また本発明の一実施形態によると、上記記載の駆動回路と、前記画素回路によって電流が供給される前記電流発光素子とを備えることを特徴とする電気光学装置が提供される。

【0020】

この電気光学装置によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0021】

50

また本発明の一実施形態によると、上記記載の電気光学装置を用いた表示部と、前記表示部における階調を制御する制御部とを備えることを特徴とする電子機器が提供される。

【0022】

この電子機器によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【0023】

また本発明の一実施形態によると、マトリクス状に配置され、階調に応じたデータ電圧が書き込まれる複数の画素回路であって、それぞれ書き込まれたデータ電圧に応じた電流を電流発光素子に対して供給する画素回路と、各列の前記画素回路に対応して n 本(n は2以上の整数)ずつ設けられ、前記データ電圧またはイニシャル電圧が供給されるデータ線と、前記データ線に供給されたデータ電圧を書き込む前記画素回路の行を選択する走査信号が供給されるゲート線と、前記画素回路の各行における前記電流発光素子への電流供給の有無を指定する発光制御信号が供給される発光制御線とを備え、各列の前記画素回路に対応して設けられた n 本のデータ線の各々には、複数の行の画素回路が排他的に接続され、前記画素回路の各々は、前記走査信号に応じて、前記データ線に供給されるデータ電圧の当該画素回路への書き込みを制御する書込制御トランジスタと、ゲート電極に印加された電圧に応じて、前記電流発光素子へ供給される電流量を制御する駆動トランジスタと、前記駆動トランジスタと前記電流発光素子との間に設けられ、前記発光制御信号に応じて、電源から前記電流発光素子への電流供給の有無を制御する発光制御トランジスタと、当該画素回路に接続されたデータ線と前記駆動トランジスタのゲート電極との間に設けられ、当該画素回路に書き込まれるデータ電圧に応じた電圧を保持する容量素子と、前記駆動トランジスタのゲート電極を前記イニシャル電圧に設定するためのリセットトランジスタとを有する駆動回路の駆動方法であって、各列の前記画素回路において、前記 n 本のデータ線のいずれかにデータ電圧を供給する一方、他のデータ線にはイニシャル電圧を供給し、前記データ電圧が供給されたデータ線に接続された前記画素回路、および前記駆動トランジスタのゲート電極をイニシャル電圧に設定している画素回路においては、前記電流発光素子への電流供給を停止するとともに、その他の画素回路においては、前記電流発光素子への電流供給を行うことを特徴とする駆動回路の駆動方法が提供される。

10

20

【0024】

この電子機器によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

30

【発明の効果】

【0025】

本発明によれば、発光時間を確保しつつ、1行あたりの画素回路へのデータ電圧の書き込み時間を長くして表示品質を向上させることができる。

【図面の簡単な説明】

【0026】

【図1】本発明の第1実施形態に係る電子機器1の構成を示す概略図である。

【図2】本発明の第1実施形態に係るデマルチプレクサ41の構成を示す回路図である。

【図3】本発明の第1実施形態に係る画素100の構成を示す回路図である。

40

【図4】本発明の第1実施形態に係る k 行目の画素回路110に関する各信号のタイミングチャートを示す図である。

【図5】本発明の第1実施形態において、各期間における k 行目および前後の行($k-1$ 行目および $k+1$ 行目)の画素回路110の状態を説明する図である。

【図6】本発明の第1実施形態において、各期間における k 行目および前後の行($k-1$ 行目および $k+1$ 行目)の画素回路110の状態を説明する図である。

【図7】本発明の第2実施形態に係る電気光学装置10Aの構成を示す概略図である。

【図8】本発明の第2実施形態に係る k 行目の画素回路110に関する各信号のタイミングチャートを示す図である。

【図9】本発明の第2実施形態において、各期間(1)における k 行目および前後の行(

50

k - 1 行目および k + 1 行目) の画素回路 1 1 0 の状態を説明する図である。

【図 1 0】本発明の第 3 実施形態に係る電気光学装置 1 0 B の構成を示す概略図である。

【図 1 1】本発明の第 3 実施形態に係るデマルチプレクサ 4 1 B の構成を示す回路図である。

【図 1 2】本発明の第 3 実施形態に係る画素 1 0 0 とデータ線との接続関係を示す回路図である。

【図 1 3】本発明の第 3 実施形態に係る k 行目の画素回路 1 1 0 に関する各信号のタイミングチャートを示す図である。

【図 1 4】本発明の第 4 実施形態に係る画素 1 0 0 D の構成を示す回路図である。

【発明を実施するための形態】

【0 0 2 7】

以下、本発明の実施形態に係る電子機器について、図面を参照しながら詳細に説明する。なお、以下に示す実施形態は本発明の実施形態の一例であって、本発明はこれらの実施形態に限定されるものではない。

【0 0 2 8】

(第 1 実施形態)

本発明の第 1 実施形態に係る電子機器について、図面を参照しながら詳細に説明する。

【0 0 2 9】

(全体構成)

図 1 は、本発明の第 1 実施形態に係る電子機器 1 の構成を示す概略図である。電子機器 1 は、スマートフォン、携帯電話、パーソナルコンピュータ、テレビなど、画像を表示する表示部を有する装置である。電子機器 1 は、電気光学装置 1 0、制御部 8 0 および電源 9 0 を有する。電気光学装置 1 0 は、マトリクス状に配置された画素 1 0 0 を有する。電気光学装置は、各画素 1 0 0 における電流発光素子を発光させて画像を表示し、上記の表示部を構成する。各画素 1 0 0 は、電流発光素子 1 9 0、および電流発光素子 1 9 0 を駆動する画素回路 1 1 0 を有する(図 3 参照)。この例では、電流発光素子 1 9 0 は、有機 EL を用いた発光素子であるものとするが、供給される電流量に応じて発光強度が変化する発光素子であれば、他の発光素子であってもよい。

【0 0 3 0】

なお、図 1 において、画素 1 0 0 は、6 行 6 列のマトリクス状に配置されているが、この配置に限られず、さらに多くの画素 1 0 0 が存在してもよいし、少なくともよい。したがって、以下の説明では、画素 1 0 0 は、i 行 j 列のマトリクス状に配置されるものとする。電気光学装置 1 0 の詳細については後述する。

【0 0 3 1】

制御部 8 0 は、CPU (Central Processing Unit)、メモリなどを有し、電気光学装置 1 0 の動作を制御するコントローラである。制御部 8 0 の制御には、電子機器 1 の表示部に表示させる画像を示す画像データに基づいて各画素 1 0 0 における階調を決定し、決定した階調に応じたデータ電圧を画素回路 1 1 0 に書き込むことにより各画素 1 0 0 の電流発光素子 1 9 0 を発光させる制御が含まれる。

【0 0 3 2】

電源 9 0 は、電気光学装置 1 0 および制御部 8 0 など、電子機器 1 の各部へ電力を供給する。電気光学装置 1 0 における電流発光素子 1 9 0 は、この電源 9 0 から電力線を介して電流が供給される。なお、電力線は、図 1 において記載を省略しているが、電源 9 0 と各画素 1 0 0 とを接続するように形成されている。

【0 0 3 3】

(電気光学装置 1 0 の構成)

電気光学装置 1 0 は、上述した画素 1 0 0、ゲート線制御回路 2 0、発光制御回路 3 0 およびデータ線制御回路 4 0 を有する。

【0 0 3 4】

ゲート線制御回路 2 0 は、各行の画素 1 0 0 に対応して設けられた第 1 ゲート線 G L 1

10

20

30

40

50

に走査信号 G 1 を供給し、第 2 ゲート線 G L 2 に走査信号 G 2 を供給する。ゲート線制御回路 2 0 は、走査信号 G 1、G 2 により、初期化处理（詳細は後述する）をしてデータ電圧を書き込む画素 1 0 0（画素回路 1 1 0）の行を選択する。この例では、1 行目、2 行目、・・・i 行目という順で、順次排他的に選択される。

【 0 0 3 5 】

発光制御回路 3 0 は、各行の画素 1 0 0 に対応して設けられた発光制御線 E C L に発光制御信号 E M を供給する。発光制御回路 3 0 は、発光制御信号 E M により、各行の画素 1 0 0 における電流発光素子 1 9 0 への電流供給の有無を指定する。

【 0 0 3 6 】

データ線制御回路 4 0 は、第 1 データ線 D L 1 および第 2 データ線 D L 2 にデータ電圧 D a またはイニシャル電圧 V i n i t を供給する。イニシャル電圧 V i n i t は、データ電圧 D a の取りうる電圧範囲（最大電圧から最小電圧）のいずれかの電圧であり、この例では（最大電圧 - 最小電圧）/ 2 の電圧であるものとする。

【 0 0 3 7 】

第 1 データ線 D L 1 および第 2 データ線 D L 2 は、各列の画素 1 0 0 に対応して設けられている。この例では、第 1 データ線 D L 1 は偶数行の画素 1 0 0（画素回路 1 1 0）と接続され、第 2 データ線 D L 2 は奇数行の画素 1 0 0（画素回路 1 1 0）と接続されている。

【 0 0 3 8 】

この例では、データ線制御回路 4 0 は、複数のデマルチプレクサ（D e M U X）4 1、および各デマルチプレクサ 4 1 にデータ電圧を供給するシフトレジスタ 4 5 を有する。シフトレジスタ 4 5 は、制御部 8 0 からシリアルに入力されるデータ電圧の信号を、パラレルに変換して各デマルチプレクサ 4 1 に出力する。デマルチプレクサ 4 1 は、制御部 8 0 から入力される制御信号に基づいて、第 1 データ線 D L 1 または第 2 データ線 D L 2 のいずれか一方にシフトレジスタ 4 5 から入力されたデータ電圧 D a を供給する一方、他方にはイニシャル電圧 V i n i t を供給する。

【 0 0 3 9 】

図 2 は、本発明の第 1 実施形態に係るデマルチプレクサ 4 1 の構成を示す回路図である。この例では、デマルチプレクサ 4 1 は、第 1 ブロック 4 1 - 1 および第 2 ブロック 4 1 - 2 を有し、制御部 8 0 の制御にしたがって供給される制御信号 C L A 1、C L A 2、C L B 1、C L B 2、C L C 1、C L C 2 により動作する。第 1 ブロック 4 1 - 1 および第 2 ブロック 4 1 - 2 は、それぞれ p 型の T F T（Thin Film Transistor）を用いて図 2 に示すとおり構成されている。以下、トランジスタといった場合には、特に明示のない限り p 型の T F T を示すものとする。

【 0 0 4 0 】

デマルチプレクサ 4 1 には後述する図 4 に示すタイミングチャートのように制御信号 C L A 1、C L A 2、C L B 1、C L B 2、C L C 1、C L C 2 が供給される。また、シフトレジスタ 4 5 から入力されるデータ電圧 D a は、図 4 に示すように、第 1 ブロック 4 1 - 1 で用いられる電圧、第 2 ブロック 4 1 - 2 で用いられる電圧の順に交互に入力される。

【 0 0 4 1 】

これにより、第 1 ブロック 4 1 - 1 は、第 1 データ線 D L 1 をデータ電圧 D a に保持させるときには、第 2 データ線 D L 2 にイニシャル電圧 V i n i t を保持させるように動作する。また、第 1 ブロック 4 1 - 1 は、第 2 データ線 D L 2 をデータ電圧 D a に保持させるときには、第 1 データ線 D L 1 にイニシャル電圧 V i n i t を保持させるように動作する。第 2 ブロック 4 1 - 2 についても、第 1 ブロック 4 1 - 1 と同様の動作をするが、図 4 に示すタイミングチャートのように第 1 ブロック 4 1 - 1 とは、動作のタイミングがずれているが、これは、シフトレジスタ 4 5 から出力されるデータ電圧 D a のタイミングに対応している。

【 0 0 4 2 】

10

20

30

40

50

図3は、本発明の第1実施形態に係る画素100の構成を示す回路図である。画素100は、上述したように画素回路110と電流発光素子190とを有する。画素回路100は、この例ではトランジスタ111、112、113、114および容量素子115を有する。トランジスタ111は、ソース端子が電流発光素子190へ電流を供給する電源の高電位側(ELVD)に接続され、ドレイン端子がトランジスタ112のソース端子に接続されている。トランジスタ111は、ゲート電極に印加されるゲート電圧Vgに応じてソースドレイン間に流れる電流量を制御し、電流発光素子190の発光強度を制御する駆動トランジスタである。なお、ゲート電圧Vgは、画素回路110に書き込まれるデータ電圧Daに応じて変化する。

【0043】

電流発光素子190は、トランジスタ112のドレイン端子と電源の低電位側(ELVS)に接続されている。トランジスタ112は、ゲート電極が発光制御線ECLと接続されている。

【0044】

発光制御線ECLから供給される発光制御信号EMにより、トランジスタ112は、オフ状態とオン状態が切り替えられる。トランジスタ112は、オフ状態のときには電流発光素子190への電流供給を停止して電流発光素子190を発光させない。一方、トランジスタ112は、オン状態のときには電流発光素子190への電流供給を行うことにより、トランジスタ111に制御された電流量の電流が電流発光素子190へ流れて、電流発光素子190を発光させる。このように、トランジスタ112は発光制御トランジスタとして機能する。

【0045】

トランジスタ113は、ソースドレイン端子の一方がトランジスタ111のゲート電極に接続され、他方がトランジスタ111のドレイン端子(トランジスタ112のソース端子)に接続され、ゲート電極が第2ゲート線GL2に接続されている。第2ゲート線GL2から供給される走査信号G2により、トランジスタ113は、オフ状態とオン状態が切り替えられる。トランジスタ113は、データ電圧Daの画素回路110への書き込みを制御する書込制御トランジスタである。

【0046】

トランジスタ114は、ソースドレイン端子の一方が第2データ線DL2に接続され(図3に示す「A1」)、他方がトランジスタ111のドレイン端子(トランジスタ112のソース端子およびこれらの端子に接続されたトランジスタ113のソースドレイン端子)が接続されている。第1ゲート線GL1から供給される走査信号G1により、トランジスタ114は、オフ状態とオン状態が切り替えられる。トランジスタ114は、トランジスタ111のゲート電圧Vgをイニシャル電圧Vinitに設定する(初期化処理をする)ためのリセットトランジスタである。この例では、第2データ線DL2にイニシャル電圧Vinitが供給されているときに、トランジスタ113とトランジスタ114とをオン状態にすることにより、容量素子115の両端を短絡して初期化する。

【0047】

容量素子115は、一端が第2データ線DL2に接続され(図3に示す「A2」)、他端がトランジスタ111のゲート電極(およびこのゲート電極に接続されたトランジスタ113のソースドレイン端子)と接続されている。後述するように、この容量素子115には、画素回路110に書き込まれるデータ電圧に応じた電圧を保持する。

【0048】

なお、図3に示す画素100は、奇数行の画素100を示している。偶数行の画素100の場合には、トランジスタ114および容量素子115が接続されるデータ線は、第2データ線DL2ではなく第1データ線DL1になっている。以上が、電気光学装置10の構成についての説明である。

【0049】

(動作)

10

20

30

40

50

図4は、 k 行目の画素回路110に関する各信号のタイミングチャートを示す図である。図5、図6は、各期間における k 行目および前後の行($k-1$ 行目および $k+1$ 行目)の画素回路110の状態を説明する図である。ここで、 k は偶数であるものとする。なお、図4において、各信号の名称に付された(k)、($k-1$)などは、それぞれ k 行目、 $k-1$ 行目などに供給される信号を示している。例えば、 $EM(k)$ は、 k 行目に供給される発光制御信号を示している。

【0050】

図4に示す「1H」は1水平走査期間を示している。「1H」において、2回のデータ電圧 D_a が入力されているが、1回目のデータ電圧 D_a は第1データ線 $DL1$ に供給される電圧であり、2回目のデータ電圧 D_a は第2データ線 $DL2$ に供給される電圧である。また、図4における(1)~(7)は、図5、図6における各期間に対応する。また、データ電圧 D_a の信号以外の各信号は、Hレベル、Lレベルの電圧になっている。この例ではトランジスタはp型であるため、Lレベルの電圧がゲート電極に印加されるとオン状態になるように構成されている。

10

【0051】

図4における(1)から(7)の期間について、図5、図6を用いて説明する。図5(1)においては、第1データ線 $DL1$ にデータ電圧 D_a が供給されているため、容量素子115の容量カップリングの影響で、第1データ線 $DL1$ に接続される偶数行の画素回路110におけるトランジスタ111のゲート電圧 V_g は、データ電圧 D_a の大きさにより変動する。そのため、ゲート電圧 V_g は、発光させる階調に応じた電圧とは異なった電圧に変動することから、偶数行の画素回路110においては、電流発光素子190が消灯するように制御されている。

20

【0052】

一方、奇数行の画素回路110においては、第2データ線 $DL2$ にイニシャル電圧 V_{init} が供給されているため、第2データ線 $DL2$ に接続される奇数行の画素回路110におけるトランジスタ111のゲート電圧 V_g は、発光させる階調に応じた電圧になっている(詳細は図6(5)で説明する)。そのため、奇数行の画素回路110においては、電流発光素子190が発光するように制御されている。ただし、奇数行であっても $k-1$ 行目の画素回路110においては、ゲート電圧 V_g をイニシャル電圧 V_{init} にする初期化処理をするため、電流発光素子190が消灯するように制御されている。

30

【0053】

続いて、図5(2)においては、第2データ線 $DL2$ にデータ電圧 D_a が供給され、第1データ線 $DL1$ にイニシャル電圧 V_{init} が供給されている。そのため奇数行の画素回路110においては電流発光素子190を消灯させるように制御されている。一方、偶数行の画素回路110においては電流発光素子190を発光させるように制御されている。ただし、偶数行であっても k 行目の画素回路110においては初期化処理をするため、電流発光素子190が消灯するように制御されている。なお、ゲート電圧 V_g は、電源の高電位側(ELVDD)の影響を受けて、わずかにイニシャル電圧 V_{init} よりは高くなる。

40

【0054】

続いて、図5(3)においては、第2データ線 $DL2$ に供給されていたデータ電圧 D_a がイニシャル電圧 V_{init} に変化する一方、第1データ線 $DL1$ に供給されていたイニシャル電圧 V_{init} がデータ電圧 D_a に変化する。このときには、奇数行の画素回路110においては電流発光素子190を発光させるように制御されている一方、偶数行の画素回路110においては電流発光素子190を消灯させるように制御されている。ただし、 $k+1$ 行目の画素回路110においては、1H後半で初期化処理をするため、電流発光素子190が消灯するように制御されている。

【0055】

また、この例では、 k 行目の画素回路110は、続くデータ電圧の書き込みにおいて、トランジスタ111の V_{th} ばらつきを補償するための時間が他の列の画素回路110と

50

異なるように、(3)の期間においては、トランジスタ113はオフ状態にしてある。

【0056】

続いて、図5(4)においては、図5(3)の状態から書き込み対象のk行目の画素回路110におけるトランジスタ113をオン状態にして、画素回路110にデータ電圧 D_a に応じた電圧を書き込む。この結果、ゲート電圧 V_g が $ELVDD - V_{th}$ (トランジスタ111の V_{th})となり、容量素子115にはデータ電圧 D_a (動作説明において、以下、書き込み電圧 D_{ak} という)に応じた電圧が保持される。

【0057】

続いて、図6(5)においては、第1データ線 DL_1 に供給されていたデータ電圧 D_a (D_{ak})がイニシャル電圧 V_{init} に変化し、この差分 $V_{init} - D_{ak}$ が容量素子115の容量カップリングにより、k行目(偶数行)の画素回路110におけるゲート電圧 V_g を変化させる。変化後のゲート電圧 V_g は、 $ELVDD - V_{th} + V_{init} - D_{ak}$ となる。このようにして、ゲート電圧 V_g は階調に応じた電圧となり、電流発光素子190が階調に応じた強度で発光する。

10

【0058】

このとき、奇数行の画素回路110においては電流発光素子190を消灯させるように制御されている。一方、偶数行の画素回路110においては電流発光素子190を発光させるように制御されている。ただし、上述同様に、偶数行であっても初期化処理をする画素回路110においては、電流発光素子190が消灯するように制御されている。なお、 $k+1$ 行目の画素回路110においては、データ電圧 D_a の書き込みが行われている。

20

【0059】

続いて、図6(6)においては、第1データ線 DL_1 にはデータ電圧 D_a が供給され、第2データ線 DL_2 にはイニシャル電圧 V_{init} が供給されている。このとき、k行目の画素回路110におけるゲート電圧 V_g は、 $ELVDD - V_{th} + D_a - D_{ak}$ に変化し、階調に応じた電圧として設定された値から変化してしまう。なお、このデータ電圧 D_a は、他の行の画素回路110に書き込むための電圧であるため、その値は画素100の階調に応じて様々に変化する。

【0060】

そのため、奇数行の画素回路110においては電流発光素子190を消灯させるように制御される。一方、偶数行の画素回路110においては電流発光素子190を発光させるように制御される。

30

【0061】

図6(7)においては、図6(6)とは逆に、第1データ線 DL_1 にはイニシャル電圧 V_{init} が供給され、第2データ線 DL_2 にはデータ電圧 D_a が供給されている。そのため、偶数行の画素回路110においては電流発光素子190を消灯させ、奇数行の画素回路110においては電流発光素子190を発光させるように制御されている。その後は、次にデータ電圧の書き込みがされるまで、図6(6)、(7)の状態が繰り返される。

【0062】

このように、本発明の第1実施形態に係る電気光学装置10においては、いずれかの行の画素回路110にデータ電圧 D_a の書き込みをしている期間においても、このデータ電圧 D_a を供給しているデータ線とは異なるデータ線に接続されている画素回路110において電流発光素子190を発光させることができる。したがって、各画素回路110に対するデータ電圧 D_a の書き込み時間を長くすることができ、表示品質の向上、高解像度化が可能となる。また、 V_{th} 補償時間も長くなることで画像ムラの低減効果も高めることができる。

40

【0063】

(第2実施形態)

第2実施形態における電気光学装置10Aは、第1実施形態における第1ゲート線 GL_1 および第2ゲート線 GL_2 を共通化した構成である。本発明の第2実施形態における電

50

気光学装置 10A について説明する。なお、以下の図において、第 1 実施形態における構成と同じものについては同じ符号を付して、その説明を省略する。

【0064】

図 7 は、本発明の第 2 実施形態に係る電気光学装置 10A の構成を示す概略図である。第 2 実施形態における電気光学装置 10A は、第 1 実施形態における第 1 ゲート線 GL1 および第 2 ゲート線 GL2 を共通化したゲート線 GLA を有する。そのため、k 行目の画素回路 110 におけるトランジスタ 114 のゲート電極と接続されるゲート線 GLA は、k - 1 行目の画素回路 110 におけるトランジスタ 113 のゲート電極と接続される。そのため、ゲート線制御回路 20A は、第 1 実施形態における走査信号 G1、G2 を共通化した走査信号 G12 をゲート線 GLA に供給して、画素回路 110 を制御する。

10

【0065】

図 8 は、本発明の第 2 実施形態に係る k 行目の画素回路 110 に関する各信号のタイミングチャートを示す図である。第 2 実施形態におけるタイミングチャートは、第 1 実施形態におけるタイミングチャート（図 4）における G1(p) を G2(p - 1) と同じになるようにして、GA(p) としたものである。図 8 に示す例では、G1(k) を G2(k - 1) と同じ信号としている。そのため、図 8 の例では、例えば期間(1)において、第 1 実施形態の場合と相違している。

【0066】

図 9 は、本発明の第 2 実施形態において、各期間(1)における k 行目および前後の行(k - 1 行目および k + 1 行目)の画素回路 110 の状態を説明する図である。期間(1)において k 行目の画素回路 110 におけるトランジスタ 114 は、第 1 実施形態においてはオフ状態であったが、第 2 実施形態においてはオン状態となる。

20

【0067】

このようにすると、ELVDD から第 1 データ線 DL1 に電流が流れることになるが、第 1 データ線 DL1 の容量などを考えると、データ電圧 Da に大きな影響を及ぼさないため、問題とならない。また、k 行目の画素回路 110 は、次の期間において初期化処理がされるため、k 行目の画素回路 110 において発光に与える影響も生じない。一方で、1 行あたりのゲート線の数減らすことができるため、ゲート線制御回路の構成を簡易化することができる、また高解像度化することもできる。

【0068】

30

(第 3 実施形態)

第 1、第 2 実施形態においては、各列の画素回路 110 に対応して 2 本のデータ線(第 1 データ線 DL1 および第 2 データ線 DL2)が設けられていたが、n 本(n は 2 以上の整数)であってもよい。第 3 実施形態では、第 2 実施形態における構成において各列の画素回路 110 に対応して 3 本のデータ線が設けられている電気光学装置 1B について説明する。なお、以下の図において、第 1、第 2 実施形態における構成と同じものについては同じ符号を付して、その説明を省略する。

【0069】

図 10 は、本発明の第 3 実施形態に係る電気光学装置 10B の構成を示す概略図である。図 10 に示すように、各列の画素 100 に対応して、3 本のデータ線(第 1 データ線 DL1、第 2 データ線 DL2、第 3 データ線 DL3)が設けられている。そのため、データ線制御回路 40B におけるデマルチプレクサ 41B は、第 1 データ線 DL1、第 2 データ線 DL2 または第 3 データ線 DL3 のいずれかのデータ線にシフトレジスタ 45 から入力されたデータ電圧 Da を供給する一方、他のデータ線にはイニシャル電圧 Vinit を供給する。

40

【0070】

図 11 は、本発明の第 3 実施形態に係るデマルチプレクサ 41B の構成を示す回路図である。この例では、デマルチプレクサ 41 は、第 1 ブロック 41B - 1 および第 2 ブロック 41B - 2 を有し、制御部 80 の制御にしたがって供給される制御信号 CLA1、CLA2、CLA3、CLB1、CLB2、CLB3、CLC1、CLC2、CLC3 により

50

動作する。

【0071】

デマルチプレクサ41には後述する図13に示すタイミングチャートのように制御信号CLA1、CLA2、CLA3、CLB1、CLB2、CLB3、CLC1、CLC2、CLC3が供給される。

【0072】

これにより、第1ブロック41-1は、例えば、第1データ線DL1をデータ電圧Daに保持させるときには、第2データ線DL2および第3データ線DL3にイニシャル電圧Vinitを保持させるように動作する。

【0073】

図12は、本発明の第3実施形態に係る画素100とデータ線との接続関係を示す回路図である。図12に示すように、電気光学装置10Bにおいては、各列の画素100のうち、第1データ線DL1には3r行目の画素100が接続され、第2データ線DL2には(3r-1)行目の画素100が接続され、第3データ線DL3には(3r-2)行目の画素100が接続されている(rは自然数)。

10

【0074】

図13は、本発明の第3実施形態に係るk行目の画素回路110に関する各信号のタイミングチャートを示す図である。第1、第2実施形態における構成では、各画素100は、書き込み期間を除き、1H(1水平走査期間)ごとに発光と消灯を繰り返していた。すなわち、2Hのうち1Hが発光していた。一方、第3実施形態においては、3Hのうち2Hが発光することになる。

20

【0075】

したがって、第3実施形態における電気光学装置10Bでは、第1、第2実施形態の構成よりも、各画素100における電流発光素子190の発光時間を増やすことができる。発光時間を増やすことができるため、電流発光素子190に流す電流量を減らしても画面全体として時間平均では同じ輝度が得られることになる。

【0076】

電流発光素子190が有機ELを用いた素子である場合、発光時間を2倍にするよりも、電流を増加させて2倍の発光強度にする方が、素子の劣化が早い。したがって、第3実施形態における電気光学装置10Bのように、各列の画素100に対応するデータ線の数を増やすと、電流発光素子190の劣化速度を抑えることができる。

30

【0077】

(第4実施形態)

第4実施形態においては、上述した各実施形態の画素100の別の態様について説明する。

【0078】

図14は、本発明の第4実施形態に係る画素100Dの構成を示す回路図である。第4実施形態において説明する画素100Dにおいては、第1実施形態(図3)において説明したトランジスタ114と他の構成との接続関係が変更されている。他の構成については、第1実施形態と同様の構成であるため、同じ符号を付してその説明を省略する。

40

【0079】

画素100Dにおけるトランジスタ114Dは、ソースドレイン端子の一方が第2データ線DL2に接続され(図14に示す「A1」)、他方が容量素子115の第2データ線DL2に接続されていない一端(トランジスタ111のゲート電極およびこのゲート電極に接続されたトランジスタ113のソースドレイン端子)に接続されている。

【0080】

第1ゲート線GL1から供給される走査信号G1により、トランジスタ114Dは、オフ状態とオン状態が切り替えられる。トランジスタ114は、トランジスタ111のゲート電圧Vgをイニシャル電圧Vinitに設定する(初期化処理をする)ためのリセットトランジスタである。この例では、第2データ線DL2にイニシャル電圧Vinitが供

50

給されているときに、容量素子 115 の両端を短絡して初期化することになる。なお、初期化時にはトランジスタ 113 はオフ状態としてもよい。

【0081】

(変形例 1)

上述した各実施形態においては、本発明の駆動回路および駆動方法を電子機器 1、電気光学装置 10 などに適用して実施される場合について説明したが、駆動回路として実施されてもよい。この場合、駆動回路は、マトリクス状に配置された画素回路、データ線、ゲート線および発光制御線により、電流発光素子を発光させるため回路である。駆動回路には、さらにデータ線制御回路、発光制御回路、ゲート線制御回路などが含まれてもよい。

【0082】

(変形例 2)

上述したデマルチプレクサ 41、41B は、それぞれ 2 ブロックを単位として構成されていたが、さらに多くのブロックを単位として構成されてもよいし、1 ブロックを単位として構成されてもよい。

【0083】

(変形例 3)

上述した各構成については、p 型トランジスタを用いていたが、n 型トランジスタを用いてもよいし、n 型トランジスタと p 型トランジスタとを用いてもよい。いずれの場合であっても、上記回路をそのまま適用することはできないが、本発明の駆動回路および駆動方法を実現可能な回路に修正して用いればよい。

【0084】

(変形例 4)

上述した実施形態においては、各列の画素回路 110 に対応して設けられた複数のデータ線は、それぞれ複数の画素回路 110 と接続し、その接続態様所定のルールで決められていた。例えば、2 本のデータ線である場合には、第 1 データ線に接続する画素回路 110 と第 2 データ線に接続する画素回路 110 とは、各行交互であったが、2 行毎に交互であってもよいし、別の態様であってもよい。すなわち、n 本のデータ線の各々には、その列における複数の行の画素回路 110 が排他的に接続されていけばよい。

【符号の説明】

【0085】

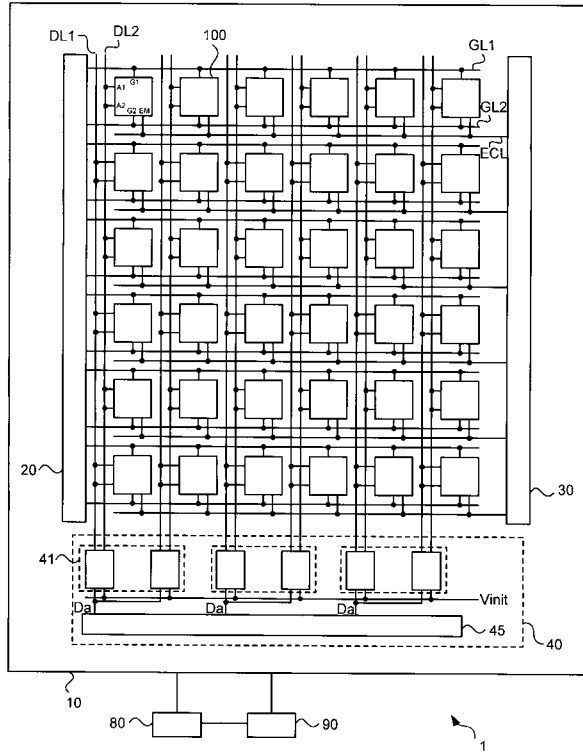
1 ... 電子機器、10 ... 電気光学装置、20 ... ゲート線制御回路、30 ... 発光制御回路、40 ... データ線制御回路、41 ... デマルチプレクサ、45 ... シフトレジスタ、80 ... 制御部、90 ... 電源、100 ... 画素、110 ... 画素回路、111 ~ 114 ... トランジスタ、115 ... 容量素子、190 ... 電流発光素子

10

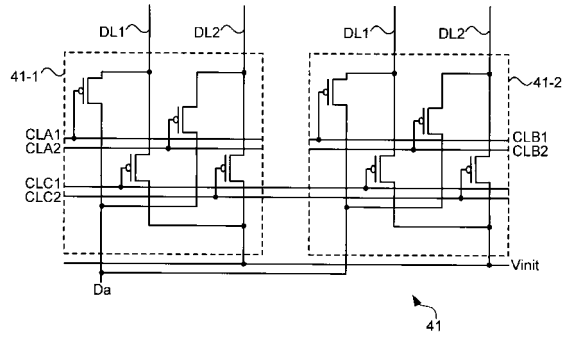
20

30

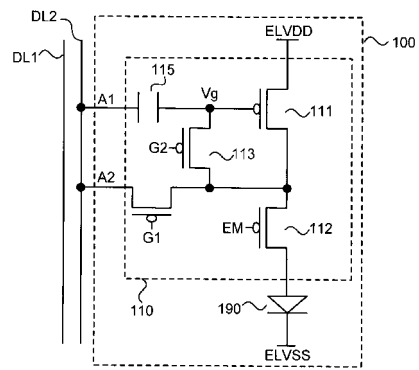
【 図 1 】



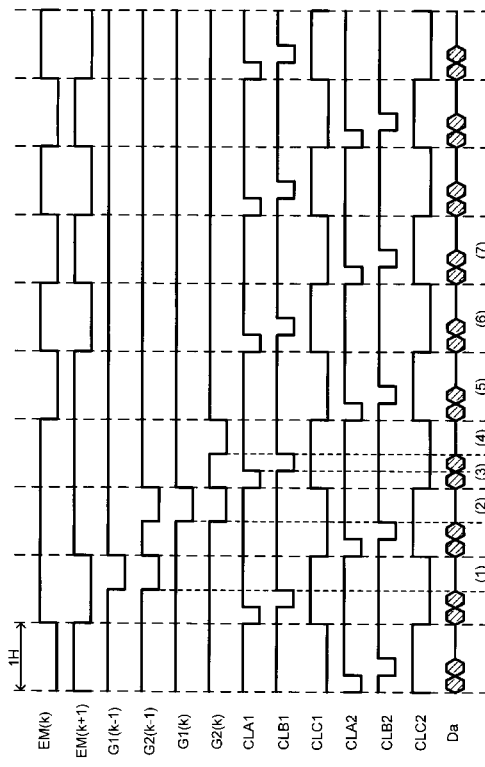
【 図 2 】



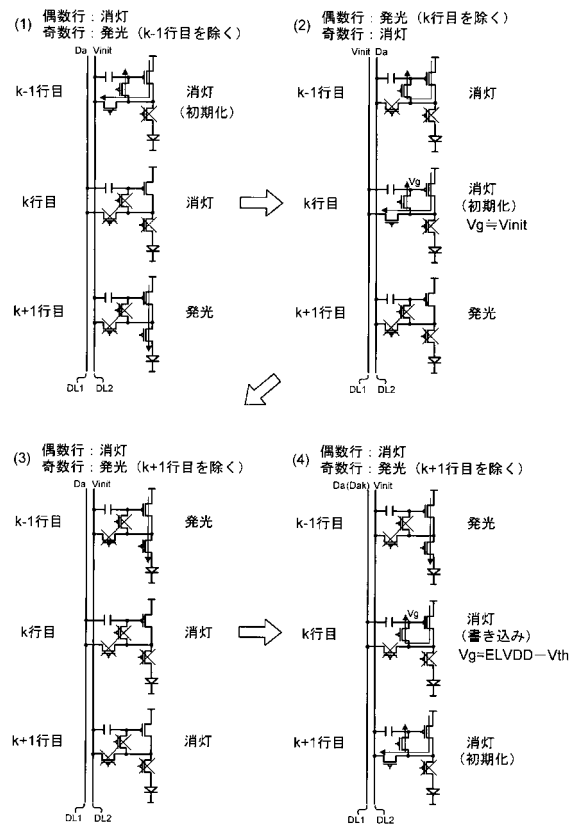
【 図 3 】



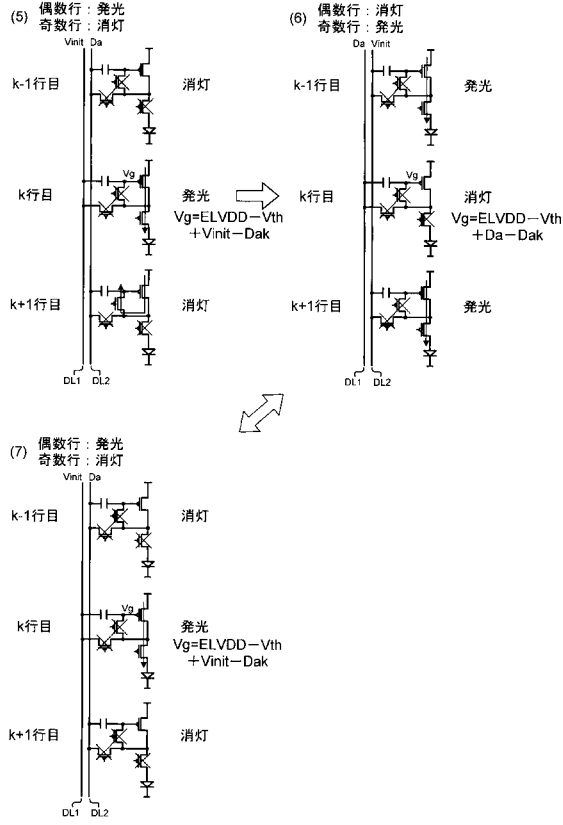
【 図 4 】



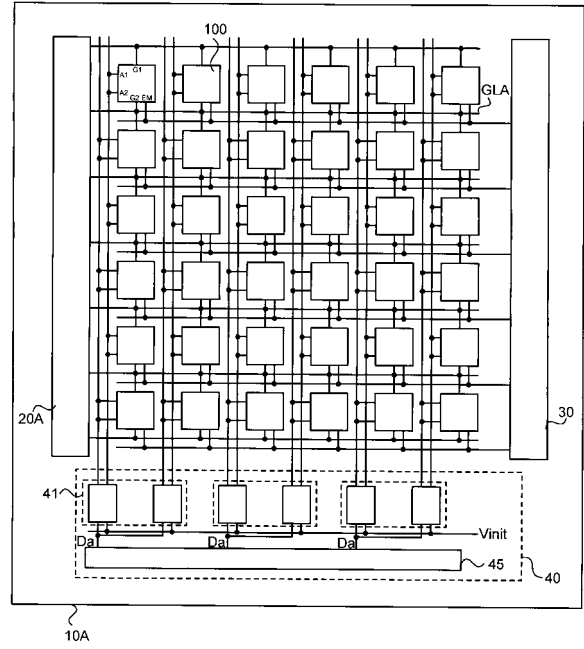
【 図 5 】



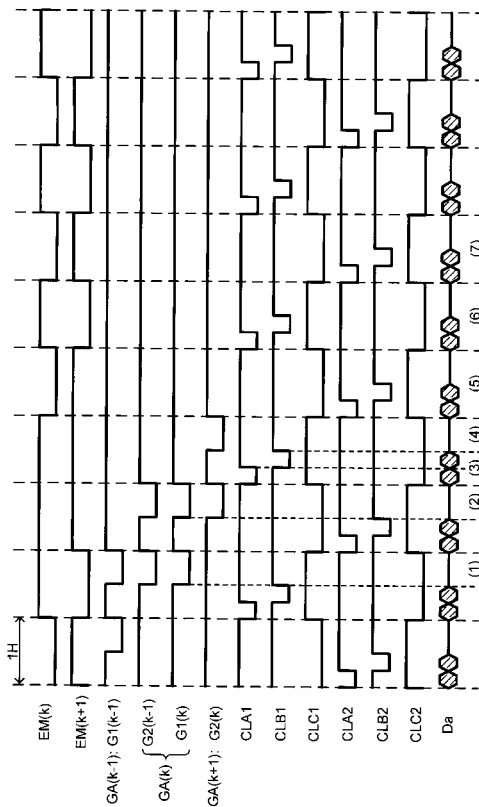
【 図 6 】



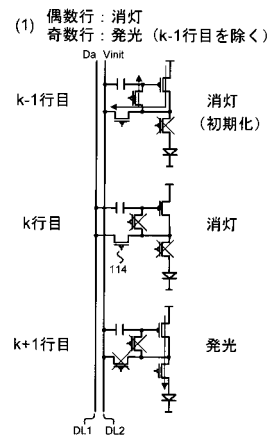
【 図 7 】



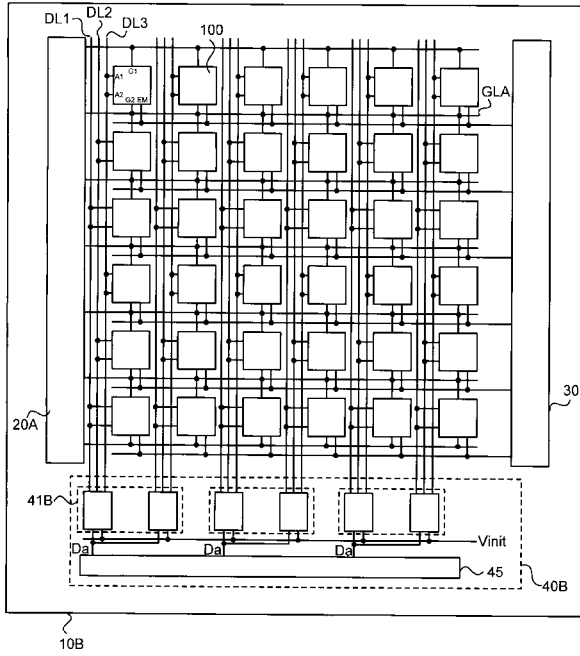
【 図 8 】



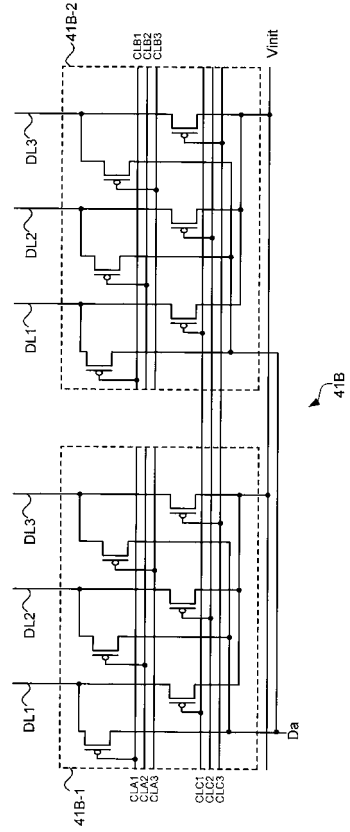
【 図 9 】



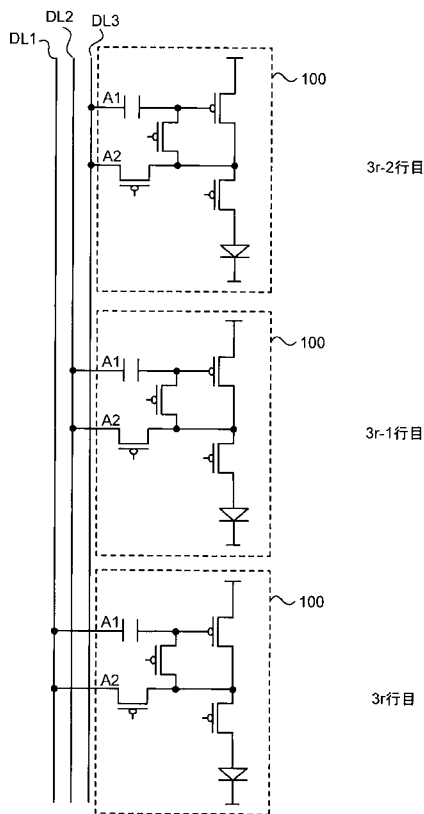
【図 10】



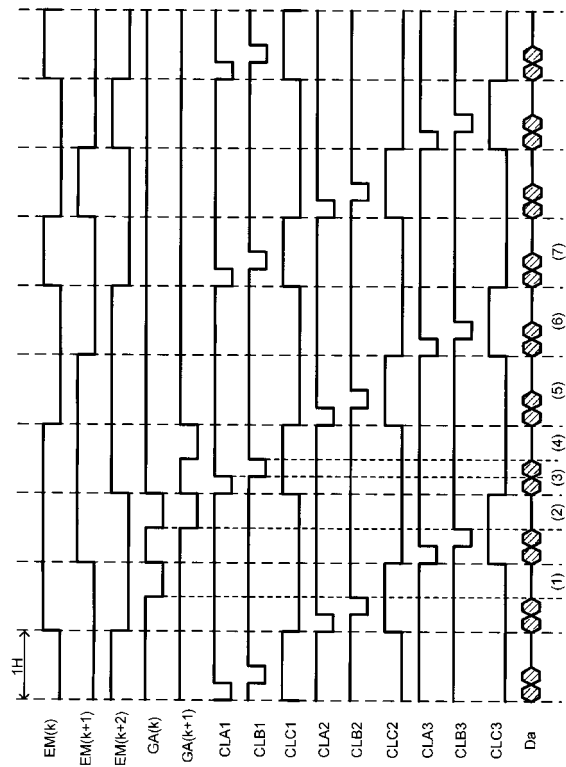
【図 11】



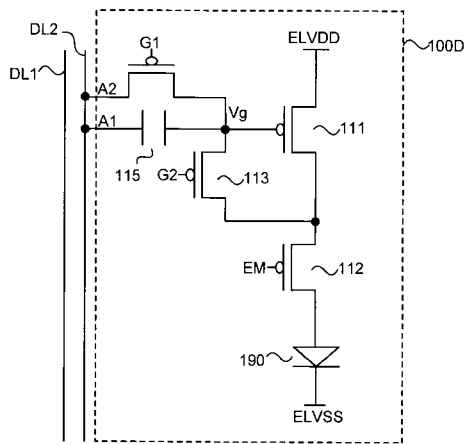
【図 12】



【図 13】



【 図 1 4 】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 3 W
	H 0 5 B 33/14	A
Fターム(参考)	3K107 AA01 BB01 CC21 CC33 EE03 HH02 HH04 HH05	
	5C080 AA06 BB05 DD05 EE29 FF11 FF12 HH09 JJ02 JJ03 JJ04	
	5C380 AA01 AB06 AB08 AC07 AC08 AC11 AC12 BA12 BA38 BB22	
	BD02 BD05 CA08 CA12 CA53 CA57 CB01 CB16 CB17 CB26	
	CB31 CB37 CC06 CC07 CC30 CC33 CC39 CC55 CC64 CD014	
	CF01 CF07 CF53 CF62 DA02 DA06 DA31 DA32 DA47	