

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4305507号
(P4305507)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.		F I			
HO 4 N	5/335	(2006.01)	HO 4 N	5/335	E
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A
			HO 4 N	5/335	Z

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2006-339415 (P2006-339415)	(73) 特許権者	000002185
(22) 出願日	平成18年12月18日(2006.12.18)		ソニー株式会社
(65) 公開番号	特開2008-153909 (P2008-153909A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年7月3日(2008.7.3)	(74) 代理人	100094053
審査請求日	平成20年3月13日(2008.3.13)		弁理士 佐藤 隆久
		(72) 発明者	佐藤 弘樹
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 撮像装置およびカメラ

(57) 【特許請求の範囲】

【請求項1】

撮像して得られた信号電荷を画素信号として出力する複数の画素が行列状に配列された画素アレイと、

前記画素配列の列配列ごとに対応して配置された複数の画素信号処理部と、

前記画素配列の列配列ごとに対応して配置され、前記画素信号に対応する前記画素信号処理部に伝送する複数の伝送経路と、

前記画素アレイの所定行を選択して当該選択行の画素の画素信号に対応する前記伝送経路に出力させる垂直選択回路と、を有し、

前記列配列ごとに配置された各画素信号処理部はそれぞれ、

前記画素信号が伝送される対応する前記伝送経路に接続され、電流駆動量が可変の電流源と、

前記伝送経路への出力信号に応じた信号に対して積分および量子化処理を行い、当該量子化処理結果に応じて前記電流源の電流駆動量を変化させるように制御する信号処理回路と、を有し、

前記信号処理回路は、

前記伝送経路を伝送された画素信号を積分する積分器と、

前記積分器の出力信号を量子化する量子化器と、

前記量子化器の量子化結果に応じて前記電流源の電流駆動量を変化させるセレクタと、を含む モジュレータを有し、

10

20

前記量子化器は、
前記積分器による積分信号と所定のしきい値とを比較し、比較結果を前記セレクト
タに出力し、

前記セレクトは、
積分信号がしきい値より大きい場合には前記電流源の電流駆動量を上げるよう
に、積分信号がしきい値とより小さい場合には前記電流源の電流流駆動量を下げるよう
に、前記電流源の電流駆動量を変化させ、

前記電流源は、
電流駆動量を変化させることで、前記信号処理回路の処理に適したオフセット量を
、前記伝送経路を伝送される画素信号に与える

撮像装置。

【請求項 2】

前記量子化器は、
前記積分信号のレベルが前記しきい値より高い場合には出力信号を第 1 レベルに設定
し、前記積分信号のレベルが前記しきい値より低い場合には出力信号を第 2 レベルに設定
し、

前記セレクトは、
前記量子化信号の出力信号が第 1 レベルに設定されている場合には、前記電流源の電
流駆動量を上げるように、前記電流源の電流駆動量を変化させ、

前記量子化信号の出力信号が第 2 レベルに設定されている場合には、前記電流源の電
流駆動量を下げるように、前記電流源の電流駆動量を変化させる

請求項 1 記載の撮像装置。

【請求項 3】

前記画素は、
信号電荷を画素信号として前記画素信号出力線に出力するソースフォロワを形成する
増幅トランジスタを含み、

前記電流源は、
ゲートが所定のバイアス信号でバイアスされ、ソースが所定電位に対して並列に接続
された複数の負荷トランジスタと、

前記負荷トランジスタのドレインと前記伝送経路との間に接続された複数のスイッチ
と、を有し、

前記信号処理回路は、
前記伝送経路を伝送された画素信号の前記処理結果に応じて前記電流源のスイッチを
選択的にオン、オフさせて、前記伝送経路に接続される負荷トランジスタの数を変化させ
て当該電流源の電流駆動量を変化させる

請求項 1 または 2 記載の撮像装置。

【請求項 4】

前記画素は、
信号電荷を画素信号として前記画素信号出力線に出力するソースフォロワを形成する
増幅トランジスタを含み、

前記電流源は、
ソースが所定電位に対して接続された負荷トランジスタと、
前記負荷トランジスタのゲートと異なるバイアス信号の供給線との間に接続された複
数のスイッチと、を有し、

前記信号処理回路は、
前記伝送経路を伝送された画素信号の前記処理結果に応じて前記電流源のスイッチを
選択的にオン、オフさせて、バイアス電圧を変化させて当該電流源の電流駆動量を変化
させる

請求項 1 または 2 記載の撮像装置。

【請求項 5】

10

20

30

40

50

前記伝送経路は、

前記画素の増幅トランジスタのソースが接続され、かつ、電流源が接続された画素出力信号線を含む

請求項 1 から 4 のいずれかーに記載の撮像装置。

【請求項 6】

前記伝送経路は、

前記画素の増幅トランジスタのソースが接続された画素出力信号線と、

ゲートが前記画素信号出力線に接続され、ソースが前記電流源に接続されたソースフォロワトランジスタと、を含む

請求項 1 から 4 のいずれかーに記載の撮像装置。

10

【請求項 7】

撮像装置と、

前記撮像装置に被写体像を結像する光学系と、を有し、

前記撮像装置は、

撮像して得られた信号電荷を画素信号として出力する複数の画素が行列状に配列された画素アレイと、

前記画素配列の列配列ごとに対応して配置された複数の画素信号処理部と、

前記画素配列の列配列ごとに対応して配置され、前記画素信号に対応する前記画素信号処理部に伝送する複数の伝送経路と、

前記画素アレイの所定行を選択して当該選択行の画素の画素信号に対応する前記伝送経路に出力させる垂直選択回路と、を有し、

20

前記列配列ごとに対応して配置された各画素信号処理部はそれぞれ、

前記画素信号が伝送される対応する前記伝送経路に接続され、電流駆動量が可変の電流源と、

前記伝送経路への出力信号に応じた信号に対して積分および量子化処理を行い、当該量子化処理結果に応じて前記電流源の電流駆動量を変化させるように制御する信号処理回路と、を有し、

前記信号処理回路は、

前記伝送経路を伝送された画素信号を積分する積分器と、

前記積分器の出力信号を量子化する量子化器と、

前記量子化器の量子化結果に応じて前記電流源の電流駆動量を変化させるセレクタと、を含む モジュレータを有し、

30

前記量子化器は、

前記積分器による積分信号と所定のしきい値とを比較し、比較結果を前記セレクタに出力し、

前記セレクタは、

積分信号がしきい値より大きい場合には前記電流源の電流駆動量を上げるように、積分信号がしきい値とより小さい場合には前記電流源の電流流駆動量を下げないように、前記電流源の電流駆動量を変化させ、

前記電流源は、

電流駆動量を変化させることで、前記信号処理回路の処理に適したオフセット量を、前記伝送経路を伝送される画素信号に与える

40

カメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、列並列型のアナログーデジタル変換装置を搭載した撮像装置およびカメラに関するものである。

【背景技術】

【0002】

50

列並列型のアナログ - デジタル変換装置を搭載した固体撮像装置は、一般的にはシングルスロープを用いたカウンターランプ型のアナログ - デジタル変換装置を用いた例が多い。

【 0 0 0 3 】

図 1 は、シングルスロープを用いたカウンターランプ型のアナログ - デジタル変換装置を搭載した撮像装置の構成例を示す図である。

図 2 は、図 1 の動作を説明するためのタイミングチャートである。

【 0 0 0 4 】

図 1 の動作を図 2 のタイミングチャートに関連付けて説明する。

外部からの光を光電変換により電気信号に変換する単位画素 1 が格子状に配列された画素アレイ 2 において、垂直選択回路 3 により、画素アレイ 2 のある行が選択されたとする。

その行にある画素から、画素アレイ 2 の列方向にある垂直信号線 v_{s1} から画素の信号 (以下、画素出力信号とする) が出力される。この垂直信号線 v_{s1} は列毎に設けられたコンパレータ 4 の一方の入力端子 (正極側とする) に接続されていて、コンパレータ 4 のもう一方の入力端子 (負極側とする) には別に設けられたクロック信号に応じたアナログ出力が得られるデジタル - アナログ (D/A) 変換装置 5 の出力信号 n_{slope} が供給されている。

【 0 0 0 5 】

つまり、垂直信号線 v_{s1} の画素出力信号 S_1 が D/A 変換装置 5 の出力信号 n_{slope} より小さい場合はコンパレータ 4 の出力信号 $n_{compout}$ はロー (L) レベルになり、垂直信号線 v_{s1} の画素出力信号 S_1 が D/A 変換装置 5 の出力信号 n_{slope} より大きい場合にはコンパレータ 4 の出力信号 $n_{compout}$ はハイ (H) レベルになるとする。

【 0 0 0 6 】

このコンパレータ 4 の出力信号 $n_{compout}$ は n ビットカウンタ 6 に入力され、 n ビットカウンタ 6 はクロック信号 clk に応じてカウント値を増減させる。図 2 ではクロックにより値が 1 ずつ減少している例である。

n ビットカウンタ 6 のカウンタ値はリセット信号 rst で初期値 i_{init} をとり、コンパレータ 6 の出力信号 $n_{compout}$ がハイレベルになった時点でカウント値の増減を停止し、そのカウント値を保持している (図 2 での値 i)。

このカウント値はカウンタ 6 の n ビット出力 $data[n-1:0]$ として出力され、他の列のカウンタ出力らと合わせて順次出力される。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

この図 1 のようなシングルスロープを用いカウンターランプ型のアナログ - デジタル変換装置では、アナログ - デジタル変換の精度を上げようとした場合、変換時間を増加させるか、クロック周波数を増加させなければならないという不利益がある。

たとえば、 n ビットでのアナログ - デジタル変換に要するクロック数は、 $2^n - 1$ サイクルであり、これが $n + 1$ ビットに拡張したとすると、 $2^{n+1} - 1$ サイクルとほぼ 2 倍のクロック数が必要になる。

これを実現するには、2 倍程度の変換時間を要するか、クロック周波数を 2 倍程度に増加させなければならない、前者では固体撮像装置の高フレームレート化、多画素化などの高速動作の妨げになり、後者では消費電力の増加や素子の高精度化を招くという不利益があった。

【 0 0 0 8 】

また、このシングルスロープを用いカウンターランプ型のアナログ - デジタル変換装置ではコンパレータのしきい値 V_{th} のバラツキやデジタル - アナログ変換装置の出力電圧精度が、アナログ - デジタル変換装置の精度に効いてきてしまうという不利益もある。

10

20

30

40

50

つまり、画素からの出力信号が、暗時と明時との差が1Vの振幅を持っていたとすると、nビットでのアナログ-デジタル変換に対応した精度として、 $1 / (2^n - 1)$ Vの精度が必要である。

たとえば、 $n = 14$ ビットとすると $1 / (2^{14} - 1) = 61 \mu\text{V}$ となり、一般的なコンパレータのV_{th}バラツキは数mVのオーダーであることを考えると、実現は困難である。

【0009】

本発明は、消費電力の増加や素子の高精度化を招くことなく高フレームレート化、多画素化などの高速動作を実現でき、高分解能、高精度な撮像装置およびカメラを提供することにある。

【課題を解決するための手段】

【0010】

本発明の第1の観点の撮像装置は、撮像して得られた信号電荷を画素信号として出力する複数の画素が行列状に配列された画素アレイと、前記画素配列の列配列ごとに対応して配置された複数の画素信号処理部と、前記画素配列の列配列ごとに対応して配置され、前記画素信号に対応する前記画素信号処理部に伝送する複数の伝送経路と、前記画素アレイの所定行を選択して当該選択行の画素の画素信号に対応する前記伝送経路に出力させる垂直選択回路と、を有し、前記列配列ごとに配置された各画素信号処理部はそれぞれ、前記画素信号が伝送される対応する前記伝送経路に接続され、電流駆動量が可変の電流源と、前記伝送経路への出力信号に応じた信号に対して積分および量子化処理を行い、当該量子化処理結果に応じて前記電流源の電流駆動量を変化させるように制御する信号処理回路と、を有し、前記信号処理回路は、前記伝送経路を伝送された画素信号を積分する積分器と、前記積分器の出力信号を量子化する量子化器と、前記量子化器の量子化結果に応じて前記電流源の電流駆動量を変化させるセレクタと、を含むモジュレータを有し、前記量子化器は、前記積分器による積分信号と所定のしきい値とを比較し、比較結果を前記セレクタに出力し、前記セレクタは、積分信号がしきい値より大きい場合には前記電流源の電流駆動量を増加するように、積分信号がしきい値とより小さい場合には前記電流源の電流駆動量を減少するように、前記電流源の電流駆動量を変化させ、前記電流源は、電流駆動量を変化させることで、前記信号処理回路の処理に適したオフセット量を、前記伝送経路を伝送される画素信号に与える。

好適には、前記量子化器は、前記積分信号のレベルが前記しきい値より高い場合には出力信号を第1レベルに設定し、前記積分信号のレベルが前記しきい値より低い場合には出力信号を第2レベルに設定し、前記セレクタは、前記量子化信号の出力信号が第1レベルに設定されている場合には、前記電流源の電流駆動量を増加するように、前記電流源の電流駆動量を変化させ、前記量子化信号の出力信号が第2レベルに設定されている場合には、前記電流源の電流駆動量を減少するように、前記電流源の電流駆動量を変化させる。

【0011】

好適には、前記画素は、信号電荷を画素信号として前記画素信号出力線に出力するソースフォロワを形成する増幅トランジスタを含み、前記電流源は、ゲートが所定のバイアス信号でバイアスされ、ソースが所定電位に対して並列に接続された複数の負荷トランジスタと、前記負荷トランジスタのドレインと前記伝送経路との間に接続された複数のスイッチと、を有し、前記信号処理回路は、前記伝送経路を伝送された画素信号の前記処理結果に応じて前記電流源のスイッチを選択的にオン、オフさせて、前記伝送経路に接続される負荷トランジスタの数を変化させて当該電流源の電流駆動量を変化させる。

【0012】

好適には、前記画素は、信号電荷を画素信号として前記画素信号出力線に出力するソースフォロワを形成する増幅トランジスタを含み、前記電流源は、ソースが所定電位に対して接続された負荷トランジスタと、前記負荷トランジスタのゲートと異なるバイアス信号の供給線との間に接続された複数のスイッチと、を有し、前記信号処理回路は、前記伝送経路を伝送された画素信号の前記処理結果に応じて前記電流源のスイッチを選択的にオン

10

20

30

40

50

、オフさせて、バイアス電圧を変化させて当該電流源の電流駆動量を変化させる。

【0017】

好適には、前記伝送経路は、前記画素の増幅トランジスタのソースが接続され、かつ、電流源が接続された画素出力信号線を含む。

【0018】

好適には、前記伝送経路は、前記画素の増幅トランジスタのソースが接続された画素出力信号線と、ゲートが前記画素信号出力線に接続され、ソースが前記電流源に接続されたソースフォロワトランジスタと、を含む。

【0020】

本発明の第2の観点のカメラは、撮像装置と、前記撮像装置に被写体像を結像する光学系と、を有し、前記撮像装置は、撮像して得られた信号電荷を画素信号として出力する複数の画素が行列状に配列された画素アレイと、前記画素配列の列配列ごとに対応して配置された複数の画素信号処理部と、前記画素配列の列配列ごとに対応して配置され、前記画素信号に対応する前記画素信号処理部に伝送する複数の伝送経路と、前記画素アレイの所定行を選択して当該選択行の画素の画素信号に対応する前記伝送経路に出力させる垂直選択回路と、を有し、前記列配列ごとに配置された各画素信号処理部はそれぞれ、前記画素信号が伝送される対応する前記伝送経路に接続され、電流駆動量が可変の電流源と、前記伝送経路への出力信号に応じた信号に対して積分および量子化処理を行い、当該量子化処理結果に応じて前記電流源の電流駆動量を変化させるように制御する信号処理回路と、を有し、前記信号処理回路は、前記伝送経路を伝送された画素信号を積分する積分器と、前記積分器の出力信号を量子化する量子化器と、前記量子化器の量子化結果に応じて前記電流源の電流駆動量を変化させるセレクタと、を含むモジュレータを有し、前記量子化器は、前記積分器による積分信号と所定のしきい値とを比較し、比較結果を前記セレクタに出力し、前記セレクタは、積分信号がしきい値より大きい場合には前記電流源の電流駆動量を上げるように、積分信号がしきい値とより小さい場合には前記電流源の電流駆動量を下げるように、前記電流源の電流駆動量を変化させ、前記電流源は、電流駆動量を変化させることで、前記信号処理回路の処理に適したオフセット量を、前記伝送経路を伝送される画素信号に与える。

【0021】

本発明によれば、撮像して得られた信号電荷を画素信号に対して信号処理回路により所定の処理が行われる。

そして、信号処理結果に応じて電流源の電流値を変化させるように、換言すれば伝送経路のレベルが制御される。

【発明の効果】

【0022】

本発明によれば、消費電力の増加や素子の高精度化を招くことなく高フレームレート化、多画素化などの高速動作を実現でき、高分解能、高精度な撮像装置およびカメラを実現することができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を図面に関連付けて説明する。

【0024】

図3は、本発明の実施形態に係る撮像装置の概略構成を示すブロック図である。

図4は、本発明の実施形態に係る単位画素と画素信号処理部の一構成例を示す図である。

【0025】

本撮像装置10は、外部からの光を光電変換により電気信号に変換する複数の単位画素11が行列(マトリクス)状に配列された画素アレイ12と、画素アレイ12の所定行を選択して単位画素が接続された複数の駆動線DRVLを駆動する垂直選択回路13と、画素アレイ12の単位画素の列配列ごとに配線された伝送経路を形成する画素出力信号線V

10

20

30

40

50

S Lが直接（またはソースフォロワトランジスタを介して）接続された複数の画素信号処理部14（-1, 14-2、・・・）と、を有している。

【0026】

単位画素11は、光電変換を行うフォトダイオード111、転送トランジスタ112、増幅（アンプ）トランジスタ113、リセットトランジスタ114、および選択（セレクト）トランジスタ115を有する。

【0027】

フォトダイオード111は、入射光をその光量に応じた電荷量の信号電荷（たとえば、電子）に光電変換して蓄積する。

【0028】

転送トランジスタ112は、フォトダイオード111のカソードとフローティングノードND111との間にソース、ドレインが接続され、ゲートが転送信号TRが伝搬される転送選択線TRLに接続されており、導通（オン）することによって、フォトダイオード111に蓄積されている信号電荷をフローティングノードND111に転送する機能を有する。

【0029】

増幅トランジスタ113は、ソースが垂直信号線VSLに接続され、ドレインが選択トランジスタ115のソースに接続され、ゲートがフローティングノードND111に接続されている。また、選択トランジスタ115のドレインが電源電圧源VDDに接続され、ゲートが選択線SELLに接続されている。

増幅トランジスタ113は、垂直選択回路13により選択線SELLにハイレベルの選択信号SELが印加されて選択トランジスタ115がオンすると、フローティングノードND111の電位を垂直信号線VSLに出力する機能を有する。

【0030】

リセットトランジスタ114は、ドレインが電源電圧源VDDに接続され、ソースがフローティングノードND111に接続され、ゲートがリセット線RSTLに接続され、垂直選択回路13によりリセット線RSTLにハイレベルのリセット信号RSTが印加されるオンし、フローティングゲートND111の電位をリセットする機能を有する。

【0031】

このような構成を有する単位画素111が行列状に配列されて画素領域（撮像領域）が形成され、転送選択線TRL、選択線SELL、およびリセット線RSTLの3本は、画素配列の各行ごとに配線されている。

そして、転送選択線TRL、選択線SELL、およびリセット線RSTLは、垂直選択回路13により駆動される。

【0032】

画素信号処理部14は、電流源141、および信号処理回路142を有し、画素アレイ12からの画素出力信号線VSLに電流源141および信号処理回路142が接続され、さらに単位画素11内のアンプトランジスタ113に対して画素出力信号線VSLを通じて少なくとも一つの負荷MOSトランジスタLT1、図4の例では、n個の負荷MOSトランジスタLT1～LTn（nは2以上の正の整数）がスイッチングトランジスタSW1～SWnを通して選択的に接続され、この負荷MOSトランジスタの電流駆動量を信号処理回路142（量子化器）で信号処理した出力に応じて制御する。

【0033】

電流源141において、負荷MOSトランジスタLT（1～n）のゲートはバイアス信号VBIASの供給線VBISLに接続されており、負荷MOSトランジスタLT（1～n）は定電流源としての機能を有する。

負荷MOSトランジスタLT1のソースが基準電位（本実施形態では接地電位GND）に接続され、ドレインがMOSスイッチ（MOSトランジスタ）SW1のソースに接続され、MOSスイッチSW1のドレインが画素出力信号線VSLに接続されている。

同様に、負荷MOSトランジスタLTnのソースが基準電位（本実施形態では接地電位

10

20

30

40

50

GND)に接続され、ドレインがMOSスイッチ(MOSトランジスタ)SW_nのソースに接続され、MOSスイッチSW_nのドレインが画素出力信号線VSLに接続されている。

MOSスイッチSW₁~SW_nのゲートが信号処理回路142の制御出力に接続されている。

【0034】

本実施形態の撮像装置10は、画素信号処理部14において、信号処理回路142の出力であるデジタル値の電流源141へのフィードバックを画素信号毎に行うようにして、高精度なアナログ-デジタル変換が実現できる。アナログ-デジタル変換装置と等価な機能を実現している。

10

具体的には、固体撮像装置に備えられた型の列並列型アナログ-デジタル変換装置において、量子化器出力のフィードバックを、画素信号線に接続されているソースフォロアの負荷MOSの電流値を可変することで実現し、高分解能、高精度な固体撮像装置を実現している。

【0035】

以下、アナログ-デジタル変換装置の基本構成および本実施形態の画素信号処理部14の特徴的な構成についてさらに詳述する。

【0036】

図5は、アナログ-デジタル変換装置の基本的な構成を示すブロック図である。

【0037】

アナログ-デジタル変換装置200は、図5に示すように、減算器201、積分器202、量子化器203、デジタル-アナログ変換器204、およびデシメーションフィルタ205を有している。

20

積分器202はローパスフィルタ(LPF)としての機能を有し、量子化器203は量子化雑音を加える機能(微分をし「1」または「0」にするかを決定する機能)を有し、デジタル-アナログ変換器204は微分する機能を有する。

【0038】

ところで、オーディオ用途や計測器用途など固体撮像装置以外の分野では、高精度を実現するアナログ-デジタル変換装置として、アナログ-デジタル変換装置が多く用いられ、16ビットを越える変換精度を実現している。

30

このアナログ-デジタル変換装置200は、図5に示すように、基本的に積分器202と量子化器203を有し、アナログ入力から量子化器203の出力をデジタル-アナログ変換器204でデジタル-アナログ変換したフィードバック信号を減算器201で減算した後、これを積分器202で積分し、さらに量子化器203で量子化した信号をデシメーションフィルタ205でデシメーションすることで得るものである。

このアナログ-デジタル変換装置200では高精度なアナログ-デジタル変換が実現できるが、これを固体撮像装置に適用しようとする、デジタル値のフィードバックが画素信号毎に行う必要があり、その実現が困難である。

【0039】

そこで、本実施形態においては、前述のようなフィードバックを、単位画素11内に設けられた増幅トランジスタと組み合わせてソースフォロア回路を形成するMOSトランジスタ(本実施形態ではnチャンネルMOS)で構成された定電流源を備え、ソースフォロア回路の出力もしくはその出力を用いた後段の信号処理回路142の出力によって、定電流源の電流値を変化させることで実現している。

40

【0040】

図4の画素信号処理部14は、前述したように、画素からの画素出力信号線VSLに、信号処理回路142が接続され、さらに単位画素11内のアンプトランジスタ113に対して画素出力信号線VSLを通じて負荷MOSトランジスタLT₁~LT_nがスイッチングトランジスタ(MOSスイッチ)SW₁~SW_nを介して接続されるように構成され、この負荷MOSトランジスタの電流駆動量を信号処理回路142の量子化器の出力に応じ

50

て制御する。

すなわち、図4の画素信号処理部14においては、負荷MOSトランジスタLT1～LTnと画素出力信号線VSLとの間にMOSスイッチSW1～SWnを配置し、このMOSスイッチSW1～SWnをオン(ON)/オフ(OFF)することで、等価的に画素出力信号線VSLに接続される負荷MOSトランジスタLTの数を変化させている。

【0041】

このとき、負荷MOSトランジスタLTによる垂直信号線VSLの変化を示す下記式1より、負荷MOSトランジスタLTの電流駆動量を I_{load} とした場合により、画素信号 V_{PIXEL} に対して、アンプトランジスタ113のしきい値 V_{TH} を含んだ電圧 $V_{PIXEL} - V_{TH}$ に対し、電流駆動量 I_{load} が変化するため、結果的に量子化器の出力をフィードバックすることができる。

10

【0042】

【数1】

$$V_{VSL} = V_{PIXEL} - V_{TH,amp} - \sqrt{\frac{2I_{load}}{\mu_0 C_{ox} \frac{W}{L}}}$$

【0043】

ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、それぞれ示している。

20

【0044】

図6は、本発明の実施形態に係る画素信号処理部の他の構成例を示す図である。

【0045】

図6の画素信号処理部14Aが図4の画素信号処理部14と異なる点は、電流源141Aにおいて、一つの負荷MOSトランジスタLT1とし、この負荷MOSトランジスタLT1のゲートと第1バイアス信号線VBIASL1との間に第1MOSスイッチSW1を接続し、負荷MOSトランジスタLT1のゲートと第nバイアス信号線VBIASLnとの間に第1MOSスイッチSWnを接続し、MOSスイッチSW1～SWnのオン/オフを信号処理回路142の出力により制御するように構成したことにある。

【0046】

30

すなわち、図6の画素信号処理部14Aは、負荷MOSトランジスタLT1のゲート電圧を信号処理回路142の出力により複数のバイアス電圧から選択するものであり、その選択のためにMOSスイッチ(トランジスタ)が接続されていて排他的に選択することで、バイアス電圧を変化させることで負荷MOSトランジスタLT1の電流駆動量を変化させることができる。

【0047】

このように、図4や図6の画素信号処理部14, 14Aを有する撮像装置100は、固体撮像装置の画素出力もしくは画素出力を信号処理した画素信号により負荷MOSトランジスタLTの電流駆動量を変化させることで、さらに後段の信号処理に適したオフセット量を画素出力に与えることができる。

40

また、オフセットを与えることで単位画素11のアンプトランジスタ113と負荷MOSトランジスタLTで構成されるソースフォロア回路がリニア特性である領域で使用できるようにフィードバックがかけられることができる。

また、オフセットを変化させることで画素11のアンプトランジスタ113のしきい値ばらつきなど、製造工程でのばらつきをキャンセルさせることができる。

そして、本実施形態によれば、消費電力の増加や素子の高精度化を招くことなく高フレームレート化、多画素化などの高速動作を実現でき、高分解能、高精度な撮像装置を実現することができる。

【0048】

以下、より具体的な画素信号処理部の構成例について説明する。

50

【 0 0 4 9 】

図 7 は、本発明の実施形態に係る単位画素および画素信号処理部の具体的な第 1 の構成例を示す図である。

【 0 0 5 0 】

図 7 において、単位画素 1 1 の構成は図 4 および図 6 と同様であり、画素信号処理部 1 4 B の構成が図 4 および図 6 の構成に対してより具体的な構成となっている。

すなわち、図 7 においては、信号処理回路が積分器 1 4 2 1、量子化器 1 4 2 2、およびセクタ 1 4 2 3 を含む モジュレータ 1 4 2 B として構成されている。

また、電流源 1 4 1 B は、図 4 の構成に対応しており、ここでは $n = 3$ として、3 つの負荷 MOS トランジスタ $L T 1 \sim L T 3$ 、並びに 3 つの MOS スイッチ $S W 1 \sim S W 3$ を有している。

10

【 0 0 5 1 】

電流源 1 4 1 B において、負荷 MOS トランジスタ $L T 1 \sim L T 3$ のゲートはバイアス信号 $V B I A S$ の供給線 $V B I A S L$ に接続されており、負荷 MOS トランジスタ $L T 1 \sim L T 3$ は定電流源としての機能を有する。

負荷 MOS トランジスタ $L T 1$ のソースが基準電位（本実施形態では接地電位 $G N D$ ）に接続され、ドレインが MOS スイッチ（MOS トランジスタ） $S W 1$ のソースに接続され、MOS スイッチ $S W 1$ のドレインが画素出力信号線 $V S L$ に接続されている。

同様に、負荷 MOS トランジスタ $L T 2$ のソースが基準電位（本実施形態では接地電位 $G N D$ ）に接続され、ドレインが MOS スイッチ（MOS トランジスタ） $S W 2$ のソースに接続され、MOS スイッチ $S W 2$ のドレインが画素出力信号線 $V S L$ に接続されている。

20

同様に、負荷 MOS トランジスタ $L T 3$ のソースが基準電位（本実施形態では接地電位 $G N D$ ）に接続され、ドレインが MOS スイッチ（MOS トランジスタ） $S W 3$ のソースに接続され、MOS スイッチ $S W 3$ のドレインが画素出力信号線 $V S L$ に接続されている。

そして、MOS スイッチ $S W 1$ のゲートが モジュレータ 1 4 2 B の選択制御信号 $I S E L 1$ の供給ラインに接続され、MOS スイッチ $S W 2$ のゲートが モジュレータ 1 4 2 B の選択制御信号 $I S E L 2$ の供給ラインに接続され、MOS スイッチ $S W 3$ のゲートが モジュレータ 1 4 2 B の選択制御信号 $I S E L 3$ の供給ラインに接続されている。

30

【 0 0 5 2 】

モジュレータ 1 4 2 B において、積分器 1 4 1 1、量子化器 1 4 2 2、およびセクタ 1 4 2 3 は、セレクト信号 $H S E L$ をハイレベルで受けて動作し、クロック信号 $C L K$ に同期して動作する。

【 0 0 5 3 】

積分器 1 4 1 1 は $L P F$ として機能を有し、その結果を信号 $S O U T$ として量子化器 1 4 2 2 に出力する。

【 0 0 5 4 】

量子化器 1 4 2 2 は、所定のしきい値 $V T H L$ を用いて積分器 1 4 2 1 の出力信号 $S O U T$ を量子化し、その結果を信号 $H S I G$ としてセクタ 1 4 2 3 および図示しない後段のデシメーションフィルタに出力する。

40

量子化器 1 4 2 2 は、信号 $S O U T$ のレベルがしきい値 $V T H L$ より高い場合には出力信号 $H S I G$ を「1」に設定し、信号 $S O U T$ のレベルがしきい値 $V T H L$ より低い場合には出力信号 $H S I G$ を「0」に設定する。

【 0 0 5 5 】

セクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力信号 $H S I G$ の値に応じて、電流源 1 4 1 B の MOS スイッチ $S W 1 \sim S W 3$ のオン/オフを制御するための選択制御信号 $I S E L 1$ 、 $I S E L 2$ 、 $I S E L 3$ のレベルをハイレベル（H（または 1））かローレベル（L（または 0））に設定する。

50

【 0 0 5 6 】

図 8 は、本実施形態に係る モジュレータ 1 4 2 B のセレクタにおける量子化器出力と選択制御信号の設定との関係を示す図である。

【 0 0 5 7 】

本実施形態において、セレクタ 1 4 2 3 は、図 8 に示すように、初期状態では 2 つの選択制御信号 I S E L 1 および I S E L 2 をハイレベル (H) に設定し、選択制御信号 I S E L 3 をローレベル (L) に設定する。

この初期状態時には、電流源 1 4 1 B の MOS スイッチ S W 1 , S W 2 がオンし、MOS スイッチ S W 3 がオフする。したがって、負荷 MOS トランジスタ L T 1 , L T 2 が画素出力信号線 V S L に対して並列に接続されており、2 つの電流源がソースフォロウを形成する単位画素のアンプトランジスタ 1 1 3 に接続される。すなわち、セレクタ 1 4 2 3 は、初期状態時には、負荷 MOS トランジスタの電流駆動量を 2 トランジスタ分となるように選択制御する。

10

【 0 0 5 8 】

セレクタ 1 4 2 3 は、図 8 に示すように、量子化器 1 4 2 2 の出力が「 1 」のときは、3 つの選択制御信号 I S E L 1、I S E L 2、および I S E L 3 をハイレベル (H) に設定する。

この量子化器 1 4 2 2 の出力が「 1 」のときは、電流源 1 4 1 B に MOS スイッチ S W 1 ~ S W 3 がオンする。したがって、負荷 MOS トランジスタ L T 1 ~ L T 3 が画素出力信号線 V S L に対して並列に接続されており、3 つの電流源がソースフォロウを形成する単位画素のアンプトランジスタ 1 1 3 に接続される。すなわち、セレクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力が「 1 」のときは、負荷 MOS トランジスタの電流駆動量を 3 トランジスタ分となるように選択制御する。

20

【 0 0 5 9 】

セレクタ 1 4 2 3 は、図 8 に示すように、量子化器 1 4 2 2 の出力が「 0 」のときは、1 つの選択制御信号 I S E L 1 をハイレベル (H) に設定し、2 つの選択制御信号 I S E L 2 および I S E L 3 をローレベル (L) に設定する。

この量子化器 1 4 2 2 の出力が「 0 」のときは、電流源 1 4 1 B に MOS スイッチ S W 1 がオンし、MOS スイッチ S W 2 , S W 3 がオフする。したがって、負荷 MOS トランジスタ L T 1 が画素出力信号線 V S L に対して並列に接続されており、1 つの電流源がソースフォロウを形成する単位画素のアンプトランジスタ 1 1 3 に接続される。すなわち、セレクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力が「 0 」のときは、負荷 MOS トランジスタの電流駆動量を 1 トランジスタ分となるように選択制御する。

30

【 0 0 6 0 】

このような構成を有する画素信号処理部 1 4 B においては、画素出力信号線 V S L からの出力が モジュレータ 1 4 2 B を構成する積分器 1 4 2 1 の入力に加えられ、その出力信号 S O U T が量子化器 1 4 2 2 に入力される。量子化器 1 4 2 2 により量子化された画素出力信号は信号 H S I G として後段のデシメーションフィルタへ入力されるのと同時並列的に、セレクタ 1 4 2 3 を通じて負荷 MOS トランジスタの駆動量を制御することでフィードバックさせ、アナログ-デジタル変換器を実現させている。

40

【 0 0 6 1 】

図 1 0 は、図 7 の画素信号処理部の動作を説明するためのタイミングチャートである。

【 0 0 6 2 】

セレクト信号 H S E L がハイレベルに切り替わる前の初期状態時には、セレクタ 1 4 2 3 が 2 つの選択制御信号 I S E L 1 および I S E L 2 をハイレベル (H) に設定し、選択制御信号 I S E L 3 をローレベル (L) に設定する。これにより、電流源 1 4 1 B の MOS スイッチ S W 1 , S W 2 がオンし、MOS スイッチ S W 3 がオフする。すなわち、セレクタ 1 4 2 3 は、初期状態時には、負荷 MOS トランジスタの電流駆動量を 2 トランジスタ分となるように選択制御する。

ここで、セレクト信号 H S E L がハイレベルに切り替わると、積分器 1 4 2 1、量子化

50

器 1 4 2 2、セレクタ 1 4 2 3 が動作し始め、積分器 1 4 2 1 の出力信号 S O U T に応じて(図 1 0 中の S O U T の点線が量子化器のしきい値 V T H L を示している)、量子化器 1 4 2 2 の出力信号 H S I G が変化する。

この信号 H S I G を受け、セレクタ 1 4 2 3 は 1 クロック後に量子化器 1 4 2 2 の出力信号 H S I G が + 1 の場合には画素出力信号線 V S L のレベルを下げるように、3 つの選択制御信号 I S E L 1、I S E L 2、および I S E L 3 をハイレベル(H)に設定する。これにより、電流源 1 4 1 B の M O S スイッチ S W 1 ~ S W 3 がオンする。すなわち、セレクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力が「1」のときは、負荷 M O S トランジスタの電流駆動量を 3 トランジスタ分となるように選択制御する。

一方、セレクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力信号 H S I G が 0 の場合には画素出力信号線 V S L のレベルを上げるように、1 つの選択制御信号 I S E L 1 のみをハイレベル(H)に設定する。これにより、電流源 1 4 1 B の M O S スイッチ S W 1 のみがオンする。すなわち、セレクタ 1 4 2 3 は、量子化器 1 4 2 2 の出力が「0」のときは、負荷 M O S トランジスタの電流駆動量を 1 トランジスタ分となるように選択制御する。

以上のフィードバックにより アナログ-デジタル変換器を実現させている。

【 0 0 6 3 】

以上のように、図 7 の構成によれば、アナログ-デジタル変換器が実現でき、高精度なアナログ-デジタル変換器を搭載した固体撮像装置が、列並列型で実現できる。

【 0 0 6 4 】

なお、図 7 の構成例では、積分器は 1 次であり、量子化器は 1 ビットであるが、積分器の次数や量子化器のビット数に応じて、セレクタや制御する負荷 M O S トランジスタの数を変化させれば良い。また、積分器の構成がスイッチトキャパシタ型や R C 型のいずれでもかまわない。

【 0 0 6 5 】

図 9 は、本発明の実施形態に係る単位画素および画素信号処理部の具体的な第 2 の構成例を示す図である。

【 0 0 6 6 】

図 9 の第 2 の構成例が図 7 の構成例と異なる点は、画素出力信号線 V S L の出力を一旦別の伝送経路の一部となる M O S トランジスタ 1 5 で形成されるソースフォロワ 1 5 S で受け、そのソースフォロワ 1 5 S に電流源 1 4 1 B を接続し、ソースフォロワ 1 5 S の負荷 M O S トランジスタの電流駆動量を変化させるようにしたことにある。

【 0 0 6 7 】

具体的には、M O S トランジスタ 1 5 のソースが電流源 1 4 1 B の M O S スイッチ S W 1 ~ S W 3 を形成する M O S トランジスタのドレインに共通に接続され、ドレインが電源電圧源 V D D に接続され、ゲートが画素出力信号線 V S L に接続されている。さらに、電流源として機能する M O S トランジスタ 1 6 のドレインが画素出力信号線 V S L および M O S トランジスタ 1 5 のゲートに接続され、ソースが基準電位(本実施形態では接地電位 G N D)に接続され、ゲートがバイアス信号線 V B I A S L 1 1 に接続されている。

そして、電流源 1 4 1 B の M O S スイッチ S W 1 ~ S W 3 を形成する M O S トランジスタのゲートがバイアス信号線 V B I A S L 1 2 に接続されている。

【 0 0 6 8 】

このような構成を採用した理由は次の通りである。

通常、画素出力信号線 V S L は画素アレイ 1 2 に対しいわゆる垂直方向(行方向)に配線されるため、多数の画素 1 1 が接続されることになる。

そのため、画素出力信号線 V S L に付く寄生容量が数 p F にも及ぶことがある。このため、図 4 や図 6 あるいは図 7 のような負荷 M O S トランジスタの電流駆動量を変化させるとソースフォロア出力のセトリング特性を悪化させてしまう可能性がある。

そのため、画素出力信号線 V S L の出力を一旦別のソースフォロア 1 5 S で受け、そのソースフォロア 1 5 の負荷 M O S トランジスタの電流駆動量を変化させることで、上述したフィードバック処理を実現している。

10

20

30

40

50

【0069】

図9の構成によれば、寄生素子が画素出力信号線VSLに接続されているような固体撮像装置においても、アナログ-デジタル変換器が実現でき、高精度なアナログ-デジタル変換器を搭載した固体撮像装置が、列並列型で実現できる。

【0070】

このような効果を有する撮像装置10, 10A~10Cは、デジタルカメラやビデオカメラの固体撮像装置に適用することができる。

【0071】

図11は、本発明の実施形態に係る撮像装置が適用されるカメラシステムの構成の一例を示す図である。

10

【0072】

本カメラシステム300は、図11に示すように、撮像デバイス310と、この撮像デバイス310の画素領域に入射光を導く(被写体像を結像する)光学系、たとえば入射光(像光)を撮像面上に結像させるレンズ320と、撮像デバイス310を駆動する駆動回路(DRV)330と、撮像デバイス310の出力信号を処理する画像処理装置(PRC)340と、を有する。

【0073】

そして、図11の撮像デバイス310として、前述した撮像装置10, 10A~10Cが適用される。

また、駆動回路330は、水平シフトレジスタや垂直シフトレジスタ等を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス310を駆動する。

20

【0074】

本カメラシステム300によれば、前述した実施形態の効果と同様の効果を得ることができ、消費電力の増加や素子の高精度化を招くことなく高フレームレート化、多画素化などの高速動作を実現でき、高分解能、高精度なカメラを実現することが可能である。

【図面の簡単な説明】

【0075】

【図1】シングルスローブを用いたカウンターランプ型のアナログ-デジタル変換装置を搭載した撮像装置の構成例を示す図である。

30

【図2】図1の動作を説明するためのタイミングチャートである。

【図3】本発明の実施形態に係る撮像装置の概略構成を示すブロック図である。

【図4】本発明の実施形態に係る単位画素と画素信号処理部の一構成例を示す図である。

【図5】アナログ-デジタル変換装置の基本的な構成を示すブロック図である。

【図6】本発明の実施形態に係る画素信号処理部の他の構成例を示す図である。

【図7】本発明の実施形態に係る単位画素および画素信号処理部の具体的な第1の構成例を示す図である。

【図8】本実施形態に係るモジュレータのセレクタにおける量子化器出力と選択制御信号の設定との関係を示す図である。

【図9】本発明の実施形態に係る単位画素および画素信号処理部の具体的な第2の構成例を示す図である。

40

【図10】図7の画素信号処理部の動作を説明するためのタイミングチャートである。

【図11】本発明の実施形態に係る撮像装置が適用されるカメラシステムの構成の一例を示す図である。

【符号の説明】

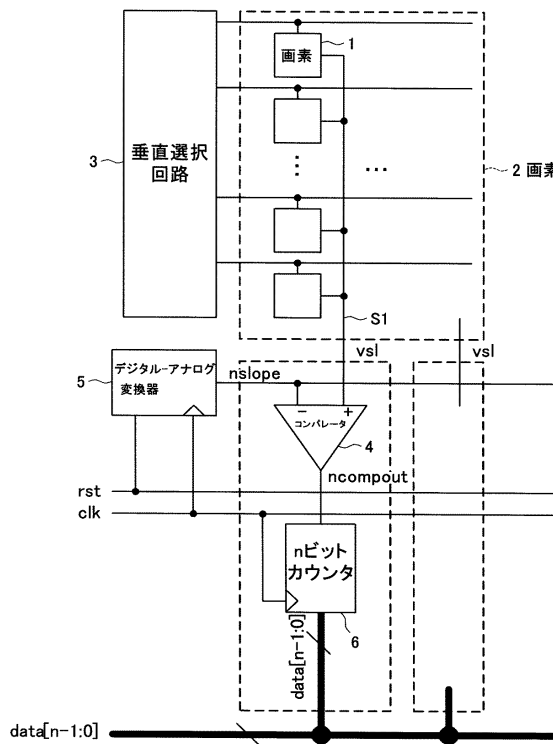
【0076】

10, 10A~10C・・・撮像装置、11・・・単位画素、111・・・フォトダイオード、112・・・転送トランジスタ、113・・・増幅(アンプ)トランジスタ、114・・・リセットトランジスタ、115・・・選択トランジスタ、12・・・画素アレイ、13・・・垂直選択回路、14(-1, -2, ...)、14A, 14B・・・画素

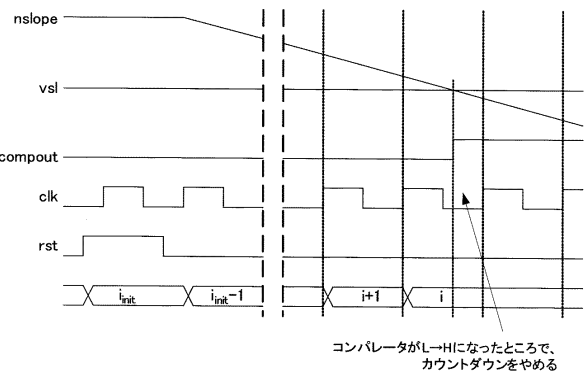
50

信号処理部、141, 141A, 141B・・・電流源、142, 142A・・・信号処理回路、142B・・・モジュレータ、1421・・・積分器、1422・・・量子化器、1423・・・セクタ、VLS・・・画素出力信号線、LT1~LTn・・・負荷MOSトランジスタ、SW1~SWn・・・MOSスイッチ、15, 16・・・MOSトランジスタ、15S・・・ソースフォロワ。

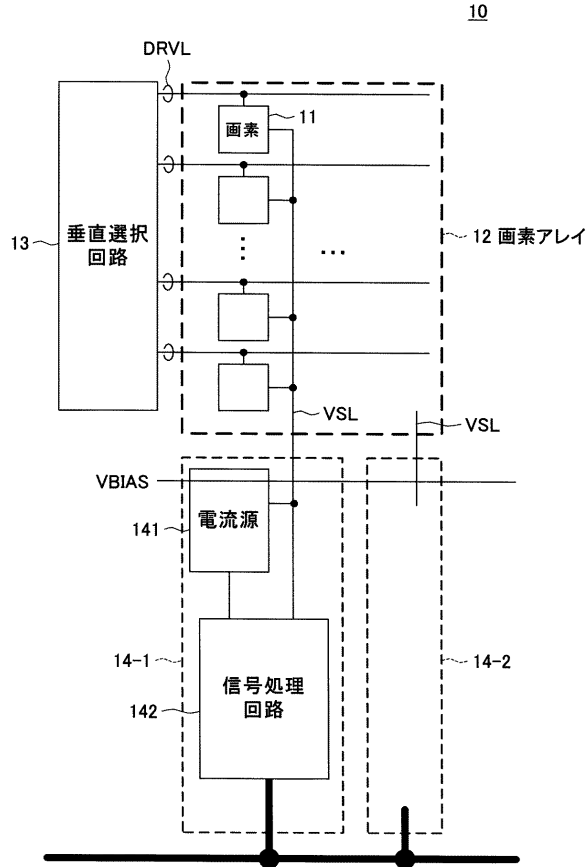
【図1】



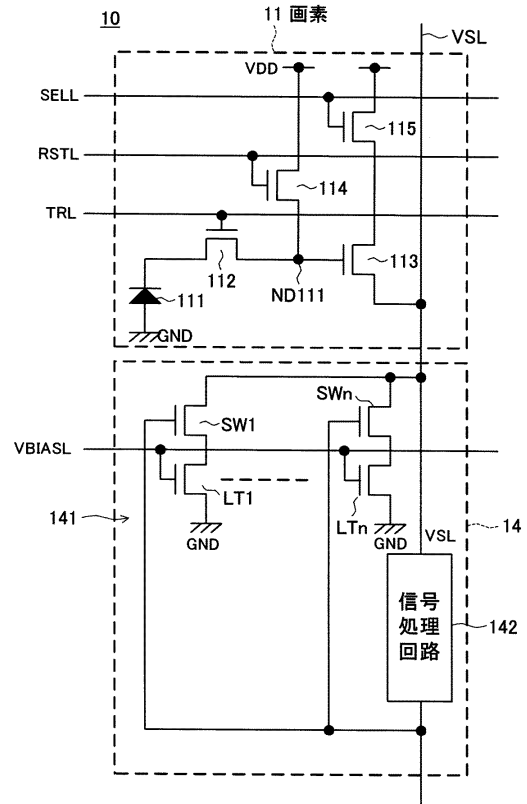
【図2】



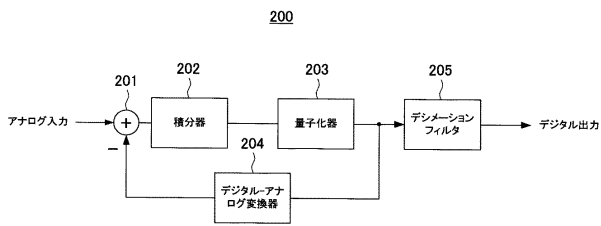
【図3】



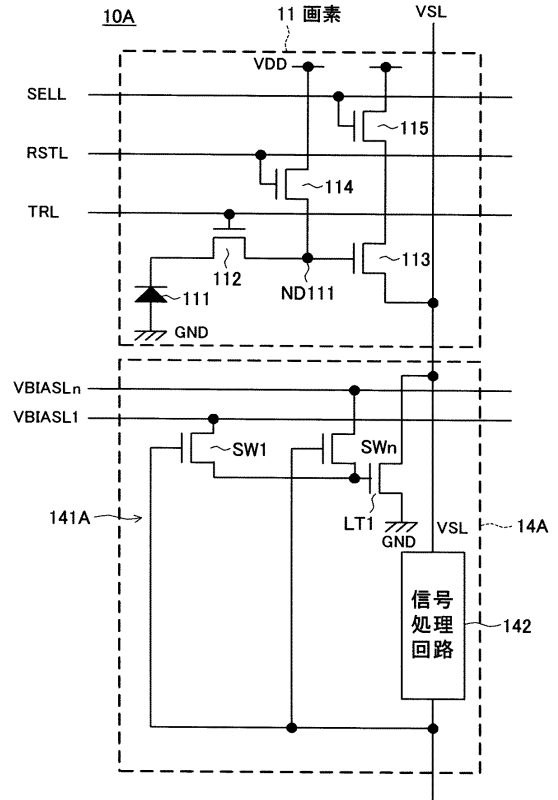
【図4】



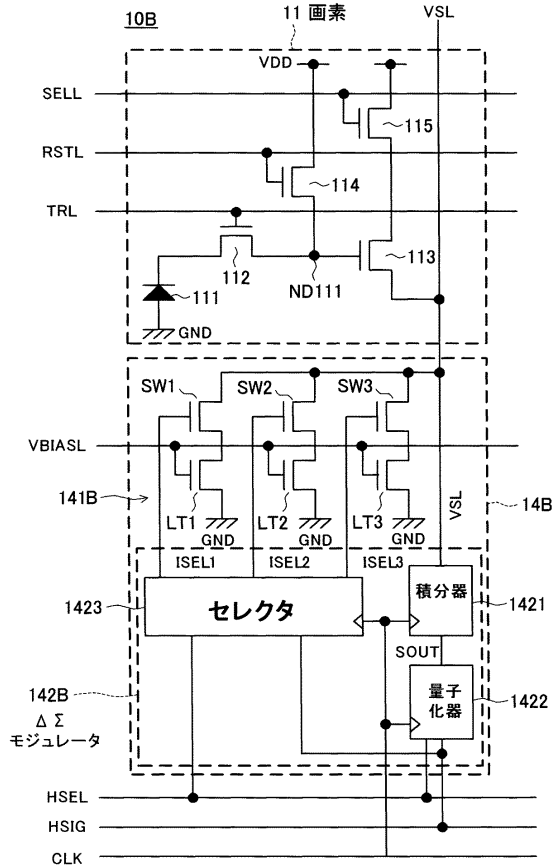
【図5】



【図6】



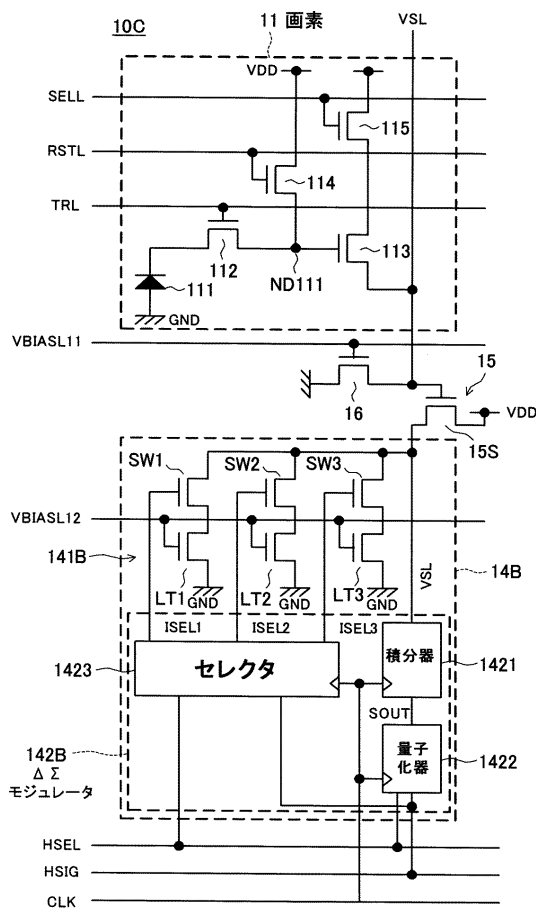
【図7】



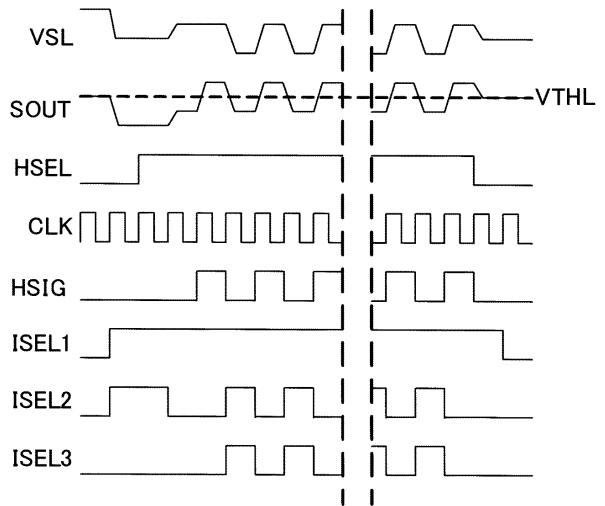
【図8】

HSIG	初期	0	1
ISEL1	H	H	H
ISEL2	H	L	H
ISEL3	L	L	H

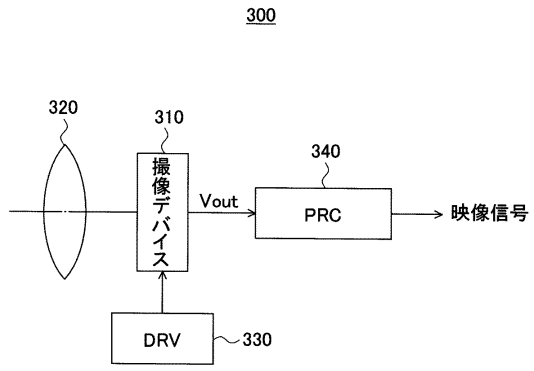
【図9】



【図10】



【図 11】



フロントページの続き

- (56)参考文献 特開平06 - 189199 (JP, A)
特開2002 - 209149 (JP, A)
特開2000 - 236485 (JP, A)
特開2006 - 186467 (JP, A)
特開2006 - 340044 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5 / 335

H01L 27 / 146