

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 16 日 (16.01.2025)



(10) 国际公布号
WO 2025/011663 A1

(51) 国际专利分类号:

H01L 29/739 (2006.01) **H01L 29/417** (2006.01)

H01L 29/423 (2006.01) **H01L 29/872** (2006.01)

(21) 国际申请号: PCT/CN2024/105467

(22) 国际申请日: 2024 年 7 月 15 日 (15.07.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202310844747.4 2023年7月10日 (10.07.2023) CN

(71) 申请人: 广州 华 瑞 升 阳 投 资 有 限 公 司 (**GUANGZHOU HUARUI SHENGYANG INVESTMENT CO., LTD.**) [CN/CN]; 中国广东省广州市黄埔区科学城科学大道科汇一街5号901房, Guangdong 510663 (CN)。

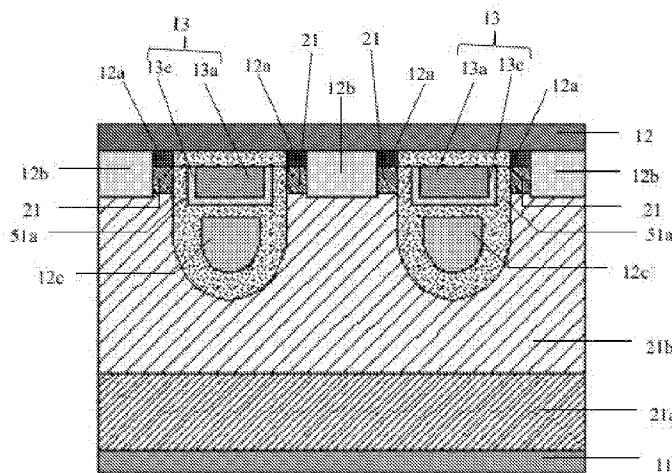
(72) 发明人: 刘伟(**LIU, Wei**); 中国广东省广州市黄埔区科学城科学大道科汇一街5号901房, Guangdong 510663 (CN)。尹向阳(**YIN, Xiangyang**); 中国广东省广州市黄埔区科学城科学大道科汇一街5号901房, Guangdong 510663 (CN)。薛勇(**XUE, Yong**); 中国广东省广州市黄埔区科学城科学大道科汇一街5号901房, Guangdong 510663 (CN)。邓云(**DENG, Yun**); 中国广东省广州市黄埔区科学城科学大道科汇一街5号901房, Guangdong 510663 (CN)。

(74) 代理人: 广州知友专利商标代理有限公司 (**GUANGZHOU ZHIYOU PATENT & TRADEMARK AGENCY CO., LTD.**); 中国广东省广州市越秀区东风东路555号粤海集团大厦2305-06室, Guangdong 510050 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** FIELD EFFECT TRANSISTOR, TRENCH MOS DIODE, AND INSULATED-GATE BIPOLAR TRANSISTOR

(54) 发明名称: 场效应晶体管、沟槽MOS型二极管及绝缘栅双极型晶体管



[图5a]

(57) **Abstract:** The present application belongs to the technical field of semiconductors. On the basis of structural innovation regarding a Schottky source-drain MOSFET, provided is a field effect transistor having a high on-state current carrying capability and a low off-state electric leakage capability. Taking an n-channel normally-closed MOSFET as an example, on the basis of an existing solution in which a source electrode and an n-type semiconductor region are used to form a Schottky junction to deplete electron carriers of the n-type semiconductor region from one side of the n-type semiconductor region, a Schottky gate or a p-type gate is then introduced to deplete the electron carriers of the n-type semiconductor region from the other side of the n-type semiconductor region, thereby achieving an effect of causing depletion from both sides. In this way, in terms of electric performance, the on-state current carrying capability is maintained, off-state electric leakage is further reduced, and the present application also facilitates the adjustment over a turn-on voltage; and in terms of a manufacturing process, a critical width dimension requirement can be reduced, the requirements for

[见续页]

WO 2025/011663 A1

CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。
- 包括关于请求恢复一项或多项优先权要求的信息(细则26之二.3和48.2(b)(vii))。

photoetching and etching technology and devices can be reduced, a process window can be expanded, and the yield of batch production can be increased.

(57) 摘要: 本发明属于半导体技术领域, 基于对肖特基源漏MOSFET的结构创新, 提出了一种具有大的开态通流能力以及更低的关态漏电能力的场效应晶体管。以n沟道常关型的MOSFET为例, 在原来利用源电极与n型半导体区形成肖特基结对n型半导体区的电子载流子从一侧产生耗尽作用的基础上, 再引入肖特基栅或者p型栅对n型半导体区的电子载流子从另一侧产生耗尽, 从而实现双侧耗尽的影响效果, 如此, 从电性能上, 既维持了开态通流能力又进一步降低了关态漏电, 同时也有利于开启电压的调节; 从制程工艺上, 可放宽关键的宽度尺寸要求, 降低对光刻&刻蚀技术和设备的要求, 扩大工艺窗口, 提升批量化生产良率。

说明书

发明名称: 场效应晶体管、沟槽

MOS型二极管及绝缘栅双极型晶体管

技术领域

[0001] 本发明属于半导体技术领域，特别地，涉及一种场效应晶体管、沟槽MOS型二极管及绝缘栅双极型晶体管。

背景技术

[0002] 肖特基源漏MOSFET结构于20世纪60年代被提出，它是利用金属源漏取代传统pn结型MOSFET的半导体掺杂源漏，并且金属源漏与半导体之间形成肖特基接触势垒。对于肖特基源漏MOSFET，当在漏源之间施加正电压时，源极与半导体材料之间形成的肖特基势垒反偏，使耗尽层扩宽来实现关断，据此，肖特基源漏MOSFET是常关型器件；肖特基源漏MOSFET的导通，是在正栅偏压的作用下形成导电沟道，由源端的载流子直接隧穿势垒进入沟道来实现的。

[0003] 自肖特基源漏MOSFET诞生之初，就存在两大显著的缺点：第一，开态电流小，当肖特基源漏MOSFET的漏源电压 $V_{DS} > 0$ 时，肖特基源电极与半导体形成的肖特基接触势垒反偏使耗尽区扩宽，使得即使在栅电极和肖特基源电极之间施加正栅源电压 V_{GS} 时，在漏电极和肖特基源电极之间也未能形成完整且高浓度的电子导电通道，在靠近肖特基源电极的区域始终存在一定的肖特基势垒高度，这有限的肖特基势垒高度抑制了电子载流子的输运，使得仅有少部分的电子载流子通过隧穿效应形成电流，根据电导率的计算公式 $\sigma = nqu$ （其中 n 是参与导电的电子载流子浓度， q 是电子电荷量， u 是一定载流子浓度条件下的迁移率），参与导电的载流子浓度 n 越低，电导率 σ 就越低。再根据电流密度 $J = \sigma E$ （其中 E 代表电场强度），电导率 σ 越低，电流密度 J 就越低，这就是肖特基源漏MOSFET开态电流比同等条件下的pn结MOSFET开态电流小的原因，常规pn结MOSFET的开态电流可以达到几十安~几百安量级，而同等条件下的肖特基

源漏MOSFET的开态电流只能达到毫安量级甚至更低；第二，关态漏电大，漏电流包括了来自源结通过衬底传输的热电子发射电流和来自源结的隧穿电流。

[0004] 本申请人在申请号为202310325051.0的专利中，将肖特基源漏MOSFET中的纯肖特基源极调整为欧姆源极和肖特基源极的组合，其中欧姆源极介于栅绝缘膜和肖特基源极之间，通过这一结构细节的设计改进，彻底解决了肖特基源漏MOSFET的开态电流小的问题，使其开态通流能力能够与同等条件下的pn结型MOSFET的开态通流能力相媲美。同时在平衡状态下（当 $V_{DS}=0$ & $V_{GS}=0$ 时），可利用肖特基源极与n型半导体层形成的肖特基结对电子载流子的局部耗尽作用实现常关功能。

[0005] 然而，在平衡状态下（当 $V_{DS}=0$ & $V_{GS}=0$ 时），仅依靠肖特基源极与n型半导体层形成的肖特基结对介于肖特基源极和栅绝缘膜层之间的n型半导体层中的电子载流子产生的单侧耗尽作用来实现常关，就需要介于栅绝缘膜和肖特基源极之间的n型半导体层以及与之接触的欧姆源极的宽度尽可能的小，以硅半导体材料为例，欧姆源极的宽度需要 $\leq 100\text{nm}$ ，才能确保良好的常关效果，这对晶圆制造工艺尤其是光刻&刻蚀技术和设备的要求极高，工艺窗口狭窄，容错率小，容易使宽度尺寸超限而导致器件的关态漏电大。

发明内容

[0006] 有鉴于此，本发明在栅电极中引入能够与半导体层形成肖特基势垒的金属材料或p型栅电极材料，使得栅电极对半导体层中的电子载流子具有耗尽作用，进而实现双侧夹断的效果，如此可放宽对关键宽度尺寸的精度控制，可降低对光刻&刻蚀技术和设备的要求，解决因工艺窗口狭窄，容易使宽度尺寸超限而导致器件的关态漏电大的问题。

[0007] 为了解决上述技术问题，本发明提供一种场效应晶体管，具有：

[0008] 第1导电型的半导体层；

[0009] 电极，其包括漏电极、源电极以及栅电极；

[0010] 栅绝缘膜，其介于所述栅电极和所述第1导电型的半导体层之间；

- [0011] 所述源电极的第一部分与所述第1导电型的半导体层之间存在肖特基势垒，所述源电极的第一部分和所述栅绝缘膜未接触；所述源电极的第二部分与所述第1导电型的半导体层形成欧姆接触；
- [0012] 所述栅电极至少包括与所述第1导电型的半导体层之间存在肖特基势垒的金属材料，所述金属材料与栅绝缘膜接触；或所述栅电极至少包括第2导电型的电极材料，所述第2导电型的电极材料与栅绝缘膜接触，其中，所述第2导电型和所述第1导电型的导电类型不同。
- [0013] 优选的，所述第1导电型的半导体层是n型半导体层。
- [0014] 优选的，所述源电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。
- [0015] 进一步的，所述源电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。
- [0016] 优选的，当所述第1导电型的半导体层是n型半导体层时，所述金属材料的功函数大于所述第1导电型的半导体层对应材料的功函数。
- [0017] 进一步的，所述金属材料是Pt、Ni、Co、Au。
- [0018] 优选的，当所述第1导电型的半导体层是n型半导体层时，所述第2导电型的电极材料是p型导电的多晶硅。
- [0019] 优选的，所述漏电极形成于所述第1导电型的半导体层的所述第1主面上，所述源电极位于所述第1导电型的半导体层的所述第2主面一侧。
- [0020] 进一步的，所述场效应晶体管是纵式MOSFET。
- [0021] 进一步的，所述纵式MOSFET是平面栅MOSFET、沟槽栅MOSFET、屏蔽栅MOSFET、超结MOSFET。
- [0022] 优选的，所述半导体层的材料是硅、碳化硅、氮化镓、氧化镓、氧化锡。
- [0023] 本发明还提供一种场效应晶体管，具有：
- [0024] 第1半导体层，其包括n型半导体区；
- [0025] 第2半导体层，其包括n型半导体区以及高阻型半导体区；
- [0026] 电极，其包括漏电极、源电极以及栅电极；
- [0027] 栅绝缘膜，其介于所述栅电极和半导体层之间；

- [0028] 所述漏电极，其形成于所述第1半导体层的与所述第2半导体层相反的一侧的面上；
- [0029] 所述源电极，其形成于所述第2半导体层的与所述第1半导体层相反的一侧的面上，所述源电极的一部分与所述第2半导体层的所述n型半导体区之间存在肖特基势垒，所述源电极的第一部分与所述栅绝缘膜未接触；所述源电极的第二部分与所述第2半导体层的所述n型半导体区接触形成欧姆接触；
- [0030] 所述第2半导体层的所述高阻型半导体区，其设置在靠近所述第2半导体层的表层的区域，其形成于所述栅绝缘膜和所述源电极的第一部分之间；
- [0031] 所述栅电极至少包括与所述第2半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述栅电极采用p型导电的电极材料，所述p型导电的电极材料与所述栅绝缘膜接触。
- [0032] 优选的，所述源电极的第一部分与所述第2半导体层的所述n型半导体区接触形成肖特基势垒接触。
- [0033] 优选的，所述金属材料的功函数大于所述半导体层对应材料的功函数。
- [0034] 优选的，所述p型导电的电极材料是p型导电的多晶硅。
- [0035] 优选的，所述半导体层的材料是氧化镓，所述高阻型半导体区的材料是氮（N）掺杂的氧化镓。
- [0036] 针对上述发明内容，本发明具有如下有益效果：
- [0037] 本发明在栅电极中引入能够与半导体层之间产生肖特基势垒的金属材料或能够对半导体层中的载流子产生耗尽作用的半导体材料，以n沟道增强型MOSFET为例，在原来利用源电极与n型半导体区形成肖特基结对n型半导体区的电子载流子从一侧产生耗尽作用的基础上，再引入肖特基栅或者p型栅对n型半导体区的电子载流子从另一侧产生耗尽，从而实现双侧耗尽的影响效果，如此，从电性能上，既维持了开态通流能力又进一步降低了关态漏电，同时也有利于开启电压的调节；从制程工艺上，可放宽关键的宽度尺寸要求，降低对光刻&刻蚀技术和设备的要求，扩大工艺窗口，提升批量化生产良率。
- [0038] 本发明再提供一种沟槽MOS型二极管，具有：

- [0039] n型半导体层，其具有一侧的第一主面以及与之相反的另一侧的第二主面，具有沟槽，所述沟槽从所述n型半导体层的所述第一主面上向内开口；
- [0040] 阴极电极，其形成于所述n型半导体层的所述第二主面上；
- [0041] 阳极电极，其形成于所述n型半导体层的所述第一主面上；
- [0042] 沟槽MOS栅极，其埋入所述沟槽内并被所述栅绝缘膜包裹，其与所述n型半导体层之间隔着所述栅绝缘膜，其与所述阳极电极接触；
- [0043] 所述阳极电极的第一部分与所述n型半导体层的所述第一主面形成肖特基接触，所述阳极电极的第二部分与所述n型半导体层的所述第一主面接触形成欧姆接触；
- [0044] 所述沟槽MOS栅极至少包括与所述n型半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述沟槽MOS栅极至少包括p型导电的电极材料，所述p型导电的电极材料与所述栅绝缘膜接触。
- [0045] 所述阳极电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。
- [0046] 优选的，所述阳极电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。
- [0047] 针对本发明的沟槽MOS型二极管，其有益效果如下：
- [0048] 本发明的沟槽MOS型二极管，相较于传统的沟槽MOS型肖特基二极管，正向导通时，能够更进一步的降低开启电压，减小导通损耗；反向截止时，能够减小关态漏电。
- [0049] 本发明还提供一种绝缘栅双极型晶体管，具有：
- [0050] p型半导体层；
- [0051] 层叠于所述p型半导体层之上的n型半导体层；
- [0052] 电极，其包括集电极、发射极以及栅电极，所述集电极形成于所述p型半导体层的与所述n型半导体层相反的一侧的面上；
- [0053] 栅绝缘膜，其介于所述栅电极和所述n型半导体层之间；
- [0054] 所述发射极的第一部分与所述n型半导体层之间存在肖特基势垒，所述发射极的第一部分与所述栅绝缘膜未接触，所述发射极的第二部分与所述n型半导体层形成欧姆接触；

- [0055] 所述栅电极至少包括与所述n型半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述栅电极采用p型导电的电极材料制成，所述p型导电的电极材料与所述栅绝缘膜接触。
- [0056] 优选的，所述发射极的第一部分与所述n型半导体层接触形成肖特基势垒接触。
- [0057] 优选的，所述发射极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。
- [0058] 进一步的，所述发射极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。
- [0059] 优选的，所述金属材料是Pt、Ni、Au、Co。
- [0060] 优选的，所述p型导电的电极材料是p型导电的多晶硅。
- [0061] 本发明的绝缘栅双极型晶体管，在栅电极中引入能够与半导体层之间产生肖特基势垒的金属材料或能够对半导体层中的电子载流子产生耗尽作用的p型导电的电极材料，引入了肖特基栅或p型栅对n型半导体区的电子载流子产生耗尽作用，如此从电性能上，可进一步的降低关态漏电；从制程工艺上，也可扩大工艺窗口，提升批量化生产良率。

附图说明

- [0062] 为了更清楚地说明本发明的技术方案，下面将通过实施例或现有技术描述中所需要的附图作简单介绍，显而易见地，下面描述中的部分附图仅仅是本发明的一些实施例的说明，本发明要求的保护范围并不局限于实施例。对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0063] 他的附图。
- [0064] 附图1是现有肖特基结型沟槽栅MOSFET的一个实施例的垂直截面图。
- [0065] 附图2是本申请人在申请号为202310325051.0的专利中申请的沟槽栅MOSFET的一个实施例的垂直截面图。
- [0066] 附图3a是本发明的实施方式涉及的沟槽栅MOSFET的第一实施例的垂直截面图。

[0067] 附图3b是本发明的实施方式涉及的沟槽栅MOSFET的第二实施例的垂直截面图。

[0068] 附图3c是本发明的实施方式涉及的沟槽栅MOSFET的第三实施例的垂直截面图。

[0069] 附图4a是本发明的实施方式涉及的平面栅MOSFET的第一实施例的垂直截面图。

[0070] 附图4b是本发明的实施方式涉及的平面栅MOSFET的第二实施例的垂直截面图。

[0071] 附图5a是本发明的实施方式涉及的屏蔽栅MOSFET的第一实施例的垂直截面图。

[0072] 附图5b是本发明的实施方式涉及的屏蔽栅MOSFET的第二实施例的垂直截面图。

[0073] 附图5c是本发明的实施方式涉及的屏蔽栅MOSFET的第三实施例的垂直截面图。

[0074] 附图5d是本发明的实施方式涉及的屏蔽栅MOSFET的第四实施例的垂直截面图。

[0075] 附图5e是本发明的实施方式涉及的屏蔽栅MOSFET的第五实施例的垂直截面图。

[0076] 附图5f是本发明的实施方式涉及的屏蔽栅MOSFET的第六实施例的垂直截面图。

[0077] 附图5g是本发明的实施方式涉及的屏蔽栅MOSFET的第七实施例的垂直截面图。

[0078] 附图6a是本发明的实施方式涉及的超结MOSFET的第一实施例的垂直截面图。

[0079] 附图6b是本发明的实施方式涉及的超结MOSFET的第二实施例的垂直截面图。

[0080] 附图7a是本发明的实施方式涉及的沟槽MOS型二极管的第一实施例的垂直截面图。

[0081] 附图7b是本发明的实施方式涉及的沟槽MOS型二极管的第二实施例的垂直截面图。

[0082] 附图8a是本发明的实施方式涉及的绝缘栅双极型晶体管的第一实施例的垂直截面图。

[0083] 附图8b是本发明的实施方式涉及的绝缘栅双极型晶体管的第二实施例的垂直截面图。

[0084] 附图中的标记所对应的技术特征为：

[0085] 11 漏电极（集电极）

[0086] 12 源电极（发射极）

[0087] 12a 欧姆源电极（欧姆发射极）

[0088] 12b 肖特基源电极（肖特基发射极）

[0089] 12c 屏蔽源电极

[0090] 12d p型多晶硅

[0091] 13 栅电极

[0092] 13a n型栅电极

[0093] 13b p型栅电极

[0094] 13c 肖特基栅电极

[0095] 21 半导体区

[0096] 21a n⁺型半导体

[0097] 21b n⁻型半导体

[0098] 21c n⁺型半导体

[0099] 211 第一主面

[0100] 212 第二主面

[0101] 31a p⁺型半导体

[0102] 31b p⁻型半导体

[0103] 41 高阻型半导体

[0104] 51a 栅绝缘膜

[0105] 51b 非栅绝缘膜

[0106] 61 阴极电极

[0107] 62 阳极电极

- [0108] 62a 欧姆阳极
- [0109] 62b 肖特基阳极
- [0110] 63 沟槽MOS栅极
- [0111] 63a n型栅极
- [0112] 63b p型栅极
- [0113] 63c 肖特基栅极

具体实施方式

- [0114] 以下描述中，为了说明而不是为了限定，提出了诸如特定系统结构、技术之
- [0115] 类的具体细节，以便透彻理解本发明实施例。然而，本领域的技术人员应当清楚，在没有这些具体细节的其它实施例中也可以实现本发明。在其它情况中，省略对众所周知的系统、装置以及方法的详细说明，以免不必要的细节妨碍本发明的描述。
- [0116] 附图1是现有肖特基结型沟槽栅MOSFET的一个实施例的垂直截面图。此肖特基结型沟槽栅MOSFET具有：漏电极11，n+型半导体21a，n-型半导体21b，以及位于n-型半导体21b中的沟槽，位于沟槽中且被栅绝缘膜51a包裹的栅电极13，与n-型半导体21b形成肖特基势垒接触的肖特基源电极12b，以及位于其上的源电极12。
- [0117] 附图1所示的肖特基结型沟槽栅MOSFET，由于肖特基源电极12b与n-型半导体层21b之间形成的肖特基结的存在，当只在漏电极11和源电极12之间施加正向电压时，肖特基结反偏使耗尽区扩宽，使得在漏电极11和源电极12之间未形成完整的电子导电沟道，在漏源之间无电流通过，基于此原理，附图1所示的肖特基结型沟槽栅MOSFET是常关型器件。
- [0118] 当在栅电极13和源电极12之间施加正电压时，由于肖特基源电极12b与n-型半导体21b之间的肖特基势垒的存在，使得在漏电极11和肖特基源电极12b之间，未能形成完整的且高浓度的电子导电通道，此时即使在漏电极11和源电极12之间施加正电压时，由于肖特基源电极12b与n-型半导体21b之间构成的肖特基势垒反偏耗尽层扩宽，这就抑制了电子载流子的输运，使得漏源之间仅有少部分的电子载流子通过隧穿效应形成电流，导致现有肖特基结型沟槽栅MOSFET的开

态通流能力很差，其开态电流比同等条件下的pn结型MOSFET的开态电流小很多，这导致肖特基结型沟槽栅MOSFET至今未能商用。

[0119] 附图2是本申请人在申请号为202310325051.0的专利中申请的沟槽栅MOSFET的一个实施例的垂直截面图。在该实施例中的沟槽栅MOSFET是在附图1所示的肖特基结型沟槽栅MOSFET的基础上，将与n-型半导体21b接触的肖特基源电极12b变更设计为欧姆源电极12a和肖特基源电极12b。附图2中，欧姆源电极12a与n-型半导体21b形成欧姆接触，肖特基源电极12b与n-型半导体21b形成肖特基接触。

[0120] 附图2所示的MOSFET中，当漏电极11和源电极12之间的电压 $V_{DS}=0$ 及栅电极13和源电极12之间的电压 $V_{GS}=0$ 时，由于肖特基源电极12b和与之接触的n-型半导体21b接触形成的肖特基结会对位于栅绝缘膜51a和肖特基源电极12b之间的n-型半导体21b中的电子载流子产生耗尽作用，当位于栅绝缘膜51a和肖特基源电极12b之间的n-型半导体21b的宽度范围介于3nm~250nm区间时，附图2所示的MOSFET可以实现常关功能；当漏电极11和源电极12之间的电压 $V_{DS}>0$ 及栅电极13和源电极12之间的电压 $V_{GS}=0$ 时，由于肖特基源电极12b和与之接触的n-型半导体21b接触形成的肖特基结反偏，使得耗尽区继续展宽，此时，MOSFET处于关断状态；当漏电极11和源电极12之间的电压 $V_{DS}>0$ ，并在栅电极13和源电极12之间施加的电压 $V_{GS}>0$ 时，随着 V_{GS} 的增大，达到开启电压 $V_{GS(th)}$ 时，由于开启电压 $V_{GS(th)}$ 的作用，在n-型半导体21b的临近栅绝缘膜51a的区域中，形成了高浓度的电子导电通道，此时在漏电极11和源电极12之间就会有电流流过，器件导通；如此，附图2所示的MOSFET是可以设计成具有大的通流能力的常关型器件。

[0121] 附图3a是本发明的实施方式涉及的沟槽栅MOSFET的第一实施例的垂直截面图。此MOSFET包括：漏电极11、层叠在漏电极11上的n+型半导体21a、层叠在n+型半导体21a上的n-型半导体21b（n+型半导体21a和n-型半导体21b均为第1导电型的半导体层）、位于n-型半导体21b中的沟槽、位于沟槽中且被栅绝缘膜51a包裹的栅电极13、位于栅绝缘膜51a与肖特基源电极12b之间的半导体区21（半导体区21可以是n-型半导体21b，也可以是高阻型半导体41）、与n-型半

导体21b形成肖特基势垒接触的肖特基源电极12b、与半导体区21形成欧姆接触的欧姆源电极12a以及位于其上的源电极12；其中，栅电极13包括肖特基栅电极13c和n型栅电极13a，n型栅电极13a可以是磷掺杂的n型导电的多晶硅；肖特基栅电极13c与栅绝缘膜51a接触，肖特基栅电极13c由金属材料组成。

[0122] 附图3a所示的MOSFET，在栅电极13中引入与半导体区21之间存在肖特基势垒的肖特基栅电极13c，由肖特基栅电极13c、栅绝缘膜51a以及半导体区21三者构成的MIS（金属绝缘体半导体）结会对位于栅绝缘膜51a和肖特基源电极12b之间的半导体区21中的电子载流子产生耗尽作用，加之由肖特基源电极12b与半导体区21构成的肖特基结同样会对位于栅绝缘膜51a和肖特基源电极12b之间的半导体区21中的电子载流子产生耗尽作用，当肖特基源电极12b距离栅绝缘膜51a的宽度范围介于3nm~250nm区间时，在这两种耗尽作用的共同作用下，将位于栅绝缘膜51a和肖特基源电极12b之间的半导体21中的电子载流子完全耗尽，从而阻断了漏电极11和源电极12之间的电子导电通道，因此附图3a所示的MOSFET能够实现常关，并且较之于附图2所示的MOSFET，在半导体区21的宽度一样的情况下，从电性能上，附图3a所示的MOSFET具有更低的关态漏电；从制程工艺上，要制作常关型MOSFET，附图3a中，位于栅绝缘膜51a和肖特基源电极12b之间的半导体区21的宽度尺寸可以比附图2中设计的相对更宽，从而可降低对光刻&刻蚀技术和设备的要求，扩大工艺窗口，提升批量化生产良率。

[0123] 附图3b是本发明的实施方式涉及的沟槽栅MOSFET的第二实施例的垂直截面图，本实施中的MOSFET与附图3a所示的MOSFET的区别在于，本实施中的栅电极13包括P型导电的电极材料（第2导电型的电极材料），即，栅电极13包括p型栅电极13b，p型栅电极13b可以是硼掺杂的p型导电的多晶硅，p型栅电极13b同样会对半导体区21中的电子载流子产生耗尽作用，加之由肖特基源电极12b与半导体区21构成的肖特基结同样会对位于栅绝缘膜51a和肖特基源电极12b之间的半导体区21中的电子载流子产生耗尽作用，当肖特基源电极12b距离栅绝缘膜51a的宽度范围介于3nm~250nm区间时，在这两种耗尽作用的共同作用下，将位于栅绝缘膜51a和肖特基源电极12b之间的半导体21中的电子载流子完全耗尽，从而阻断了漏电极11和源电极12之间的电子导电通道，因此附图3b所示的MOSFET能够实

现常关，并且较之于附图2所示的MOSFET，在半导体区21的宽度一样的情况下，从电性能上，附图3a所示的MOSFET具有更低的关态漏电；从制程工艺上，要制作常关型MOSFET，附图3b中，位于栅绝缘膜51a和肖特基源电极12b之间的半导体21的宽度尺寸可以比附图2中设计的相对更宽，从而可降低对光刻&刻蚀技术和设备的要求，扩大工艺窗口，提升批量化生产良率。

[0124] 附图3c是本发明的实施方式涉及的沟槽栅MOSFET的第三实施例的垂直截面图。附图3c所示的MOSFET是在附图3a所示的MOSFET结构的基础上，在半导体区21与欧姆源电极12a之间增设了n+型半导体21c。这样的设计，可以使欧姆接触的效果更好，减小欧姆源电极12a与半导体的接触电阻。

[0125] 附图4a是本发明的实施方式涉及的平面栅MOSFET的第一实施例的垂直截面图。此MOSFET具有：漏电极11，n+型半导体21a，n-型半导体21b以及半导体区21，肖特基源电极12b，欧姆源电极12a以及位于其上的源电极12，栅绝缘膜51a以及位于其上的栅电极13，栅电极13包括肖特基栅电极13c，肖特基栅电极13c由金属材料组成。

[0126] 附图4b是本发明的实施方式涉及的平面栅MOSFET的第二实施例的垂直截面图，本实施例中的MOSFET与附图4a所示MOSFET的区别在于，本实施中的栅电极13包括P型导电的电极材料，即，栅电极13包括p型栅电极13b，p型栅电极13b可以是硼掺杂的p型导电的多晶硅。

[0127] 对于附图4a和附图4b所示的MOSFET，同样，由栅电极13和肖特基源电极12b对半导体区21中的电子载流子的共同耗尽作用，可制作常关型器件。其具有大的开态通流能力和低的关态漏电。

[0128] 附图5a是本发明的实施方式涉及的屏蔽栅MOSFET的第一实施例的垂直截面图。附图5a所示的MOSFET是上下栅结构，具有：漏电极11，n+型半导体21a，n-型半导体21b，半导体区21（半导体区21可以是n-型半导体21b，也可以是高阻型半导体41），位于n-型半导体21b中的沟槽，位于沟槽中且被栅绝缘膜51a包裹的栅电极13和屏蔽源电极12c，与n-型半导体21b形成肖特基势垒接触的肖特基源电极12b，与半导体区21形成欧姆接触的欧姆源电极12a，以及位于其上

的源电极12。其中，栅电极13包括肖特基栅电极13c和n型栅电极13a，n型栅电极13a可以是磷掺杂的n型导电的多晶硅；肖特基栅电极13c由金属材料组成。

[0129] 附图5b是本发明的实施方式涉及的屏蔽栅MOSFET的第二实施例的垂直截面图。本实施中的MOSFET与附图5a所示MOSFET的区别在于，本实施例中，栅电极13包括P型导电的电极材料，即，栅电极13包括p型栅电极13b，所述p型栅电极13b可以是硼掺杂的p型导电的多晶硅。

[0130] 附图5c是本发明的实施方式涉及的屏蔽栅MOSFET的第三实施例的垂直截面图。附图5c所示的MOSFET是左右分栅结构的屏蔽栅MOSFET，其是在附图5a所示的上下栅结构的屏蔽栅MOSFET的基础上，对屏蔽栅区域的结构进行设计调整。

[0131] 附图5d是本发明的实施方式涉及的屏蔽栅MOSFET的第四实施例的垂直截面图。本实施例中的MOSFET是左右分栅结构的屏蔽栅MOSFET，其与附图5c所示的左右分栅结构的屏蔽栅MOSFET的区别在于，本实施例中，栅电极13包括P型导电的电极材料，即，栅电极13包括p型栅电极13b，p型栅电极13b可以是硼掺杂的p型导电的多晶硅。

[0132] 附图5e是本发明的实施方式涉及的屏蔽栅MOSFET的第五实施例的垂直截面图。附图5e所示的MOSFET是另一种左右分栅结构的屏蔽栅MOSFET，其是在附图5c所示的左右分栅结构的屏蔽栅MOSFET的基础上，对屏蔽栅区域的结构进行设计调整。

[0133] 附图5f是本发明的实施方式涉及的屏蔽栅MOSFET的第六实施例的垂直截面图。附图5e所示的MOSFET是另一种左右分栅结构的屏蔽栅MOSFET，本实施例中的MOSFET与附图5e所示的MOSFET的区别在于，本实施中的栅电极13包括P型导电的电极材料，即，栅电极13包括p型栅电极13b，p型栅电极13b可以是硼掺杂的p型导电的多晶硅。

[0134] 附图5g是本发明的实施方式涉及的屏蔽栅MOSFET的第七实施例的垂直截面图。附图5g所示的MOSFET，具有：漏电极11，与漏电极11相接触的n+型半导体21a，n-型半导体21b，半导体区21（所述半导体区21可以是n-型半导体21b，也可以是高阻型半导体41），位于半导体区21上的n+型半导体21c，以及位于n-

型半导体21b中的沟槽，位于沟槽中且被栅绝缘膜51a包裹的栅电极13和屏蔽源电极12c，与n-型半导体21b形成肖特基势垒接触的肖特基源电极12b，位于其上的与n+型半导体21c形成欧姆接触的欧姆源电极12a，以及位于其上的源电极12；其中，栅电极13包括肖特基栅电极13c和n型栅电极13a，n型栅电极可以是磷掺杂的n型导电的多晶硅，肖特基栅电极13c由金属材料组成。

[0135] 附图5g所示的MOSFET是在附图5a所示MOSFET的基础上，对源电极区域的结构设计进行调整，使欧姆源电极12a与栅绝缘膜51a不接触，此结构设计同样能够达到减小关态漏电的功能。

[0136] 对附图5a~5g所示的屏蔽栅MOSFET，栅电极13不论是采用肖特基栅电极13c亦或是p型栅电极13b，都可以借助栅电极13和肖特基源电极12b对半导体区21（所述半导体区21可以是n-型半导体21b，也可以是高阻型半导体41）中的电子载流子的共同耗尽作用来实现更好的常关效果，更小的关态漏电；另外，可放宽制程工艺中对关键尺寸例如半导体区21宽度的要求，扩大工艺窗口，提升制程良率。

[0137] 对于对附图5a~5g所示的屏蔽栅MOSFET，当肖特基源电极12b以及肖特基栅电极13c采用的金属材料的功函数越高，在保持常关功能的前提下，半导体区21的宽度就相对越宽，例如可以采用Pt、Ni、Au、Co、Cu、Fe等具有高功函数的金属材料。

[0138] 附图6a是本发明的实施方式涉及的超结MOSFET的第一实施例的垂直截面图。附图6a所示的超结MOSFET，具有：漏电极11，n+型半导体21a，n-型半导体21b，半导体区21（所述半导体区21可以是n-型半导体21b，也可以是高阻型半导体41），位于n-型半导体21b中的深沟槽以及位于深沟槽中的p型多晶硅12d，肖特基源电极12b，欧姆源电极12a以及源电极12，栅绝缘膜51a以及位于其上的肖特基栅电极13c，肖特基栅电极13c由金属材料组成。

[0139] 附图6b是本发明的实施方式涉及的超结MOSFET的第二实施例的垂直截面图。本实施例与附图6a所示的超结MOSFET的区别在于，本实施中的栅电极13包括P型导电的电极材料，即，栅电极13包括p型栅电极13b。

- [0140] 对附图6a和附图6b所示的超结MOSFET，不论是采用肖特基栅电极13c或是p型栅电极13b，都可以借助栅电极13和肖特基源电极12b对半导体区21（所述半导体区21可以是n-型半导体21b，也可以是高阻型半导体41）中的电子载流子的共同耗尽作用来实现更好的常关效果，更小的关态漏电；另外，可放宽对制程工艺中对关键尺寸例如半导体区21宽度的要求，扩大工艺窗口，提升制程良率。
- [0141] 附图7a是本发明的实施方式涉及的沟槽MOS型二极管的第一实施例的垂直截面图。其包括：阴极电极61，n型半导体层（包括n+型半导体21a和n-型半导体21b），半导体区21（半导体区21可以是n-型半导体，也可以是高阻型半导体），位于n-型半导体21b中的沟槽，位于沟槽中且被栅绝缘膜51a包裹的沟槽MOS栅极63，与n-型半导体21b接触形成肖特基势垒接触的肖特基阳极62b，与半导体区21接触形成欧姆接触的欧姆阳极62a，位于其上的阳极电极62，所述沟槽MOS栅极63与所述阳极电极62电连接。其中，n-型半导体21b沟槽MOS栅极63包括n型栅极63a和肖特基栅极63c，n型栅极63a可以是n型导电的多晶硅，肖特基栅极63c与栅绝缘膜51a接触，肖特基栅电极63c由金属材料组成。本实施例中，n型半导体层具有一侧的第一主面211以及与之相反的另一侧的第二主面212，沟槽从n型半导体层的第一主面211上向内开口。
- [0142] 附图7a所示的沟槽MOS型二极管，当在阳极电极62和阴极电极61之间施加正电压时，在阳极电极62和阴极电极61之间会有电流流过，二极管正向导通。电流的路径有两条：第一条电流路径是沿着阳极电极62—欧姆阳极62a—半导体区21—n-型半导体21b—n+型半导体21a—阴极电极61；第二条电流路径是沿着阳极电极62—肖特基阳极62b—n-型半导体21b—n+型半导体21a—阴极电极61。在第一条电流路径中，欧姆阳极62a与半导体区21之间无接触势垒；在第二条电流路径中，肖特基阳极62b与n-型半导体21b之间存在肖特基势垒；在二极管正向导通时，由于第一条电流路径的阻碍相对较小，需要的开启电压比第二条电流路径更低，因此电流优先从第一条电流路径流过。相较于传统的沟槽MOS型肖特基二极管，很显然，基于本发明的沟槽MOS型二极管有着更低开启电压和导通损耗。

- [0143] 附图7a所示的沟槽MOS型二极管中，当在阳极电极62和阴极电极61之间施加反向电压时，存在着两类电子载流子的耗尽作用：第一类是肖特基阳极62b与n-型半导体21b和半导体区21形成的肖特基势垒反偏展宽，对n-型半导体21b的电子载流子产生纵向耗尽作用，对半导体区21中的电子载流子产生横向耗尽作用；第二类是沟槽MOS栅极63对半导体区21中的电子载流子产生横向耗尽作用。在这两类耗尽作用的共同作用下，在阴极电极61和阳极电极62之间仅有很小的漏电流通过，二极管反向截止。
- [0144] 附图7b是本发明的实施方式涉及的沟槽MOS型二极管的第二实施例的垂直截面图。本实施中的沟槽MOS型二极管与附图7a所示沟槽MOS型二极管的区别在于，本实施中的沟槽MOS栅极63包括P型导电的电极材料，即，沟槽MOS栅极63包括p型栅极63b。在正向导通时，同样存在着两条电流路径，相对于传统的沟槽MOS型肖特基二极管，同样会有相对更低的开启电压和导通损耗。
- [0145] 附图8a是本发明的实施方式涉及的绝缘栅双极型晶体管的第一实施例的垂直截面图。其具有：集电极11，p+型半导体31a，n+型半导体21a，n-型半导体21b，半导体区21（所述半导体区21可以是n-型半导体21b，也可以是高阻型半导体41），位于n-型半导体21b中的沟槽，位于沟槽中且被栅绝缘膜包裹的栅电极13，与n-型半导体21b接触形成肖特基势垒接触的肖特基发射极12b，与n-型半导体21b接触形成欧姆接触的欧姆发射极12a，以及位于其上的发射极12。其中，栅电极13包括肖特基栅电极13c和n型栅电极13a，肖特基栅电极13c由金属材料组成。
- [0146] 在附图8a所示的绝缘栅双极型晶体管中，在栅电极13中引入与半导体区21之间存在肖特基势垒的肖特基栅电极13c，由肖特基栅电极13c、栅绝缘膜51a以及半导体区21三者构成的MIS（金属绝缘体半导体）结会对位于栅绝缘膜51a和肖特基发射极12b之间的半导体21中的电子载流子产生耗尽作用，加之由肖特基发射极12b与半导体区21构成的肖特基结同样会对位于栅绝缘膜51a和肖特基源电极12b之间的半导体区21中的电子载流子产生耗尽作用，当肖特基发射极12b距离栅绝缘膜51a的宽度范围介于3nm~250nm区间时，在这两种耗尽作用的共同作用下，将位于栅绝缘膜51a和肖特基发射极12b之间的半导体区21中的电子载流子完

全耗尽，从而阻断了集电极11和发射极12之间的电子载流子导电通道，通过两种耗尽作用共同作用这样的设计，可以减小器件的关态漏电。

[0147] 附图8b是本发明的实施方式涉及的绝缘栅双极型晶体管的第二实施例的垂直截面图。本实施例中的绝缘栅双极型晶体管与附图8a所示绝缘栅双极型晶体管的区别在于，本实施中，栅电极13包括P型导电的电极材料，即，电极13包括p型栅电极13b，所述p型栅电极13b可以是硼掺杂的p型导电的多晶硅，p型栅电极13b同样会对半导体区21中的电子载流子产生耗尽作用，加之由肖特基发射极12b与半导体区21构成的肖特基结同样会对位于栅绝缘膜51a和肖特基发射极12b之间的半导体区21中的电子载流子产生耗尽作用，当肖特基发射极12b距离栅绝缘膜51a的宽度范围介于3nm~250nm区间时，在这两种耗尽作用的共同作用下，将半导体区21中的载流子完全耗尽，从而阻断了集电极11和发射极12之间的电子载流子导电通道，通过两种耗尽作用共同作用这样的设计，可以减小器件的关态漏电。

[0148] 对于本发明的各实施例所示的MOSFET，都是基于电子载流子参与导电的n沟道型MOSFET，本发明技术方案的精髓对于基于空穴载流子参与导电的p沟道型MOSFET同样适用。

[0149] 本发明中，没有对半导体的材料做具体限定，所示半导体的材料可以是单质半导体例如锗、硅等；所示半导体的材料可以是化合物半导体例如碳化硅、氮化镓、氧化镓、氧化锡等。

[0150] 应当理解的是，以上所述实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的精髓和范围，均应包含在本发明的保护范围之内。

权利要求书

- [权利要求 1] 一种场效应晶体管，包括：
- 第1导电型的半导体层；
- 电极，其包括漏电极、源电极以及栅电极；
- 栅绝缘膜，其介于所述栅电极和所述第1导电型的半导体层之间；
- 其特征在于：
- 所述源电极的第一部分与所述第1导电型的半导体层之间存在肖特基势垒，所述源电极的第一部分和所述栅绝缘膜未接触；所述源电极的第二部分与所述第1导电型的半导体层形成欧姆接触；
- 所述栅电极至少包括与所述第1导电型的半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述栅电极至少包括第2导电型的电极材料，所述第2导电型的电极材料与所述栅绝缘膜接触，其中，所述第2导电型和所述第1导电型的导电类型不同。
- [权利要求 2] 根据权利要求1所述的场效应晶体管，其特征在于，所述第1导电型是n型，所述第2导电型是p型。
- [权利要求 3] 根据权利要求1所述的场效应晶体管，其特征在于，所述源电极的第一部分与所述第1导电型的半导体层接触形成肖特基接触。
- [权利要求 4] 根据权利要求1所述的场效应晶体管，其特征在于，所述源电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。
- [权利要求 5] 根据权利要求1所述的场效应晶体管，其特征在于，所述源电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。
- [权利要求 6] 根据权利要求1所述的场效应晶体管，其特征在于，所述场效应晶体管是横式半导体元件或纵式半导体元件。
- [权利要求 7] 一种沟槽MOS型二极管，包括：
- n型半导体层，其具有一侧的第一主面以及与之相反的另一侧的第二主面，所述n型半导体层设有沟槽，所述沟槽从所述n型半导体层的所述第一主面上向内开口；

阴极电极，其形成于所述n型半导体层的所述第二主面上；
阳极电极，其形成于所述n型半导体层的所述第一主面上；
沟槽MOS栅极，其埋入所述沟槽内并被栅绝缘膜包裹，所述沟槽MOS栅极与所述n型半导体层之间隔着所述栅绝缘膜且所述沟槽MOS栅极与所述阳极电极接触；

其特征在于：

所述阳极电极的第一部分与所述n型半导体层的所述第一主面形成肖特基接触，所述阳极电极的第二部分与所述n型半导体层的所述第一主面接触形成欧姆接触；

所述沟槽MOS栅极至少包括与所述n型半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述沟槽MOS栅极至少包括p型导电的电极材料，所述p型导电的电极材料与所述栅绝缘膜接触；

所述阳极电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。

[权利要求 8]

根据权利要求7所述的沟槽MOS型二极管，其特征在于，所述阳极电极的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。

[权利要求 9]

一种绝缘栅双极型晶体管，包括：

p型半导体层；

层叠于所述p型半导体层之上的n型半导体层；

电极，其包括集电极、发射极以及栅电极，所述集电极形成于所述p型半导体层的与所述n型半导体层相反的一侧的面上；

栅绝缘膜，其介于所述栅电极和所述n型半导体层之间；

其特征在于：

所述发射极的第一部分与所述n型半导体层之间存在肖特基势垒，所述发射极的第一部分与所述栅绝缘膜未接触，所述发射极的第二部分与所述n型半导体层形成欧姆接触；

所述栅电极至少包括与所述n型半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述栅电极采用p型导电的电极材料制成，所述p型导电的电极材料与所述栅绝缘膜接触。

[权利要求 10] 根据权利要求9所述的绝缘栅双极型晶体管，其特征在于，所述发射极的第一部分与所述n型半导体层接触形成肖特基接触。

[权利要求 11] 根据权利要求9所述的绝缘栅双极型晶体管，其特征在于，所述发射的第一部分距离所述栅绝缘膜的宽度范围介于3nm~400nm区间。

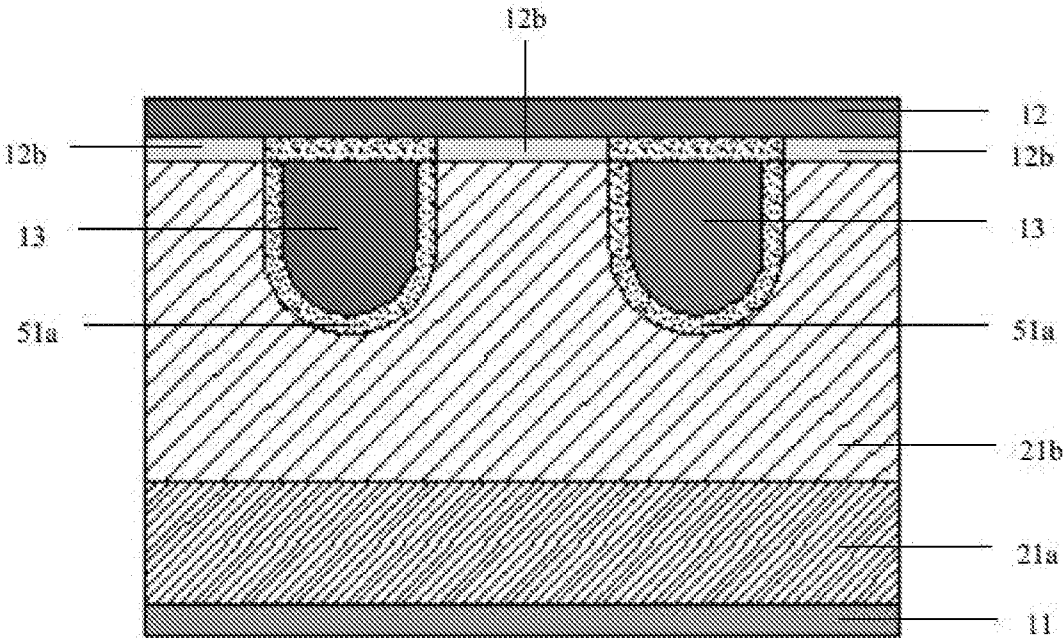
[权利要求 12] 根据权利要求9所述的绝缘栅双极型晶体管，其特征在于，所述发射的第一部分距离所述栅绝缘膜的宽度范围介于3nm~200nm区间。

[权利要求 13] 一种场效应晶体管，包括：
第1半导体层，其包括n型半导体区；
第2半导体层，其包括n型半导体区以及高阻型半导体区；
电极，其包括漏电极、源电极以及栅电极；
栅绝缘膜，其介于所述栅电极和半导体层之间；
其特征在于：
所述漏电极，其形成于所述第1半导体层的与所述第2半导体层相反的一侧的面上；
所述源电极，其形成于所述第2半导体层的与所述第1半导体层相反的一侧的面上，所述源电极的第一部分与所述第2半导体层的所述n型半导体区之间存在肖特基势垒，所述源电极的第一部分与所述栅绝缘膜未接触；所述源电极的第二部分与所述第2半导体层的所述n型半导体区接触形成欧姆接触；
所述第2半导体层的所述高阻型半导体区，其设置在靠近所述第2半导体层的表层的区域，其形成于所述栅绝缘膜和所述源电极的第一部分之间；

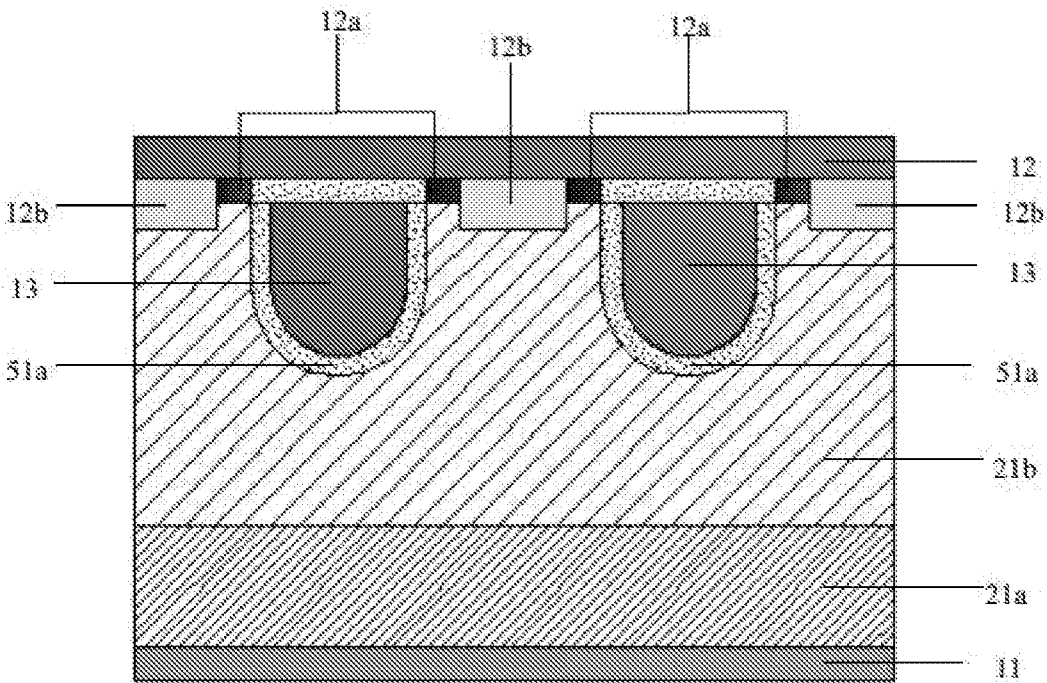
所述栅电极至少包括与所述第2半导体层之间存在肖特基势垒的金属材料，所述金属材料与所述栅绝缘膜接触；或所述栅电极采用p型导电的电极材料制成，所述p型导电的电极材料与所述栅绝缘膜接触。

[权利要求 14] 根据权利要求13所述的场效应晶体管，其特征在于，所述源电极的第一部分与所述第2半导体层的所述n型半导体区接触形成肖特基势垒。

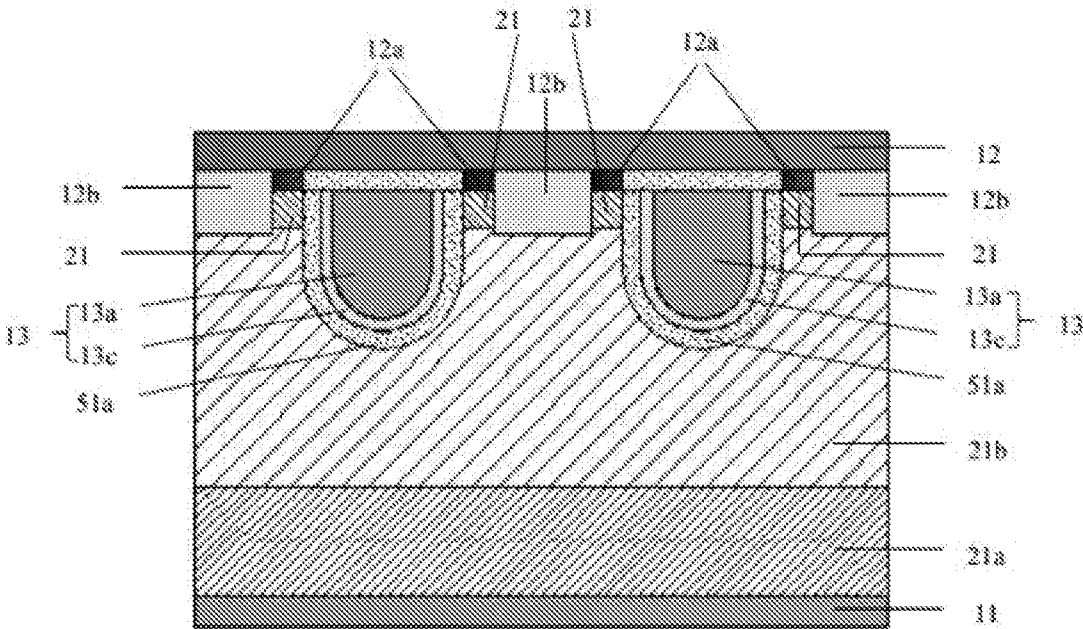
[图1]



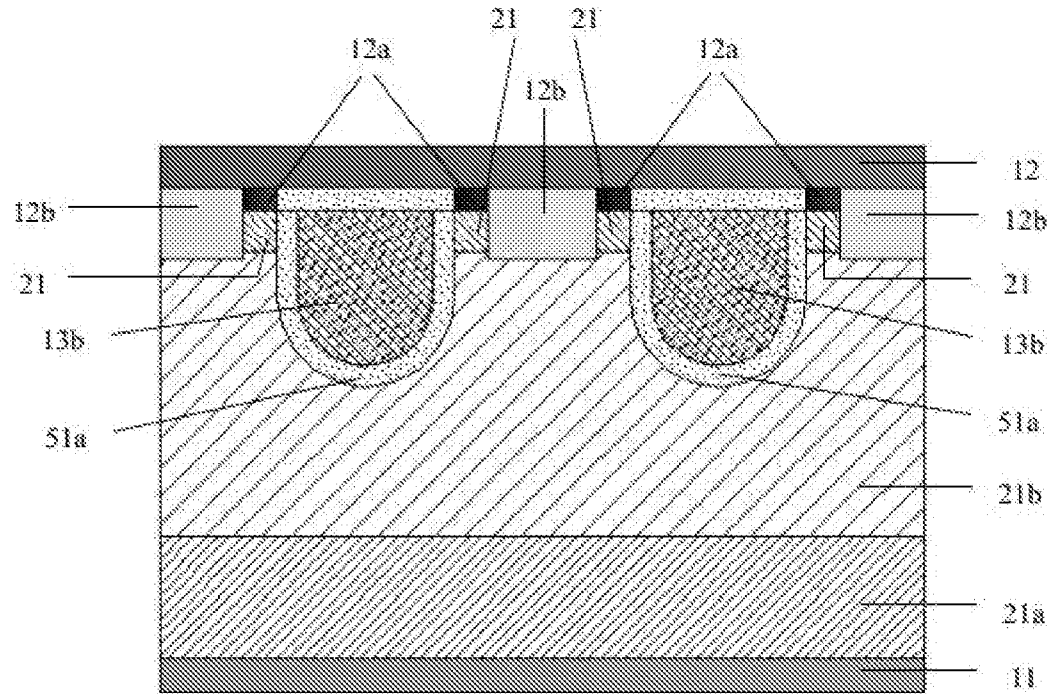
[图2]



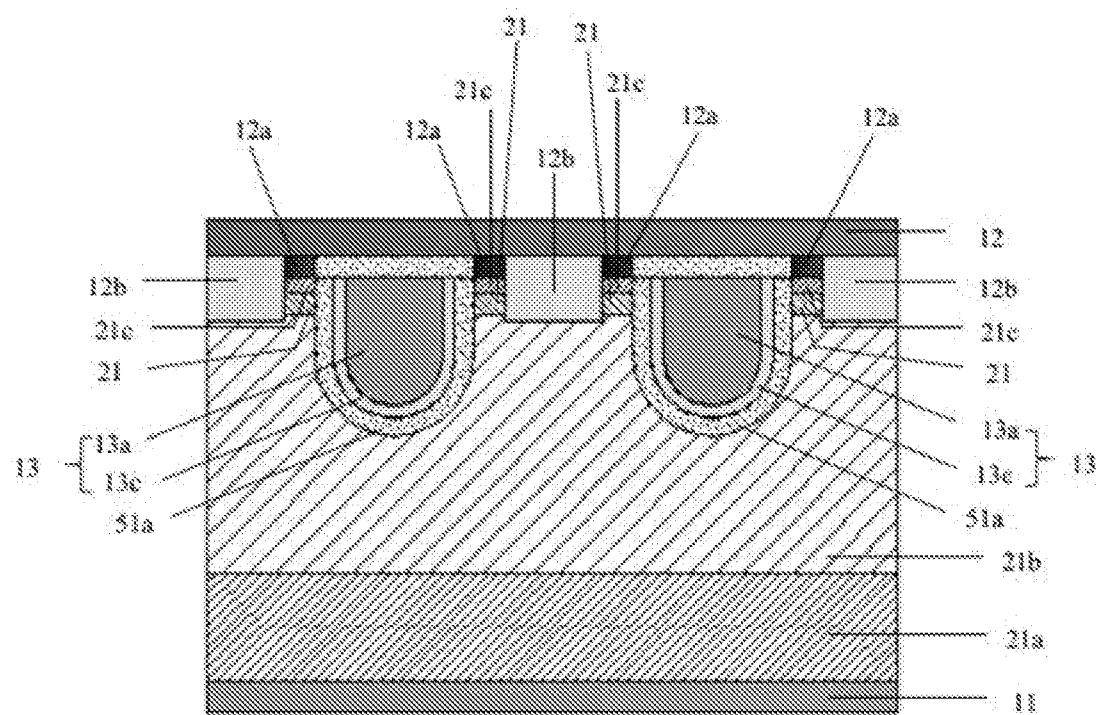
[图3a]



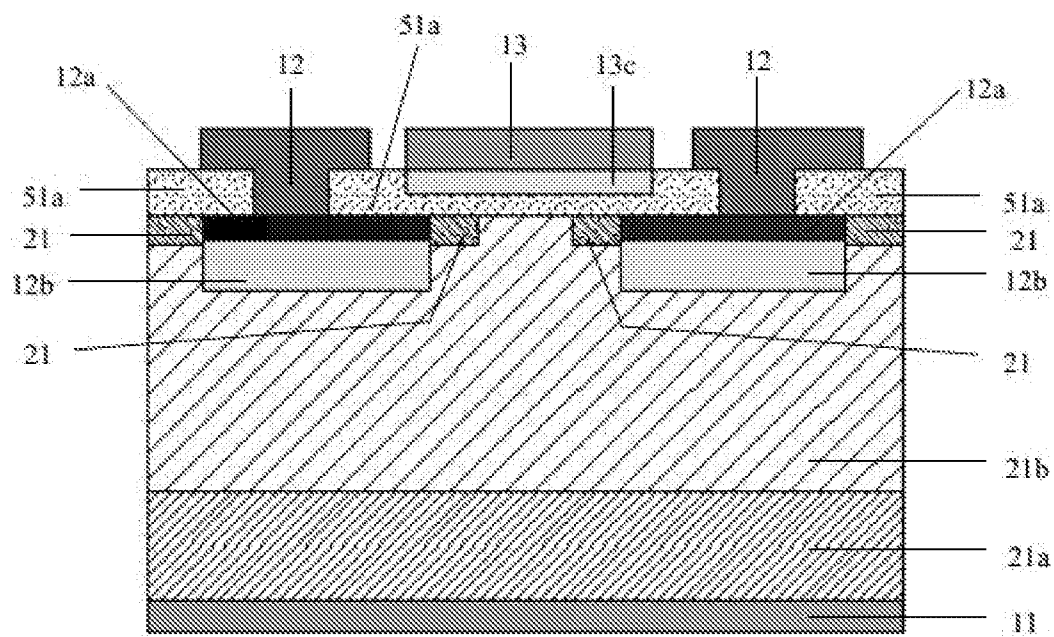
[图3b]



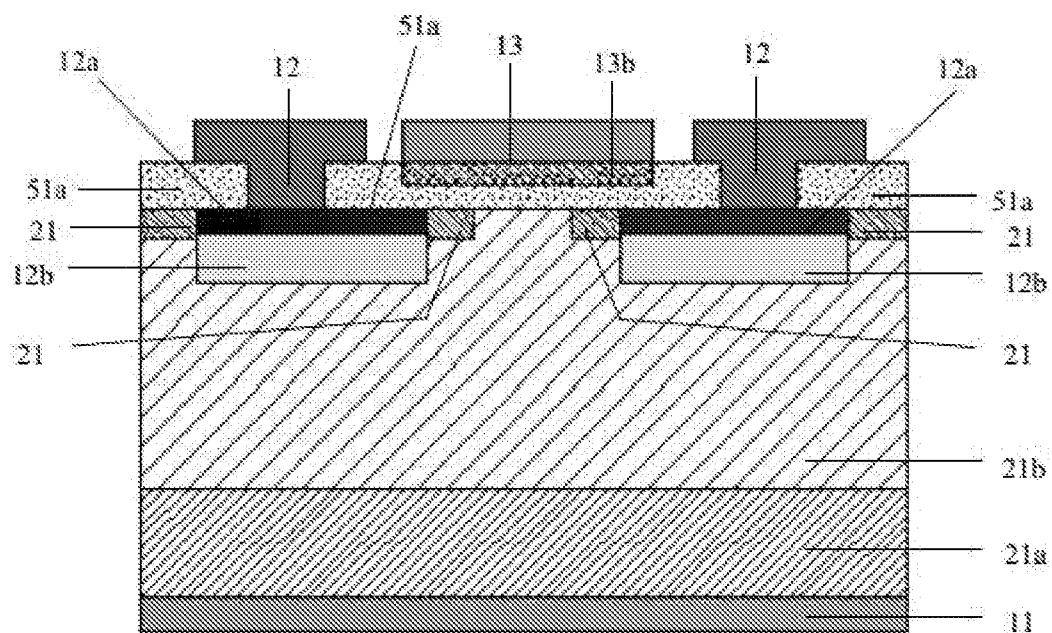
[图3c]



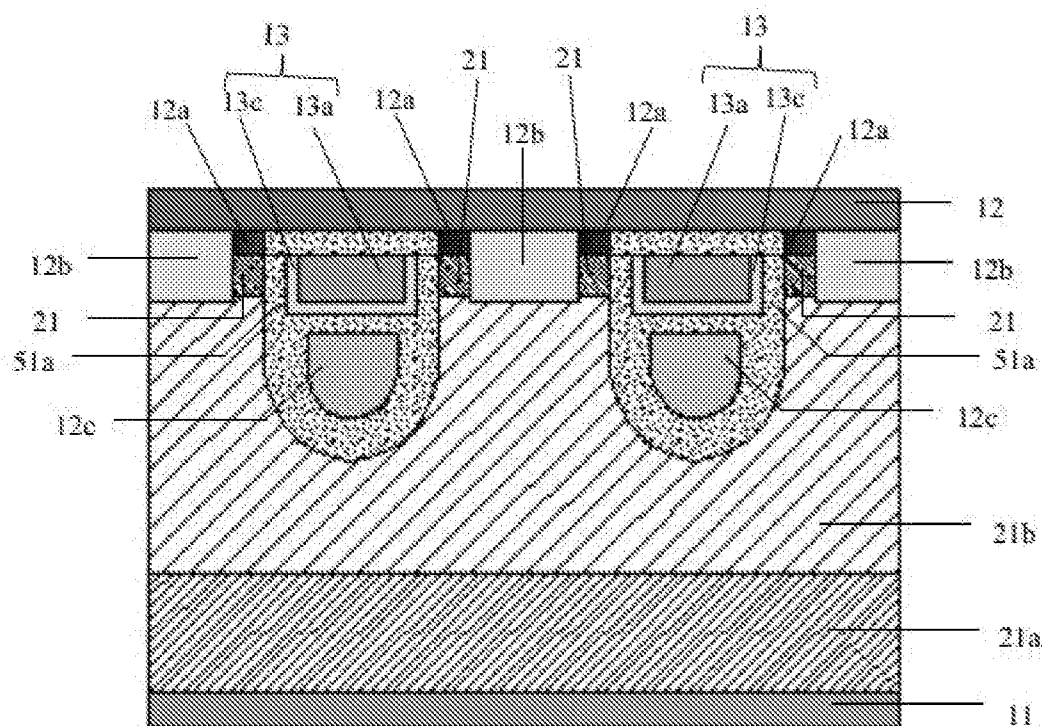
[图4a]



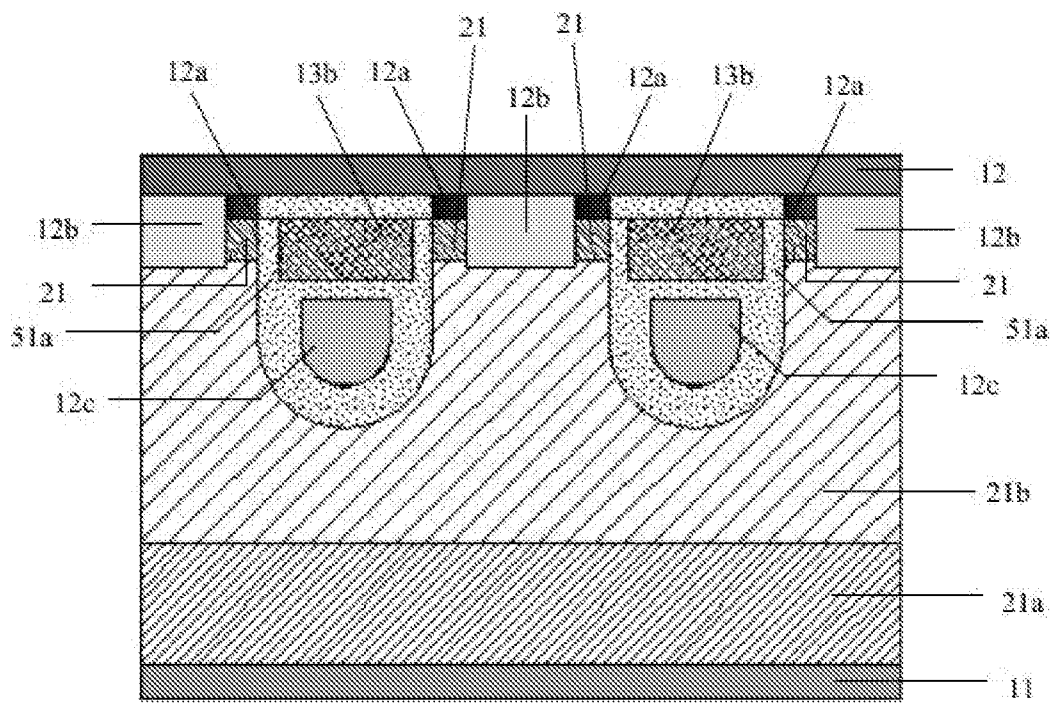
[图4b]



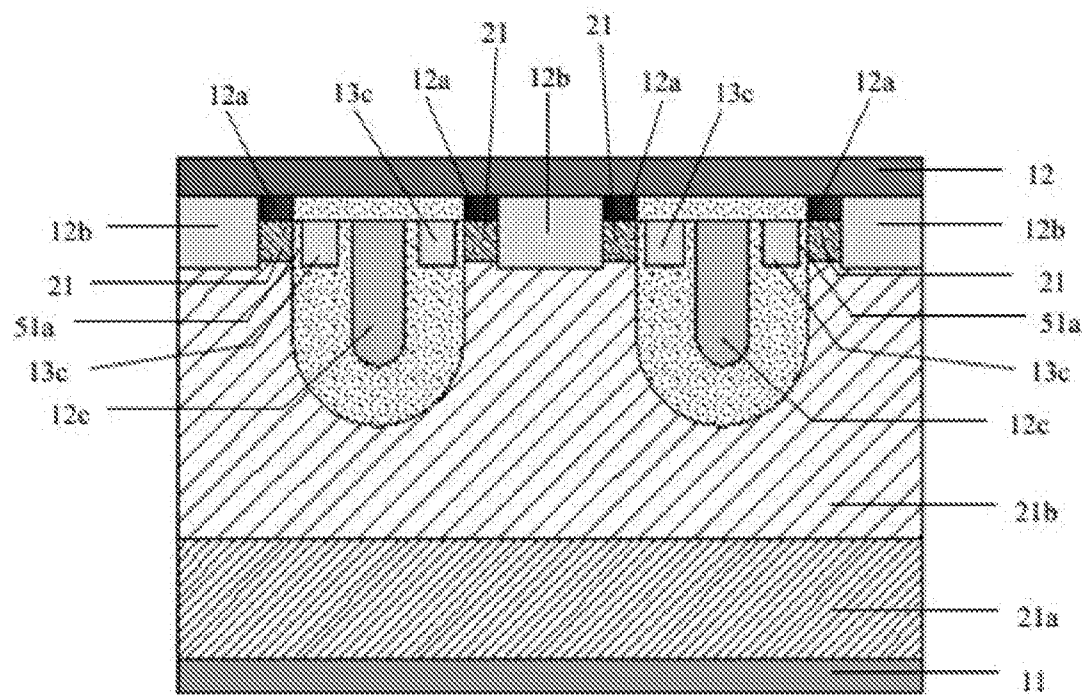
[图5a]



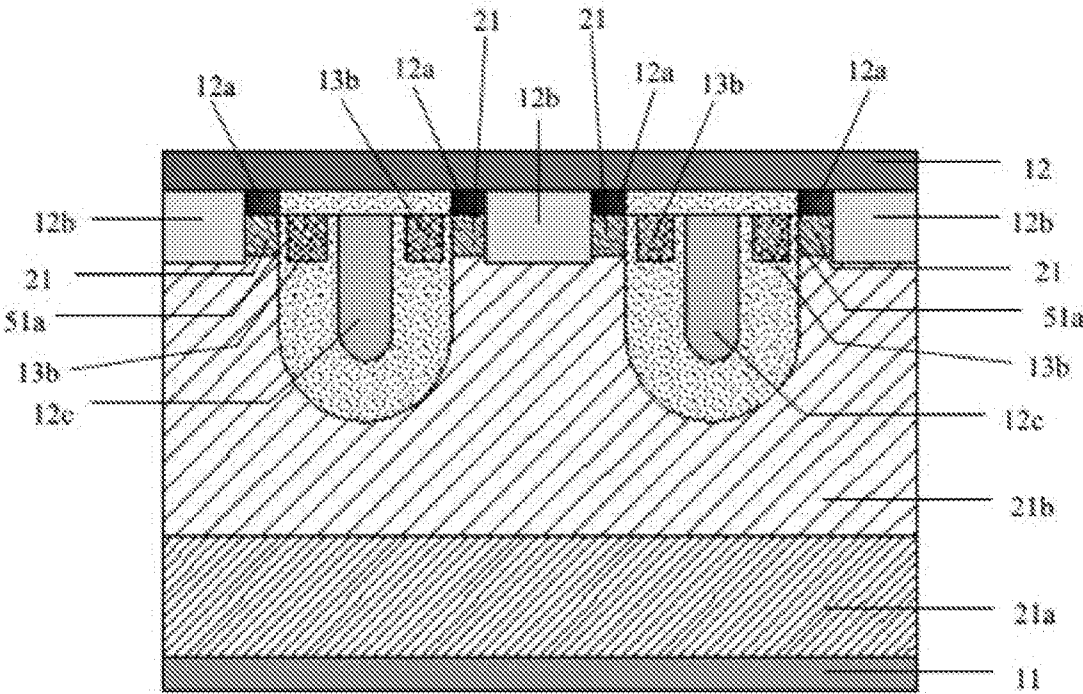
[图5b]



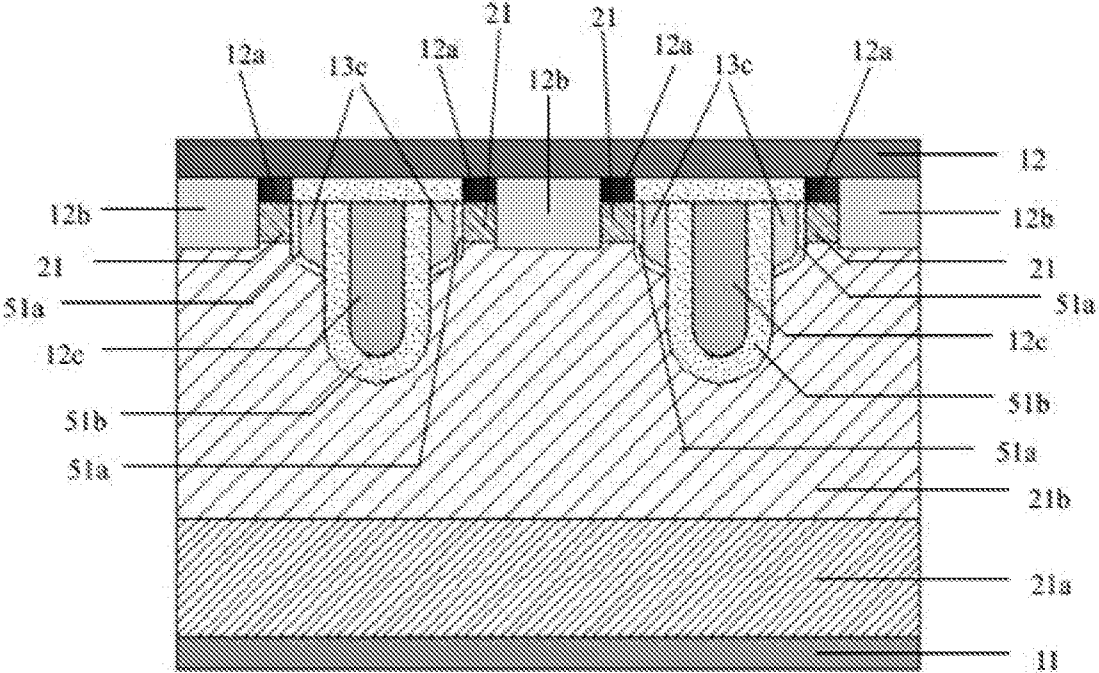
[図5c]



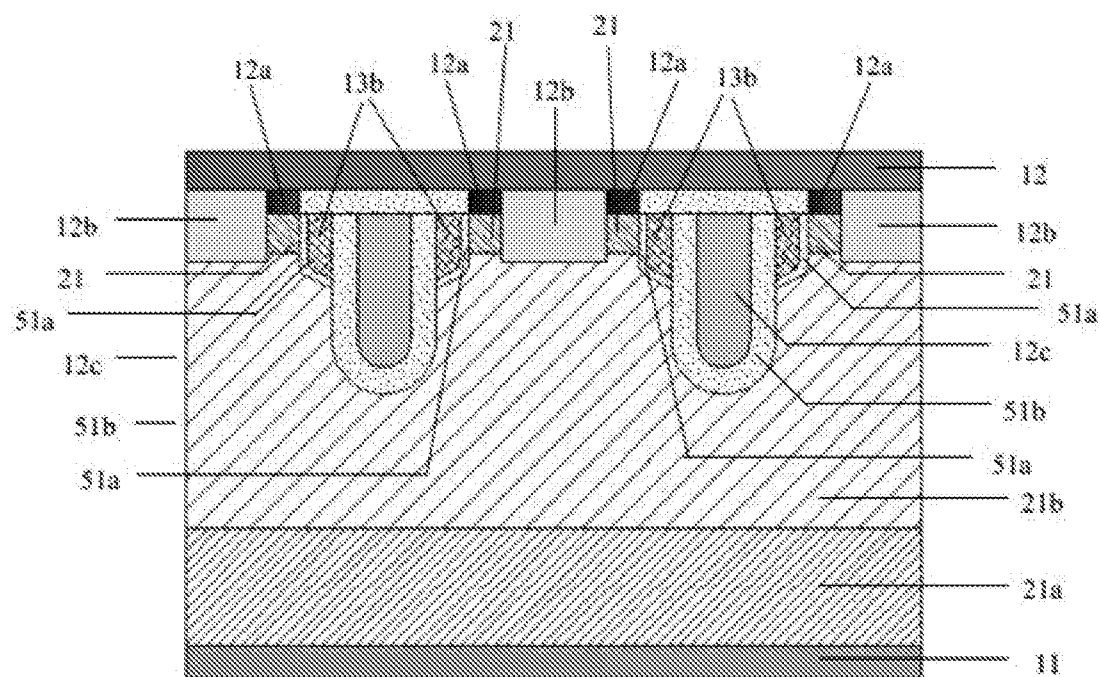
[图5d]



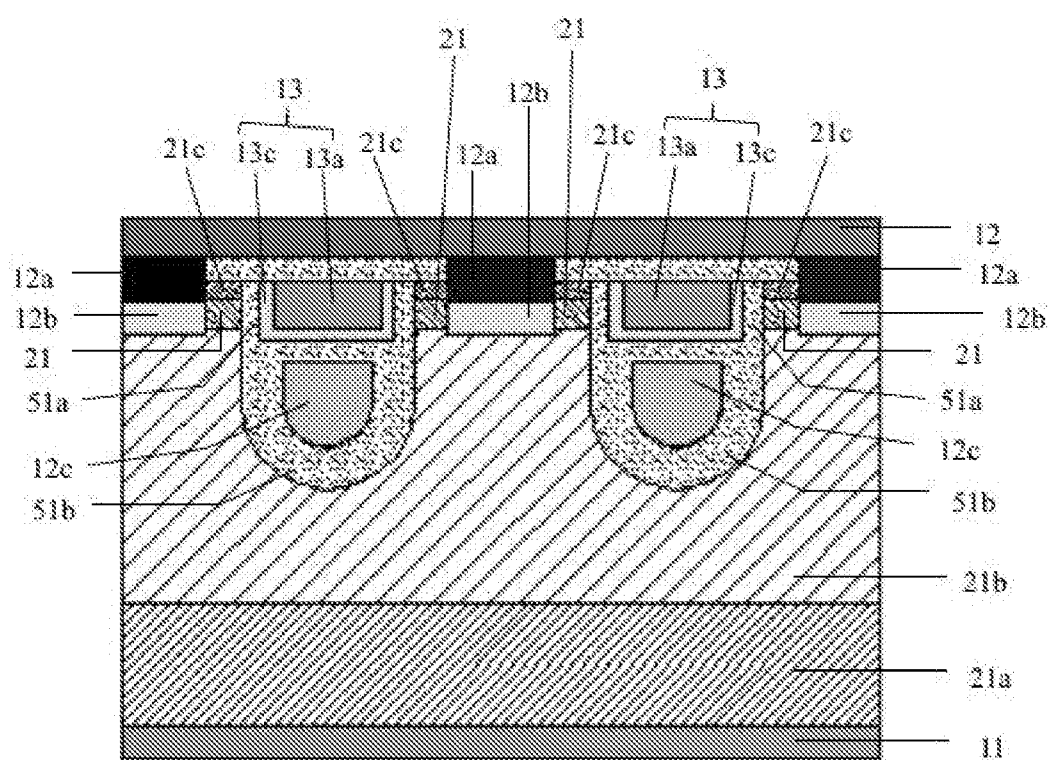
[图5e]



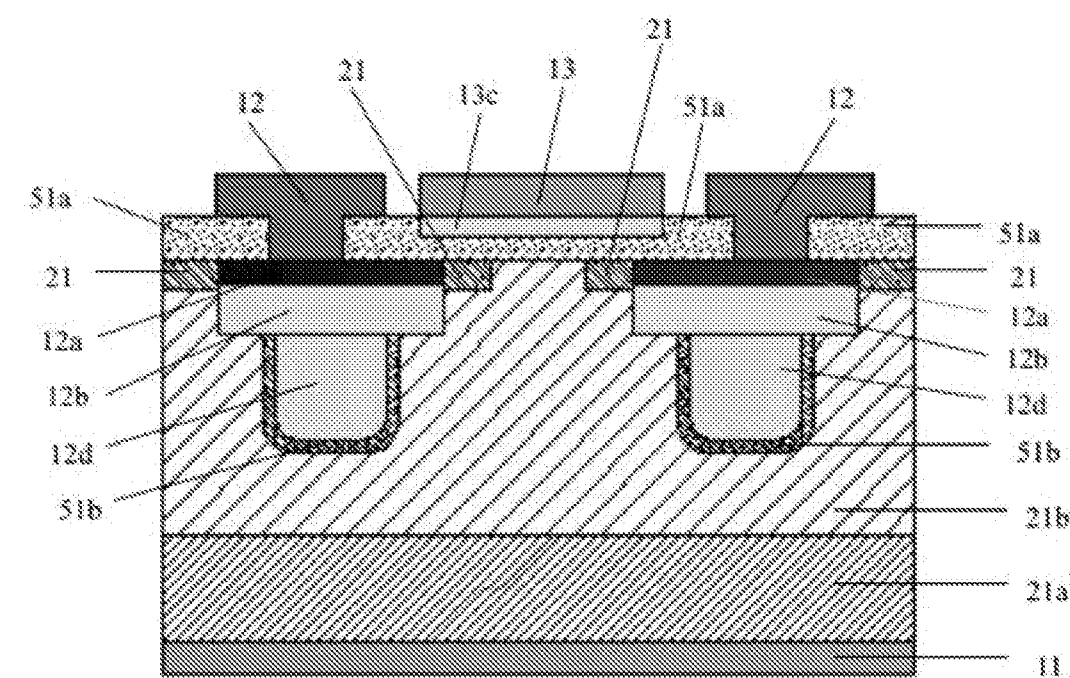
[图5f]



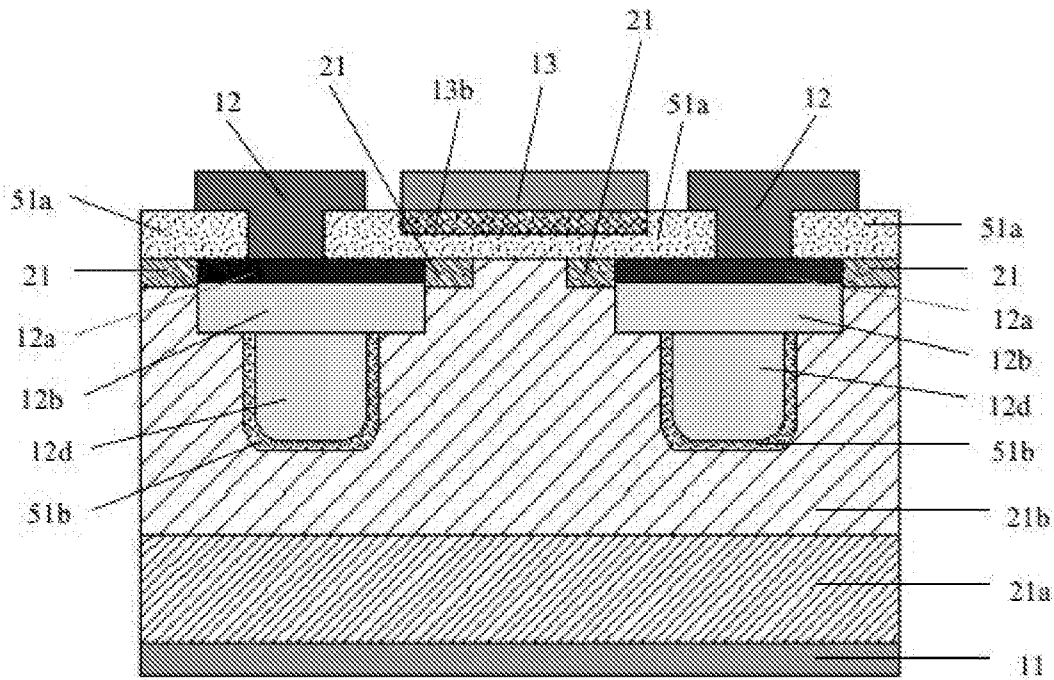
[图5g]



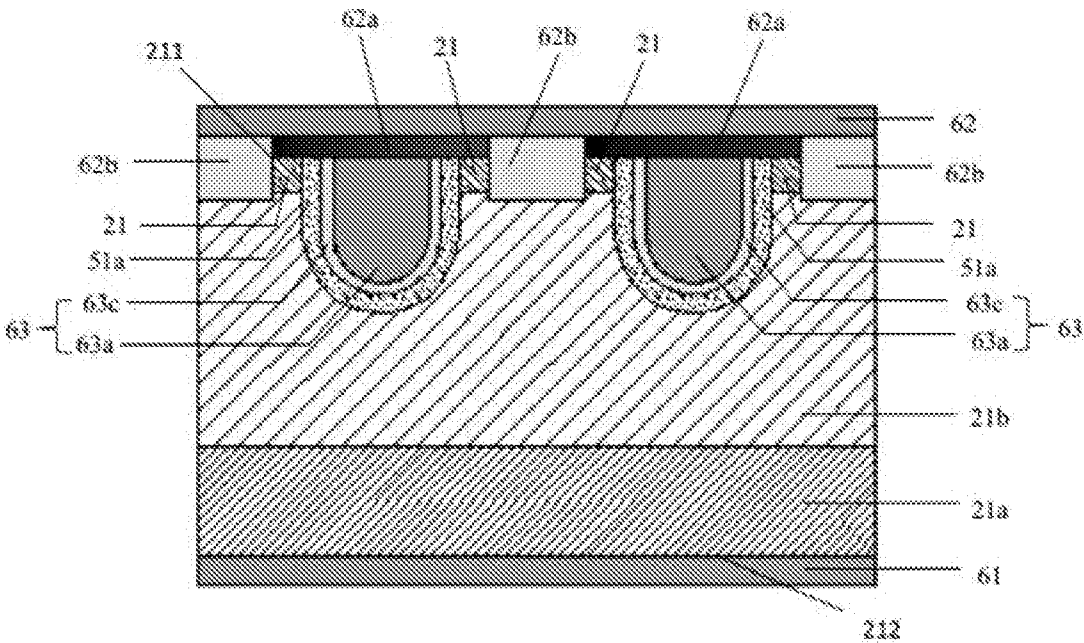
[图6a]



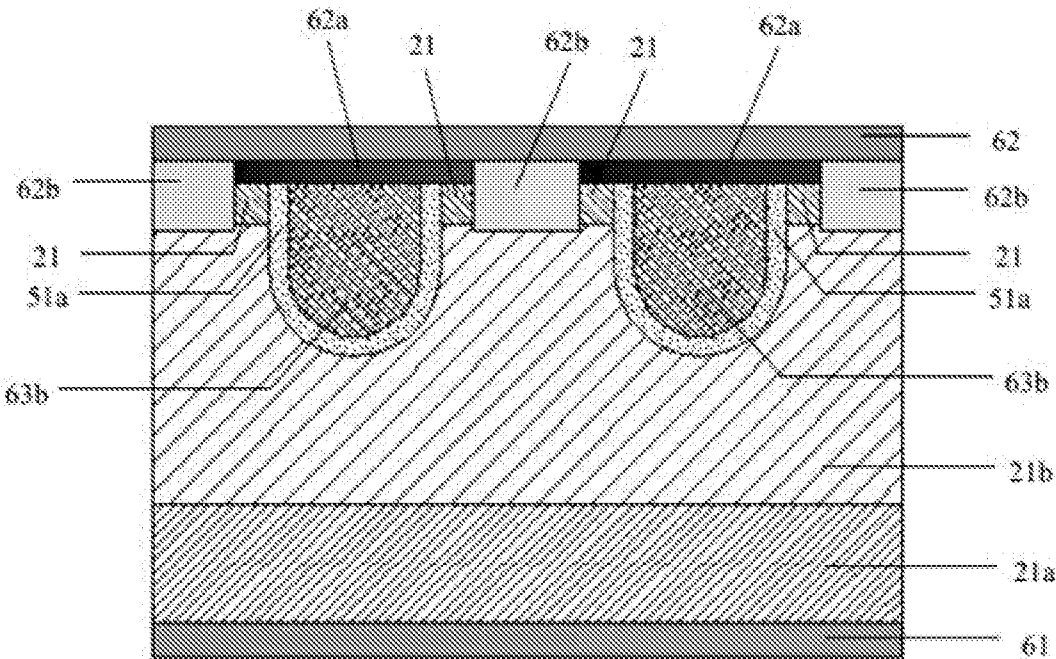
[图6b]



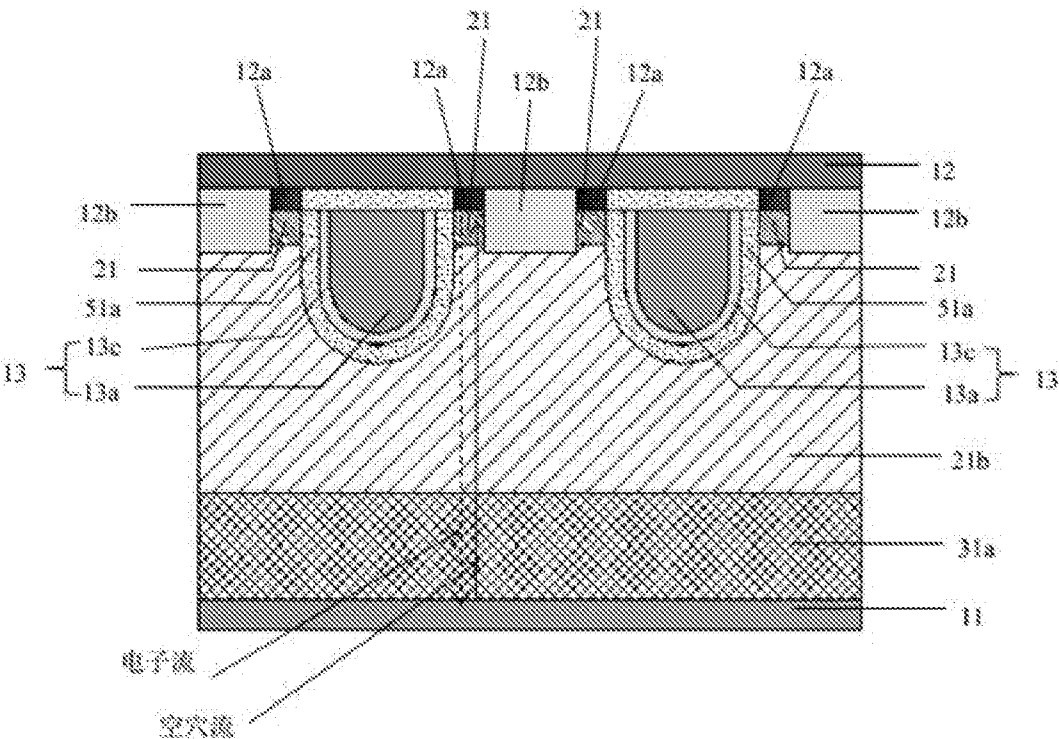
[图7a]



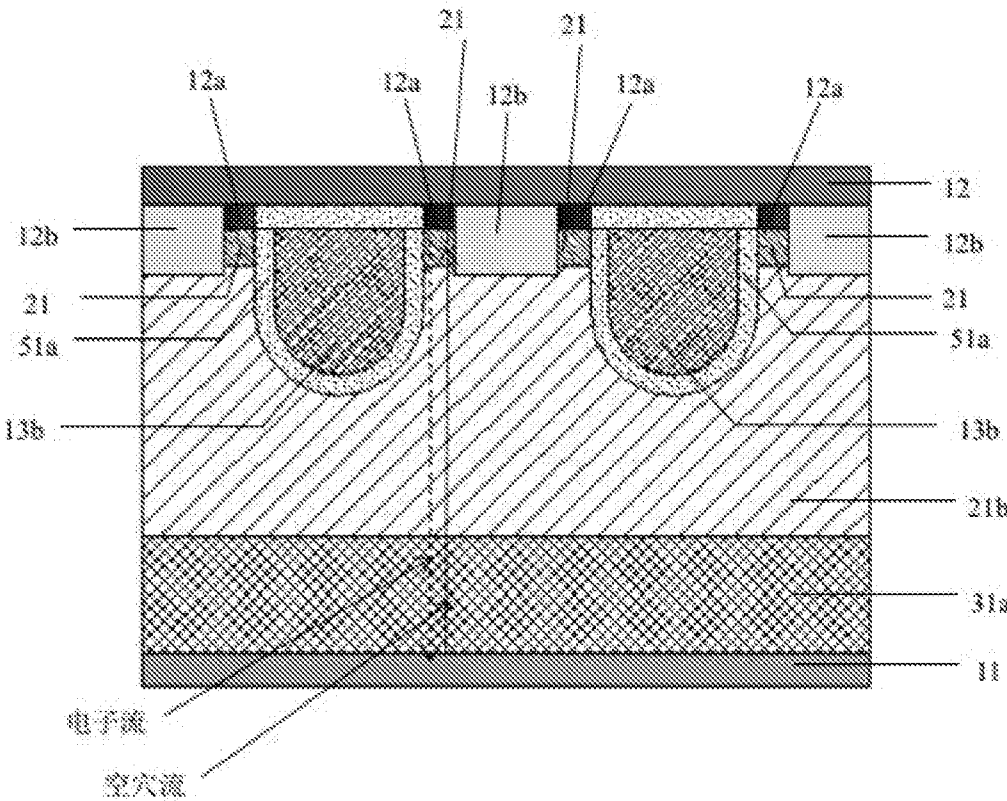
[图7b]



[图8a]



[图8b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/105467

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i; H01L29/423(2006.01)i; H01L29/417(2006.01)i; H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; CNKI; USTXT; WOTXT; EPTXT: 多晶硅, 耗尽, 欧姆, 势垒, 肖特基, 源, 栅, 二极管, 宽度, 厚度, 距离, 阳, 阴, polysilicon, exhaust+, deplet+, schottky, barrier, MOSFET, IGBT, ohmic, TMBS, "P", source, gate, diode, cathode, anode, width, distance, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP H09102602 A (NIPPON TELEGRAPH & TELEPHONE CORP.) 15 April 1997 (1997-04-15) description, paragraphs [0014]-[0033], and figures 1-11	1-3, 6, 9, 10
Y	JP H09102602 A (NIPPON TELEGRAPH & TELEPHONE CORP.) 15 April 1997 (1997-04-15) description, paragraphs [0014]-[0033], and figures 1-11	4, 5, 11, 12
X	JP H05267674 A (NISSAN MOTOR CO., LTD.) 15 October 1993 (1993-10-15) description, paragraphs [0011]-[0023], and figures 1-4	1-6, 9-12
Y	JP H05267674 A (NISSAN MOTOR CO., LTD.) 15 October 1993 (1993-10-15) description, paragraphs [0011]-[0023], and figures 1-4	4, 5, 11, 12
X	JP H0590595 A (NISSAN MOTOR CO., LTD.) 09 April 1993 (1993-04-09) description, paragraphs [0014]-[0028], and figures 1 and 4-20	1-6, 9-12
Y	JP H0590595 A (NISSAN MOTOR CO., LTD.) 09 April 1993 (1993-04-09) description, paragraphs [0014]-[0028], and figures 1 and 4-20	4, 5, 11, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 August 2024

Date of mailing of the international search report

02 September 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20100122280 A (KEC K. K.) 22 November 2010 (2010-11-22) description, paragraphs [0026]-[0065], and figures 2a-4p	1-14
A	CN 115332354 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA et al.) 11 November 2022 (2022-11-11) entire document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/105467

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	H09102602	A	15 April 1997	None			
JP	H05267674	A	15 October 1993	None			
JP	H0590595	A	09 April 1993	None			
KR	20100122280	A	22 November 2010	KR	101067953	B1	26 September 2011
CN	115332354	A	11 November 2022	None			

A. 主题的分类

H01L29/739(2006.01)i; H01L29/423(2006.01)i; H01L29/417(2006.01)i; H01L29/872(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;CNKI;USTXT;WOTXT;EPTXT: 多晶硅, 耗尽, 欧姆, 势垒, 肖特基, 源, 栅, 二极管, 宽度, 厚度, 距离, 阳, 阴, polysilicon, exhaust+, deplet+, schottky, barrier, MOSFET, IGBT, ohmic, TMBS, "P", source, gate, diode, cathode, anode, width, distance, thickness

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP H09102602 A (NIPPON TELEGRAPH & TELEPHONE) 1997年4月15日 (1997 - 04 - 15) 说明书[0014]-[0033]段, 图1-11	1-3、6、9、10
Y	JP H09102602 A (NIPPON TELEGRAPH & TELEPHONE) 1997年4月15日 (1997 - 04 - 15) 说明书[0014]-[0033]段, 图1-11	4、5、11、12
X	JP H05267674 A (NISSAN MOTOR CO LTD) 1993年10月15日 (1993 - 10 - 15) 说明书[0011]-[0023]段, 图1-4	1-6、9-12
Y	JP H05267674 A (NISSAN MOTOR CO LTD) 1993年10月15日 (1993 - 10 - 15) 说明书[0011]-[0023]段, 图1-4	4、5、11、12
X	JP H0590595 A (NISSAN MOTOR) 1993年4月9日 (1993 - 04 - 09) 说明书[0014]-[0028]段, 图1、4-20	1-6、9-12
Y	JP H0590595 A (NISSAN MOTOR) 1993年4月9日 (1993 - 04 - 09) 说明书[0014]-[0028]段, 图1、4-20	4、5、11、12

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

2024年8月15日

国际检索报告邮寄日期

2024年9月2日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张玉萍

电话号码 (+86) 0512-88996022

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	KR 20100122280 A (KEC KK) 2010年11月22日 (2010 - 11 - 22) 说明书[0026]-[0065]段，图2a-4p	1-14
A	CN 115332354 A (电子科技大学 等) 2022年11月11日 (2022 - 11 - 11) 全文	1-14

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/105467

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
JP	H09102602	A	1997年4月15日	无	
JP	H05267674	A	1993年10月15日	无	
JP	H0590595	A	1993年4月9日	无	
KR	20100122280	A	2010年11月22日	KR 101067953 B1	2011年9月26日
CN	115332354	A	2022年11月11日	无	