

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3813402号  
(P3813402)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.		F I		
<b>HO 1 L</b>	<b>23/12</b>	<b>(2006.01)</b>	HO 1 L	23/12 L
<b>HO 5 K</b>	<b>1/18</b>	<b>(2006.01)</b>	HO 1 L	23/12 5 O 1 Z
<b>HO 5 K</b>	<b>3/46</b>	<b>(2006.01)</b>	HO 5 K	1/18 R
			HO 5 K	3/46 Q

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2000-21913 (P2000-21913)
(22) 出願日	平成12年1月31日(2000.1.31)
(65) 公開番号	特開2001-217337 (P2001-217337A)
(43) 公開日	平成13年8月10日(2001.8.10)
審査請求日	平成14年10月8日(2002.10.8)

(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(74) 代理人	100091672 弁理士 岡本 啓三
(72) 発明者	赤川 雅俊 長野県長野市大字栗田字舎利田711番地 新光電気工業株式会社内
審査官	石野 忠志

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁層の一方の面に配線パターンを含む第1の導体層が形成されてなるベース基板の前記第1の絶縁層の他方の面側に所要の個数の半導体素子を実装する第1の工程と、  
前記半導体素子を覆うようにして第2の絶縁層を形成し、該第2の絶縁層上に配線パターンを含む第2の導体層を形成する第2の工程と、

前記第2の導体層の特定の位置に前記半導体素子の電極端子に達するようにビアホールを形成すると共に、前記半導体素子が埋設されている部分を避ける位置において上下方向に貫通するようにスルーホールを形成する第3の工程と、

前記ビアホール及びスルーホールの内壁面を含む表面全体に第3の導体層を形成する第4の工程と、

前記半導体素子の電極端子が、前記ビアホールの内壁面の導体層を介して前記第2の導体層に電氣的に接続されると共に、前記スルーホールの内壁面の導体層を介して前記第1の導体層に電氣的に接続されるように、前記第3の導体層にパターンニングを施して配線パターンを形成する第5の工程と、

外部接続端子が接続されるべき前記第3の導体層の配線パターンの端子形成部分が露出するように配線パターン、前記第1及び第2の絶縁層を覆って保護膜を形成する第6の工程と、

該第6の工程により得られた構造体を、少なくとも1個の半導体素子が含まれるように各パッケージに分割する第7の工程とを含むことを特徴とする半導体装置の製造方法。

10

20

## 【請求項 2】

前記第 6 の工程後に、前記第 3 の導体層の配線パターンの端子形成部分に金属のバンプからなる外部接続端子を形成する工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、パッケージに半導体素子（チップ）を実装してなる半導体装置の高機能化を簡便に行うのに有用な技術に関する。

## 【0002】

## 【従来の技術】

パッケージに半導体素子を実装してなる半導体装置として、種々の形態のものが提案されている。その一例として、1枚の基板に複数個の半導体チップを搭載し、高集積化と共に高機能化を意図した半導体装置がある。

かかる半導体装置の具体的な形態としては、例えば、基板の両面にそれぞれ半導体チップを搭載したもの、基板の片面に半導体チップを積み重ねて搭載したもの、基板の平面内に複数個の半導体チップを搭載したもの等が知られている。いずれの形態においても、基板の表面には配線パターンが適宜形成されており、この配線パターンに、各半導体チップの電極パッド（端子）がワイヤボンディングによって電氣的に接続されている。もちろん、各半導体チップと配線パターンとの電氣的接続はワイヤボンディング接続に限らず、フリップチップ接続やTAB接続等も利用できる。

## 【0003】

## 【発明が解決しようとする課題】

上述したように従来の半導体装置では、基板の搭載面内に半導体チップを搭載しているため、基板が規定の大きさに作られることに鑑み、搭載する半導体チップの個数が制限されるといった不利がある。

また、半導体チップを積み重ねて搭載する場合でも、ワイヤボンディング接続のための領域を必要とする分だけ、下側のチップよりも上側のチップの方をサイズの小さくする必要があり、そのために上側のチップの搭載面積が狭くなり、チップを積み重ねる個数にも自ずと限界がある。

## 【0004】

この場合、フリップチップ接続を利用すると、上述したようなボンディングのための領域を設ける必要がないため、ワイヤボンディング接続の場合に比べてチップの搭載数を増やすことが可能であるが、別の不都合が生じる。

一般的に、フリップチップ実装では、半導体チップの電極パッドにはんだ等の金属のバンプ（電極端子）を形成し、このバンプをプリント基板等の実装基板の対応する電極パッド上に熱的に押し付けて接続する。これをチップの積層形態に当てはめると、下側のチップに対し上側のチップがフリップチップ接続されることになる。この場合、上側のチップの電極端子であるバンプの位置に対応するように下側のチップの上面に電極パッドを形成する必要があり、また、チップを積み重ねる際に上側のチップのバンプと下側のチップの電極パッドとの位置合わせを行わなければならない、プロセスが全体的に複雑化するという不利がある。

## 【0005】

このように従来の半導体装置では、単に基板の搭載面に半導体チップを搭載しているため、搭載する半導体チップの個数が限定され、必ずしも十分な高機能化等を図ることができないといった課題があった。

また、半導体チップは基板に外付けされた形態で搭載されるため、半導体装置全体としての厚みが相対的に厚くなるという不利もある。

## 【0006】

一方、上述した従来形とは別の形態として、更なる高集積化及び高機能化を図るために、

10

20

30

40

50

基板を多層化し基板内に半導体チップを内蔵する形式の半導体装置が考えられている。例えば、複数の配線層を備えた多層基板の構造を利用すれば、半導体チップを相互に電氣的に接続して基板内で3次元的に配置することは可能である。

【0007】

しかしながら、基板内に半導体チップを埋設し、且つ配線層を多層に形成することは必ずしも容易ではなく、また、昨今のパッケージに対する小型化及び軽量化の要求を考慮すると、全体の厚さを薄くして半導体装置をコンパクトに形成しなければならないといった課題もある。

本発明は、上述した従来技術における課題に鑑み創作されたもので、パッケージに半導体素子を実装するに際しコンパクトに構成可能とし、また必要に応じて半導体素子の3次元的な配置構成及び相互間の接続を簡便に行えるようにし、ひいては高機能化に寄与することができる半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上述した従来技術の課題を解決するため、本発明に係る半導体装置の製造方法は、第1の絶縁層の一方の面に配線パターンを含む第1の導体層が形成されてなるベース基板の前記第1の絶縁層の他方の面側に所要の個数の半導体素子を実装する第1の工程と、前記半導体素子を覆うようにして第2の絶縁層を形成し、該第2の絶縁層上に配線パターンを含む第2の導体層を形成する第2の工程と、前記第2の導体層の特定の位置に前記半導体素子の電極端子に達するようにビアホールを形成すると共に、前記半導体素子が埋設されている部分を避ける位置において上下方向に貫通するようにスルーホールを形成する第3の工程と、前記ビアホール及びスルーホールの内壁面を含む表面全体に第3の導体層を形成する第4の工程と、前記半導体素子の電極端子が、前記ビアホールの内壁面の導体層を介して前記第2の導体層に電氣的に接続されると共に、前記スルーホールの内壁面の導体層を介して前記第1の導体層に電氣的に接続されるように、前記第3の導体層にパターンングを施して配線パターンを形成する第5の工程と、外部接続端子が接続されるべき前記第3の導体層の配線パターンの端子形成部分が露出するように配線パターン、前記第1及び第2の絶縁層を覆って保護膜を形成する第6の工程と、該第6の工程により得られた構造体を、少なくとも1個の半導体素子が含まれるように各パッケージに分割する第7の工程とを含むことを特徴とする。

【0010】

本発明に係る半導体装置の製造方法によれば、パッケージとして供される配線基板内に半導体素子が埋設・実装されているので、半導体装置をコンパクトに構成することができる。

また、配線基板（パッケージ）の両面において配線パターンの端子形成部分を保護膜から露出させ、必要に応じて多層的に積み重ねることができるようにしているため、外部接続端子を介して半導体素子の3次元的な配置構成及び相互間の接続を簡便に行うことができる。これによって、半導体装置の高機能化を図ることが可能となる。

【0014】

【発明の実施の形態】

図1は本発明の第1の実施形態に係る半導体装置の断面的な構造を模式的に示したものである。

本実施形態に係る半導体装置10は、パッケージとして供される配線基板20と、このパッケージ（配線基板）20内に埋設・実装された半導体チップ40とによって構成されている。

【0015】

パッケージ（配線基板）20において、21は配線基板のベースとなるベース基板を示し、絶縁層としての樹脂層22の一方の面（図示の例では下側）に導体層としての銅（Cu）箔23が形成された構造を有している。また、24はベース基板21の他方の面（樹脂層22側）の上に形成された接着剤層、25は接着剤層24の上に半導体チップ40を覆

10

20

30

40

50

うようにして形成された銅箔付き樹脂フィルムを示す。この銅箔付き樹脂フィルム 25 は、ベース基板 21 と同様に、絶縁膜としての樹脂フィルム 26 の一方の面（図示の例では上側）に導体層としての銅箔 27 が形成された構造を有している。

【0016】

また、VH は銅箔付き樹脂フィルム 25 の特定の位置において半導体チップ 40 の電極パッド（端子）に達するように形成されたビアホール、TH は半導体チップ 40 が埋設・実装されていない部分の銅箔付き樹脂フィルム 25 の特定の位置において基板を上下方向に貫通するように形成されたスルーホール、29 はビアホール VH 及びスルーホール TH の内壁を含めて銅箔 23、27 の上に所要形状にパターンニングされて形成された配線パターン（導体層）を示す。この配線パターン 29 は、パッケージ 20 内に埋設・実装された半導体チップ 40 の電極パッドが、ビアホール VH の内壁面の導体層 29 を介して基板の一方の面側の導体層 29 に電氣的に接続されると共に、更にスルーホール TH の内壁面の導体層 29 を介して基板の他方の面側の導体層 29 にも電氣的に接続されるように、形成されている。

10

【0017】

また、30 はスルーホール TH 内に充填された樹脂（絶縁体）、31 は配線パターン 29、樹脂層 22 及び樹脂フィルム 26 を覆って形成された保護膜としてのソルダレジスト層、32 は本装置 10 の外部接続端子として機能するはんだバンプを示す。ソルダレジスト層 31 は、配線パターン 29 の端子形成部分（パッド部）に対応する領域に開口部を有するように、つまり配線パターン 29 の端子形成部分が露出するように、形成されている。そして、この露出した配線パターン 29 の端子形成部分に、図示のように外部接続端子としてのはんだバンプ 32 が接合されている。

20

【0018】

一方、半導体チップ 40 はパッケージ（配線基板）20 内に実装するため、厚さが可及的に薄いものを使用するのが望ましい。現状の技術では、半導体チップとして 50 μm ~ 100 μm 程度の厚さのものが提供されており、この程度の厚さの半導体チップであれば基板内に埋設・実装することは技術的に十分に可能である。本実施形態では、半導体チップ 40 として厚さが 50 μm 程度の薄いものを使用している。

【0019】

本実施形態に係る半導体装置 10 は、厚さが 50 μm 程度の薄い半導体チップ 40 をパッケージ（配線基板）20 内に埋設・実装すると共に、パッケージ（配線基板）20 の両面に外部接続端子としてのはんだバンプ 32 を設け、必要に応じて多層的に積み重ねることができるようにしたことを特徴としている。

30

なお、図 1 の例示でははんだバンプ（外部接続端子）32 を設けているが、これは必ずしも設ける必要はない。要は、はんだバンプ等の外部接続端子が接続可能なように配線パターン 29 の一部（端子形成部分）がソルダレジスト層 31 から露出していれば十分である。

【0020】

以下、本実施形態の半導体装置 10 を製造する方法について、その製造工程を順に示す図 2 及び図 3 を参照しながら説明する。

40

まず最初の工程では（図 2（a）参照）、絶縁層としての樹脂層 22 の一方の面に導体層としての銅箔 23 が形成されたベース基板 21 を用意し、このベース基板 21 の他方の面（樹脂層 22 側）の上に接着剤を塗布し（接着剤層 24）、更にこの接着剤層 24 の上に所要の個数の半導体チップ 40（厚さが 50 μm 程度の薄いもの）を適宜配置し、実装する。半導体チップ 40 の実装は、当該チップの電極パッド（端子）が形成されている側と反対側の面が接着剤層 24 に接着されるように行われる。

【0021】

なお、ベース基板 21 を構成する樹脂層 22 の材料としては、例えばエポキシ樹脂、ポリイミド樹脂、フェノール樹脂等の熱硬化性樹脂が用いられる。ベース基板 21 の具体的な形態としては、例えば、ポリイミド樹脂フィルムの表面にポリイミド系の熱可塑性接着剤

50

を塗布し、その上に銅箔を熱プレス接着したものを使用することができる。

【0022】

次の工程では(図2(b)参照)、接着剤層24の上に半導体チップ40を覆うようにして、絶縁膜としての樹脂フィルム26の一方の面に導体層としての銅箔27が形成された銅箔付き樹脂フィルム25を、その樹脂フィルム26側を下にして形成する。樹脂フィルム26の材料としては、上述した樹脂層22と同様に、エポキシ樹脂、ポリイミド樹脂等の熱硬化性樹脂が用いられる。また、銅箔付き樹脂フィルム25の形態については、上述したベース基板21と同様のものを使用することができる。

【0023】

次の工程では(図2(c)参照)、銅箔付き樹脂フィルム25の特定の位置において、各半導体チップ40の電極パッドに達するようにビアホールVHを形成する。また、半導体チップ40が埋設・実装されていない部分の銅箔付き樹脂フィルム25の特定の位置において、基板を上下方向に貫通するようにスルーホールTHを形成する。ビアホールVHの穴明け処理は、先ず特定の位置に対応する銅箔27の部分をエッチングにより除去する工程と、次に樹脂フィルム26の対応する部分をレーザにより除去する工程の2段階からなる。同様に、スルーホールTHの穴明け処理についても、先ず特定の位置に対応する銅箔23, 27の部分をエッチングにより除去する工程と、次に樹脂層22及び樹脂フィルム26と接着剤層24の対応する部分をレーザにより除去する工程の2段階からなる。レーザとしては、CO<sub>2</sub>レーザやエキシマレーザ等が用いられる。

【0024】

この後、必要に応じて、穴明け処理により樹脂片や汚れ等が生じた場合にこれを除去するための処理(デバリング、デスマア等)を行う。

次の工程では(図2(d)参照)、ビアホールVH及びスルーホールTHの内壁を含めて銅箔23, 27の上に、当該銅箔をめっき給電層としてCuの電解めっきを施し、導体層(Cu層)28を形成する。

【0025】

次の工程では(図3(a)参照)、導体層28にパターンニングを施して配線パターン(Cu層)29を形成し、また、スルーホールTH内にエポキシ樹脂等の熱硬化性樹脂(絶縁体30)を充填する。導体層28のパターンニングは、埋設・実装された半導体チップ40の電極パッドが、ビアホールVHの内壁面の導体層を介して基板の一方の面側の導体層に電氣的に接続されると共に、更にスルーホールTHの内壁面の導体層を介して基板の他方の面側の導体層にも電氣的に接続されるように、配線パターン29の形状に応じたマスク(図示せず)を用いて行われる。この際、銅箔23, 27の露出部分も、同じマスクを用いてエッチングにより除去される。

【0026】

次の工程では(図3(b)参照)、配線パターン29、樹脂層22及び樹脂フィルム26の上に感光性のソルダレジストを塗布し、更に配線パターン29の端子形成部分(パッド部)の形状に従うように露光及び現像(ソルダレジストのパターンニング)を行い、その端子形成部分の領域に対応する部分のソルダレジスト層に開口部を形成する。これによって、配線パターン29の端子形成部分が露出し、他の部分の配線パターン29がソルダレジスト層31によって覆われたことになる。このソルダレジスト層31は、パッケージ(配線基板)20の保護膜として機能する。

【0027】

最後の工程では(図3(c)参照)、パッケージ(配線基板)20の両面に外部接続端子としてはんだバンプ32を形成し、この後、個々の半導体装置10に分割する。

はんだバンプ32は、ソルダレジスト層31の開口部から露出している配線パターン29の端子形成部分にはんだボールをリフローにより接着することで、形成される。なお、特に図示はしていないが、はんだボールをソルダレジスト層31の開口部内に配置する前に、はんだの濡れ性を向上させるために、当該開口部の内壁にCuめっき等による導体皮膜を形成するようにすると好適である。

10

20

30

40

50

## 【0028】

この後、ダイサー等により、破線で示すように分割線C - C'に沿って各パッケージ毎にそれぞれ1個の半導体チップ40が含まれるように分割する。これによって、図1に示す本実施形態の半導体装置10が作製されたことになる。

以上説明したように、本実施形態に係る半導体装置10及びその製造方法によれば、厚さが50 $\mu$ m程度の薄い半導体チップ40をパッケージ(配線基板)20内に埋設・実装しているため、半導体装置10をコンパクトに構成することができる。

## 【0029】

また、パッケージ(配線基板)20の両面に外部接続端子としてのはんだバンプ32を設け(或いは、図1には示していないがはんだバンプ等の外部接続端子が接続可能なように配線パターン29の端子形成部分を露出させ)、必要に応じて多層的に積み重ねることができるようにしているため、外部接続端子を介在して半導体チップの3次元的な配置構成及び相互間の接続を簡便に行うことができる。これは、半導体装置の高機能化に寄与するものである。

## 【0030】

さらに、絶縁層上に配線パターンを形成して配線基板20を作製するプロセスの途中に半導体チップ40の実装工程を組み込んでいるため、従来のように配線基板を作製した後で当該基板上にチップを実装するプロセスと比べて、製造工程を簡略化することができる。図4は本発明の第2の実施形態に係る半導体装置の断面的な構造を模式的に示したものである。

## 【0031】

本実施形態では、上述した第1の実施形態と同様に、半導体装置50は、パッケージとして供される配線基板60と、このパッケージ(配線基板)60内に埋設・実装された半導体チップ70とによって構成されている。

パッケージ(配線基板)60において、61は配線基板のベースとなるベース基板、62はベース基板61の上に形成された接着剤層、63は接着剤層62の上に半導体チップ70を覆うようにして形成された絶縁層としての樹脂層、64は樹脂層63の上に所要形状にパターンニングされて形成された配線パターン(導体層)を示す。この配線パターン64は、樹脂層63の特定の位置において半導体チップ70の電極パッド(端子)に達するように形成されたビアホールを内部に充填するように、形成されている。また、65は配線パターン64及び樹脂層63を覆って形成された保護膜としてのソルダレジスト層、66は本装置50の外部接続端子として機能するはんだバンプを示す。ソルダレジスト層65は、配線パターン64の端子形成部分(パッド部)に対応する領域に開口部を有するように、つまり配線パターン64の端子形成部分が露出するように、形成されている。そして、この露出した配線パターン64の端子形成部分に、図示のように外部接続端子としてのはんだバンプ66が接合されている。

## 【0032】

また、パッケージ(配線基板)60内に埋設・実装される半導体チップ70については、第1の実施形態と同様に、厚さが50 $\mu$ m程度の薄いものを使用している。

本実施形態に係る半導体装置50は、厚さが50 $\mu$ m程度の薄い半導体チップ70をパッケージ(配線基板)60内に埋設・実装すると共に、パッケージ(配線基板)60の片面に外部接続端子としてのはんだバンプ66を設けたことを特徴としている。

## 【0033】

本実施形態についても、第1の実施形態と同様に、はんだバンプ(外部接続端子)66は必ずしも設ける必要はなく、要は、はんだバンプ等の外部接続端子が接続可能なように配線パターン64の一部(端子形成部分)がソルダレジスト層65から露出していれば十分である。

以下、本実施形態の半導体装置50を製造する方法について、その製造工程を示す図5を参照しながら説明する。

## 【0034】

先ず最初の工程では(図5(a)参照)、ベース基板61の上に接着剤を塗布し(接着剤層62)、更にこの接着剤層62の上に所要の個数の半導体チップ70(厚さが50 $\mu$ m程度の薄いもの)を適宜配置し、実装する。半導体チップ70の実装は、当該チップの電極パッド(端子)が形成されている側と反対側の面が接着剤層62に接着されるように行われる。

#### 【0035】

なお、ベース基板61の材料としては、絶縁性の材料又は導電性の材料のいずれを用いてもよい。絶縁性の材料としては、例えばガラス-エポキシ樹脂、ガラスBT樹脂等が用いられ、導電性の材料としては、典型的に銅(Cu)が用いられるが、アルミニウム(Al)等の他の金属を用いてもよい。

10

次の工程では(図5(b)参照)、半導体チップ70を覆うようにして接着剤層62の上に絶縁層としての樹脂層63を形成する。この樹脂層63の材料としては、例えばエポキシ樹脂やポリイミド樹脂等の熱硬化性樹脂が用いられる。あるいは、感光性エポキシ樹脂や感光性ポリイミド樹脂等の感光性樹脂を用いてもよい。

#### 【0036】

次の工程では(図5(c)参照)、樹脂層63の特定の位置において各半導体チップ70の電極パッドに達するように、CO<sub>2</sub>レーザやエキシマレーザ等による穴明け処理によりビアホールVHを形成する(レーザビア・プロセス)。

なお、樹脂層63の材料として感光性エポキシ樹脂等の感光性樹脂を用いた場合には、ビアホールVHは、通常のフォトリソグラフィ技術を用いて形成することができる(フォトリソグラフィ・プロセス)。この場合、レーザ等を用いてもビアホールVHを形成できることはもちろんである。

20

#### 【0037】

この後、第1の実施形態の場合と同様に、必要に応じてデバリング、デスミア等を行う。

次の工程では(図5(d)参照)、ビアホールVH内を充填して樹脂層63の上にパターンニングにより配線パターン(導体層)64を形成する。

この配線パターン(導体層)64は、例えば以下のように形成される。先ず、ビアホールVHの内部を含めて樹脂層63の上に、Cuの無電解めっきにより薄膜状Cu層を形成する。更に、この薄膜状Cu層の上に感光性のレジスト(図示せず)を塗布し、配線パターンの形状に従うように露光及び現像(レジストのパターンニング)を行う。次に、このレジストパターンをめっき用のマスクとし、薄膜状Cu層をめっき給電層としてCuの電解めっきを施し、厚めの導体層を形成する。この後、レジストパターンを除去し、薄膜状Cu層の露出部分をエッチングにより除去して、図示のようにパターンニングされた配線パターン(導体層)64を形成する。

30

#### 【0038】

次の工程では(図5(e)参照)、配線パターン64及び樹脂層63の上に感光性のソルダレジストを塗布し、更に配線パターン64の端子形成部分の形状に従うように露光及び現像(ソルダレジストのパターンニング)を行い、その端子形成部分の領域に対応する部分のソルダレジスト層に開口部を形成する。これによって、配線パターン64の端子形成部分が露出し、他の部分の配線パターン64がソルダレジスト層65によって覆われたことになる。このソルダレジスト層65は、パッケージ(配線基板)60の保護膜として機能する。

40

#### 【0039】

最後の工程では(図5(f)参照)、ベース基板61と反対側の面に外部接続端子としてのはんだバンプ66を形成し、この後、個々の半導体装置50に分割する。

はんだバンプ66は、ソルダレジスト層65の開口部から露出している配線パターン64の端子形成部分にはんだボールをリフローにより接着することで、形成される。この際、第1の実施形態と同様に、はんだボールをソルダレジスト層65の開口部内に配置する前に、当該開口部の内壁にCuめっき等による導体皮膜を形成するようにすると、はんだの濡れ性を向上させる上で好適である。

50

**【 0 0 4 0 】**

この後、ダイサー等により、破線で示すように分割線 C - C ' に沿って各パッケージ毎にそれぞれ 1 個の半導体チップ 7 0 が含まれるように分割する。これによって、図 4 に示す本実施形態の半導体装置 5 0 が作製されたことになる。

本実施形態についても、第 1 の実施形態と同様に、厚さが 5 0 μ m 程度の薄い半導体チップ 7 0 をパッケージ ( 配線基板 ) 6 0 内に埋設・実装しているため、半導体装置 5 0 をコンパクトに構成することができる。また、配線基板 6 0 を作製するプロセスの途中で半導体チップ 7 0 の実装工程を組み込んでいるため、従来のプロセスと比べて製造工程を簡略化することができる。

**【 0 0 4 1 】**

また、図 5 ( b ) ~ 図 5 ( d ) の工程と同様の工程を適宜繰り返すことで、多層配線構造を容易に実現することができ、半導体装置の高機能化を図ることが可能となる。この場合、半導体チップの 3 次元的な配置構成及び相互間の接続は、第 1 の実施形態のように各パッケージ間で外部接続端子を介在して行われるのではなく、単一のパッケージ ( 配線基板 ) 内で行われることになる。

**【 0 0 4 2 】**

上述した各実施形態では、図 3 ( c ) , 図 5 ( f ) の工程において個々の半導体装置 1 0 , 5 0 に分割する前に外部接続端子 ( はんだバンプ 3 2 , 6 6 ) を設けているが、前述したように、外部接続端子は必ずしも設ける必要はない。つまり、外部接続端子が接続可能なように配線パターン 2 9 , 6 4 の端子形成部分が露出していれば十分である。従って、図 3 ( c ) , 図 5 ( f ) の工程では、単に半導体装置 1 0 , 5 0 の分割処理のみを行うようにしてもよい。

**【 0 0 4 3 】**

また、上述した各実施形態では半導体装置の形態としていわゆるチップ・サイズ・パッケージ ( C S P ) に類似した形態の場合を例にとって説明したが、半導体装置の形態はこれに限定されないことはもちろんである。例えば図 3 ( c ) , 図 5 ( f ) の工程において、上述した各実施形態では各パッケージ毎にそれぞれ 1 個の半導体チップ 4 0 , 7 0 が含まれるように ( つまり C S P の形態で ) 分割しているが、かかる分割形態に代えて、各パッケージ毎にそれぞれ 2 個以上の半導体チップ 4 0 , 7 0 が含まれるように分割してもよい。このような分割形態とすることで、半導体装置をマルチ・チップ・モジュール ( M C M ) の形態とすることができ、半導体装置として更なる高機能化を図ることが可能となる。

**【 0 0 4 4 】**

さらに、上述した第 1 の実施形態では図 2 ( b ) の工程において銅箔付き樹脂フィルム 2 5 を用いているが、このような銅箔付き樹脂フィルム 2 5 を用いる代わりに、絶縁層 ( 樹脂フィルム 2 6 に相当 ) を形成した後で薄膜状 C u 層 ( 銅箔 2 7 に相当 ) を形成する工程を採用してもよい。この場合、薄膜状 C u 層を形成する成膜方法としては、無電解めっき、スパッタリング、蒸着等を用いることができる。

**【 0 0 4 5 】**

これは、第 2 の実施形態についても同様である。第 2 の実施形態では配線パターン 6 4 の形成に際し ( 図 5 ( d ) 参照 ) 、薄膜状 C u 層 ( めっき給電層 ) を形成するための成膜方法として無電解めっきを用いているが、これに代えて、スパッタリングや蒸着等を用いてもよい。

**【 0 0 4 6 】****【 発明の効果 】**

以上説明したように本発明によれば、パッケージに半導体素子を実装するに際しコンパクトに構成することができ、また、必要に応じて半導体素子の 3 次元的な配置構成及び相互間の接続を簡便に行うことができ、これによって高機能化を図ることが可能となる。

**【 図面の簡単な説明 】**

**【 図 1 】** 本発明の第 1 の実施形態に係る半導体装置の構造を示す断面図である。

**【 図 2 】** 図 1 の半導体装置の製造工程を示す断面図である。

10

20

30

40

50



【図3】図2の製造工程に続く製造工程を示す断面図である。

【図4】本発明の第2の実施形態に係る半導体装置の構造を示す断面図である。

【図5】図4の半導体装置の製造工程を示す断面図である。

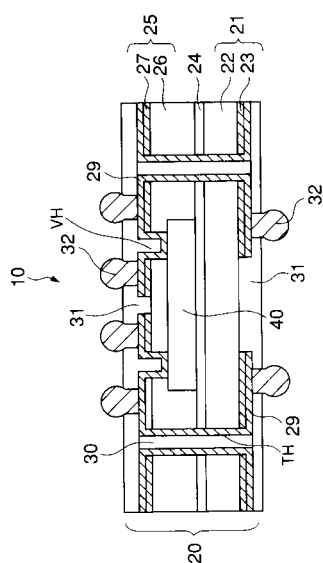
【符号の説明】

- 10, 50 ... 半導体装置
- 20, 60 ... 配線基板 (パッケージ)
- 21, 61 ... ベース基板
- 22, 63 ... 樹脂層 (絶縁層)
- 23, 27 ... 銅箔 (導体層)
- 24, 62 ... 接着剤層
- 25 ... 銅箔付き樹脂フィルム
- 26 ... 樹脂フィルム (絶縁膜)
- 28 ... 導体層
- 29, 64 ... 配線パターン (導体層)
- 30 ... 樹脂 (絶縁体)
- 31, 65 ... ソルダレジスト層 (保護膜)
- 32, 66 ... はんだバンプ (外部接続端子)
- 40, 70 ... 半導体素子 (チップ)
- TH ... スルーホール
- VH ... ピアホール

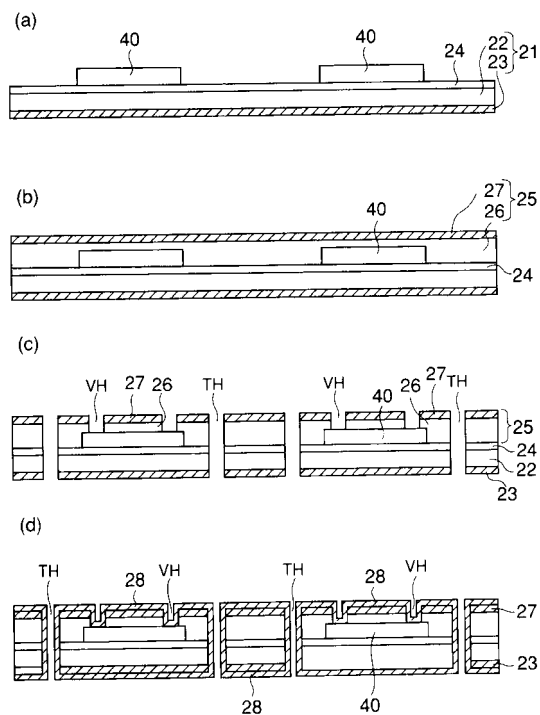
10

20

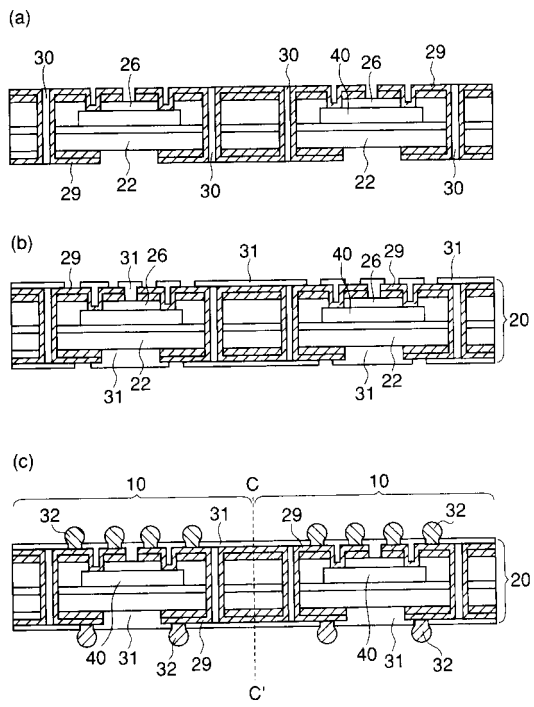
【図1】



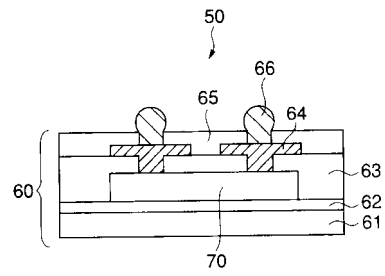
【図2】



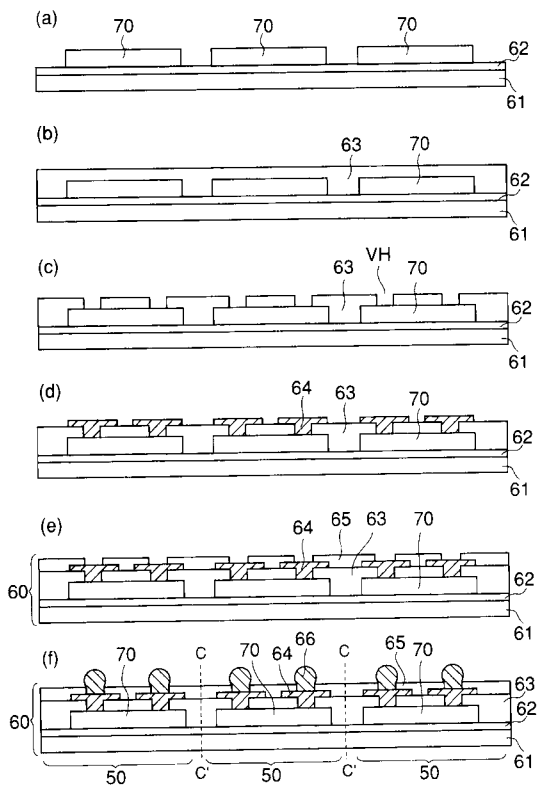
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 特開平11-354669(JP,A)  
特表平06-502282(JP,A)  
特開平11-111738(JP,A)  
特開平11-354667(JP,A)  
特開2000-022040(JP,A)  
特開平04-283987(JP,A)  
特開平11-168150(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12  
H01L 23/52  
H01L 25/10  
H01L 25/18  
H05K 3/46