



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월31일
(11) 등록번호 10-1078470
(24) 등록일자 2011년10월25일

(51) Int. Cl.
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2005-7020135
(22) 출원일자(국제출원일자) 2004년02월19일
심사청구일자 2008년12월19일
(85) 번역문제출일자 2005년10월22일
(65) 공개번호 10-2005-0118735
(43) 공개일자 2005년12월19일
(86) 국제출원번호 PCT/US2004/004982
(87) 국제공개번호 WO 2004/097926
국제공개일자 2004년11월11일
(30) 우선권주장
10/422,130 2003년04월24일 미국(US)
(56) 선행기술조사문헌
US06107142 A1*
US20020038891 A1*
DE19832329 A
WO200178134 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
크리 인코포레이티드
미국 노스 캐롤라이나 27703-8475 더럼 실리콘 드
라이브 4600
(72) 발명자
류 세형
미국 노스캐롤라이나 27513 캐리 로우벤 벨리 코
트 123
(74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 26 항

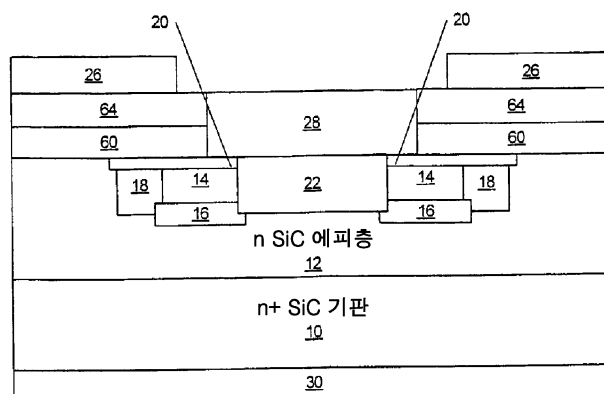
심사관 : 권순근

(54) 자기-정렬된 소오스 및 웰 영역들을 갖는 실리콘 카바이드파워 소자 및 그 제조 방법

(57) 요약

실리콘 카바이드 반도체 소자 및 실리콘 카바이드 반도체 소자의 제조 방법이, 제 1 도전형 실리콘 카바이드층 내의 제 1 도전형의 소오스 영역, 상기 제 1 도전형과 반대의 제 2 도전형의 매몰 실리콘 카바이드 영역 및 제 2 도전형 웰 영역의 형성을 위한 윈도우들을 제공하기 위한 마스크층을 연속적으로 식각함으로써, 제공된다. 상기 소오스 영역 및 상기 매몰 실리콘 카바이드 영역은 상기 마스크층의 제 1 윈도우를 이용하여 형성된다. 이어서, 상기 웰 영역은 상기 마스크층의 제 2 윈도우를 이용하여 형성되고, 상기 제 2 윈도우는 상기 제 1 윈도우를 갖는 상기 마스크층을 이어서 식각함으로써 제공된다.

대표도 - 도4e



특허청구의 범위

청구항 1

제 1 도전형 실리콘 카바이드층 내의 제 1 도전형의 소오스 영역 및 상기 제 1 도전형의 반대의 제 2 도전형의 매몰 실리콘 카바이드 영역의 형성을 위한 제 1 윈도우 및 제 2 도전형 웰 영역의 형성을 위한 제 2 윈도우를 제공하기 위한 단일 마스크층의 연속적인 패터닝 단계를 포함하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 단일 마스크층의 연속적인 패터닝 단계에 의해 제공된 상기 단일 마스크층의 제 1 윈도우를 이용하여 상기 소오스 영역 및 상기 매몰 실리콘 카바이드 영역을 형성하는 단계; 및

상기 단일 마스크층의 제 2 윈도우를 이용하여 상기 웰 영역을 형성하는 단계를 포함하고, 상기 제 2 윈도우는 상기 제 1 윈도우를 갖는 상기 단일 마스크층의 이어지는 패터닝에 의해 제공되는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 3

제 1 항에 있어서, 상기 제 1 도전형은 n-형 실리콘 카바이드이고 상기 제 2 도전형은 p-형 실리콘 카바이드이고 상기 매몰 실리콘 카바이드 영역은 매몰 p-형 실리콘 카바이드 영역을 포함하고 상기 웰 영역은 p-웰 영역을 포함하는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 4

제 3 항에 있어서, 단일 마스크층의 연속적인 패터닝 단계, 상기 소오스 영역 및 상기 매몰 p-형 실리콘 카바이드 영역의 형성 단계 및 상기 p-웰 영역의 형성 단계는,

상기 제 1 n-형 실리콘 카바이드층의 제 1 표면에 상기 단일 마스크층을 형성하는 단계;

상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는 제 1 주입 마스크를 제공하기 위해 상기 단일 마스크층을 패터닝하는 단계; 이어서

상기 제 1 n-형 실리콘 카바이드층의 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는 n-형 소오스 영역을 제공하기 위해 상기 적어도 하나의 윈도우를 갖는 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계;

상기 n-형 소오스 영역에 인접하고 상기 n-형 소오스 영역의 깊이보다 깊은 상기 제 1 n-형 실리콘 카바이드층 내의 깊이에 배치되는 상기 매몰 p-형 영역을 제공하기 위해 상기 적어도 하나의 윈도우를 갖는 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계; 이어서

제 2 주입 마스크를 제공하기 위해 상기 제 1 주입 마스크를 식각하는 단계로서, 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 식각에 의해 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는 식각 단계; 및 이어서

상기 p-형 매몰 영역으로 신장하는 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계를 포함하는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 5

제 3 항에 있어서, 소오스 영역, 매몰 p-형 실리콘 카바이드 영역 및 p-웰 영역의 형성을 위한 제 1 및 제 2 윈도우들을 제공하기 위해 단일 마스크층을 연속적으로 패터닝하는 단계는, 제 1 n-형 실리콘 카바이드층 내의 소오스 영역, 매몰 p-형 실리콘 카바이드 영역, p-웰 영역 및 문턱 조절 영역의 형성을 위한 윈도우들을 제공하기 위해 단일 마스크층을 연속적으로 패터닝하는 단계를 포함하고, 상기 마스크층의 제 3 윈도우를 이용하여 상기 문턱 조절 영역을 형성하는 단계를 더 포함하고 상기 제 3 윈도우는 상기 제 2 윈도우를 갖는 상기 마스크층의 이어지는 식각에 의해 제공되는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 6

제 3 항에 있어서, 단일 마스크층의 연속적인 패터닝 단계, 상기 소오스 영역 및 상기 매몰 p-형 실리콘 카바이드 영역의 형성 단계 및 상기 p-웰 영역의 형성 단계는,

상기 제 1 n-형 실리콘 카바이드층의 제 1 표면에 상기 단일 마스크층을 형성하는 단계;

상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는 제 1 주입 마스크를 제공하기 위해 상기 단일 마스크층을 패터닝하는 단계; 이어서

상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는 n-형 소오스 영역을 제공하기 위해 상기 적어도 하나의 윈도우를 갖는 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계;

상기 n-형 소오스 영역에 인접한 상기 매몰 p-형 영역을 제공하기 위해 상기 적어도 하나의 윈도우를 갖는 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계로서, 상기 p-형 도펀트들은 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 상기 n-형 도펀트들을 주입하기 위해 이용되는 주입 에너지보다 높은 주입 에너지를 이용하여 주입되는 단계; 이어서

제 2 주입 마스크를 제공하기 위해 상기 제 1 주입 마스크를 식각하는 단계로서, 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 식각에 의해 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는 식각 단계; 및 이어서

상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계를 포함하고, 상기 p-형 도펀트들은 상기 p-웰 영역이 상기 p-형 매몰 영역으로 신장하도록 하는 주입 에너지를 이용하여 주입되는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 7

제 6 항에 있어서, 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계는, 상기 매몰 p-형 실리콘 카바이드층의 캐리어 농도보다 낮은 상기 p-웰 영역의 캐리어 농도를 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계를 포함하는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 8

제 6 항에 있어서, 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계에 이어서,

제 3 주입 마스크를 제공하기 위해 상기 제 2 주입 마스크를 식각하는 단계로서, 상기 제 3 주입 마스크는 문턱 조절 영역에 대응하고 상기 식각에 의해 확장된 상기 제 2 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는 식각 단계; 및 이어서

상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계가 이어지는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 9

제 8 항에 있어서, 상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계는, 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 상기 제 1 n-형 실리콘 카바이드층 내로 약 0.01에서 약 0.5 μm 의 깊이로 주입하는 단계를 포함하는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 제 3 주입 마스크를 제거하는 단계;

상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면을 노출하는 윈도우를 제공하기 위해 패터닝된 제 4 주입 마스크를 형성하는 단계;

상기 p-형 매물 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드 층 내로 신장하는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 4 주입 마스크를 이용하여 p-형 도펀트들을 주입하는 단계;

상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에 게이트 콘택을 형성하는 단계;

상기 소오스 영역 및 상기 플러그 영역 상에 소오스 콘택을 형성하는 단계; 및

상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 드레인 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 11

제 10 항에 있어서, 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층의 표면상에 제 2 n-형 실리콘 카바이드층을 형성하는 단계를 더 포함하고, 상기 제 2 n-형 실리콘 카바이드층은 상기 제 1 n-형 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 12

실리콘 카바이드 파워 소자의 제조 방법으로서,

제 1 도전형 실리콘 카바이드층 내의 제 1 도전형의 소오스 영역, 상기 제 1 도전형과 반대인 제 2 도전형의 매물 실리콘 카바이드 영역 및 제 2 도전형 웰 영역의 형성을 위한 윈도우들을 제공하기 위하여 단일 마스크층을 연속적으로 패터닝하는 단계를 포함하고,

상기 제 1 도전형은 n-형 실리콘 카바이드이고 상기 제 2 도전형은 p-형 실리콘 카바이드이고 상기 매물 실리콘 카바이드 영역은 매물 p-형 실리콘 카바이드 영역을 포함하고 상기 웰 영역은 p-웰 영역을 포함하고,

마스크층을 연속적으로 패터닝하는 단계, 상기 소오스 영역 및 상기 매물 p-형 실리콘 카바이드 영역을 형성하는 단계 및 상기 p-웰 영역을 형성하는 단계는,

제 1 n-형 실리콘 카바이드층 상에 상기 마스크층을 형성하는 단계;

상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는 제 1 주입 마스크를 제공하기 위해 상기 마스크층을 패터닝하는 단계; 이어서

상기 제 1 n-형 실리콘 카바이드층의 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계;

상기 n-형 소오스 영역에 인접한 상기 매물 p-형 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계로서, 상기 p-형 도펀트들은 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 상기 n-형 도펀트들을 주입하기 위해 이용되는 주입 에너지보다 높은 주입 에너지를 이용하여 주입하는 단계; 이어서

제 2 주입 마스크를 제공하기 위해 상기 제 1 주입 마스크를 식각하는 단계로서, 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 식각에 의해 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는 식각 단계; 이어서

상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계로서, 상기 p-형 도펀트들은 상기 p-웰 영역이 상기 p-형 매물 영역으로 신장하도록 하는 주입 에너지를 이용하여 주입되는 주입 단계;

제 3 주입 마스크를 제공하기 위해 상기 제 2 주입 마스크를 식각하는 단계로서, 상기 제 3 주입 마스크는 문턱 조절 영역에 대응하고 상기 식각에 의해 확장된 상기 제 2 주입 마스크의 상기 적어도 하나의 윈도우에 대응하

는 적어도 하나의 윈도우를 갖는 식각 단계; 이어서

상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계; 이어서

상기 제 3 주입 마스크를 제거하는 단계; 및

상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면 상에 n-형 카바이드 에피택셜층을 형성하는 단계를 포함하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 13

제 12 항에 있어서, n-형 실리콘 카바이드 에피택셜층을 형성하는 단계의 전에,

상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 일부분을 노출하는 윈도우를 제공하기 위해 패턴된 제 4 주입 마스크를 형성하는 단계;

상기 p-형 매몰 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드층 내로 신장하는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 4 주입 마스크를 이용하여 p-형 도펀트들을 주입하는 단계; 및

상기 주입된 도펀트들을 활성화시키는 단계가 선행하고, 그리고

n-형 실리콘 카바이드 에피택셜층을 형성하는 단계에 이어서,

상기 n-형 실리콘 카바이드 에피택셜층 상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에 게이트 콘택을 형성하는 단계;

상기 소오스 영역 및 상기 플러그 영역 상에 소오스 콘택을 형성하는 단계; 및

상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 드레인 콘택을 형성하는 단계가 이어지는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 14

제 13 항에 있어서, 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층의 표면상에 제 2 n-형 실리콘 카바이드층을 형성하는 단계를 더 포함하고, 상기 제 2 n-형 실리콘 카바이드층은 상기 제 1 n-형 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 15

실리콘 카바이드 파워 소자의 제조 방법으로서,

제 1 도전형 실리콘 카바이드층 내의 제 1 도전형의 소오스 영역 및 상기 제 1 도전형의 반대의 제 2 도전형의 매몰 실리콘 카바이드 영역의 형성을 위한 제 1 윈도우 및 제 2 도전형 웰 영역의 형성을 위한 제 2 윈도우를 제공하기 위한 단일 마스크층의 연속적인 패터닝 단계를 포함하고,

상기 제 1 도전형은 n-형 실리콘 카바이드이고 상기 제 2 도전형은 p-형 실리콘 카바이드이고 상기 매몰 실리콘 카바이드 영역은 매몰 p-형 실리콘 카바이드 영역을 포함하고 상기 웰 영역은 p-웰 영역을 포함하고,

마스크층을 연속적으로 패터닝하는 단계, 상기 소오스 영역 및 상기 매몰 p-형 실리콘 카바이드 영역을 형성하는 단계 및 상기 p-웰 영역을 형성하는 단계는,

제 1 n-형 실리콘 카바이드층 상에 상기 마스크층을 형성하는 단계;

상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는 제 1 주입 마스크를 제공하기 위해 상기 마스크층을 패터닝하는 단계; 이어서

상기 제 1 n-형 실리콘 카바이드층의 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트들을 주입하는 단계;

상기 n-형 소오스 영역에 인접한 상기 매몰 p-형 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기

제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계로서, 상기 p-형 도펀트들은 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 상기 n-형 도펀트들을 주입하기 위해 이용되는 주입 에너지보다 높은 주입 에너지를 이용하여 주입하는 단계; 이어서

제 2 주입 마스크를 제공하기 위해 상기 제 1 주입 마스크를 식각하는 단계로서, 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 식각에 의해 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는 식각 단계; 이어서

상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트들을 주입하는 단계로서, 상기 p-형 도펀트들은 상기 p-웰 영역이 상기 p-형 매물 영역으로 신장하도록 하는 주입 에너지를 이용하여 주입되는 주입 단계; 이어서

상기 제 2 주입 마스크를 제거하는 단계; 및

상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면상에 n-형 실리콘 카바이드 에피택셜층을 형성하는 단계를 포함하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 16

제 15 항에 있어서, n-형 실리콘 카바이드 에피택셜층을 형성하는 단계의 전에,

상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 일부분을 노출하는 윈도우를 제공하기 위해 패턴된 제 3 주입 마스크를 형성하는 단계;

상기 p-형 매물 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드층 내로 신장하는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 p-형 도펀트들을 주입하는 단계; 및

상기 주입된 도펀트들을 활성화시키는 단계가 선행하고, 그리고

n-형 실리콘 카바이드 에피택셜층을 형성하는 단계에 이어서,

n-형 실리콘 카바이드 에피택셜층 상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에 게이트 콘택을 형성하는 단계;

상기 소오스 영역 및 상기 플러그 영역 상에 소오스 콘택을 형성하는 단계; 및

상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 드레인 콘택을 형성하는 단계가 이어지는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 17

제 16 항에 있어서, 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층의 표면상에 제 2 n-형 실리콘 카바이드층을 형성하는 단계를 더 포함하고, 상기 제 2 n-형 실리콘 카바이드층은 상기 제 1 n-형 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 소자의 제조 방법.

청구항 18

제 1 도전형을 갖는 제 1 실리콘 카바이드층;

상기 제 1 실리콘 카바이드층 내에 있고, 상기 제 1 도전형을 갖고, 상기 제 1 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖고, 상기 제 1 실리콘 카바이드층의 제 1 표면으로 신장하는 소오스 영역;

상기 소오스 영역의 바닥부분에 인접한 상기 제 1 실리콘 카바이드층 내에 있고, 상기 소오스 영역의 깊이보다 깊은 상기 제 1 실리콘 카바이드층 내의 깊이에 있는 제 2 도전형의 실리콘 카바이드의 매물 영역;

상기 소오스 영역의 바깥의 상기 제 1 실리콘 카바이드층 내에 있고, 상기 제 1 실리콘 카바이드층의 상기 제 1 표면을 향하여 신장하고, 상기 매물 영역의 캐리어 농도보다 낮은 캐리어 농도를 갖는 상기 제 2 도전형의 실리콘 카바이드의 웰 영역;

상기 웰 영역의 맞은편 상기 소오스 영역 내에 있고, 상기 제 1 실리콘 카바이드층의 상기 제 1 표면으로 신장

하는 상기 제 2 도전형의 실리콘 카바이드의 플러그 영역;

상기 제 1 실리콘 카바이드층 내에 있고 상기 소오스 영역으로부터 신장하고 상기 웰 영역 및 상기 제 1 실리콘 카바이드층의 상기 제 1 표면의 사이에 배치된 제 1 도전형 실리콘 카바이드의 문턱 조절 영역들;

상기 제 1 실리콘 카바이드층, 상기 웰 영역 및 상기 소오스 영역 상의 게이트 산화막;

상기 게이트 산화막 상의 게이트 콘택;

상기 플러그 영역 및 상기 소오스 영역 상의 소오스 콘택; 및

상기 제 1 실리콘 카바이드층의 상기 제 1 표면의 맞은편 상기 제 1 실리콘 카바이드층 상의 드레인 콘택을 포함하는 실리콘 카바이드 파워 반도체 소자.

청구항 19

제 18 항에 있어서, 상기 소오스 영역은 상기 제 1 도전형의 도펀트들 및 상기 제 1 도전형의 반대의 제 2 도전형의 도펀트들을 갖는 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 20

제 18 항에 있어서, 상기 제 1 도전형은 n-형이고 상기 제 2 도전형은 p-형인 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 21

제 18 항에 있어서, 상기 문턱 조절 영역들은 상기 제 1 실리콘 카바이드층 내로 약 $0.01 \mu\text{m}$ 내지 약 $0.5 \mu\text{m}$ 의 깊이까지 신장하고 약 10^{15} 내지 약 10^{19} cm^{-3} 의 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 22

제 1 도전형을 갖는 제 1 실리콘 카바이드층;

상기 제 1 실리콘 카바이드층 내에 있고, 상기 제 1 도전형을 갖고, 상기 제 1 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖고, 상기 제 1 실리콘 카바이드층의 제 1 표면으로 신장하는 소오스 영역;

상기 소오스 영역의 바닥부분에 인접한 상기 제 1 실리콘 카바이드층 내에 있고, 상기 소오스 영역의 깊이보다 깊은 상기 제 1 실리콘 카바이드층 내의 깊이에 있는 제 2 도전형의 실리콘 카바이드의 매몰 영역;

상기 소오스 영역의 바깥의 상기 제 1 실리콘 카바이드층 내에 있고, 상기 제 1 실리콘 카바이드층의 상기 제 1 표면을 향하여 신장하고, 상기 매몰 영역의 캐리어 농도보다 낮은 캐리어 농도를 갖는 상기 제 2 도전형의 실리콘 카바이드의 웰 영역;

상기 웰 영역의 맞은편 상기 소오스 영역 내에 있고, 상기 제 1 실리콘 카바이드층의 상기 제 1 표면으로 신장하는 상기 제 2 도전형의 실리콘 카바이드의 플러그 영역;

상기 제 1 실리콘 카바이드층, 상기 웰 영역 및 상기 소오스 영역 상의 게이트 산화막;

상기 게이트 산화막 및 상기 제 1 실리콘 카바이드층 사이의 상기 제 1 실리콘 카바이드층의 상기 제 1 표면 상의 제 1 실리콘 카바이드 에피택셜층;

상기 게이트 산화막 상의 게이트 콘택;

상기 플러그 영역 및 상기 소오스 영역 상의 소오스 콘택; 및

상기 제 1 실리콘 카바이드층의 상기 제 1 표면의 맞은편 상기 제 1 실리콘 카바이드층 상의 드레인 콘택을 포함하는 실리콘 카바이드 파워 반도체 소자.

청구항 23

제 22 항에 있어서, 상기 제 1 실리콘 카바이드층은 약 $6 \mu\text{m}$ 내지 약 $200 \mu\text{m}$ 의 두께 및 약 1×10^{14} 내지 약 5

$\times 10^{16} \text{ cm}^{-3}$ 의 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 24

제 22 항에 있어서, 상기 제 1 실리콘 카바이드층 내에 있고 상기 소오스 영역으로부터 신장하는 제 1 도전형 실리콘 카바이드의 문턱 조절 영역들을 더 포함하고, 상기 문턱 조절 영역들은 상기 웰 영역 및 상기 제 1 실리콘 카바이드층의 상기 제 1 표면 사이에 배치된 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 25

제 24 항에 있어서, 상기 문턱 조절 영역들은 상기 제 1 실리콘 카바이드층 내로 약 $0.01 \mu\text{m}$ 내지 약 $0.5 \mu\text{m}$ 의 깊이까지 신장하고 약 10^{15} 내지 약 10^{19} cm^{-3} 의 캐리어 농도를 갖고, 상기 제 1 실리콘 카바이드층은 약 $6 \mu\text{m}$ 내지 약 $200 \mu\text{m}$ 의 두께 및 약 1×10^{14} 내지 약 $5 \times 10^{16} \text{ cm}^{-3}$ 의 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 26

제 18 항에 있어서, 상기 제 1 실리콘 카바이드층 및 상기 드레인 콘택 사이에 배치된 상기 제 1 도전형의 제 2 실리콘 카바이드층을 더 포함하고, 상기 제 2 실리콘 카바이드층은 상기 제 1 실리콘 카바이드층보다 높은 캐리어 농도를 갖는 것을 특징으로 하는 실리콘 카바이드 파워 반도체 소자.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

명세서

기술분야

[0001] 본 발명은 파워 소자의 제조 방법에 관한 것으로서, 특히 실리콘 카바이드 파워 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 고전류를 운송하고 고전압에 견디기 위해 파워 소자가 널리 사용되고 있다. 현대 파워 소자는 일반적으로 단결정 실리콘 반도체 물질로부터 제조된다. 널리 이용되는 하나의 파워 소자는 파워 금속 산화막 반도체 전계효과 트랜지스터(MOSFET)이다. 파워 MOSFET에서, 제어 신호는 중간 절연층에 의해 반도체 표면으로부터 분리된 게이트 전극에 공급된다. 중간 절연층은 실리콘 산화막일 수 있으나, 이에 제한되지 않는다. 전류 전도는 바이폴라 트랜지스터 동작에서 사용되는 소수 캐리어 주입 없이 다수 캐리어의 운송에 의해 발생된다. 파워 MOSFET은 매우 안전한 동작 면적을 제공할 수 있고, 단위 셀 구조에서 병렬 배치될 수 있다.

[0003] 해당 기술분야에서 통상의 지식을 가진 자에게 알려진 바와 같이, 파워 MOSFET은 측면 구조 또는 수직 구조를 포함할 수 있다. 측면 구조에서, 드레인, 게이트 및 소오스 터미널들은 기관의 같은 면상에 있다. 반대로, 수직 구조에서, 소오스 및 드레인 기관의 맞은편 표면들에 있다.

[0004] 파워 소자들에 있어서 최근의 개발 노력은 파워 소자로서 실리콘 카바이드(SiC)를 사용하려는 연구를 또한 포함한다. 실리콘 카바이드는 실리콘에 비해서 넓은 밴드갭, 낮은 유전 상수, 높은 항복 필드 강도, 높은 열전도도, 및 높은 포화전자 드리프트 속도를 갖는다. 이러한 특성들은 실리콘 카바이드 파워 소자가 통상의 실리콘계 파워 소자에 비해 보다 높은 온도, 보다 높은 파워 레벨 및/또는 보다 낮은 비 온-저항(specific on-resistance)에서 동작하게 한다. 실리콘 소자에 대한 실리콘 카바이드 소자의 우위에 대한 이론적인 분석은 Bhatnagar 등에 의한 간행물, 전자 소자에 관한 IEEE 논문(IEEE Transactions on Electron Devices), Vol. 40, 1993, pp. 645-655, "Comparison of 6H-SiC, 3C-SiC and Si for Power Devices"에서 찾을 수 있다. 실리콘 카바이드에서 제조된 파워 MOSFET은 Palmour에 의해 본 발명의 양수인에게 양도된 미국특허 5,506,421호, "Power MOSFET in Silicon Carbide"에 기술되어 있다.

[0005] 많은 실리콘 카바이드 파워 MOSFET 구조가 문헌에 개시되어 있다. 예를 들어, 미국특허번호 5,506,421; A.K. Agarwal, J.B. Casady, L.B. Rowland, W.F. Valek, M.H. White, 및 C.D. Brandt에 의한 IEEE 전자소자 레터(Electron Device Letters), 1997년 12월, 18권 12호, 586-588쪽의 "1.1kV 4H-SiC Power UMOSFET's"; A.K. Agarwal, J.B. Casady, L.B. Rowland, W.F. Valek 및 C.D. Brandt에 의한 재료과학 포럼(Materials Science Forum), 1998년, 264-268권, 989-992쪽의 "1400 V 4H-SiC Power MOSFETs"; J. Tan, J.A. Cooper, Jr., 및 M.R. Melloch에 의한 IEEE 전자소자 레터, 1998년 12월, 19권/12호, 487-489쪽의 "High-Voltage Accumulation-Layer UMOSFETs in 4H-SiC"; J.N. Shenoy, J.A. Cooper 및 M.R. Melloch에 의한 IEEE 전자소자 레터, 1997년 3월, 18권/3호, 93-95쪽의 "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"; J.B. Casady, A.K. Agarwal, L.B. Rowland, W.F. Valek 및 C.D. Brandt에 의한, IEEE 소자연구 학회(Device Research Conference), 콜린스(Ft. Collins, Co), 1997년 6월 23-25의 "900 V DMOS and 110 V UMOS 4H-SiC Power FETs"; R. Schorner, P. Friedrichs, D. Peters, H. Mitlehner, B. Weis 및 D. Stephani에 의한 재료과학 포럼, 2000년 338-342권, 1295-1298쪽의 "Rugged Power MOSFETs in 6H-SiC with Blocking Capability up to 1800 V"; V.R. Vathulya 및 M.H. White에 의한 1999년 6월 30-6월 2, 캘리포니아 산타바바라, 전자재료 학회(Electronic Materials Conference)의 "Characterization of Channel Mobility on Implanted SiC to determine Polytype suitability for the Power DIMOS structure"; A.V. Suvorov, L.A. Lipkin, G.M. Johnson, R. Singh 및 J.W. Palmour에 의한 재료과학 포럼, 2000년 338-342권, 1275-1278쪽의 "4H-SiC Self-Aligned Implant-Diffused Structure for Power DMOSFETs"; P.M. Shenoy 및 B.J. Baliga에 의한 IEEE 전자소자 레터, 1997년 12월, 18권, 12호, 589-591쪽의 "The Planar 6H-SiC ACCUFET: A New High-Voltage Power MOSFET Structure"; Ranbir Singh, Sei-Hyung Ryu 및 John W. Palmour에 의한 2000년, 재료과학 포럼, 338-342권, 1271-1274쪽의 "High Temperature, High Current, 4H-SiC Accu-DMOSFET"; Y. Wang, C. Weitzel 및 M. Bhatnagar에 의한 재료과학 포럼, 2000년 338-342권 1287-1290쪽의 "Accumulation-Mode SiC Power MOSFET Design Issues"; A.K. Agarwal, N.S. Saks, S.S. Mani, V.S. Hegde 및 P.A. Sanger에 의한 재료과학 포럼, 2000년, 338-342권, 1307-1310쪽의 "Investigation of Lateral RESURF, 6H-SiC MOSFETs"; 및 Shenoy 등에 의한 IEEE 전자 소자 레터, 1997년 3월

18권3호, 93-95쪽의 "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"를 참조하라.

[0006] 널리 이용되는 하나의 실리콘 파워 MOSFET은 이중-확산(double-diffusion) 공정을 이용하여 제조되는 이중 확산된 MOSFET(DMOSFET)이다. 실리콘에서의 통상의 DMOSFET(510)이 도 1에 도시된다. 이러한 소자에서, p-베이스 영역(p-base region, 514) n+ 소오스 영역(516)은 마스크 내의 공통 개구(opening)를 통하여 기판(512)에서 확산된다. p-베이스(514) 및 n+ 소오스 영역(516)들 사이의 측방향 확산에서의 차이는 표면 채널 영역을 형성한다. 게이트 산화막(518)은 기판(512) 상에 제공되고, 게이트 콘택(520)은 게이트 산화막(518) 상에 제공된다. 소오스 콘택(522)은 n+ 소오스 영역들(516) 사이의 기판(512) 상에 제공된다. DMOSFET을 포함하는 파워 MOSFET에 대한 고찰은 PWS 출판사에 의해 1996년 간행된 B.J. Baliga의 "Power Semiconductor Devices", 보다 구체적으로는 7장의 "Power MOSFET"에서 찾을 수 있고, 그 내용은 참조에 의해 여기에 포함된다. DMOSFET 구조는 또한 실리콘 카바이드에서 제조되었으나, 실리콘 카바이드에서 도펀트(dopant)들의 낮은 확산 때문에 다른 기술들, 예컨대 이중 이온주입이 실리콘 카바이드에서 DMOSFET을 제조하는 데 사용되어 왔다. 따라서, "DMOSFET"이라는 용어는 여기에서 베이스 또는 베이스 내의 웰 영역(well region) 및 소오스 영역들 또는 도 1의 구조의 제조 단계에서 사용된 방법과 무관한 웰 영역을 갖는 도 1과 유사한 구조를 지칭한다.

[0007] 실리콘 카바이드의 잠재적인 이점에도 불구하고, 실리콘 카바이드에 파워 MOSFET을 포함하는 파워 소자를 제조하는 것은 어려울 수 있다. 예를 들어, 전술한 바와 같이, DMOSFET은 일반적으로 실리콘에서 이중 확산 공정을 이용하여 제조되고, 이때 p-베이스 영역은 n+ 소오스 영역보다 깊게 확산된다. 불행하게도, 실리콘 카바이드에서 통상적인 p-형 및 n-형 도펀트의 확산 계수는 실리콘에 비해 작고, 그 결과, 적용 가능한 확산 시간 및 온도를 이용하여 p-베이스 및 n+ 소오스 영역들의 필요한 깊을 얻는 것이 어렵다. 이온 주입이 p-베이스 및 n+ 소오스를 주입하기 위해 또한 사용될 수 있다. 예를 들어, IEEE 전자 소자 레터, Vol. 18, No. 3, 1997년 3월, pp.93-95의 Shenoy 등에 의한 "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"를 참조하라.

발명의 상세한 설명

[0008] 본 발명의 실시예들은 제 1 도전형 실리콘 카바이드층 내의 제 1 도전형의 소오스 영역, 상기 제 1 도전형과 반대의 제 2 도전형의 매몰 실리콘 카바이드 영역(buried silicon carbide region) 및 제 2 도전형 웰 영역의 형성을 위한 윈도우들을 제공하기 위한 마스크층(mask layer)을 연속적으로 패터닝함으로써 예를 들어, 식각함으로써, 실리콘 카바이드 반도체 소자 및 실리콘 카바이드 반도체 소자의 제조 방법을 제공한다. 상기 소오스 영역 및 상기 매몰 실리콘 카바이드 영역은 상기 마스크층의 제 1 윈도우(first window)를 이용하여 형성된다. 이어서, 상기 웰 영역은 상기 마스크층의 제 2 윈도우를 이용하여 형성되고, 상기 제 2 윈도우는 상기 제 1 윈도우의 이어지는 확장에 의해 제공된다.

[0009] 본 발명의 특정 실시예에서, 상기 제 1 도전형은 n-형 실리콘 카바이드이고 상기 제 2 도전형은 p-형 실리콘 카바이드이다. 그러한 실시예에서, 상기 매몰 실리콘 카바이드 영역은 매몰 p-형 실리콘 카바이드 영역이고 상기 웰 영역은 p-웰 영역이다.

[0010] 본 발명의 다른 실시예에서, 마스크층을 연속적으로 패터닝하는 단계, 상기 소오스 영역 및 상기 매몰 p-형 실리콘 카바이드의 형성 및 상기 p-웰 영역의 형성 단계는, 상기 제 1 n-형 실리콘 카바이드층의 제 1 표면상에 상기 마스크층을 형성하는 단계 및 상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는 제 1 주입 마스크를 제공하기 위해 상기 마스크층을 패터닝하는 단계에 의해서 제공된다. 이어서, n-형 도펀트가 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다. 상기 n-형 소오스 영역은 상기 제 1 n-형 실리콘 카바이드층의 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는다. p-형 도펀트는 상기 n-형 소오스 영역에 인접한 상기 매몰 p-형 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다. 상기 매몰 p-형 영역은 상기 n-형 소오스 영역의 깊이보다 깊은 상기 제 1 n-형 실리콘 카바이드층 내의 깊이에 배치된다. 상기 제 1 주입 마스크는 이어서 예를 들어, 제 2 주입 마스크를 제공하기 위해 상기 제 1 주입 마스크를 등방성 식각함으로써 확장된다. 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 등방성 식각에 의해 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는다. 이어서, p-형 도펀트가 상기 p-형 매몰 영역으로 신장하는 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다.

[0011] 본 발명의 부가적인 실시예에서, 마스크층은 제 1 n-형 실리콘 카바이드층 내의 소오스 영역, 매몰 p-형 실리콘 카바이드 영역, p-웰 영역 및 문턱 조절 영역(threshold adjustment region)의 형성을 위한 윈도우들을 제공하기 위해 연속적으로 패터닝된다. 그러한 실시예들에서, 상기 문턱 조절 영역은 상기 마스크층의 제 3 윈도우를

이용하여 형성되고, 상기 제 3 윈도우는 상기 제 2 윈도우를 갖는 상기 마스크층의 이어지는 확장에 의해 제공된다.

[0012] 본 발명의 또 다른 실시예에서, 마스크층을 연속적으로 패터닝하는 단계, 상기 소오스 영역 및 상기 매몰 p-형 실리콘 카바이드의 형성 및 상기 p-웰 영역의 형성 단계는, 상기 제 1 n-형 실리콘 카바이드층의 제 1 표면상에 상기 마스크층을 형성하는 단계 및 제 1 주입 마스크를 제공하기 위하여 상기 마스크층을 패터닝하는 단계에 의해 제공된다. 상기 제 1 주입 마스크는 상기 실리콘 카바이드 파워 소자의 상기 소오스 영역에 대응하는 적어도 하나의 윈도우를 갖는다. 이어서, n-형 도펀트는 n-형 소오스 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다. 상기 n-형 소오스 영역은 상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면으로 신장하고 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는다. p-형 도펀트는 상기 n-형 소오스 영역에 인접한 상기 매몰 p-형 영역을 제공하기 위해 상기 제 1 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다. 상기 p-형 도펀트는 상기 제 1 n-형 실리콘 카바이드 내에 상기 n-형 도펀트를 주입하기 위해 이용되는 주입 에너지보다 높은 주입 에너지를 이용하여 주입된다. 이어서, 상기 제 1 주입 마스크의 상기 윈도우는 제 2 주입 마스크를 제공하기 위해 예를 들어 등방성 식각에 의해 확장된다. 상기 제 2 주입 마스크는 상기 p-웰 영역에 대응하고 상기 확장된 상기 제 1 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는다. p-형 도펀트는 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 주입된다. 상기 p-형 도펀트는 상기 p-웰 영역이 상기 p-형 매몰 영역으로 신장하도록 하는 주입 에너지를 이용하여 주입된다.

[0013] 다른 실시예들에서, 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트를 주입하는 단계는, 상기 매몰 p-형 실리콘 카바이드층의 캐리어 농도보다 낮은 상기 p-웰 영역의 캐리어 농도를 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드 내에 p-형 도펀트를 주입하여 제공된다.

[0014] 본 발명의 부가적인 실시예들에서, 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 p-형 도펀트를 주입하는 단계에 이어서, 제 3 주입 마스크를 제공하기 위해 상기 제 2 주입 마스크를 예를 들어 등방성 식각하여 상기 제 2 주입 마스크의 상기 적어도 하나의 윈도우를 확장하는 단계가 이어진다. 상기 제 3 주입 마스크는 문턱 조절 영역에 대응하고 상기 확장된 상기 제 2 주입 마스크의 상기 적어도 하나의 윈도우에 대응하는 적어도 하나의 윈도우를 갖는다. 이어서, n-형 도펀트가 상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내를 주입된다. 게다가, 상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트를 주입하는 단계는, 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트를 상기 제 1 n-형 실리콘 카바이드층 내로 약 0.01에서 약 0.5 μm 의 깊이로 주입하여 제공될 수 있다.

[0015] 부가적으로, 상기 제 3 주입 마스크가 제거되고, 제 4 주입 마스크가 형성된다. 상기 제 4 주입 마스크는 상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면을 노출하는 윈도우를 제공하기 위해 패터닝된다. p-형 도펀트는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 4 주입 마스크를 이용하여 주입된다. 상기 플러그 영역은 상기 p-형 매몰 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드 층 내로 신장한다. 게이트 산화막은 상기 제 1 n-형 실리콘 카바이드층의 상기 제 1 표면상에 형성된다. 게이트 콘택은 상기 게이트 산화막 상에 형성된다. 소오스 콘택은 상기 소오스 영역 및 상기 플러그 영역 상에 형성되고, 드레인 콘택은 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 형성된다. 제 2 n-형 실리콘 카바이드층은 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층의 표면상에 형성될 수 있다. 상기 제 2 n-형 실리콘 카바이드층은 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는다.

[0016] 본 발명의 또 다른 실시예들에서, 상기 문턱 조절 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트를 주입하는 단계에 이어서, 상기 제 3 주입 마스크를 제거하는 단계 및 상기 제 1 n-형 실리콘 카바이드층의 제 1 표면상에 n-형 실리콘 카바이드 에피택셜층을 형성하는 단계가 이어진다. 그러한 실시예들에서, n-형 실리콘 카바이드 에피택셜층을 형성하는 단계는, 상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 일부분을 노출하는 윈도우를 제공하기 위해 패터닝된 제 4 주입 마스크를 형성하는 단계, 상기 p-형 매몰 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드층 내로 신장하는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 4 주입 마스크를 이용하여 p-형 도펀트를 주입하는 단계 및 상기 주입된 도펀트를 활성화시키는 단계에 이어서 진행될 수 있다. n-형 실리콘 카바이드 에피택셜층을 형성하는 단계에 이어서, 상기 n-형 실리콘 카바이드 에피택셜층 상에 게이트 산화막을 형성하는 단계, 상기

게이트 산화막 상에 게이트 콘택을 형성하는 단계, 상기 소오스 영역 및 상기 플러그 영역 상에 소오스 콘택을 형성하는 단계 및 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 드레인 콘택을 형성하는 단계가 이어질 수 있다.

[0017] 본 발명의 특정 실시예들에서, 상기 p-웰 영역을 제공하기 위해 상기 제 2 주입 마스크를 이용하여 상기 제 1 n-형 실리콘 카바이드층 내에 n-형 도펀트를 주입하는 단계에 이어서, 상기 제 2 주입 마스크를 제거하는 단계 및 상기 제 1 n-형 실리콘 카바이드층의 제 1 표면상에 n-형 실리콘 카바이드 에피택셜층을 형성하는 단계가 이어진다. 그러한 실시예들에서, n-형 실리콘 카바이드 에피택셜층을 형성하는 단계는, 상기 소오스 영역 내의 상기 제 1 n-형 실리콘 카바이드층의 일부분을 노출하는 윈도우를 제공하기 위해 패터닝된 제 3 주입 마스크를 형성하는 단계, 상기 p-형 매몰 영역과 접촉하도록 상기 제 1 n-형 실리콘 카바이드층 내로 신장하는 p-형 실리콘 카바이드 플러그 영역을 제공하기 위해 상기 제 3 주입 마스크를 이용하여 p-형 도펀트를 주입하는 단계 및 상기 주입된 도펀트를 활성화시키는 단계에 이어서 진행될 수 있다. n-형 실리콘 카바이드 에피택셜층을 형성하는 단계에 이어서, 상기 n-형 실리콘 카바이드 에피택셜층 상에 게이트 산화막을 형성하는 단계, 상기 게이트 산화막 상에 게이트 콘택을 형성하는 단계, 상기 소오스 영역 및 상기 플러그 영역 상에 소오스 콘택을 형성하는 단계 및 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층 상에 드레인 콘택을 형성하는 단계가 이어질 수 있다. 제 2 n-형 실리콘 카바이드층이 상기 제 1 표면의 맞은편 상기 제 1 n-형 실리콘 카바이드층의 표면상에 형성될 수 있다. 상기 제 2 n-형 실리콘 카바이드층은 상기 제 1 n-형 실리콘 카바이드층보다 높은 캐리어 농도를 갖는다.

[0018] 본 발명의 다른 실시예들에서, 실리콘 카바이드 반도체 소자는 제 1 도전형을 갖는 제 1 실리콘 카바이드층 및 상기 제 1 실리콘 카바이드층 내에 있고 상기 제 1 도전형을 갖는 소오스 영역을 포함한다. 상기 소오스 영역은 상기 제 1 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖고 상기 제 1 실리콘 카바이드층의 제 1 표면으로 신장한다. 상기 제 2 도전형의 실리콘 카바이드의 매몰 영역은 상기 소오스 영역의 바닥부분에 인접한 상기 제 1 실리콘 카바이드층 내에 상기 소오스 영역의 깊이보다 깊은 상기 제 1 실리콘 카바이드층 내의 깊이 에 제공된다. 상기 제 2 도전형의 실리콘 카바이드의 웰 영역은 상기 소오스 영역의 바깥에 인접한 상기 제 1 실리콘 카바이드층 내에 제공되고 상기 제 1 실리콘 카바이드층의 상기 제 1 표면을 향하여 신장한다. 상기 웰 영역은 상기 매몰 영역의 캐리어 농도보다 낮은 캐리어 농도를 갖는다. 상기 제 2 도전형의 실리콘 카바이드의 플러그 영역은 상기 웰 영역의 맞은편 상기 소오스 영역의 부분 내에 인접하게 제공되고 상기 제 1 실리콘 카바이드층의 상기 제 1 표면상으로 신장한다. 게이트 산화막은 상기 제 1 실리콘 카바이드층, 상기 웰 영역 및 상기 소오스 영역 상에 있고, 게이트 콘택은 상기 게이트 산화막 상에 있다. 소오스 콘택은 상기 플러그 영역 및 상기 소오스 영역 상에 있고, 드레인 콘택은 상기 제 1 실리콘 카바이드층의 상기 제 1 표면의 맞은편 상기 제 1 실리콘 카바이드층 상에 있다.

[0019] 본 발명의 부가적인 실시예들에서, 실리콘 카바이드 반도체 소자는 제 1 도전형을 갖는 제 1 실리콘 카바이드층 및 상기 제 1 실리콘 카바이드층 내에 있고 상기 제 1 도전형을 갖는 소오스 영역을 포함한다. 상기 소오스 영역은 상기 제 1 실리콘 카바이드층의 캐리어 농도보다 높은 캐리어 농도를 갖고 상기 제 1 실리콘 카바이드층의 제 1 표면으로 신장한다. 상기 소오스 영역은 제 1 도전형의 도펀트 및 상기 제 1 도전형의 반대인 제 2 도전형의 도펀트를 갖는다. 상기 제 2 도전형의 실리콘 카바이드의 매몰 영역은 상기 소오스 영역의 바닥부분에 인접한 상기 제 1 실리콘 카바이드층 내에 상기 소오스 영역의 깊이보다 깊은 상기 제 1 실리콘 카바이드층 내의 깊이 에 제공된다. 상기 제 2 도전형의 실리콘 카바이드의 웰 영역은 상기 소오스 영역의 바깥에 인접한 상기 제 1 실리콘 카바이드층 내에 제공되고 상기 제 1 실리콘 카바이드층의 상기 제 1 표면을 향하여 신장한다. 상기 제 2 도전형의 실리콘 카바이드의 플러그 영역은 상기 웰 영역의 맞은편 상기 소오스 영역의 부분 내에 인접하게 제공되고 상기 제 1 실리콘 카바이드층의 상기 제 1 표면상으로 신장한다. 게이트 산화막은 상기 제 1 실리콘 카바이드층, 상기 웰 영역 및 상기 소오스 영역 상에 있고, 게이트 콘택은 상기 게이트 산화막 상에 있다. 소오스 콘택은 상기 플러그 영역 및 상기 소오스 영역 상에 있고, 드레인 콘택은 상기 제 1 실리콘 카바이드층의 상기 제 1 표면의 맞은편 상기 제 1 실리콘 카바이드층 상에 있다.

[0020] 본 발명에 따른 상기 실리콘 카바이드 파워 반도체 소자의 특정 실시예들에서, 상기 소오스 영역은 상기 제 1 도전형의 도펀트 및 상기 제 1 도전형의 반대의 제 2 도전형의 도펀트를 갖는다. 더욱이, 상기 제 1 도전형은 n-형이고 상기 제 2 도전형은 p-형일 수 있다.

[0021] 본 발명의 부가적인 실시예들에서, 제 1 도전형 실리콘 카바이드의 문턱 조절 영역들은 상기 제 1 실리콘 카바이드층 내에 제공되고 상기 소오스 영역으로부터 신장한다. 상기 문턱 조절 영역들은 상기 웰 영역 및 실리콘 카바이드의 상기 제 1 층의 상기 제 1 표면의 사이에 배치된다. 상기 문턱 조절 영역들은 실리콘 카바이드의 상

기 제 1 층 내로 약 0.01 μm 내지 약 0.5 μm 의 깊이로 신장하고 약 10^{15} 내지 약 10^{19} cm^{-3} 의 캐리어 농도를 가질 수 있다.

[0022] 본 발명의 다른 실시예들에서, 제 1 실리콘 카바이드 에피택셜층은 또한 상기 게이트 산화막 및 상기 제 1 실리콘 카바이드 에피택셜층 사이의 상기 제 1 실리콘 카바이드층의 상기 제 1 면상에 제공될 수 있다. 상기 제 1 실리콘 카바이드 에피택셜층은 약 0.05 μm 내지 약 1 μm 의 두께를 갖고 약 10^{15} 내지 약 10^{17} cm^{-3} 의 캐리어 농도를 가질 수 있다. 만일 문턱 조절 영역들 및 상기 제 1 에피택셜층 둘 다가 제공된다면, 상기 문턱 조절 영역들은 실리콘 카바이드의 상기 제 1 층 내로 약 0.01 μm 내지 약 0.5 μm 의 깊이로 신장하고 약 10^{15} 내지 약 10^{19} cm^{-3} 의 캐리어 농도를 갖고, 상기 제 1 실리콘 카바이드 에피택셜층은 약 0.05 μm 내지 약 1 μm 의 두께 및 약 10^{14} 내지 약 10^{16} cm^{-3} 의 캐리어 농도를 가질 수 있다.

[0023] 본 발명의 부가적인 실시예들에서, 상기 제 1 도전형의 실리콘 카바이드의 제 2 층은 실리콘 카바이드의 상기 제 1 층 및 상기 드레인 콘택 사이에 배치된다. 실리콘 카바이드의 상기 제 2 층은 실리콘 카바이드의 상기 제 1 층보다 높은 캐리어 농도를 갖는다. 더욱이, 상기 제 2 반도체층은 실리콘 카바이드 기판이고 상기 제 1 반도체층은 상기 실리콘 카바이드 기판 상의 에피택셜층일 수 있다.

실시예

[0028] 본 발명은 바람직한 실시예가 도시된 아래의 도면들을 참조하여 보다 상세하게 설명될 것이다. 그러나, 본 발명은 다양한 형태로 구현될 수 있고, 여기에 제시된 실시예들에 제한되지는 않는다. 그 보다는 이러한 실시예들은 본 발명의 개시가 철저하고 완전하고 해당 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 범위를 완전하게 전달하기 위해 제공되었다. 도면에서, 층들의 및 영역들의 크기는 설명을 위해 과장되었고, 따라서 본 발명의 일반적인 구조들을 설명하기 위해 제공되었다. 동일한 참조 부호들은 동일한 구성 요소를 나타낸다. 층, 영역, 또는 기판과 같은 한 구성이 다른 구성의 "위(on)"에 있다고 지칭할 때, 그것은 다른 구성의 바로 상부에 있거나 또는 개재된 구성들이 또한 존재할 수 있는 것으로 이해될 것이다. 반면에, 한 구성이 다른 구성의 "바로 위에(directly on)" 있다고 지칭할 때는 중간 개재 구성들이 존재하지 않는다.

[0029] 게다가, 여기에 사용된 n+ 또는 p+ 층 또는 영역은 인접한 또는 다른 n-형 또는 p-형 층 또는 영역보다 높은 캐리어 농도를 갖는 층 또는 영역을 지칭하고, 반면에 n⁻ 또는 p⁻ 층 또는 영역은 인접한 또는 다른 n-형 또는 p-형 층 또는 영역보다 낮은 캐리어 농도를 갖는 층 또는 영역을 지칭한다.

[0030] 도 2a 내지 도 2m을 참조하여, 본 발명의 실시예에 따른 실리콘 카바이드 파워 MOSFET의 제조 방법이 이제 설명된다. 도 2a에 도시된 바와 같이, 제 1 n-형 실리콘 카바이드층(12), 예컨대 n⁻ SiC 에피택셜층(epitaxial layer)은 제 2 n-형 실리콘 카바이드층(10), 예를 들어, n+ SiC 기판 상에 제공된다. 대안으로, 제 1 n-형 실리콘 카바이드층(12)은 n-형 SiC 기판이고, 제 2 n-형 실리콘 카바이드층(10)은 주입된 또는 에피택셜층일 수 있다. SiC 기판 및 에피택셜층의 제조 방법은 본 기술분야에서 통상의 지식을 가진 자에게 알려져 있고, 따라서 여기에 더 이상 설명되지 않을 것이다. 본 발명의 특정 실시예에서, 제 1 n-형 실리콘 카바이드층(12)은 약 10^{14} 내지 약 $5 \times 10^{16} \text{ cm}^{-3}$ 범위의 캐리어 농도를 제공하기 위해 도핑되고, 약 6 내지 약 200 μm 의 두께를 가질 수 있다. 제 2 n-형 실리콘 카바이드층은 예컨대 노쓰 캐롤라이나, 더함(Durham)의 크리 인코퍼레이션(Cree Inc.)에 의해 제공되는 SiC 기판일 수 있다.

[0031] 도 2b에 도시된 바와 같이, 마스크층(mask layer, 200)은 제 1 n-형 실리콘 카바이드층(12) 상에 형성된다. 마스크층(200)은 산화막층, 예컨대 실리콘 이산화막층일 수 있고, 증착 또는 열 산화에 의해 제공될 수 있다. 마스크층(200)은 여기에 제공된 연속적인 마스크들을 제공할 수 있도록 충분히 두껍게 형성될 수 있다. 본 발명의 특정 실시예에서, 마스크층(200)은 약 1.5 내지 약 4 μm 두께일 수 있다.

[0032] 도 2c에 도시된 바와 같이, 마스크층(200)은 제 1 마스크(205)를 제공하기 위해 패턴된다. 제 1 마스크(205)는 제 1 n-형 실리콘 카바이드층(12)에 윈도우(window, 206)를 개방하기 위해 마스크층(200)을 식각하여 형성될 수 있다. 윈도우(206)는 본 발명의 실시예에 따른 소오스 영역(들)을 한정한다. n-형 및 p-형 도펀트들의 주입이 도 2d에 도시된 제 1 마스크(205)의 윈도우(206)를 통하여 수행된다. 본 발명의 어떤 실시예에서, 윈도우(206)는 약 0.5 μm 내지 약 10 μm 의 폭을 갖고, 윈도우(206)의 해당 부분은 약 1 μm 내지 약 10 μm 만큼 이격된다.

- [0033] n-형 도펀트들은 n+ 소오스 영역(14)을 제공하기 위해 주입된다. 적당한 도펀트는 예를 들어, 질소 및 인을 포함한다. 어떤 실시예에서, n-형 도펀트들은 약 $5 \times 10^{19} \text{ cm}^{-3}$ 의 캐리어 농도를 제공하기 위해 주입된다. n-형 도펀트들은 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면으로부터 제 1 n-형 실리콘 카바이드층(12) 내로 약 0.1 μm 내지 약 0.5 μm 깊이로 신장하는 n+ 소오스 영역(14)을 제공하기 위해 약 10 내지 약 360 keV의 하나 또는 그 이상의 주입 에너지로 주입된다. 본 발명의 어떤 실시예에서, n-형 주입은 상온에서 행해지나, 보다 높은 온도가 또한 이용될 수 있다. n+ 소오스 영역(14)은 주입 측방향 흩어짐(straggle)의 결과로 인해 윈도우(206)보다 약간 넓을 수 있다. 따라서, 예를 들어, n+ 소오스 영역(14)은 약 1 μm 내지 약 12 μm 범위로 넓고, 약 0.1 μm 내지 약 0.5 μm 의 두께를 가질 수 있다.
- [0034] p-형 도펀트는 제 1 매몰 p-영역(first buried p-region, 16)을 제공하기 위해 주입된다. 적당한 도펀트는 예를 들어, 알루미늄 및 붕소를 포함한다. 어떤 실시예에서, p-형 도펀트는 약 10^{19} cm^{-3} 또는 그 이상의 캐리어 농도를 제공하기 위해 주입된다. p-형 도펀트는 약 180 내지 약 360 keV의 주입 에너지로, 제 1 n-형 실리콘 카바이드층(12) 내로 약 0.5 μm 내지 약 1.2 μm 의 깊이에 제 1 매몰 p-영역(16)을 제공하기 위해 주입된다. 본 발명의 어떤 실시예에서, p-형 주입은 상온에서 수행되나, 보다 높은 온도가 또한 이용될 수 있다. 제 1 매몰 p-영역(16)은 보다 높은 주입 에너지의 사용으로 인한 보다 큰 주입 측방향 흩어짐의 결과로 인해 윈도우(206) 및 n+ 소오스 영역(14)보다 약간 넓다. 따라서, 예를 들어, 제 1 매몰 p-영역(16)은 n+ 소오스 영역(14)보다 약 0.1 내지 약 0.2 μm 넓고, 약 1.2 μm 내지 약 12.2 μm 의 전체 폭을 갖고, 약 0.5 μm 내지 약 1.2 μm 의 두께를 갖는다. 본 발명의 부가적인 실시예에서, p-형 도펀트는 n-형 도펀트의 주입 전에 주입된다.
- [0035] 도 2e에 도시된 바와 같이, 윈도우(206)는 윈도우(211)를 제공하기 위해 확장된다. 예를 들어, 등방성 식각(isotropic etching), 예컨대 버퍼드(buffered) HF 식각이 제 1 마스크(205) 상에서 윈도우(206)를 확장하도록 수행되고 윈도우(211)를 갖는 제 2 주입 마스크(210)를 제공한다. 윈도우(206)를 넓히는 다른 기술, 예컨대 건식 식각(dry etching)기술이 또한 사용될 수 있다. 본 발명의 어떤 실시예에서, 제 1 마스크(205)의 식각은 윈도우(206)보다 각 측면에서 약 0.5 내지 약 1.5 μm 넓은 윈도우(211)를 제공한다. 따라서, 제 1 마스크(205)의 식각은 제 2 마스크(210)를 제공하기 위해 제 1 마스크(205)의 약 0.5 내지 약 1.5 μm 를 제거한다. 제 2 마스크(210)는 적어도 약 1.2 μm 의 결과적인 두께를 가질 수 있다. 윈도우(211)는 본 발명의 실시예들에 따른 MOSFET의 p-웰 영역(들)(18)을 한정한다. p-형 도펀트의 주입은 도 2f에 도시된 바와 같이, 제 2 마스크(21)의 윈도우(211)를 통하여 수행된다. 따라서, 매몰 p-영역(16), 소오스 영역(14) 및 p-웰 영역(18)은 제 2 주입 윈도우를 제공하기 위해 식각된 단일 마스크층의 사용에 의해 자기-정렬된다. 게다가, MOS 게이트 길이는 n+ 소오스 주입 및 p-웰 주입에 의해 한정된다. 따라서, 소자의 MOS 게이트 길이는 측방향 식각 및 p-웰 영역(18)을 형성하기 위한 p-형 주입의 여하의 주입 흩어짐에 의해 결정될 것이다.
- [0036] 도 2f에 도시된 바와 같이, p-형 도펀트는 p-웰 영역(18)을 제공하기 위해 주입된다. 적당한 도펀트는 예를 들어, 알루미늄 및 붕소를 포함한다. 어떤 실시예에서, p-형 도펀트는 약 10^{16} 내지 10^{17} cm^{-3} 의 캐리어 농도를 제공하기 위해 주입된다. p-형 도펀트의 농도는 깊이에 따라 균일할 수 있고 또한 균일하지 않을 수 있다. 예를 들어, 본 발명의 어떤 실시예에서, p-웰 영역(18)에서 p-형 도펀트의 농도는 깊이에 따라 증가한다. 게다가, p-형 도펀트의 농도는 n+ 소오스 영역(14)의 도전성을 심각하게 변경하지 않도록 충분히 낮아야 한다. 따라서, n+ 소오스 영역(14)은 거기에 주입된 p-형 및 n-형 불순물 둘 다를 갖게 되나, n-형 불순물이 n+ 소오스 영역(14)의 도전성을 지배할 것이다.
- [0037] p-형 도펀트는 약 30 내지 약 360 keV의 하나 또는 그 이상의 에너지로, 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면으로부터 제 1 n-형 실리콘 카바이드층(12) 내로 약 0.5 μm 내지 약 1.2 μm 의 깊이에 p-웰 영역(18)을 제공하기 위해 주입된다. 본 발명의 어떤 실시예에서, p-형 주입은 상온에서 수행되나, 보다 높은 온도가 또한 이용될 수 있다. 전술한 바와 같이, p-웰 영역(18)은 보다 높은 주입 에너지의 사용으로 인한 주입 측방향 흩어짐의 결과로 인해 윈도우(211)보다 약간 넓을 수 있다. 예를 들어, p-웰 영역(18)은 윈도우(211)의 가장자리를 지나 약 0.2 내지 약 0.3 μm 신장할 수 있고, 약 0.7 내지 약 1.8 μm 의 전체 폭을 가질 수 있다.
- [0038] 도 2g에 도시된 바와 같이, 윈도우(211)는 윈도우(216)를 제공하기 위해 확장된다. 예를 들어, 제 2 등방성 식각, 예컨대 제 2 버퍼드 HF 식각이 윈도우(211)를 확장하고 윈도우(216)를 갖는 제 3 주입 마스크(215)를 제공하기 위해 수행될 수 있다. 본 발명의 어떤 실시예에서, 제 2 마스크(210)의 식각은 윈도우(211)보다 각 측면상으로 약 0.3 내지 약 0.5 μm 넓은 윈도우(216)를 제공할 수 있다. 따라서, 제 2 마스크(211)의 식각은 제 3 마스크(215)를 제공하기 위해 제 2 마스크(210)의 약 0.3 내지 약 0.5 μm 를 제거할 수 있다. 제 3 마스크(215)는

적어도 약 0.6 μm 의 결과적인 두께를 가질 수 있다. 윈도우(216)는 본 발명의 실시예에 따른 MOSFET의 문턱 조절 영역(들)(threshold adjustment region, 20)을 한정한다. n-형 도펀트의 주입은 도 2h에 도시된 제 3 마스크(215)의 윈도우(216)를 통해서 수행된다. 따라서, 매몰 p-영역(16), 소오스 영역(14), p-웰 영역(18) 및 채널 문턱 조절 영역(20)은 단일 마스크층의 사용에 의해 자기-정렬된다. 단일 마스크층은 제 1 주입 윈도우를 제공하기 위해 식각되고, 제 1 윈도우는 제 2 주입 윈도우를 제공하기 위해 이어서 식각되고, 제 2 주입 윈도우는 또한 제 3 주입 윈도우를 제공하기 위해 이어서 식각된다.

[0039] 도 2h는 문턱 조절 영역(20)을 제공하기 위한 n-형 도펀트의 주입(채널 주입)을 도시한다. 적당한 n-형 도펀트는 예를 들어, 질소 및 인을 포함한다. 어떤 실시예에서, n-형 도펀트는 약 10^{15} 내지 약 10^{19} cm^{-3} 의 캐리어 농도를 제공하기 위해 주입된다. n-형 도펀트는 약 10 내지 약 360 keV의 주입 에너지로, 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면으로부터 제 1 n-형 실리콘 카바이드층(12) 내로 약 0.01 μm 내지 약 0.5 μm 의 깊이로 신장하는 문턱 조절 영역(20)을 제공하기 위해 주입된다. 본 발명의 어떤 실시예에서, n-형 주입은 상온에서 수행되나, 보다 높은 온도가 또한 이용될 수 있다. 문턱 조절 영역(20)은 약 2 μm 내지 약 15 μm 범위의 폭을 가질 수 있다.

[0040] 도 2i에 도시된 바와 같이, 문턱 조절 영역(20)의 형성 후, 제 3 마스크(215)는 제거되고 제 3 주입 마스크(220)가 제 2 마스크층을 형성하고 제 2 마스크층을 패터닝하여 형성된다. 제 4 주입 마스크는 n+ 소오스 영역(14)의 일부분들 사이에 배치된 윈도우(211)를 갖고, 윈도우(211)는 p-형 매몰 영역(16)들과 오믹 콘택(ohmic contact)을 제공하는 p+ 플러그 주입(plug implant)을 제공한다.

[0041] 도 2j에 도시된 바와 같이, p-형 도펀트는 p+ 플러그 영역(22)을 제공하기 위해 제 4 주입 마스크(220)의 윈도우(221)를 이용하여 주입된다. 적당한 p-형 도펀트는 예를 들어, 알루미늄 및 붕소를 포함한다. 어떤 실시예에서, p-형 도펀트는 약 5×10^{18} 내지 약 $1 \times 10^{21} \text{ cm}^{-3}$ 의 캐리어 농도를 제공하기 위해 주입된다. p-형 도펀트의 캐리어 농도는 깊이에 따라 균일하거나 또는 균일하지 않을 수 있다. p-형 도펀트는 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면으로부터 제 1 n-형 실리콘 카바이드층(12) 내의 약 0.5 μm 내지 약 1.2 μm 의 깊이로 신장하는 p+ 플러그 영역(22)을 제공하기 위해 약 10 내지 약 360 keV 범위의 주입 에너지의 하나 또는 기상으로 주입될 수 있다. 도 2j에 도시된 바와 같이, p+ 플러그 영역(22)은 p-형 웰 영역(16)과 접촉하기 위해 충분한 깊이로 신장된다. 본 발명의 어떤 실시예에서, p-형 주입은 상온에서 수행되나, 그 이상의 온도가 이용될 수도 있다. p+ 플러그 영역(22)은 주입 측방향 흠어짐의 결과로 인해 윈도우(221)보다 약간 넓을 수 있다. 따라서, 예를 들어, p+ 플러그 영역(22)은 윈도우(221)의 가장자리를 지나 약 0.2 μm 내지 약 0.4 μm 신장할 수 있고, 약 1 μm 내지 약 20 μm 의 전체 폭을 가질 수 있다.

[0042] 도 2k에 도시된 바와 같이, 제 4 주입 마스크가 제거되고, 주입들은 결과적인 구조를 어닐링함으로써 활성화된다. 본 발명의 어떤 실시예에서, 어닐은 약 1400°C 이상의 온도에서 수행된다. 활성화 어닐 후, 산화막(24')이 도 2k에 도시된 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면에 형성된다. 선택적으로, 어닐링 동안 그 구조를 보호하기 위해, 그 구조는 유전막, 예컨대 SiO_2 또는 Si_3N_4 로 덮일 수 있다. 대안으로, SiC/SiO_2 계면을 개선하기 위해 게이트 산화막이 형성 후 어닐되는 실시예들에서, 그러한 불순물의 활성화는 그러한 어닐에 의해 제공될 수 있다.

[0043] 산화막층(24')은 증착(deposition), 열 성장 또는 그것들의 조합에 의해 형성될 수 있다. 특정 실시예에서, 산화막층(24')은 약 200 내지 약 2000 Å의 두께를 갖는다. 산화막층(24')은 단일층 또는 복합층일 수 있다. 본 발명의 특정 실시예에서, 산화막층(24')은 질화 산화막(nitrided oxide)으로 제공되고 그리고/또는 다른 산화막들일 수 있다. 질화된 산화막은 여하의 적당한 게이트 산화막일 수 있으나, 어떤 실시예에서, SiO_2 , 산화질화막(oxy-nitride) 또는 ONO가 이용될 수 있다. 산화막층(24') 또는 ONO 게이트 유전막의 초기 산화막의 형성에 이어, SiC /산화막 계면에서 결함 밀도를 낮추기 위해 N_2O 또는 NO 어닐이 이어질 수 있다. 특정 실시예에서, 산화막층(24')은 열 성장 또는 증착의 어느 하나에 의해 형성되고, 이어서 약 1100°C 이상의 온도 및 약 11 내지 약 45 초 사이의 N_2O 의 초기 거주 시간을 제공할 수 있는 약 2 내지 약 8 SLM의 유량의 N_2O 환경에서 어닐된다. 실리콘 카바이드 상에서 산화막층의 그러한 형성 및 어닐링은 공유로 양도된 미국특허출원번호 09/834,283호 "METHOD OF N_2O ANNEALING AN OXIDE LAYER ON A SILICON CARBIDE LAYER", 2001년 5월 30일 출원된 미국가출원번호 60/237,822호 "Method of N_2O Growth of an oxide layer on a Silicon Carbide Layer", 2001년 10월 1일 출원된 미국특허출원번호 09/968,391호 "METHOD OF N_2O GROWTH OF AN OXIDE ON A SILICON CARBIDE LAYER" 및/

또는 2001년 10월 26일 출원된 미국특허출원번호 10/045,542호 "METHOD OF FABRICATING AN OXIDE LAYER ON A SILICON CARBIDE LAYER UTILIZING AN ANNEALING IN A HYDROGEN ENVIRONMENT"에 개시되어 있고, 그것들의 내용은 여기에 제시된 것처럼 참조에 의해 여기에 포함된다.

[0044] 게다가, N_2O 성장된 산화막은 또한 J.P. Xu, P.T. Lai, C.L. Chan, B. Li 및 Y.C. Cheng에 의한 IEEE 전자소자 레터, 2000년 6월, 21권, 6호, 298-300쪽의 "Improved Performance and Reliability of N_2O -Grown Oxynitride on 6H-SiC"에 설명된 바에 따라 이용될 수 있다. L.A. Lipkin 및 J.W. Palmour에 의한 재료과학 학회, 1998년, 264-268권, 853-856쪽의 "Low interface state density oxides on p-type SiC"에 설명된 기술들이, 또한 이용될 수 있다. 선택적으로, 열적으로 성장된 산화막에 대해서, 열적으로 성장된 SiO_2 층의 이어지는 NO 어닐이, 계면 트랩 밀도를 낮추기 위해 제공될 수 있다. 이러한 계면 트랩 밀도에 대해서는, M.K. Das, L.A. Lipkin, J.W. Palmour, G.Y. Chung, J.R. Williams, K. McDonald, 및 L.C. Feldman에 의한 덴버에서 IEEE 소자연구 학회, 2000년 6월 19-21일의 "High Mobility 4H-SiC Inversion Mode MOSFETs Using Thermally Grown, NO Annealed SiO_2 "; G.Y. Chung, C.C. Tin, F.R. Williams, K. McDonald, R.A. Weller, S.T. Pantelides, L.C. Feldman, M.K. Das 및 J.W. Palmour에 의한 출간하기로 받아들여진 IEEE 전자소자 레터의 "Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide"; 및 G.Y. Chung, C.C. Tin, J.R. Williams, K. McDonald, M. Di Ventra, S.T. Pantelides, L.C. Feldman, 및 R.A. Weller에 의한 응용물리 레터(Apply Physics Letter), 2000년 3월, 76권 13호, 1713-1715쪽의 "Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide"에 설명되어 있다. 산화질화막들이 여기에 온전하게 제공되는 것처럼 참조에 의해 여기에 첨부되고 2001, 6, 11일에 출원된 미국특허출원번호 09/878,442호의 "High Voltage, High Temperature Capacitor Structures and Methods of Fabrication"에서 설명된 바에 따라서 제공될 수 있다.

[0045] 도 21은 게이트 콘택(26)의 형성을 도시한다. 게이트 콘택(26)은 인 또는 붕소로 도핑되고 저압 화학기상증착(LPCVD)을 이용하여 증착된 p-형 폴리실리콘일 수 있고 그리고/또는 다른 적당한 콘택 물질, 예컨대 텅스텐 또는 몰리브덴(molybdenum)일 수 있고, 해당기술 분야에서 통상의 지식을 가진 자에게 알려진 기술을 이용하여 형성되고 패터닝될 수 있다. 선택적으로, 도 21의 산화막층(24') 및 게이트 콘택(26)은 소오스 콘택(28)을 제공하고 도 2m에 도시된 게이트 산화막(24)을 제공하기 위해 함께 형성되고 패터닝될 수 있다.

[0046] 도 2m에 도시된 바와 같이, 산화막층(24')은 게이트 산화막(24)을 제공하기 위해 패터닝된다. 윈도우는 p+ 플러그 영역(22) 및 문턱 조절 영역(20)의 일부분들을 노출하기 위해 산화막층(24') 내에 개방된다. 콘택 금속은 오믹 소오스 콘택(28)을 제공하기 위해 윈도우 내에 증착된다. 콘택 금속은 드레인 콘택(30)을 제공하기 위해 제 1 n-형 실리콘 카바이드층(12)의 맞은편 제 2 n-형 층(10)의 면상에 또한 증착된다. 본 발명의 특정 실시예에서, 소오스 콘택(28) 및/또는 드레인 콘택(30)의 콘택 금속은 니켈(Ni), 티타늄(Ti), 백금(Pt) 또는 알루미늄(Al), 크롬(Cr), 그것들의 조합, 예컨대 Ti/Ni, Al/Ni, Cr/Ni 스택, 그것들의 합금, 예컨대 NiCr, 및/또는 다른 적당한 콘택 물질로 형성되고, 약 600°C 내지 약 1100°C 범위, 예컨대 825°C의 온도에서 오믹 콘택을 제공하기 위해 어닐될 수 있다. 소오스 및 드레인 콘택들(28, 30)은 약 150 내지 약 3000 μm 의 두께를 가질 수 있다. 소오스 콘택(28) 및/또는 드레인 콘택(30)은 증발 증착(evaporation deposition), 스퍼터링 또는 해당 기술분야에서 알려진 다른 적당한 기술을 이용하여 형성될 수 있다.

[0047] 도 2m에 도시된 바와 같이, 본 발명의 어떤 실시예에 따른 반도체 소자는 제 1 도전형을 갖는 제 1 실리콘 카바이드층(12)을 포함한다. 소오스 영역(14)은 제 1 실리콘 카바이드층(12) 내에 제공되고, 제 1 도전형을 갖는다. 소오스 영역(14)은 제 1 실리콘 카바이드층(12) 보다 높은 캐리어 농도를 갖고 제 1 실리콘 카바이드층(12)의 제 1 표면으로 신장한다. 소오스 영역(14)은 제 1 도전형의 도펀트 및 제 1 도전형과 반대의 제 2 도전형의 도펀트를 가질 수 있다. 제 2 도전형의 실리콘 카바이드의 매물 영역(16)은 소오스 영역(14)의 바닥부에 인접한 제 1 실리콘 카바이드층(12) 내에 소오스 영역(14)의 깊이보다 큰 제 1 실리콘 카바이드층(12) 내의 깊이에 제공된다. 제 2 도전형의 실리콘 카바이드의 웰 영역(18)은 소오스 영역(14)의 바깥 부분에 인접한 제 1 실리콘 카바이드층 내에 제공되고 제 1 실리콘 카바이드층(12)의 제 1 표면을 향하여 신장한다. 웰 영역(18)은 매물 영역(16)보다 낮은 캐리어 농도를 갖는다. 제 2 도전형의 실리콘 카바이드의 플러그 영역(22)은 웰 영역(18)의 맞은편 소오스 영역(14)의 내부 부분에 인접하고 제 1 실리콘 카바이드층(12)의 제 1 표면으로 신장한다. 게이트 산화막(24)은 제 1 실리콘 카바이드층(12), 웰 영역(18) 및 소오스 영역(14) 상에 있다. 게이트 콘택(26)은 게이트 산화막(24) 상에 있다. 소오스 콘택(28)은 플러그 영역(22) 및 소오스 영역(14) 상에 있다. 드레인 콘택(30)은 제 1 실리콘 카바이드층(12)의 제 1 표면의 맞은편 제 1 실리콘 카바이드층(12) 상에 있다.

- [0048] 도 2m에 더 도시된 바와 같이, 제 1 도전형 실리콘 카바이드의 문턱 조절 영역(20)은 제 1 실리콘 카바이드층(12) 내에 제공되고 소오스 영역(14)으로부터 신장한다. 문턱 조절 영역(20)은 웰 영역(18) 및 제 1 실리콘 카바이드층(12)의 제 1 표면 사이에 배치된다.
- [0049] 도 3a 내지 도 3g를 참조하여, 본 발명의 다른 실시예에 따른 실리콘 카바이드 파워 MOSFET 소자의 제조 방법이 설명된다. 도 3a 내지 도 3g에 도시된 본 발명의 실시예들은 도 2a 내지 도 2m에 도시된 실시예들의 문턱 조절 영역들(20) 대신에 n-형 에피택셜층을 갖는다. 도 3a 내지 도 3g에 도시된 제조에 있어서 초기 단계들은 도 1a 내지 도 2e에 도시된 바와 동일하다. 그러나, 도 2e에 도시된 주입 후, 제 2 주입 마스크(210)가 제거된다.
- [0050] 도 3a에 도시된 바와 같이, 제 2 주입 마스크(210)의 제거 후, 제 3 주입 마스크(220')가 제 2 마스크층을 형성하고 제 2 마스크층을 제 4 주입 마스크(220)를 참조하여 설명된 바와 같이 패터닝하여 형성된다. 제 3 주입 마스크(220')는 p-형 매몰 영역(16)에 오믹 콘택을 제공하는 p+ 플러그 주입을 제공하기 위하여 n+ 소오스 영역(14)의 부분들 사이에 배치된 윈도우(221')를 갖는다. 도 3b에 도시된 바와 같이, p-형 도펀트는 도 3b를 참조하여 설명된 p+ 플러그 영역(22)을 제공하기 위해 제 3 주입 마스크(220')의 윈도우(221')를 이용하여 주입된다.
- [0051] 도 3c에 도시된 바와 같이, 제 3 마스크(220')의 제거 및 전술한 주입들의 활성화 후, n-형 실리콘 카바이드 채널 에피택셜층(50')이 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면에 형성된다. 채널 에피택셜층(50')의 전하는 전술한 문턱 조절 영역(20)의 그것과 유사하다. 본 발명의 특정 실시예에서, 채널 에피택셜층(50')은 약 10^{15} 내지 약 10^{17} cm^{-3} 의 캐리어 농도를 갖고 약 $0.05 \mu\text{m}$ 내지 약 $1 \mu\text{m}$ 의 두께를 갖는다.
- [0052] 도 3d에 도시된 바와 같이, 산화막층(54')이 채널 에피택셜층(50') 상에 형성된다. 산화막층(54')은 전술한 산화막층(24')을 참조하여 형성될 수 있다.
- [0053] 도 3e는 게이트 콘택(26)의 형성을 도시한다. 게이트 콘택(26)은 도 2l을 참조하여 설명된 바에 따라 형성될 수 있다. 도 3f는 채널 영역들(50) 및 게이트 산화막(54)을 제공하기 위한 채널 에피택셜층(50') 및 산화막층(54')의 패터닝에 대해 도시한다. 윈도우는 p+ 플러그 영역(22) 및 n+ 소오스 영역(14)의 일부분들을 노출하기 위해 산화막층(54') 및 채널 에피택셜층(50') 내에 개방된다. 도 3g에 도시된 바와 같이, 콘택 금속은 오믹 소오스 콘택(28)을 제공하기 위해 윈도우 내에 배치된다. 콘택 금속은 드레인 콘택(30)을 제공하기 위해 제 1 n-형 실리콘 카바이드층(12)의 맞은 제 2 n-형 층(10)의 면상에 제공된다. 따라서, 도 3g에 도시된 바와 같이, 도 2m의 실리콘 카바이드 반도체 소자의 문턱 조절 영역(20)은 채널 영역(50)에 의해 대체될 수 있다.
- [0054] 도 4a 내지 도 4e를 참조하여, 본 발명의 다른 실시예들에 따른 실리콘 카바이드 파워 MOSFET의 제조 방법이 설명된다. 도 4a 내지 도 4e에 도시된 본 발명의 실시예들은 도 2a 내지 도 2m 및 도 3a 내지 도 3g에 도시된 실시예들의 n-형 에피택셜층 및 문턱 조절 영역들(20)을 갖는다. 도 4a 내지 도 4e에 도시된 제조에 있어서 초기 단계들은 도 2a 내지 도 2j에 도시된 바와 동일하다. 그러나, 산화막층(24')의 형성 전, 그리고 도 2k에 도시된 후, 그리고 주입 활성화 후, n-형 실리콘 카바이드 에피택셜층(60')이 도 4a에 도시된 바와 같이 형성된다. 도 4a에 도시된 바와 같이, 전술한 주입 활성화(implant activation) 후, n-형 실리콘 카바이드 채널 에피택셜층(60')이 제 1 n-형 실리콘 카바이드층(12)의 제 1 표면에 형성된다. 채널 에피택셜층(60') 내의 전하(charge)는 전술한 문턱 조절 영역(20)보다 낮거나 어떤 실시예에서 훨씬 낮을 수 있다. 본 발명의 어떤 실시예에서, 채널 에피택셜층(60')은 약 10^{14} 내지 약 10^{16} cm^{-3} 의 캐리어 농도를 갖고 약 $0.05 \mu\text{m}$ 내지 약 $1 \mu\text{m}$ 의 두께를 갖는다.
- [0055] 도 4b에 도시된 바와 같이, 산화막층(64')은 채널 에피택셜층(60') 상에 형성된다. 산화막층(64')은 전술한 산화막층(24')을 참조하여 설명된 바에 따라 형성될 수 있다.
- [0056] 도 4c는 게이트 콘택(26)의 형성을 도시한다. 게이트 콘택(26)은 도 2l을 참조하여 설명된 바에 따라 형성될 수 있다. 도 4d는 채널 영역들(60) 및 게이트 산화막(64)을 제공하기 위한 채널 에피택셜층(64') 및 산화막층(64')의 패터닝에 대해 도시한다. 윈도우는 p+ 플러그 영역(22) 및 문턱 조절 영역(20)의 일부분들을 노출하기 위해 산화막층(64') 및 채널 에피택셜층(60') 내에 개방된다. 도 4e에 도시된 바와 같이, 콘택 금속은 오믹 소오스 콘택(28)을 제공하기 위해 윈도우 내에 배치된다. 콘택 금속은 드레인 콘택(30)을 제공하기 위해 제 1 n-형 실리콘 카바이드층(12)의 맞은 제 2 n-형 층(10)의 면상에 제공된다. 따라서, 도 3g에 도시된 바와 같이, 도 2m의 실리콘 카바이드 반도체 소자는 문턱 조절 영역(20) 및 채널 영역(60)을 모두 가질 수 있다.
- [0057] 도 2m, 도 3g, 및 도 4e는 본 발명의 실시예들을 분리된 소자로서 도시하고 있지만, 해당 기술분야에서 통상의

지식을 가진 자에게 이해되는 바와 같이, 도 2m 도 3g 및 도 4e는 복수의 셀들을 갖는 소자의 단위셀로서 고려될 수 있다. 따라서, 예를 들어, 소자들의 중앙축(도 2m, 도 3g 및 도 4e에 수직축으로 도시됨)에 따라 소자들을 분할하고 도 2m, 도 3g 및 도 4e에 도시된 소자들의 주변축(도 2m, 도 3g 및 도 4e에 도시된 반도체 소자의 수직 가장자리)에 대해서 분할된 소자를 회전시킴으로써, 부가적인 단위셀들이 도 2m, 도 3g 및 도 4e에 도시된 소자들 내로 포함될 수 있다. 이에 따라, 본 발명의 실시예들은 도 2m, 도 3g 및 도 4e에 도시된 바와 같은 소자들뿐만 아니라 도 2m, 도 3g 및 도 4e에 도시된 주입된 영역들을 포함하는 복수의 단위셀들을 갖는 소자들을 포함한다.

[0058] 본 발명의 실시예들은 공정의 특정 순서를 참조하여 설명되었지만, 해당 기술분야에서 통상의 지식을 가진 자에게 이해되듯이, 순서 내의 어떤 공정들은 본 발명의 교시로부터 벗어나지 않고 순서가 재배치될 수 있다. 예를 들어, 본 발명의 특정 실시예에서, 산화막층(54')의 형성은 채널 에피택셀층(50')의 패터닝 후에 수행될 수 있다. 이에 따라, 본 발명은 여기에 설명된 공정 순서에 제한되지 않는다.

[0059] 게다가, 본 발명의 실시예들은 n-형 SiC층 및 p-형 실리콘 카바이드 웰 및 매몰층들을 참조하여 설명되었다. 하지만, 본 발명의 실시예들은 또한 여기에 설명된 제조 방법의 상응하는 수정을 갖는 상보성 구조를 가질 수 있다.

[0060] 전술한 바와 같이, 본 발명의 실시예들은 매우 작은 게이트 길이의 제조를 가능하게 한다. 왜냐하면, 게이트 길이가 소오스 영역 및 웰 영역을 형성하는 마스크의 식각에 의해 한정되기 때문이다. 따라서, MOS 채널 저항이 소자에서 주요한 저항이 될 수 있기 때문에, 결과적인 SiC MOSFET의 비교적 낮은 총 온 저항이 제공될 수 있다. 더욱이, 포토리소그래피 단계들은 마스크를 사용함으로써 제거될 수 있고, 그에 따라 잠재적으로 통상의 제조 단계에 비해서 공정 시간 및 비용을 절감할 수 있다.

[0061] 게다가, 에피택셀 채널층을 포함하는 본 발명의 실시예에서, 만일 게이트 산화막이 열 산화에 의해 형성된다면, n+ 소오스 영역들은 산화되지 않을 것이다. 이에 따라, 결과적인 구조는 n+ 주입 영역 상의 성장 산화막으로부터 기인한 다공성이고 저 신뢰성의 산화막을 갖지 않는다. 그러한 실시예들은 n+ 소오스 영역으로부터 MOS 게이트 영역들을 관통하여 드레인 영역까지의 연속적인 채널을 또한 제공할 수 있다.

[0062] 도면 및 명세서에서, 본 발명의 전형적이고 바람직한 실시예들이 개시되었고, 특정한 용어들이 사용되었음에도 불구하고, 그것들은 일반적인 의미로 사용되었고 단지 설명적으로 사용되었을 뿐, 제한하려는 의도로 사용되지는 않았다. 발명의 범위는 이어지는 청구항에 의해 제시된다.

도면의 간단한 설명

[0024] 도 1은 통상적인 DMOSFET의 단면도이고;

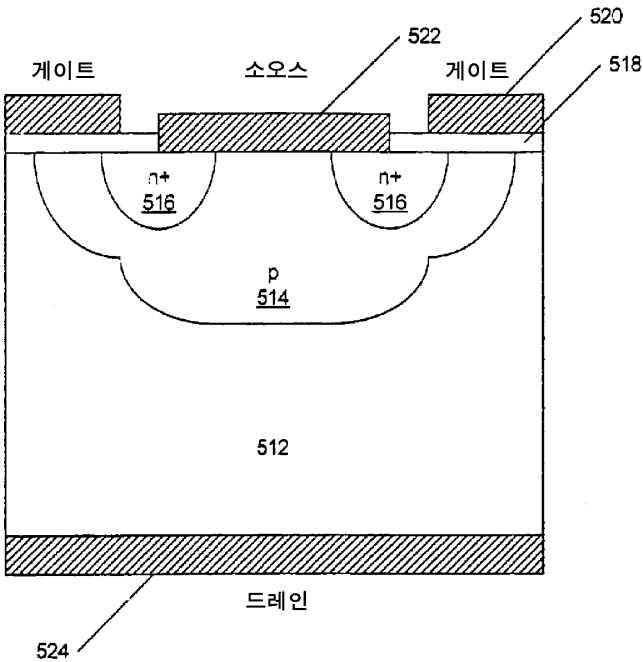
[0025] 도 2a 내지 도 2m은 본 발명의 실시예에 따른 MOSFET의 제조 방법을 보여주는 단면도들이고;

[0026] 도 3a 내지 도 3g는 본 발명의 다른 실시예에 따른 MOSFET의 제조 방법을 보여주는 단면도들이고; 그리고

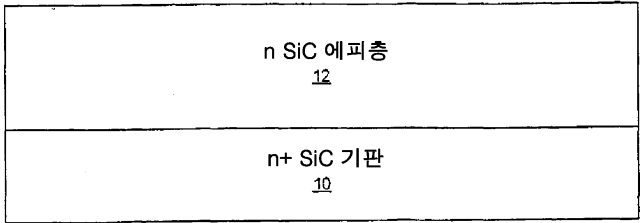
[0027] 도 4a 내지 도 4e는 본 발명의 실시예들에 따른 MOSFET의 제조 방법을 보여주는 단면도들이다.

도면

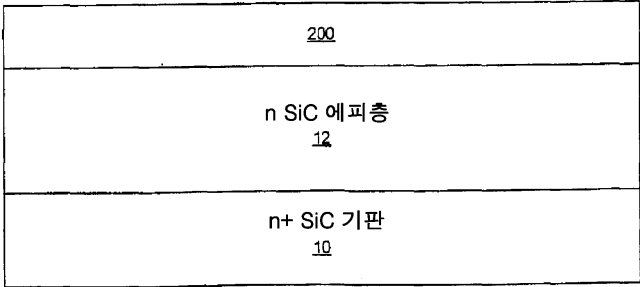
도면1



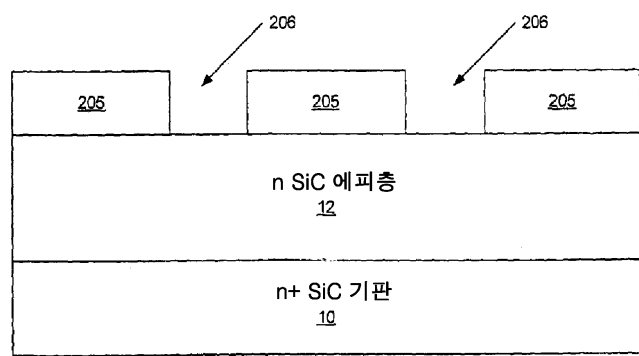
도면2a



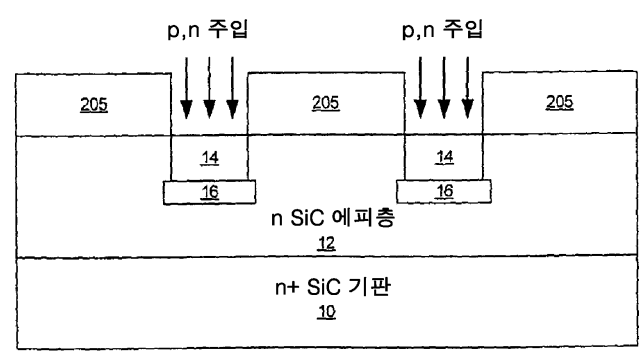
도면2b



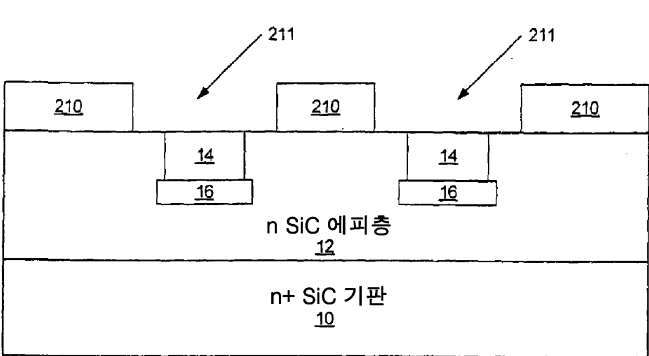
도면2c



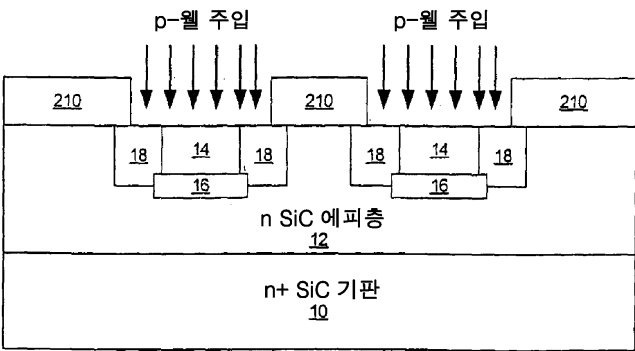
도면2d



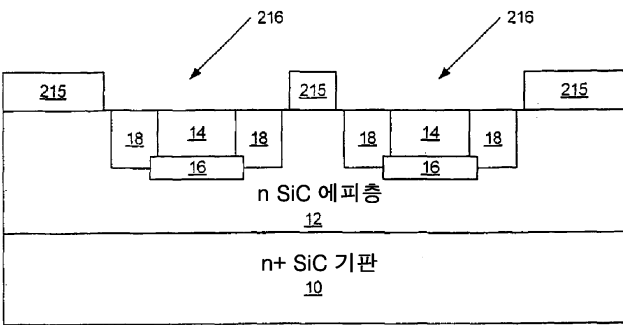
도면2e



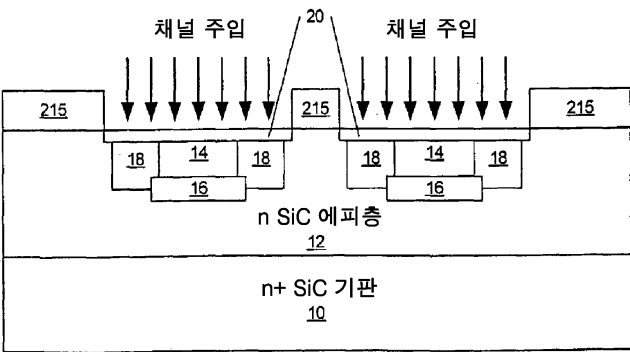
도면2f



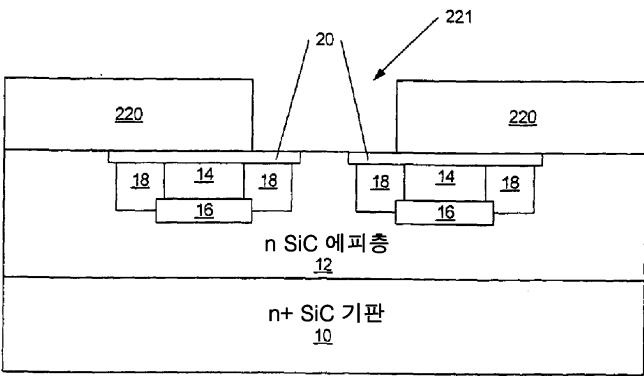
도면2g



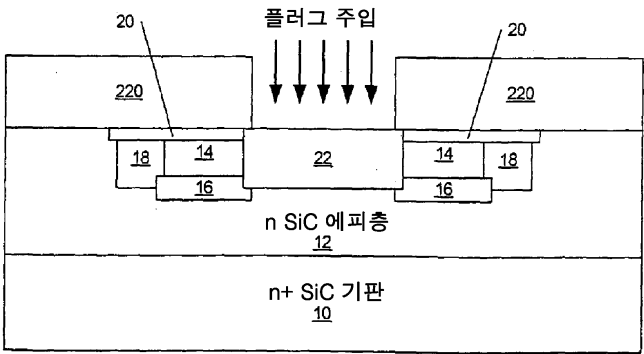
도면2h



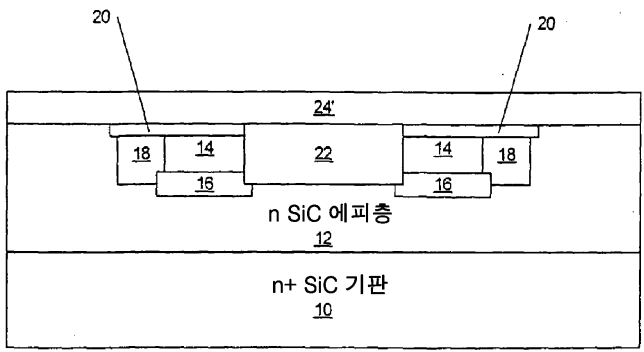
도면2i



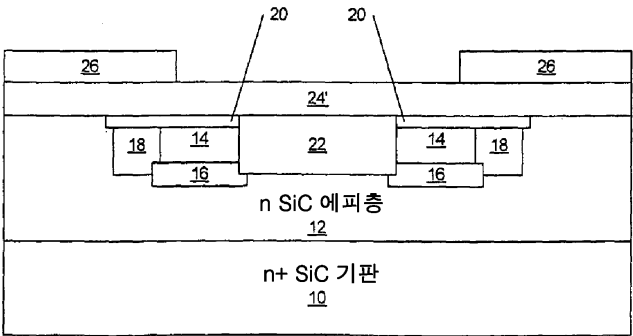
도면2j



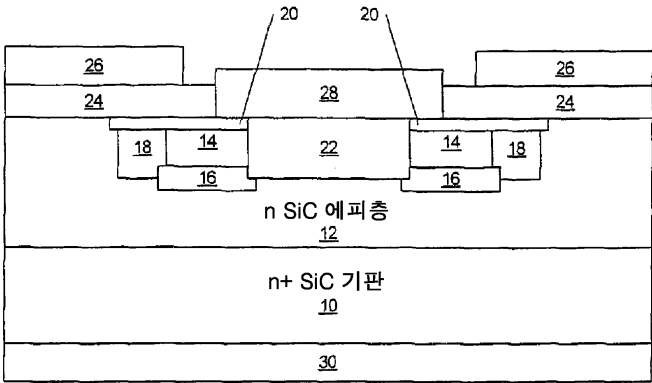
도면2k



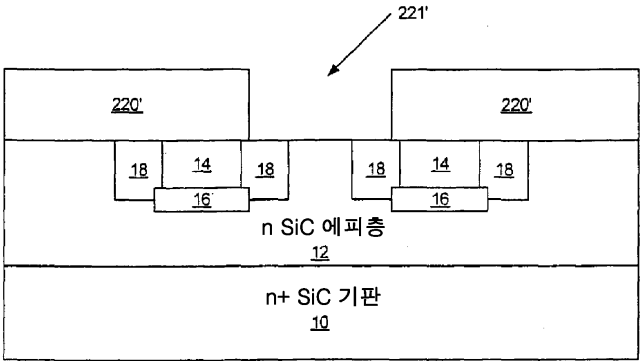
도면21



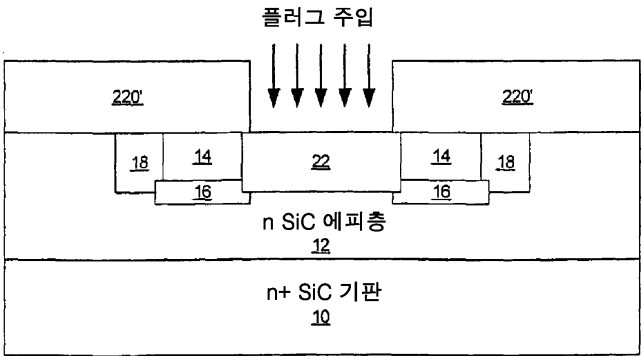
도면2m



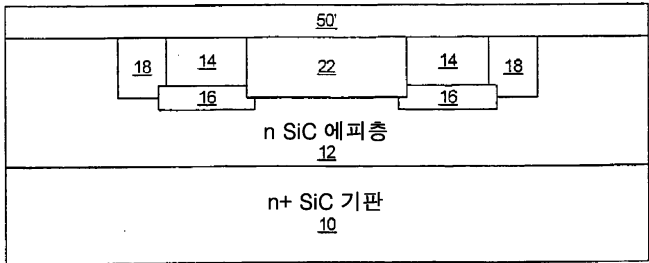
도면3a



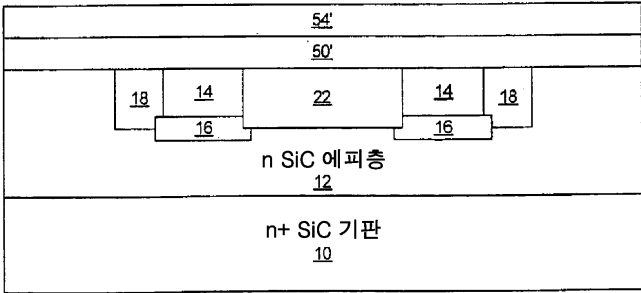
도면3b



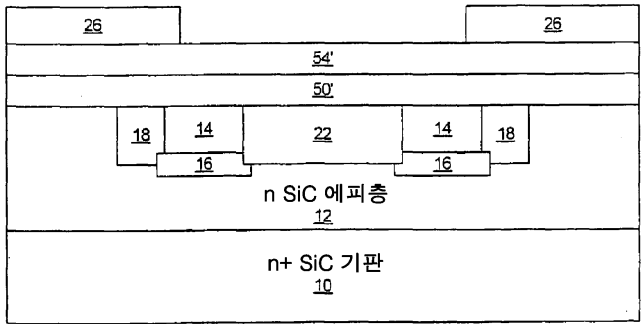
도면3c



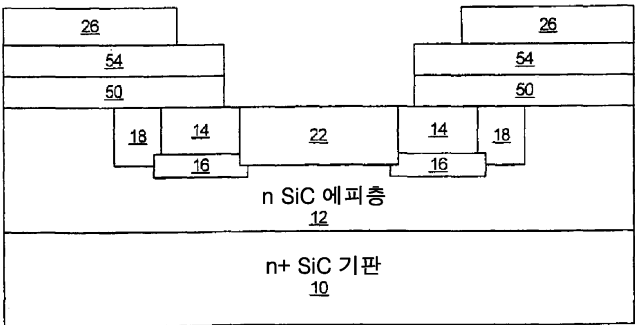
도면3d



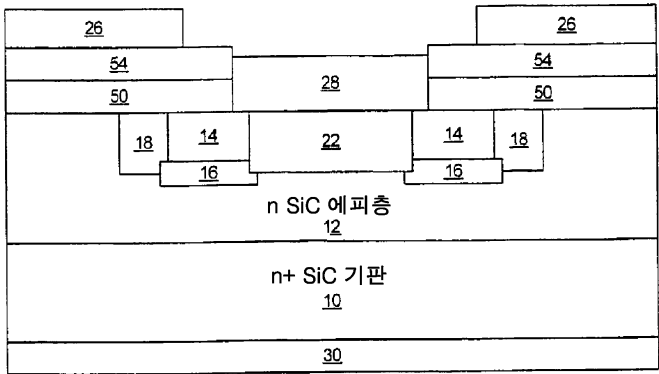
도면3e



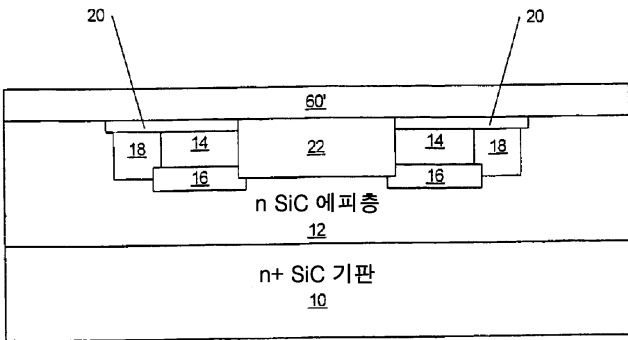
도면3f



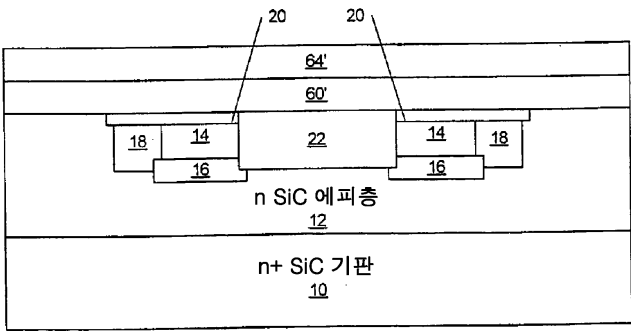
도면3g



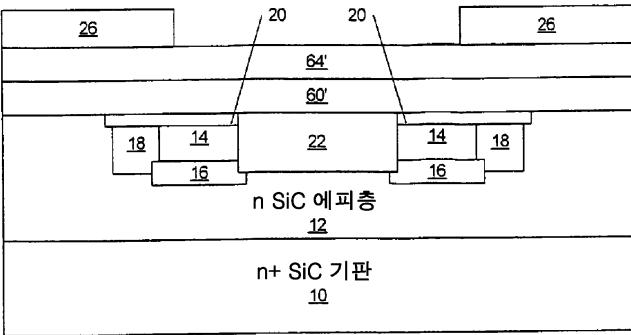
도면4a



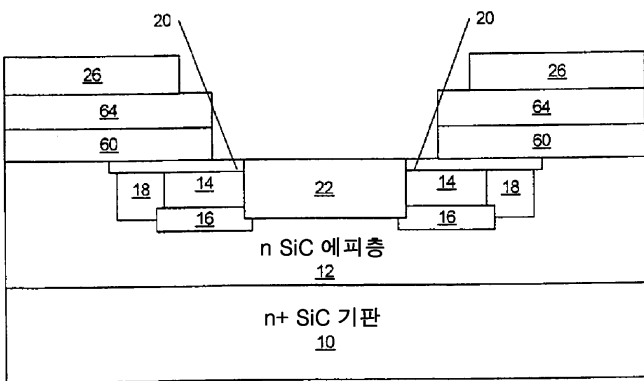
도면4b



도면4c



도면4d



도면4e

