

公告本

申請日期	88.8.15
案 號	HT11000J
類 別	Int. C16 H01L 7/00

306036

A4
C4

306036

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有電容器的半導體記憶體元件(二)
	英 文	
二、發明 創作人	姓 名	趙芳慶
	國 籍	中華民國
	住、居所	新竹市東山街 55 號 4 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

五、發明說明(1)

本發明是有關於一種具有電容器的半導體記憶體元件 (Semiconductor Memory Device)，且特別是有關於一種動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM) 的一記憶單元 (Memory Cell) 結構，其包含一轉移電晶體 (Transfer Transistor) 和一樹型 (tree-type) 儲存電容器。

第 1 圖是一 DRAM 元件的一記憶單元之電路示意圖。如圖所示，一個記憶單元是由一轉移電晶體 T 和一儲存電容器 C 組成。轉移電晶體 T 的源極係連接到一對應的位元線 BL，汲極連接到儲存電容器 C 的一儲存電極 6 (storage electrode)，而閘極則連接到一對應的字元線 WL。儲存電容器 C 的一相對電極 8 (opposed electrode) 係連接到一固定電壓源，而在儲存電極 6 和相對電極 8 之間則設置一介電膜層 7。

在傳統 DRAM 的儲存電容量少於 1M (mega=百萬) 位元時，於積體電路製程中，主要是利用二度空間的電容器來實現，亦即泛稱的平坦型電容器 (planar type capacitor)。一平坦型電容器需佔用半導體基底的一相當大的面積來儲存電荷，故並不適合應用於高度的積集化。高度積集化的 DRAM，例如大於 4M 位元的儲存電容量者，需要利用三度空間的電容器來實現，例如所謂的堆疊型 (stacked type) 或溝槽型 (trench type) 電容器。

與平坦型電容器比較，堆疊型或溝槽型電容器可以在記憶單元的尺寸已進一步縮小的情況下，仍能獲得相當大的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

電容量。雖然如此，當記憶體元件再進入更高度的積集化時，例如具有 64M 位元容量的 DRAM，單純的三度空間電容器結構已不再適用。

解決之道之一是利用所謂的鰭型 (fin type) 堆疊電容器。鰭型堆疊電容器之相關技術可參考 Ema 等人的論文“3-Dimensional Stacked Capacitor Cell for 16M and 64M DRAMs”, International Electron Devices Meeting, pp. 592-595, Dec. 1988。鰭型堆疊電容器主要是其電極和介電膜層係由複數個堆疊層，延伸成一水平鰭狀結構，以便增加電極的表面積。DRAM 的鰭型堆疊電容器的相關美國專利可以參考第 5,071,783 號、第 5,126,810 號、第 5,196,365 號、以及第 5,206,787 號。

另一種解決之道是利用所謂的筒型 (cylindrical type) 堆疊電容器。筒型堆疊電容器之相關技術可參考 Wakamiya 等人的論文“Novel Stacked Capacitor Cell for 64-Mb DRAM”, 1989 Symposium on VLSI Technology Digest of Technical Papers, pp. 69-70。筒型堆疊電容器主要是其電極和介電膜層係延伸成一垂直筒狀結構，以便增加電極的表面積。DRAM 的筒型堆疊電容器的相關美國專利可以參考第 5,077,688 號。

隨著積集度的不斷增加，DRAM 記憶單元的尺寸仍會再縮小。如熟習此藝者所知，記憶單元尺寸縮小，儲存電容器的電容值也會減少。電容值的減少將導致因 α 射線入射所引起的軟錯誤 (soft error) 機會增加。因此，此藝者仍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

不斷在尋找新的儲存電容器結構及其製造方法，希望在儲存電容器所佔的平面尺寸被縮小的情況，仍能維持所要的電容值。

緣此，本發明的一主要目的就是在提供一種具有電容器的半導體記憶體元件，其電容器具有一樹狀結構，以增加電容器的儲存電極之表面積。

依照本發明之一特點，一種具有電容器的半導體記憶體元件包括一基底；一轉移電晶體，形成在基底上，並包括汲極和源極區；以及一儲存電容器，電性耦接到轉移電晶體的汲極和源極區之一上。其中該儲存電容器包括一類樹幹狀導電層，具有一底部，電性耦接到轉移電晶體的該汲極和源極區之一上，類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從該底部延伸出。一類樹枝狀的上導電層電性耦接在類樹幹狀導電層上方。至少一類樹枝狀的下導電層具有一似 L 形的剖面，類樹枝狀的下導電層連接到類樹枝狀的上導電層之下表面上，類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成儲存電容器的一儲存電極。一介電層形成在類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上。一上導電層形成在介電層上，以構成儲存電容器的一相對電極。

依照本發明的一較佳實施例，儲存電容器包括二個大致平行的類樹枝狀下導電層，每一個均具有一似 L 形的剖面，且均連接到類樹枝狀的上導電層之下表面上。儲存電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

可更包括一第二類樹枝狀導電層，其具有一末端連接在類樹幹狀導電層的外表面上、以及一往外延伸部，以一大致水平的方向，從該末端往外延伸出。第二類樹枝狀導電層係位在類樹枝狀的下導電層的下方。類樹枝狀的下導電層可具有一似雙L形的剖面。

依照本發明的另一較佳實施例，類樹枝狀的上導電層包括一中央部份電性耦接在類樹幹狀導電層的上表面；以及一往外延伸部從中央部份往外延伸出。類樹枝狀的下導電層包括一第一延伸部連接到類樹枝狀的上導電層之下表面上，且大致往下延伸；以及一第二延伸部大致從第一延伸部往外延伸。類樹枝狀的下導電層可包括一內表面連接到類樹幹狀導電層的外表面。

依照本發明的另一特點，一種具有電容器的半導體記憶體元件包括一基底；一轉移電晶體，形成在基底上，並包括汲極和源極區；以及一儲存電容器，電性耦接到轉移電晶體的汲極和源極區之一上。其中儲存電容器包括一類樹幹狀導電層，具有一底部，電性耦接到轉移電晶體的該汲極和源極區之一上，類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從底部延伸出。一類樹枝狀的上導電層電性耦接在類樹幹狀導電層上方。至少一類樹枝狀的下導電層包括至少一第一延伸段和一第二延伸段，第一延伸段的一末端連接到類樹枝狀的上導電層之下表面上，第二延伸段以一角度，從第一延伸段的另一末端延伸出，類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

的下導電層構成儲存電容器的一儲存電極。一介電層形成在類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上。一上導電層形成在介電層上，以構成儲存電容器的一相對電極。

依照本發明的又一較佳實施例，類樹枝狀的下導電層可更包括一第三延伸段大致從第二延伸段往下延伸出；以及一第四延伸段大致從第三延伸段往外延伸出。

依照本發明的又一特點，一種具有電容器的半導體記憶體元件包括一基底；一轉移電晶體，形成在基底上，並包括汲極和源極區；以及一儲存電容器，電性耦接到轉移電晶體的汲極和源極區之一上。其中儲存電容器包括一類樹幹狀導電層，具有一底部，電性耦接到轉移電晶體的該汲極和源極區之一上，類樹幹狀導電層又具有一柱形延伸部，以一大致向上的方向，從該底部延伸出。一類樹枝狀的上導電層電性耦接在類樹幹狀導電層上方。至少一類樹枝狀的下導電層具有一末端連接到類樹枝狀的上導電層之下表面上，類樹枝狀的下導電層又具有一向外延伸部，從該末端往外延伸出。類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成儲存電容器的一儲存電極。一介電層形成在類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上。一上導電層形成在介電層上，以構成儲存電容器的一相對電極。

依照本發明的再一較佳實施例，類樹枝狀下導電層的向外延伸部具有一多節彎摺形狀的剖面。儲存電容器包括複

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

數個大致平行延伸的類樹枝狀下導電層，每一個類樹枝狀下導電層的一末端均連接在類樹枝狀上導電層的下表面上。

依照本發明的再一特點，一種具有電容器的半導體記憶體元件包括一基底；一轉移電晶體，形成在基底上，並包括汲極和源極區；以及一儲存電容器，電性耦接到轉移電晶體的汲極和源極區之一上。其中儲存電容器包括一類樹幹狀導電層，具有一底部，電性耦接到轉移電晶體的該汲極和源極區之一上，類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從該底部延伸出。至少一類樹枝狀導電層包括至少一第一延伸段、一第二延伸段、和一第三延伸段，第一延伸段連接到類樹幹狀導電層之外表面上，第二延伸段以一第一角度，從第一延伸段延伸出，第三延伸段則以一第二角度，從第二延伸段延伸出。類樹幹狀導電層和類樹枝狀導電層構成該儲存電容器的一儲存電極。一介電層形成在類樹幹狀導電層和類樹枝狀導電層曝露出的表面上。一上導電層形成在介電層上，以構成儲存電容器的一相對電極。

依照本發明的再一較佳實施例，類樹幹狀導電層的向上延伸部包括一中空的部份。類樹幹狀導電層可具有一似 U 形的剖面。類樹幹狀導電層可包括一下樹幹部電性耦接到轉移電晶體的該汲極和源極區之一上；以及一上樹幹部從下樹幹部的上表面延伸出，且具有一似 T 形的剖面。類樹枝狀導電層係連接在上樹幹部的外表面上。

五、發明說明(7)

依照本發明的又一較佳實施例，類樹幹狀導電層可包括一下樹幹部電性耦接到轉移電晶體的該汲極和源極區之一上；以及一上樹幹部從下樹幹部的上表面延伸出，且具有一似中空管狀的剖面。類樹枝狀導電層係連接在上樹幹部的外表面上。

依照本發明的再一較佳實施例，類樹幹狀導電層具有一似 T 形的剖面。第一延伸段係大致從類樹幹狀導電層之外表面往外延伸出，第二延伸段大致從第一延伸段往下延伸出，第三延伸段則大致從第二延伸段往外延伸出。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉若干較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖是一 DRAM 元件的一記憶單元之電路示意圖。

第 2A 至 2G 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第一較佳實施例，以及本發明的一種半導體記憶元件之第一較佳實施例。

第 3A 至 3D 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第二較佳實施例，以及本發明的一種半導體記憶元件之第二較佳實施例。

第 4A 至 4C 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第三較佳實施例，以及本發明的一種半導體記憶元件之第三較佳實施例。

第 5A 至 5C 圖係一系列剖面圖，用以解釋本發明的一

五、發明說明(8)

種半導體記憶元件製造方法之第四較佳實施例，以及本發明的一種半導體記憶元件之第四較佳實施例。

第 6A 至 6D 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第五較佳實施例，以及本發明的一種半導體記憶元件之第五較佳實施例。

第 7A 至 7E 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第六較佳實施例，以及本發明的一種半導體記憶元件之第六較佳實施例。

第 8A 至 8E 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第七較佳實施例，以及本發明的一種半導體記憶元件之第七較佳實施例。

第 9A 和 9B 圖係剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第八較佳實施例，以及本發明的一種半導體記憶元件之第八較佳實施例。

第 10A 至 10E 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第九較佳實施例，以及本發明的一種半導體記憶元件之第九較佳實施例。

第 11A 和 11B 圖係剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第十較佳實施例，以及本發明的一種半導體記憶元件之第十較佳實施例。

第 12A 至 10C 圖係一系列剖面圖，用以解釋本發明的一種半導體記憶元件製造方法之第十一較佳實施例，以及本發明的一種半導體記憶元件之第十一較佳實施例。

第 13A 和 13B 圖係剖面圖，用以解釋本發明的一種半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

導體記憶元件製造方法之第十二較佳實施例，以及本發明的一種半導體記憶元件之第十二較佳實施例。

接著將參照第 2A 至 2G 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第一較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第一較佳實施例所製造的。

請參照第 2A 圖，首先將一矽基底 10 的表面進行熱氧化製程，例如以矽的局部氧化 (LOCOS) 技術來達成，因而形成場區氧化層 12，其厚度例如約 3000 埃 (angstroms)。接著，再將矽基底 10 進行熱氧化製程，以形成一閘極氧化層 14，其厚度例如約 150 埃。然後，利用一 CVD (化學氣相沈積) 或 LPCVD (低壓 CVD) 法，在矽基底 10 的整個表面上沈積一複晶矽層，其厚度例如約 2000 埃。爲了提高複晶矽層的導電性，可將磷離子植入到複晶矽層中。較佳地，可再沈積一耐火金屬 (refractory metal) 層，然後施行退火 (anneal) 步驟，即形成金屬複晶矽化合物層 (polycide)，以更提高其導電性。該耐火金屬可例如爲鎢 (Tungsten)，沈積厚度例如約 2000 埃。之後，利用傳統的光罩製版 (photolithography) 和蝕刻技術定義 (pattern) 金屬複晶矽化合物層，因而形成如第 2A 圖所示的閘極 (或稱字元線) WL1 至 WL4。接著，例如以砷離子植入到矽基底 10 中，以形成汲極區 16a 和 16b、以及源極區 18a 和 18b。在此步驟中，字元線 WL1 至 WL4 係當作罩幕層，而離子植入的劑量例如約 1×10^{15} atoms/cm²，能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

量則約 70KeV。

請參照第 2B 圖，接著，以 CVD 法沈積一平坦化的絕緣層 20，其例如為 BPSG（硼磷矽玻璃），厚度約 7000 埃。然後，再以 CVD 法沈積一蝕刻保護層（etching protection layer）22，其例如為矽氮化物層（silicon nitride），厚度約 1000 埃。之後，利用傳統的光罩製版和蝕刻技術，依序蝕刻該蝕刻保護層 22 和平坦化絕緣層 20，以形成儲存電極接觸窗（storage electrode contact holes）24a 和 24b，其係分別由蝕刻保護層 22 的上表面延伸到汲極區 16a 和 16b 的表面。接著，沈積一層厚的複晶矽層，其厚度例如約 7000 埃。爲了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版和蝕刻技術定義複晶矽層，因而形成如第 2B 圖所示的柱狀複晶矽層（polysilicon pillar）26a; 26b。柱狀複晶矽層 26a; 26b 分別從汲極區 16a 和 16b 的表面經由儲存電極接觸窗 24a 和 24b 大致往上延伸出，且其間形成凹口 25。

請參照第 2C 圖，接著以 CVD 法依序沈積一絕緣層 28、一複晶矽層 30、和一絕緣層 32。絕緣層 28 和 32 例如爲二氧化矽，絕緣層 28 和複晶矽層 30 的厚度均例如約 1000 埃，而絕緣層 32 的厚度應至少足以填滿柱狀複晶矽層 26a; 26b 之間的凹口 25，在此較佳實施例中，絕緣層 32 的厚度例如約 7000 埃。爲了提高複晶矽層 30 的導電性，可將例如砷離子植入到複晶矽層 30 中。

請參照第 2D 圖，接著利用機械化學式研磨（chemical

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

mechanical polish; CMP) 技術，研磨第 2C 圖結構的表面，至少直到柱狀複晶矽層 26a 和 26b 上方的部份露出為止。

請參照第 2E 圖，接著沈積一複晶矽層 34，其厚度例如約 1000 埃。爲了提高複晶矽層 34 的導電性，可將例如砷離子植入到複晶矽層 34 中。然後，利用傳統的光罩製版和蝕刻技術，依序蝕刻複晶矽層 34、絕緣層 32、和複晶矽層 30，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 34 和 30 切割成若干區段 34a; 34b 和 30a; 30b。

請參照第 2F 圖，接著以濕式蝕刻法，並以蝕刻保護層 22 爲蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 32 和 28。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如圖所示係由類樹幹狀的複晶矽層 26a; 26b、類樹枝狀的上複晶矽層 34a; 34b、以及具有似 L 形剖面的類樹枝狀的下複晶矽層 30a; 30b 所一起構成。類樹幹狀的複晶矽層 26a; 26b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 34a; 34b 連接且延伸於類樹幹狀複晶矽層 26a; 26b 的上方。類樹枝狀的下複晶矽層 30a; 30b 則從類樹枝狀的上複晶矽層 34a; 34b 的下表面，先以約垂直方向往下延伸一段距離後，再以約水平方向延伸。由於本發明的儲存電極之形狀非常特殊，故在本說明書中乃以“樹型儲存電極”稱之，且因而製成之電容器則稱爲“樹型儲存電容器”。

請參照第 2G 圖，接著在儲存電極 26a, 30a, 34a; 和 26b,

五、發明說明(12)

30b, 34b 的表面上分別形成一介電膜層 36a; 36b。介電膜層 36a; 36b 例如可為二氧化矽層、矽氮化物層、NO (矽氮化物/二氧化矽) 結構、ONO (二氧化矽/矽氮化物/二氧化矽) 結構、或任何類似者。然後，在介電膜層 36a 和 36b 的表面上，形成由複晶矽製成的相對電極 38。相對電極的製程可由下列步驟達成：以 CVD 法沈積一複晶矽層，其厚度例如為 1000 埃；再摻入例如 N 型雜質，以提高其導電性；最後以傳統光罩製版和蝕刻技術定義複晶矽層，完成 DRAM 各記憶單元的儲存電容器。

雖然第 2G 圖未顯示，然熟習此藝者應瞭解，第 2G 圖的結構可依傳統製程技術製作位元線、焊墊 (bonding pad)、互連導線 (interconnection)、隔絕保護層 (passivation)、以及包裝等等，以完成 DRAM 積體電路。由於這些製程非關本發明之特徵，故於此不多作贅述。

在此較佳實施例中，儲存電極只具有一層似 L 形剖面的類樹枝狀電極層。然而，本發明並不限於此，儲存電極似 L 形剖面的類樹枝狀電極層之層數可為二層、三層、或更多。下一個較佳實施例即將描述具有二層似 L 形剖面的類樹枝狀電極層的儲存電極。

接著將參照第 3A 至 3D 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第二較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第二較佳實施例所製造的。

本較佳實施例係以第 2B 圖所示的較佳實施例之結構為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 3A 至 3D 圖中，與第 2B 圖相似的部分係以相同的編號標示。

請參照第 2B 和 3A 圖，接著以 CVD 法交替沈積絕緣層和複晶矽層，亦即如第 3A 圖所示依序沈積一絕緣層 40、一複晶矽層 42、一絕緣層 44、一複晶矽層 46、和一絕緣層 48。絕緣層 40、44 和 48 例如為二氧化矽，絕緣層 40; 44 和複晶矽層 42; 46 的厚度均例如約 1000 埃，而絕緣層 48 的厚度則例如約 7000 埃。為了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。

請參照第 3B 圖，接著利用 CMP 技術，研磨第 3A 圖結構的表面，至少直到柱狀複晶矽層 26a 和 26b 上方的部分露出為止。

請再參照第 3C 圖，接著沈積一複晶矽層 50，其厚度例如約 1000 埃。為了提高複晶矽層 50 的導電性，可將例如砷離子植入到複晶矽層 50 中。然後，利用傳統的光罩製版和蝕刻技術，依序蝕刻複晶矽層 50、絕緣層 48、複晶矽層 46、絕緣層 44、和複晶矽層 42，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 42、46 和 50 切割成若干區段 42a; 42b、46a; 46b 和 50a; 50b。

接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 40、44 和 48。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 3C 圖所示係由類樹幹狀的複晶矽層 26a;

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

26b、類樹枝狀的上複晶矽層 50a; 50b、以及具有似 L 形剖面的類樹枝狀的二層下複晶矽層 42a, 46a; 42b, 46b 所一起構成。類樹幹狀的複晶矽層 26a; 26b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 50a; 50b 連接且延伸於類樹幹狀複晶矽層 26a; 26b 的上方。類樹枝狀的二層下複晶矽層 42a, 46a; 42b, 46b 則分別從類樹枝狀的上複晶矽層 34a; 34b 的下表面，先以約垂直方向往下延伸一段距離後，再以約水平方向延伸。

請參照第 3D 圖，接著在儲存電極 26a, 42a, 46a, 50a; 和 26b, 42b, 46b, 50b 的表面上分別形成一介電膜層 52a; 52b。然後，在介電膜層 52a 和 52b 的表面上，形成由複晶矽製成的相對電極 54。相對電極的製程可由下列步驟達成：以 CVD 法沈積一複晶矽層，其厚度例如為 1000 埃；再摻入例如 N 型雜質，以提高其導電性；最後以傳統光罩製版和蝕刻技術定義複晶矽層，完成 DRAM 各記憶單元的儲存電容器。

在上述第一和第二較佳實施例中，儲存電極最下方一層的類樹枝狀電極層之下表面與蝕刻保護層 22 之間有一距離，並不直接接觸。然而，本發明並不限於此，下一個較佳實施例即將描述最下方一層的類樹枝狀電極層之下表面與蝕刻保護層 22 直接接觸的儲存電極結構。

接著將參照第 4A 至 4C 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第三較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第三較佳實施例所製造的。

五、發明說明(15)

本較佳實施例係以第 2B 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 4A 至 4C 圖中，與第 2B 圖相似的部分係以相同的編號標示。

請參照第 2B 和 4A 圖，接著以 CVD 法依序沈積一複晶矽層 56、一絕緣層 58、一複晶矽層 60、和一絕緣層 62。

請參照第 4B 圖，接著利用 CMP 技術，研磨第 4A 圖結構的表面，至少直到位在柱狀複晶矽層 26a 和 26b 上方的最下面一層的複晶矽層 56 露出為止。或者，也可直到柱狀複晶矽層 26a 和 26b 上方的部份露出為止。

請再參照第 4C 圖，接著沈積一複晶矽層 64 後，利用傳統的光罩製版和蝕刻技術，界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 56、60 和 64 切割成若干區段 56a; 56b、60a; 60b 和 64a; 64b。

接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 58 和 62。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 4C 圖所示係由類樹幹狀的複晶矽層 26a; 26b、類樹枝狀的上複晶矽層 64a; 64b、以及具有似 L 形剖面的類樹枝狀的二層下複晶矽層 56a, 60a; 56b, 60b 所一起構成。類樹幹狀的複晶矽層 26a; 26b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 64a; 64b 連接且延伸於類樹幹狀複晶矽層 26a; 26b 的上方。類樹枝狀的二層下複晶矽層 56a, 60a; 56b, 60b 則分別從類樹枝狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

的上複晶矽層 64a; 64b 的下表面，先以約垂直方向往下延伸一段距離後，再以約水平方向延伸。類樹枝狀的下複晶矽層中較靠近類樹幹狀複晶矽層 26a; 26b 者（亦即 56a 和 56b），其內表面與類樹幹狀複晶矽層 26a; 26b 直接接觸，且下表面與蝕刻保護層 22 直接接觸，因而形成與上兩個較佳實施例不同的結構。

下面第四較佳實施例也將描述最下方一層的類樹枝狀電極層之下表面與蝕刻保護層 22 直接接觸的儲存電極結構。第四較佳實施例係以不同於第三較佳實施例的製造方法，達成相近的結構。

接著將參照第 5A 至 5C 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第四較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第四較佳實施例所製造的。

本較佳實施例係以第 2B 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 5A 至 5C 圖中，與第 2B 圖相似的部份係以相同的編號標示。

請參照第 2B 和 5A 圖，接著在柱狀複晶矽層 26a 和 26b 的側壁上，分別形成邊牆絕緣層（insulating spacers）66a 和 66b。邊牆 66a 和 66b 例如為二氧化矽層，且可以下列步驟達成：以 CVD 法沈積一二氧化矽層，其厚度例如為 1000 埃；接著再回蝕刻（etch back），即可形成邊牆。然後，以 CVD 法依序沈積一複晶矽層 68、一絕緣層 70、一複晶

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(17)

矽層 72、和一絕緣層 74。

請參照第 5B 圖，接著利用 CMP 技術，研磨第 5A 圖結構的表面，至少直到位在柱狀複晶矽層 26a 和 26b 上方的最下面一層的複晶矽層 68 露出為止。或者，也可直到柱狀複晶矽層 26a 和 26b 上方的部份露出為止。

請再參照第 5C 圖，接著沈積一複晶矽層 76 後，利用傳統的光罩製版和蝕刻技術，界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 68、72 和 76 切割成若干區段 68a; 68b、72a; 72b 和 76a; 76b。

接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 70 和 74。藉此步驟即完成動態隨機存取記憶體之儲存電容器之儲存電極，其如第 5C 圖所示係由類樹幹狀的複晶矽層 26a; 26b、類樹枝狀的上複晶矽層 76a; 76b、以及具有似 L 形剖面的類樹枝狀的二層下複晶矽層 68a, 72a; 68b, 72b 所一起構成。類樹幹狀的複晶矽層 26a; 26b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 76a; 76b 連接且延伸於類樹幹狀複晶矽層 26a; 26b 的上方。類樹枝狀的二層下複晶矽層 68a, 72a; 68b, 72b 則分別從類樹枝狀的上複晶矽層 76a; 76b 的下表面，先以約垂直方向往下延伸一段距離後，再以約水平方向延伸。類樹枝狀的下複晶矽層中較靠近類樹幹狀複晶矽層 26a; 26b 者（亦即 72a 和 72b），其內表面與類樹幹狀複晶矽層 26a; 26b 的外表面隔著邊牆絕緣層 66a; 66b，而下表面則與蝕刻保護層 22 直接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

接觸，因而形成與上述較佳實施例不同的結構。

下面第五較佳實施例以不同的製造方法，形成最下方一層的類樹枝狀電極層之內表面與類樹幹狀複晶矽層的外表面直接接觸，但下表面則與蝕刻保護層不直接接觸的不同儲存電極結構。

接著將參照第 6A 至 6D 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第五較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第五較佳實施例所製造的。

本較佳實施例係以第 2A 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 6A 至 6D 圖中，與第 2A 圖相似的部分係以相同的編號標示。

請參照第 2A 和 6A 圖，接著以 CVD 法沈積一平坦化的絕緣層 80，其例如為 BPSG。再以 CVD 法沈積一蝕刻保護層 82，其例如為矽氮化物層。然後以 CVD 法沈積一絕緣層 84，其例如為二氧化矽，厚度例如約 1000 埃。接著，利用傳統的光罩製版和蝕刻技術，依序蝕刻二氧化矽層 84、蝕刻保護層 82 和平坦化絕緣層 80，以形成儲存電極接觸窗 85a 和 85b，其係分別由二氧化矽層 84 的上表面延伸到汲極區 16a 和 16b 的表面。接著，沈積一層厚的複晶矽層，其厚度例如約 7000 埃。為了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版和蝕刻技術定義複晶矽層，因而形成如第 6A 圖所示的柱狀複晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

矽層 86a; 86b。柱狀複晶矽層 86a; 86b 分別從汲極區 16a 和 16b 的表面經由儲存電極接觸窗 85a 和 85b 大致往上延伸出。

請參照第 6B 圖，接著以 CVD 法依序沈積一複晶矽層 88、一絕緣層 90、一複晶矽層 92、和一絕緣層 94。

請參照第 6C 圖，接著利用 CMP 技術，研磨第 6B 圖結構的表面，直到柱狀複晶矽層 86a 和 86b 上方的部份露出為止。或者，也可只到位在柱狀複晶矽層 86a 和 86b 上方的最下面一層的複晶矽層 88 露出為止。

請再參照第 6D 圖，接著沈積一複晶矽層 96 後，利用傳統的光罩製版和蝕刻技術，界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 88、92 和 96 切割成若干區段 88a; 88b、92a; 92b 和 96a; 96b。

接著以濕式蝕刻法，並以蝕刻保護層 82 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 94、90 和 84。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 6D 圖所示係由類樹幹狀的複晶矽層 86a; 86b、類樹枝狀的上複晶矽層 96a; 96b、以及具有似 L 形剖面的類樹枝狀的二層下複晶矽層 88a, 92a; 88b, 92b 所一起構成。類樹幹狀的複晶矽層 86a; 86b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 96a; 96b 連接且延伸於類樹幹狀複晶矽層 86a; 86b 的上方。類樹枝狀的二層下複晶矽層 88a, 92a; 88b, 92b 則分別從類樹枝狀的上複晶矽層 96a; 96b 的下表面，先以約垂直方向往下延

五、發明說明(20)

伸一段距離後，再以約水平方向延伸。類樹枝狀的下複晶矽層中較靠近類樹幹狀複晶矽層 86a; 86b 者（亦即 88a 和 88b），其內表面與類樹幹狀複晶矽層 86a; 86b 的外表面相連接，而下表面則與蝕刻保護層 82 保持一距離，因而形成與上述較佳實施例不同的儲存電極結構。

在上述第一至第五較佳實施例中，儲存電極的類樹枝狀電極層係呈 L 形剖面的兩節式彎摺構件。然而，本發明並不限於此，類樹枝狀電極層因彎摺而構成的節數目，可以為三節、四節、或更多。下一個較佳實施例即將描述類樹枝狀電極層具有四節結構的儲存電極。

接著將參照第 7A 至 7E 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第六較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第六較佳實施例所製造的。

本較佳實施例係以第 2A 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 7A 至 7E 圖中，與第 2A 圖相似的部份係以相同的編號標示。

請參照第 7A 和 2A 圖，接著，以 CVD 法沈積一平坦化的絕緣層 98，其例如為 BPSG。然後，再以 CVD 法沈積一蝕刻保護層 100，其例如為矽氮化物層。然後利用傳統的光罩製版和蝕刻技術，依序蝕刻該蝕刻保護層 100 和平坦化絕緣層 98，以形成儲存電極接觸窗 102a 和 102b，其係分別由蝕刻保護層 100 的上表面延伸到汲極區 16a 和 16b 的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(21)

表面。接著，沈積一層厚的複晶矽層，其厚度例如約 7000 埃。爲了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版技術形成一光阻層 106，並以非等向性蝕刻曝露出的複晶矽層，因而形成如圖所示的凸起複晶矽層 104a 和 104b。凸起複晶矽層 104a; 104b 分別從汲極區 16a 和 16b 的表面經由儲存電極接觸窗 102a 和 102b 大致往上延伸出。

請參照第 7B 圖，接著以光阻浸蝕 (photoresist erosion) 技術去除光阻層 106 一厚度，而形成較薄較小的光阻層 106a，藉此又曝露出凸起複晶矽層 104a 和 104b 的一部份上表面。

請再參照第 7C 圖，接著，再以非等向性蝕刻凸起複晶矽層 104a 和 104b 曝露出的上表面部份及殘留的複晶矽層，至蝕刻保護層 100 露出爲止，以便形成具有階梯狀的柱狀複晶矽層 104c 和 104d 結構。最後去光阻。

請參照第 7D 圖，接著依上面針對第 2C 和 2D 圖所述的類似步驟進行，以完成如第 7D 圖所示的結構。亦即先以 CVD 法依序沈積一絕緣層 108、一複晶矽層 110、和一絕緣層 112。接著利用機械化學式研磨技術，研磨其結構的表面，至少直到柱狀複晶矽層 104c 和 104d 上方的表面露出爲止。

請再參照第 7E 圖，接著沈積一複晶矽層 114，其厚度例如約 1000 埃。爲了提高複晶矽層 114 的導電性，可將例如砷離子植入到複晶矽層 114 中。然後，利用傳統的光罩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

製版和蝕刻技術，依序蝕刻複晶矽層 114、絕緣層 112、和複晶矽層 110，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 114 和 110 切割成若干區段 114a; 114b 和 110a; 110b。

接著以濕式蝕刻法，並以蝕刻保護層 100 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 112 和 108。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 7E 圖所示係由類樹幹狀的複晶矽層 104c; 104d、類樹枝狀的上複晶矽層 114a; 114b、以及具有四節彎摺形剖面(或雙 L 形剖面)的類樹枝狀的下複晶矽層 110a; 110b 所一起構成。類樹幹狀的複晶矽層 104c; 104d 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹枝狀的上複晶矽層 114a; 114b 連接且延伸於類樹幹狀複晶矽層 104c; 104d 的上方。類樹枝狀的下複晶矽層 110a; 110b 則從類樹枝狀的上複晶矽層 114a; 114b 的下表面，先以約垂直方向往下延伸一段距離後，再以約水平方向延伸另一段距離，接著又以約垂直方向往下延伸一段距離，最後以約水平方向延伸出。

依照本較佳實施例之構想，若要製作更多節的類樹枝狀複晶矽層結構，可以第 7B 和 7C 圖的結構為基礎，再進行光阻浸蝕步驟和凸起複晶矽層的時間控制非等向蝕刻步驟一次或多次，以形成更多階梯的柱狀複晶矽層結構。

在上述第一至第六較佳實施例中，均是利用 CMP 技術將位在柱狀複晶矽層上方的其他複晶矽層予以切割。然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

而，本發明並不限於此，下一個較佳實施例即將描述利用傳統的光罩製版和蝕刻技術，將位在柱狀複晶矽層上方的其他複晶矽層予以切割的製程，以及因而形成的不同儲存電極結構。

接著將參照第 8A 至 8E 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第七較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第七較佳實施例所製造的。

本較佳實施例係以第 2B 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 8A 至 8E 圖中，與第 2B 圖相似的部份係以相同的編號標示。

請參照第 8A 和 2B 圖，接著以 CVD 法交替沈積絕緣層和複晶矽層，亦即如第 8A 圖所示依序沈積一絕緣層 116、一複晶矽層 118、一絕緣層 120、一複晶矽層 122、和一絕緣層 124。絕緣層 116、120 和 124 例如為二氧化矽，所有絕緣層和複晶矽層的厚度均例如約 1000 埃。為了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。

請參照第 8B 圖，接著，利用傳統的光罩製版技術形成一光阻層 126，並依序以非等向性蝕刻未被覆蓋的二氧化矽層 124、複晶矽層 122、二氧化矽層 120、複晶矽層 118、和二氧化矽層 116，以使柱狀複晶矽層 26a 和 26b 的上表面露出。在此步驟中，形成接觸窗 128a 和 128b，其係分別從絕緣層 124 的上表面延伸到柱狀複晶矽層 26a 和 26b 的上表

五、發明說明(24)

面。而且也使位在柱狀複晶矽層 26a 和 26b 上方的絕緣層 116, 120, 124 以及複晶矽層 118, 122 被切割。最後去光阻。

請參照第 8C 圖，接著沈積一複晶矽層 130，填滿接觸窗 128a 和 128b。再利用傳統光罩製版和蝕刻技術定義複晶矽層 130，以形成分別連接到柱狀複晶矽層 26a 和 26b 的上樹幹部份 130a 和 130b。在此較佳實施例中，儲存電極的上樹幹部份 130a 和 130b 具有似 T 形的剖面。依照另一較佳實施例，也可以利用重填 (refill) 複晶矽層到接觸窗 128a 和 128b 中，以形成柱狀的上樹幹部份。此複晶矽層重填製程可以 CVD 法沈積一複晶矽層再回蝕刻達成。依照又一較佳實施例，也可以沈積一複晶矽層，其未填滿接觸窗 128a 和 128b，而只形成於接觸窗的內壁上。再以傳統的光罩製版和蝕刻技術定義複晶矽層，以形成具有似 U 形剖面的上樹幹部份。

請參照第 8D 圖，接著利用傳統的光罩製版和蝕刻技術，依序蝕刻絕緣層 124、複晶矽層 122、絕緣層 120、和複晶矽層 118，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 118 和 122 切割成若干區段 118a; 118b 和 122a; 122b。

請再參照第 8E 圖，接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 124、120 和 116。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 8E 圖所示係由類樹幹狀的下複晶矽層 26a; 26b、類樹幹狀的上複晶矽層 130a;

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

130b、以及具有三節彎摺形剖面的二層類樹枝狀複晶矽層 118a, 122a; 118b, 122b 所一起構成。類樹幹狀的下複晶矽層 26a; 26b 連接到 DRAM 的轉移電晶體之汲極區 16a; 16b。類樹幹狀的上複晶矽層 130a; 130b 連接於類樹幹狀複晶矽層 26a; 26b 的上方。二層類樹枝狀複晶矽層 118a, 122a; 118b, 122b 則從類樹幹狀的上複晶矽層 130a; 130b 的外表面，先以約水平方向延伸出一段距離後，再以約垂直方向往下延伸一距離，最後以約水平方向往外延伸。

在下一個較佳實施例中，係以不同的製程形成不同結構的儲存電極。該較佳實施例的儲存電極結構非常類似上述的第七較佳實施例結構，唯一不同之處是其上樹幹部份為中空結構。

接著將參照第 9A 和 9B 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第八較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第八較佳實施例所製造的。

本較佳實施例係以第 8B 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 9A 和 9B 圖中，與第 8B 圖相似的部份係以相同的編號標示。

請參照第 9A 和 8B 圖，接著以 CVD 法沈積一複晶矽層，再回蝕刻，以便在接觸窗 128a 和 128b 的內壁上形成複晶矽層邊牆 (side-wall spacer) 132a 和 132b。複晶矽層邊牆 132a 和 132b 構成上樹幹部份，分別連接到柱狀複晶矽層 26a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

和 26b 的上表面，而且具有似 U 形的剖面，以增加儲存電極的表面積。

請再參照第 9B 圖，接著利用傳統的光罩製版和蝕刻技術，依序蝕刻絕緣層 124、複晶矽層 122、絕緣層 120、和複晶矽層 118，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 118 和 122 切割成若干區段 118a; 118b 和 122a; 122b。

接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 124、120 和 116。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 9B 圖所示係由類樹幹狀的下複晶矽層 26a; 26b、類樹幹狀的上複晶矽層 132a; 132b、以及具有三節彎摺形剖面的二層類樹枝狀複晶矽層 118a, 122a; 118b, 122b 所一起構成。第 9B 圖所示較佳實施例的儲存電極結構與第 8E 圖所示者之唯一不同，僅在類樹幹狀的上複晶矽層 132a; 132b 和 130a; 130b 之結構不同。

在下一個較佳實施例中，係以不同的製程形成類似於第 8E 圖所示較佳實施例的儲存電極結構。

接著將參照第 10A 至 10E 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第九較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第九較佳實施例所製造的。

本較佳實施例係以第 2A 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。

五、發明說明 (27)

在第 10A 至 10E 圖中，與第 2A 圖相似的部分係以相同的編號標示。

請參照第 10A 和 2A 圖，接著，以 CVD 法沈積一平坦化的絕緣層 150，其例如為 BPSG。然後，再以 CVD 法沈積一蝕刻保護層 152，其例如為矽氮化物層。之後，沈積一厚的絕緣層，其例如為二氧化矽層，厚度約 7000 埃。再利用傳統的光罩製版和蝕刻技術定義絕緣層，因而形成如圖所示的柱狀絕緣層 (insulating pillars) 154a 和 154b。柱狀絕緣層 154a 和 154b 的位置大約是分別在汲極區 16a 和 16b 的上方。

請參照第 10B 圖，接著以 CVD 法依序沈積一絕緣層 156、一複晶矽層 158、和一絕緣層 160。絕緣層 156 和 160 例如為二氧化矽，絕緣層 156、160 和複晶矽層 158 的厚度均例如約 1000 埃。為提高複晶矽層 158 的導電性，可將砷離子植入到複晶矽層 158 中。

請參照第 10C 圖，接著利用傳統的光罩製版技術形成一光阻層 162，並依序以非等向性蝕刻未被覆蓋的二氧化矽層 160、複晶矽層 158、二氧化矽層 156、柱狀絕緣層 154a; 154b、蝕刻保護層 152、平坦化絕緣層 150、和閘極氧化層 14，以形成儲存電極接觸窗 164a 和 164b，其係分別由絕緣層 160 的上表面延伸到汲極區 16a 和 16b 的表面。

請參照第 10D 圖，接著沈積一複晶矽層 166，填滿儲存電極接觸窗 164a 和 164b。再利用傳統光罩製版和蝕刻技術定義複晶矽層 166，以形成分別連接到汲極區 16a 和 16b 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

類樹幹狀複晶矽層 166a 和 166b。

請再參照第 10E 圖，接著利用傳統的光罩製版和蝕刻技術，依序蝕刻絕緣層 160 和複晶矽層 158，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 158 切割成若干區段 158a 和 158b。

接著以濕式蝕刻法，並以蝕刻保護層 152 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 160、156 和 154a; 154b。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 10E 圖所示係由類樹幹狀的複晶矽層 166a; 166b、以及具有三節彎摺形剖面的類樹枝狀複晶矽層 158a; 158b 所一起構成。第 10E 圖所示較佳實施例的儲存電極結構與第 8E 圖所示者非常類似，然兩者之製程差異則很大。

在下一個較佳實施例中，係以不同的製程形成不同結構的儲存電極。該較佳實施例的儲存電極結構非常類似上述的第九較佳實施例結構，唯一不同之處是其類樹幹狀複晶矽層為中空結構，以增加儲存電極的表面積。

接著將參照第 11A 和 11B 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第十較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第十較佳實施例所製造的。

本較佳實施例係以第 10C 圖所示的較佳實施例之結構為基礎，再以不同的製程製作不同結構的 DRAM 儲存電極。在第 11A 和 11B 圖中，與第 10C 圖相似的部分係以相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

同的編號標示。

請參照第 11A 和 10C，接著以 CVD 法沈積一複晶矽層 168，使在儲存電極接觸窗 164a 和 164b 中，複晶矽只形成在儲存電極接觸窗 164a 和 164b 的內壁上，但未填滿儲存電極接觸窗。之後，以傳統的光罩製版和蝕刻技術，定義出各記憶單元儲存電極的類樹幹狀複晶矽層 168a; 168b，如圖所示其具有似 U 形的剖面，以更增加儲存電極的表面積。

請再參照第 11B 圖，接著利用傳統的光罩製版和蝕刻技術，依序蝕刻絕緣層 160 和複晶矽層 158，以界定出各記憶單元的儲存電容器之儲存電極。亦即藉此步驟將複晶矽層 158 切割成若干區段 158a 和 158b。

接著以濕式蝕刻法，並以蝕刻保護層 152 為蝕刻終點，將暴露出的二氧化矽層去除，亦即去除絕緣層 160、156 和 154a; 154b。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 11B 圖所示係由具有似 U 形剖面的類樹幹狀複晶矽層 168a; 168b、以及具有三節彎摺形剖面的類樹枝狀複晶矽層 158a; 158b 所一起構成。第 11B 圖所示較佳實施例的儲存電極結構與第 10E 圖所示者之唯一不同，僅在類樹幹狀複晶矽層 168a; 168b 和 166a; 166b 之結構不同。

在上述的第九和第十較佳實施例中，柱狀絕緣層的形狀還可以利用其他的手段來變化出各種形狀，以改變類樹枝狀複晶矽層的延伸形狀及延伸角度。例如可利用光阻浸蝕技術形成階梯狀的柱狀絕緣層。或在第 10A 圖的情況中，

五、發明說明(30)

若以等向性 (isotropic) 蝕刻，如濕式蝕刻，來代替非等向性 (anisotropic) 蝕刻方式，對該厚絕緣層施行蝕刻，可得類三角形的絕緣層；或者同樣在第 10A 圖的情況中，於柱狀絕緣層 154a 和 154b 形成之後，再形成邊牆絕緣層於柱狀絕緣層 154a 和 154b 的側壁上，也可得另一種不同形狀的柱狀絕緣層。因此類樹枝狀複晶矽層可以有各種不同角度之延伸形狀。

同樣的，在其他的較佳實施例中，柱狀複晶矽層的形狀也可以利用其他的手段來變化出各種形狀，以改變類樹枝狀複晶矽層的延伸形狀及延伸角度。例如在第 2B 圖的情況中，若以等向性 (isotropic) 蝕刻，如電漿蝕刻，來代替非等向性 (anisotropic) 蝕刻方式，對該厚複晶矽層施行蝕刻，可得類三角形的複晶矽層。

在上述第一至第十較佳實施例之任一例中，樹型儲存電極整體均大致為單一階層結構。然而，本發明並不限於此，本發明的樹型儲存電極可為二個階層、或更多階層的堆疊結構。下一個較佳實施例即將描述二個階層的樹型儲存電極結構。

接著將參照第 12A 至 12C 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第十一較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第十一較佳實施例所製造的。

本較佳實施例係以第 3B 圖所示的較佳實施例之結構為基礎，再以不同的製程製作二階層結構的 DRAM 儲存電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(31)

極。在第 12A 至 12C 圖中，與第 3B 圖相似的部分係以相同的編號標示。

請參照第 12A 和 3B 圖，在大致已形成下方階層的樹型儲存電極之基本架構之後，接著依序沈積一複晶矽層 170 和一絕緣層 171，絕緣層 171 例如為二氧化矽，且複晶矽層 170 和二氧化矽層 171 的厚度例如均為約 1000 埃。之後，利用傳統的光罩製版和蝕刻技術，蝕刻絕緣層 171，以界定接觸窗 174a 和 174b，其係分別由絕緣層 171 的上表面延伸到複晶矽層 170 的上表面。接著，沈積一層厚的複晶矽層，其厚度例如約 7000 埃。為了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版和蝕刻技術定義複晶矽層，因而形成如第 12A 圖所示的柱狀複晶矽層 172a; 172b。柱狀複晶矽層 172a; 172b 分別從複晶矽層 170 的上表面經由接觸窗 174a 和 174b 大致往上延伸出。藉此，柱狀複晶矽層 172a 和 172b 便與下方階層的儲存電極結構電性連接。

請參照第 12B 圖，接著以上述針對第 3A 和 3B 圖所描述的類似製程完成第 12B 圖的結構。亦即以 CVD 法交替沈積絕緣層(176, 180, 184) 和複晶矽層(178, 182)。然後利用 CMP 技術，研磨整個結構的表面，至少直到柱狀複晶矽層 172a 和 172b 上方的部份露出為止。

請再參照第 12C 圖，接著以上述針對第 3C 圖所描述的類似製程完成第 12C 圖的結構。亦即沈積一複晶矽層 188，其厚度例如約 1000 埃。然後，利用傳統的光罩製版和蝕刻

五、發明說明(32)

技術，依序蝕刻複晶矽層 188、絕緣層 184、複晶矽層 182、絕緣層 180、複晶矽層 178、絕緣層 176 和 171、複晶矽層 170、絕緣層 48、複晶矽層 46、絕緣層 44、和複晶矽層 42，以界定出各記憶單元的儲存電容器之二階層結構儲存電極。亦即藉此步驟將複晶矽層 188、182、178、170、46 和 42 切割成若干區段 188a; 188b、182a; 182b、178a; 178b、170a; 170b、46a; 46b 和 42a; 42b。

接著以濕式蝕刻法，並以蝕刻保護層 22 為蝕刻終點，將暴露出的二氧化矽層全部去除，亦即去除絕緣層 184、180、176、171、48、44 和 40。藉此步驟即完成動態隨機存取記憶體的儲存電容器之儲存電極，其如第 12C 圖所示係由二個類似於第 3C 圖所示的樹型儲存電極結構層所一起組成。很明顯的，本較佳實施例可大幅增加儲存電極的表面積。

在上述第一至第八較佳實施例、以及第十一較佳實施例之任一例中，均是形成柱狀複晶矽層的底部直接連接到轉移電晶體的汲極區。然而，本發明並不限於此，本發明的柱狀複晶矽層也可經由另一導電層，間接連接到轉移電晶體的汲極區。下一個較佳實施例即將描述柱狀複晶矽層係經由另一導電層，間接連接到轉移電晶體汲極區的結構。

接著將參照第 13A 和 13B 圖，詳述本發明的一種具有樹型儲存電容器的半導體記憶元件之第十二較佳實施例，半導體記憶元件的此一較佳實施例，係由本發明的一種半導體記憶元件製造方法之第十二較佳實施例所製造的。

五、發明說明(33)

本較佳實施例係以第 2A 圖所示的較佳實施例之結構為基礎，再以不同的製程製作似 T 形的下複晶矽層、和柱形的上複晶矽層，兩者一起構成儲存電極的類樹幹狀導電層。在第 13A 和 13B 圖中，與第 2A 圖相似的部分係以相同的編號標示。

請參照第 13A 和 2A 圖，接著，以 CVD 法沈積一平坦化的絕緣層 190，其例如為 BPSG。然後，再以 CVD 法沈積一蝕刻保護層 192，其例如為矽氮化物層。之後，利用傳統的光罩製版和蝕刻技術，依序蝕刻該蝕刻保護層 192 和平坦化絕緣層 190，以形成儲存電極接觸窗 194a 和 194b，其係分別由蝕刻保護層 192 的上表面延伸到汲極區 16a 和 16b 的表面。接著，沈積一層複晶矽層，為为了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版和蝕刻技術定義複晶矽層，以形成如第 13A 圖所示具有似 T 形剖面的複晶矽層 196a 和 196b，用以當作 DRAM 儲存電極的類樹幹狀下導電層，其分別從汲極區 16a 和 16b 的表面經由儲存電極接觸窗 194a 和 194b 大致往上和往外延伸出。依照本發明，此複晶矽層也可以先不定義，等到後續要界定出各記憶單元的儲存電容器之儲存電極時再一起定義。

請參照第 13B 圖，接著，沈積一絕緣層 198，其例如為二氧化矽。然後，利用傳統的光罩製版和蝕刻技術形成窗口 (windows) 200a 和 200b，露出複晶矽層 196a 和 196b 的一部份上表面。之後，沈積一層厚的複晶矽層，其厚度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(34)

例如約 7000 埃。爲了提高複晶矽層的導電性，可將例如砷離子植入到複晶矽層中。再利用傳統的光罩製版和蝕刻技術定義複晶矽層，因而形成如第 13B 圖所示的柱狀複晶矽層 202a; 202b。柱狀複晶矽層 202a; 202b 分別從複晶矽層 196a 和 196b 的上表面經由窗口 200a 和 200b 大致往上延伸出，用以當作 DRAM 儲存電極的類樹幹狀上導電層。

接著，可利用上述第一至第八較佳實施例、以及第十一較佳實施例中之任一例的製程構想，完成不同的樹型電容器結構。

熟習此藝者應可瞭解，上述本發明各個較佳實施例的構想特徵，除了可以單獨應用之外，亦可混合應用，而再達成非常多種不同結構的儲存電極和儲存電容器。這些儲存電極和儲存電容器的結構都應在本發明的保護範圍之內。

應注意雖然在圖式中轉移電晶體的汲極均爲矽基底表面的擴散區結構，然本發明並不限於此，任何適當的汲極結構均可應用於本發明，例如溝槽式 (trench) 汲極即爲一例。

再者，也應注意圖式中各構件部份的形狀、尺寸、和延伸的角度，僅爲繪示方便所作的示意表示，其與實際情況或有差異，故不應用以限制本發明。

雖然本發明已以若干較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者爲準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁各欄)

四、中文發明摘要(發明之名稱: 具有電容器的半導體記憶體元件(二))

一種具有電容器的半導體記憶體元件包括一基底；一轉移電晶體形成在基底上；以及一儲存電容器電性耦接到轉移電晶體的汲極上。其中儲存電容器包括一柱狀類樹幹狀導電層，電性耦接到轉移電晶體的汲極區上。一類樹枝狀的上導電層電性耦接在類樹幹狀導電層上方。至少一類樹枝狀的下導電層具有一似 L 形的剖面，類樹枝狀的下導電層連接到類樹枝狀的上導電層之下表面上。類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成儲存電容器的一儲存電極。一介電層形成在類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上。一上導電層形成在介電層上，以構成儲存電容器的一相對電極。

英文發明摘要(發明之名稱:)

裝

訂

線

六、申請專利範圍

1. 一種具有電容器的半導體記憶體元件包括：

一基底；

一轉移電晶體，形成在該基底上，並包括汲極和源極區；以及

一儲存電容器，電性耦接到該轉移電晶體的汲極和源極區之一上，

該儲存電容器包括：

一類樹幹狀導電層，具有一底部，電性耦接到該轉移電晶體的該汲極和源極區之一上，該類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從該底部延伸出，

一類樹枝狀的上導電層，電性耦接在該類樹幹狀導電層上方，

至少一類樹枝狀的下導電層，具有一似 L 形的剖面，該類樹枝狀的下導電層連接到該類樹枝狀的上導電層之下表面上，該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成該儲存電容器的一儲存電極，

一介電層，形成在該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上，以及

一上導電層，形成在該介電層上，以構成該儲存電容器的一相對電極。

2. 如申請專利範圍第 1 項所述之半導體記憶體元件，其中該儲存電容器包括二個大致平行的類樹枝狀下導電層，每一個均具有一似 L 形的剖面，且均連接到該類樹枝狀的上導電層之下表面上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3.如申請專利範圍第1項所述之半導體記憶體元件，其中該儲存電容器更包括一第二類樹枝狀導電層，其具有一末端連接在該類樹幹狀導電層的外表面上、以及一往外延伸部，以一大致水平的方向，從該末端往外延伸出。

4.如申請專利範圍第3項所述之半導體記憶體元件，其中該第二類樹枝狀導電層係位在該類樹枝狀的下導電層的下方。

5.如申請專利範圍第1項所述之半導體記憶體元件，其中該類樹枝狀的下導電層具有一似雙L形的剖面。

6.如申請專利範圍第1項所述之半導體記憶體元件，其中該類樹枝狀的上導電層包括一中央部份電性耦接在該類樹幹狀導電層的上表面；以及一往外延伸部從該中央部份往外延伸出。

7.如申請專利範圍第6項所述之半導體記憶體元件，其中該類樹枝狀的下導電層包括一第一延伸部連接到該類樹枝狀的上導電層之下表面上，且大致往下延伸；以及一第二延伸部大致從該第一延伸部往外延伸。

8.如申請專利範圍第1項所述之半導體記憶體元件，其中該類樹枝狀的下導電層包括一內表面連接到該類樹幹狀導電層的外表面。

9.如申請專利範圍第1項所述之半導體記憶體元件，其中該類樹幹狀導電層更包括一向外延伸部，以一大致水平的方向，從該向上延伸部往外延伸出。

10.一種具有電容器的半導體記憶體元件包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一 基底；

一 轉移電晶體，形成在該基底上，並包括汲極和源極區；以及

一 儲存電容器，電性耦接到該轉移電晶體的汲極和源極區之一上，

該儲存電容器包括：

一 類樹幹狀導電層，具有一底部，電性耦接到該轉移電晶體的該汲極和源極區之一上，該類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從該底部延伸出，

一 類樹枝狀的上導電層，電性耦接在該類樹幹狀導電層上方，

至少一類樹枝狀的下導電層，包括至少一第一延伸段和一第二延伸段，該第一延伸段的一末端連接到該類樹枝狀的上導電層之下表面上，該第二延伸段以一角度，從該第一延伸段的另一末端延伸出，該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成該儲存電容器的一儲存電極，

一 介電層，形成在該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上，以及

一 上導電層，形成在該介電層上，以構成該儲存電容器的一相對電極。

11. 如申請專利範圍第 10 項所述之半導體記憶體元件，其中該儲存電容器包括二個大致平行的類樹枝狀下導電層，每一個均連接到該類樹枝狀的上導電層之下表面上

六、申請專利範圍

。

12.如申請專利範圍第 10 項所述之半導體記憶體元件，其中該儲存電容器更包括一第二類樹枝狀導電層，其具有一末端連接在該類樹幹狀導電層的外表面上、以及一往外延伸部從該末端往外延伸出。

13.如申請專利範圍第 12 項所述之半導體記憶體元件，其中該第二類樹枝狀導電層係位在該類樹枝狀的下導電層的下方，且大致以水平方向延伸。

14.如申請專利範圍第 10 項所述之半導體記憶體元件，其中該類樹枝狀的下導電層具有一似雙 L 形的剖面。

15.如申請專利範圍第 10 項所述之半導體記憶體元件，其中該類樹枝狀的上導電層包括一中央部份電性耦接在該類樹幹狀導電層的上表面；以及一往外延伸部從該中央部份往外延伸出。

16.如申請專利範圍第 15 項所述之半導體記憶體元件，其中該類樹枝狀下導電層的第一延伸段係大致從該類樹枝狀的上導電層往下延伸，且該第二延伸段則大致從該第一延伸部往外延伸。

17.如申請專利範圍第 16 項所述之半導體記憶體元件，其中該類樹枝狀的下導電層更包括一第三延伸段大致從該第二延伸段往下延伸出；以及一第四延伸段大致從該第三延伸段往外延伸出。

18.如申請專利範圍第 10 項所述之半導體記憶體元件，其中該類樹枝狀的下導電層包括一內表面連接到該類

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

樹幹狀導電層的外表面。

19.如申請專利範圍第 10 項所述之半導體記憶體元件，其中該類樹幹狀導電層更包括一向外延伸部，以一大致水平的方向，從該向上延伸部往外延伸出。

20.一種具有電容器的半導體記憶體元件包括：

一基底；

一轉移電晶體，形成在該基底上，並包括汲極和源極區；以及

一儲存電容器，電性耦接到該轉移電晶體的汲極和源極區之一上，

該儲存電容器包括

一類樹幹狀導電層，具有一底部，電性耦接到該轉移電晶體的該汲極和源極區之一上，該類樹幹狀導電層又具有一柱形延伸部，以一大致向上的方向，從該底部延伸出，

一類樹枝狀的上導電層，電性耦接在該類樹幹狀導電層上方，

至少一類樹枝狀的下導電層，具有一末端連接到該類樹枝狀的上導電層之下表面上，該類樹枝狀的下導電層又具有一向外延伸部，從該末端往外延伸出，該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層構成該儲存電容器的一儲存電極，

一介電層，形成在該類樹幹狀導電層、類樹枝狀的上導電層、和類樹枝狀的下導電層曝露出的表面上，以及

一上導電層，形成在該介電層上，以構成該儲存電容器

六、申請專利範圍

的一相對電極。

21.如申請專利範圍第 20 項所述之半導體記憶體元件，其中該類樹枝狀下導電層的該向外延伸部具有一多節彎摺形狀的剖面。

22.如申請專利範圍第 20 項所述之半導體記憶體元件，其中該儲存電容器包括複數個大致平行延伸的類樹枝狀下導電層，每一個類樹枝狀下導電層的一末端均連接在該類樹枝狀上導電層的下表面上。

23.一種具有電容器的半導體記憶體元件包括：

一基底；

一轉移電晶體，形成在該基底上，並包括汲極和源極區；以及

一儲存電容器，電性耦接到該轉移電晶體的汲極和源極區之一上，

該儲存電容器包括：

一類樹幹狀導電層，具有一底部，電性耦接到該轉移電晶體的該汲極和源極區之一上，該類樹幹狀導電層又具有一向上延伸部，以一大致向上的方向，從該底部延伸出，

至少一類樹枝狀導電層，包括至少一第一延伸段、一第二延伸段、和一第三延伸段，該第一延伸段連接到該類樹幹狀導電層之外表面上，該第二延伸段以一第一角度，從該第一延伸段延伸出，該第三延伸段則以一第二角度，從該第二延伸段延伸出，該類樹幹狀導電層和類樹枝狀導電層構成該儲存電容器的一儲存電極，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一介電層，形成在該類樹幹狀導電層和類樹枝狀導電層曝露出的表面上，以及

一上導電層，形成在該介電層上，以構成該儲存電容器的一相對電極。

24.如申請專利範圍第 23 項所述之半導體記憶體元件，其中該類樹幹狀導電層的該向上延伸部包括一中空的部份。

25.如申請專利範圍第 24 項所述之半導體記憶體元件，其中該類樹幹狀導電層具有一似 U 形的剖面。

26.如申請專利範圍第 23 項所述之半導體記憶體元件，其中該類樹幹狀導電層包括一下樹幹部電性耦接到該轉移電晶體的該汲極和源極區之一上；以及一上樹幹部從該下樹幹部的上表面延伸出，且具有一似 T 形的剖面。

27.如申請專利範圍第 26 項所述之半導體記憶體元件，其中該類樹枝狀導電層係連接在該上樹幹部的外表面上。

28.如申請專利範圍第 23 項所述之半導體記憶體元件，其中該類樹幹狀導電層包括一下樹幹部電性耦接到該轉移電晶體的該汲極和源極區之一上；以及一上樹幹部從該下樹幹部的上表面延伸出，且具有一似中空管狀的剖面。

29.如申請專利範圍第 28 項所述之半導體記憶體元件，其中該類樹枝狀導電層係連接在該上樹幹部的外表面上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

30.如申請專利範圍第 23 項所述之半導體記憶體元件，其中該類樹幹狀導電層具有一似 T 形的剖面。

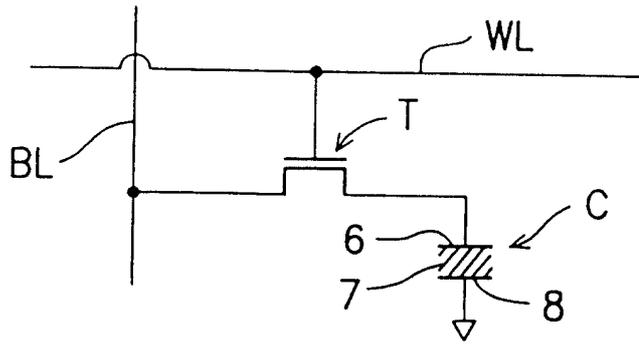
31.如申請專利範圍第 23 項所述之半導體記憶體元件，其中該第一延伸段係大致從該類樹幹狀導電層之外表面往外延伸出，該第二延伸段大致從該第一延伸段往下延伸出，該第三延伸段則大致從該第二延伸段往外延伸出。

(請先閱讀背面之注意事項再填寫本頁)

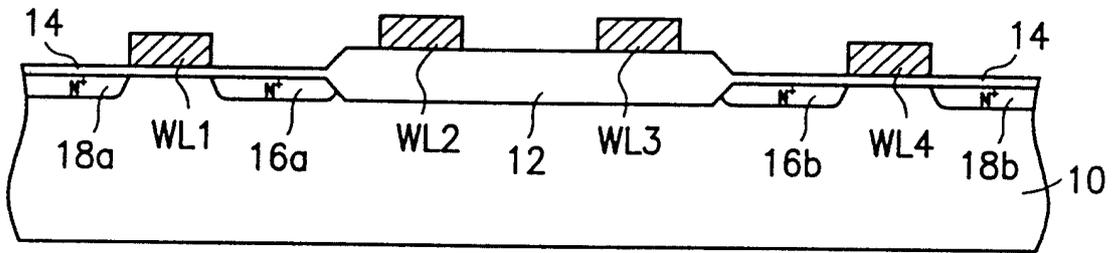
裝

訂

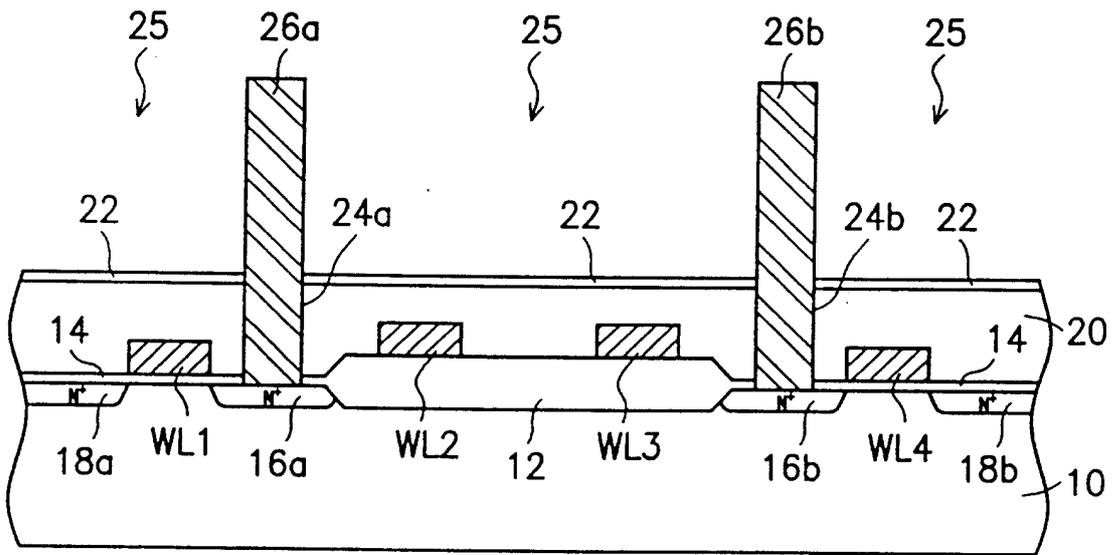
線



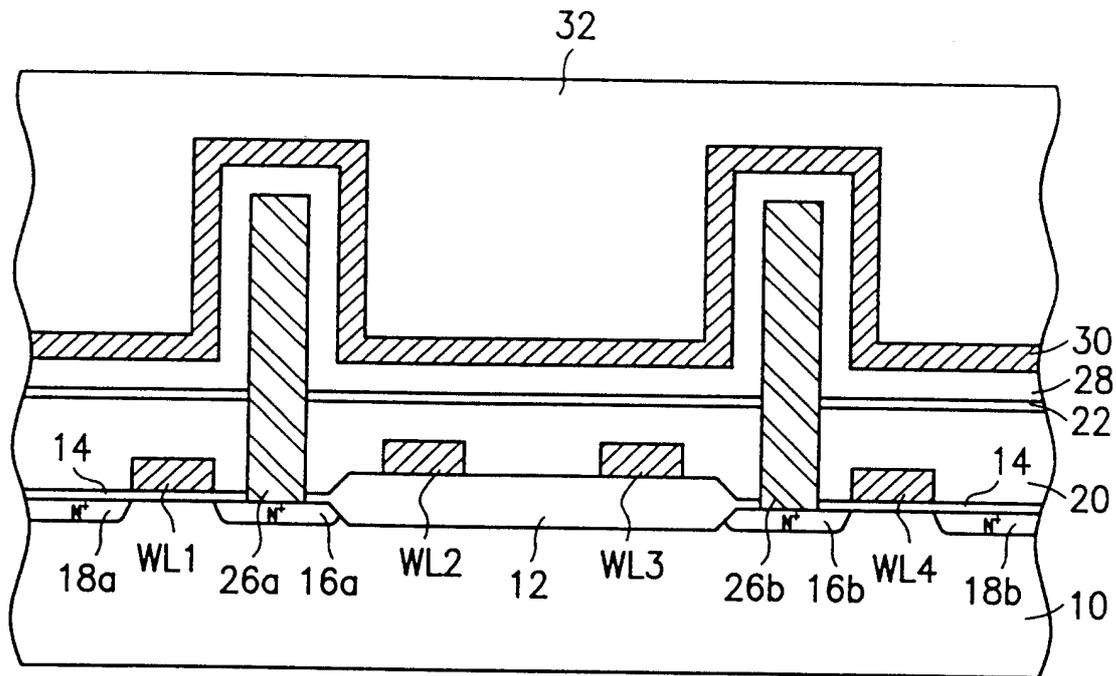
第 1 圖



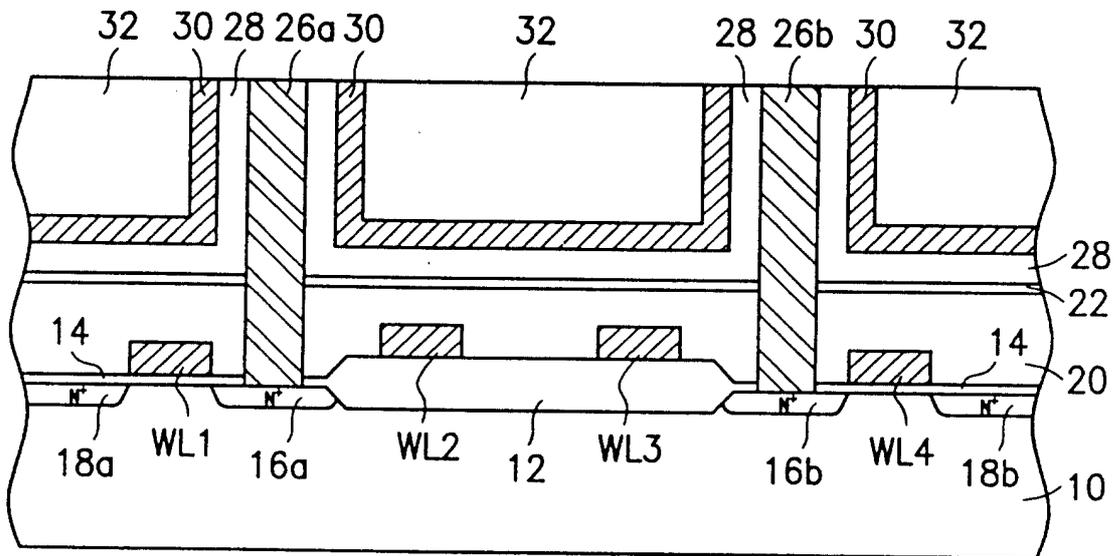
第 2A 圖



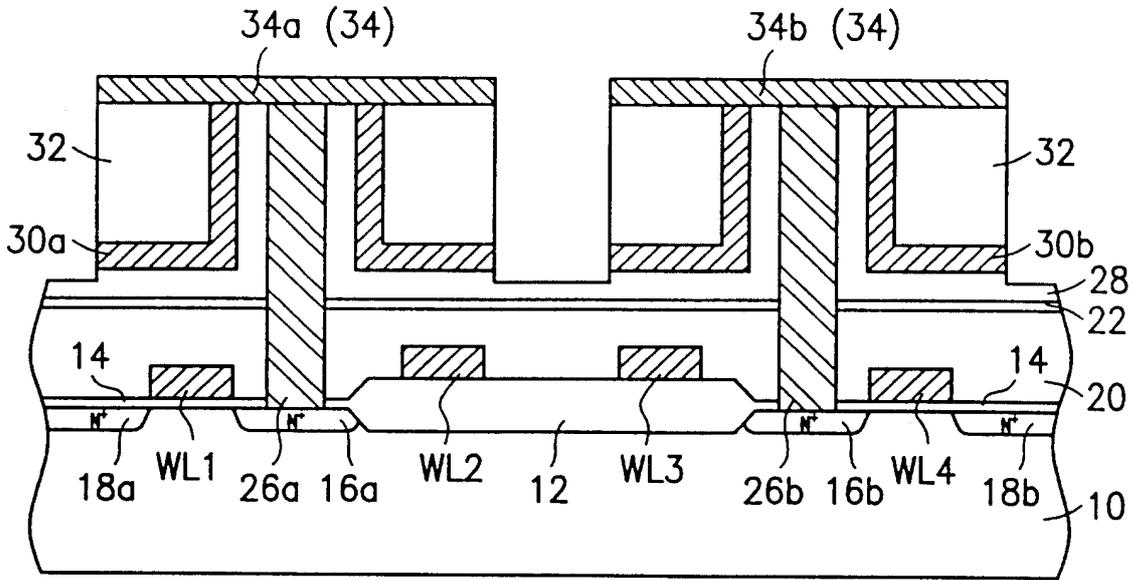
第 2B 圖



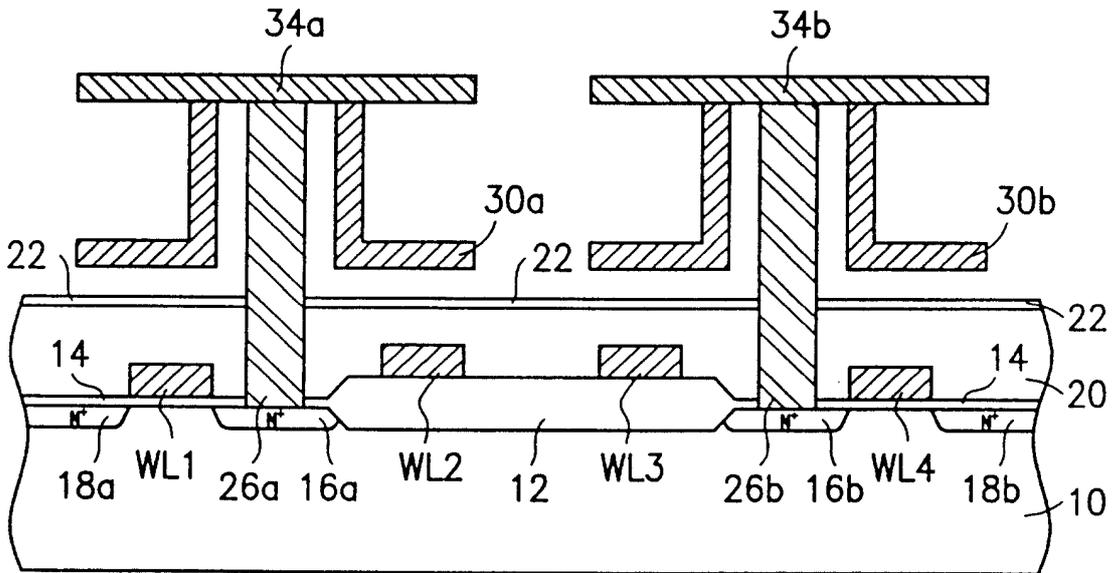
第 2C 圖



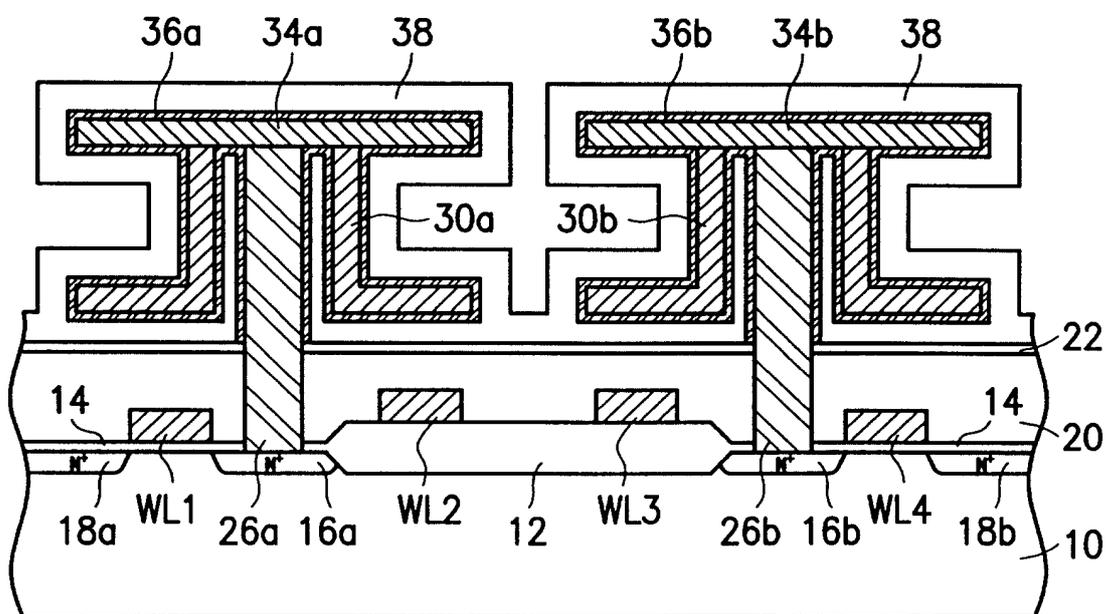
第 2D 圖



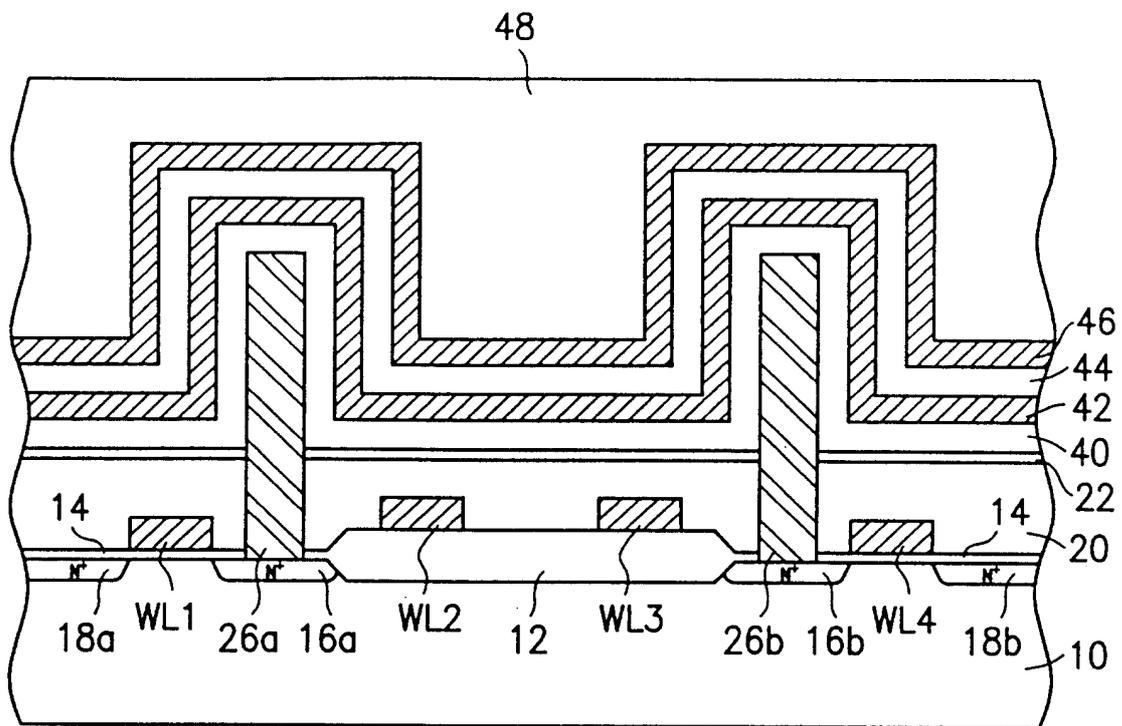
第2E圖



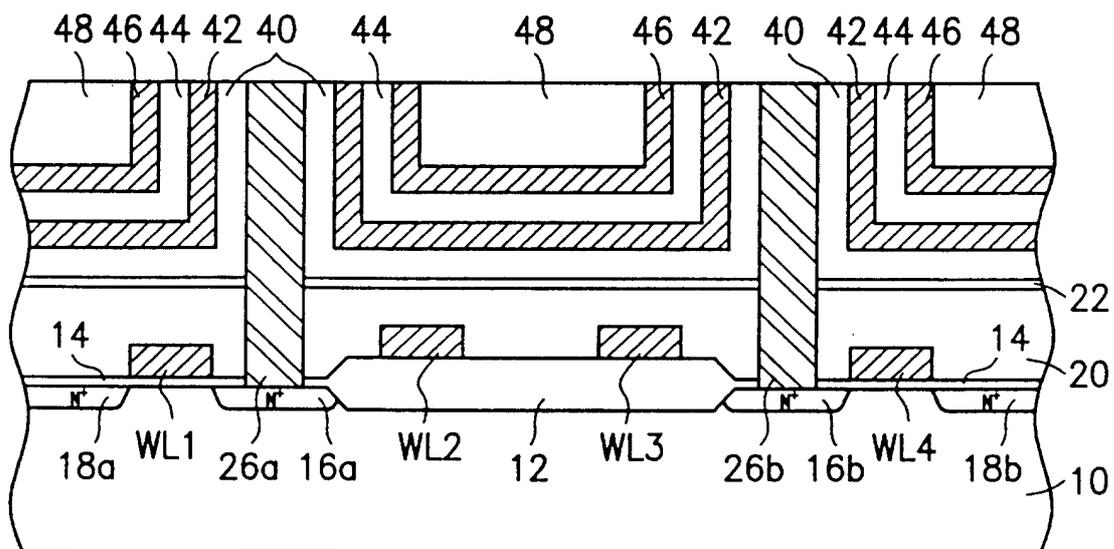
第2F圖



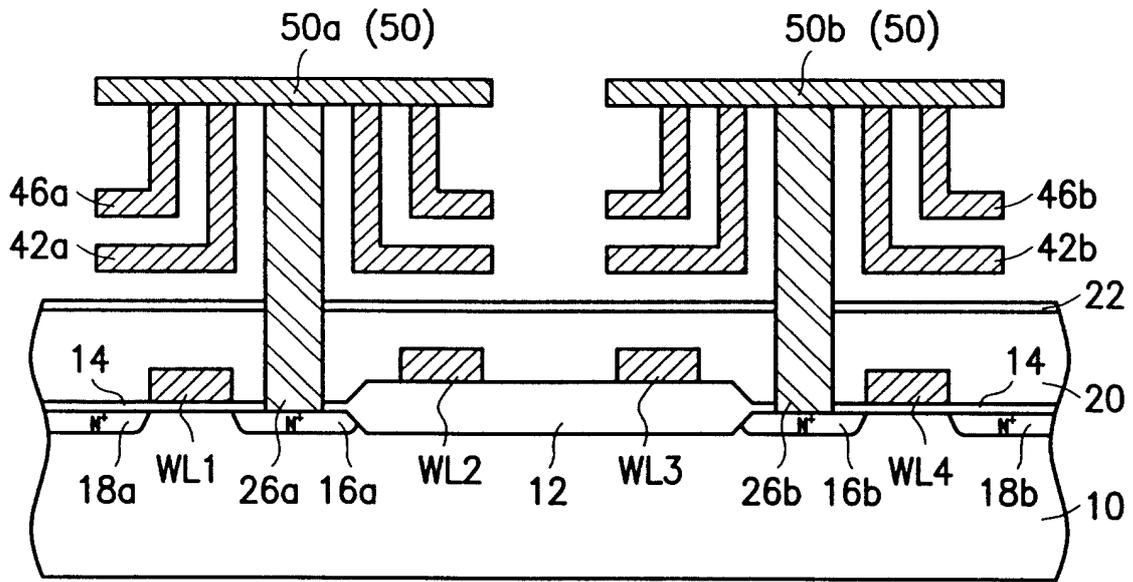
第2G圖



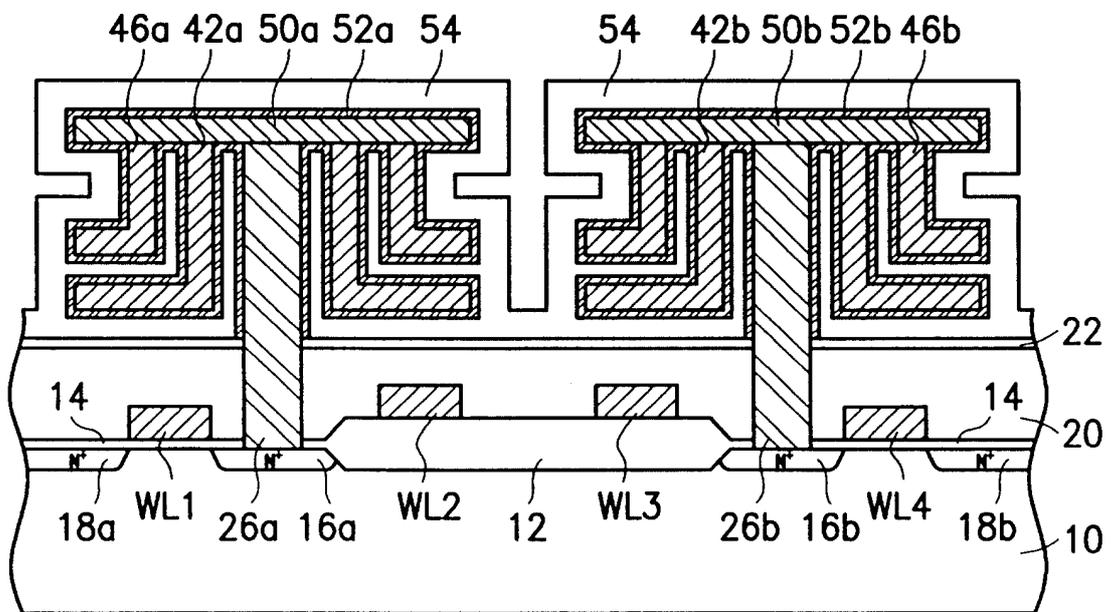
第3A圖



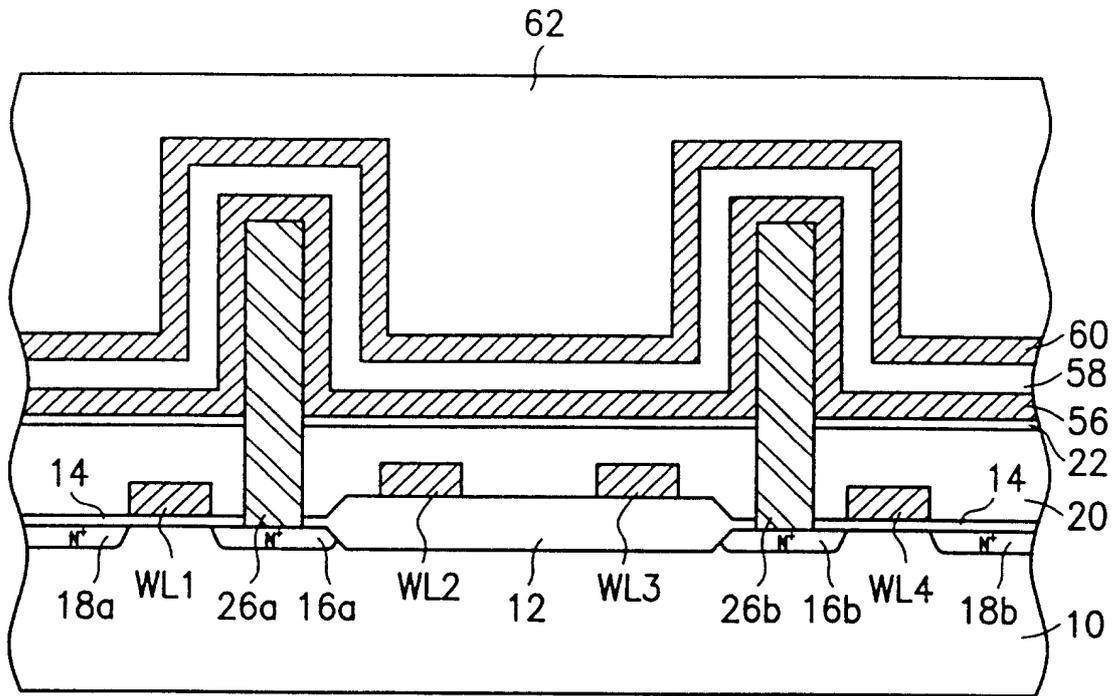
第3B圖



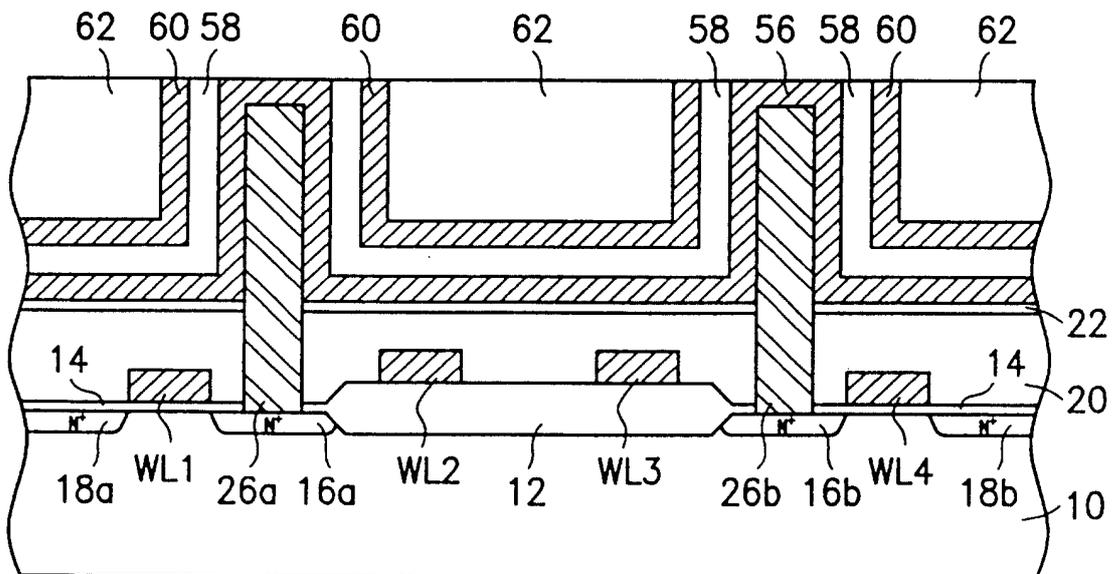
第3C圖



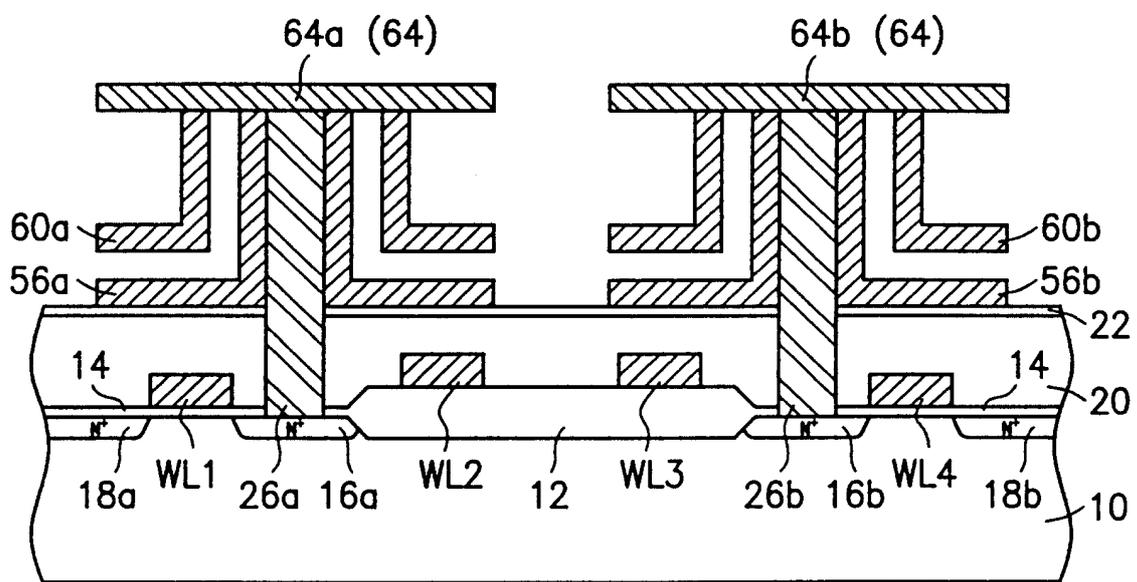
第3D圖



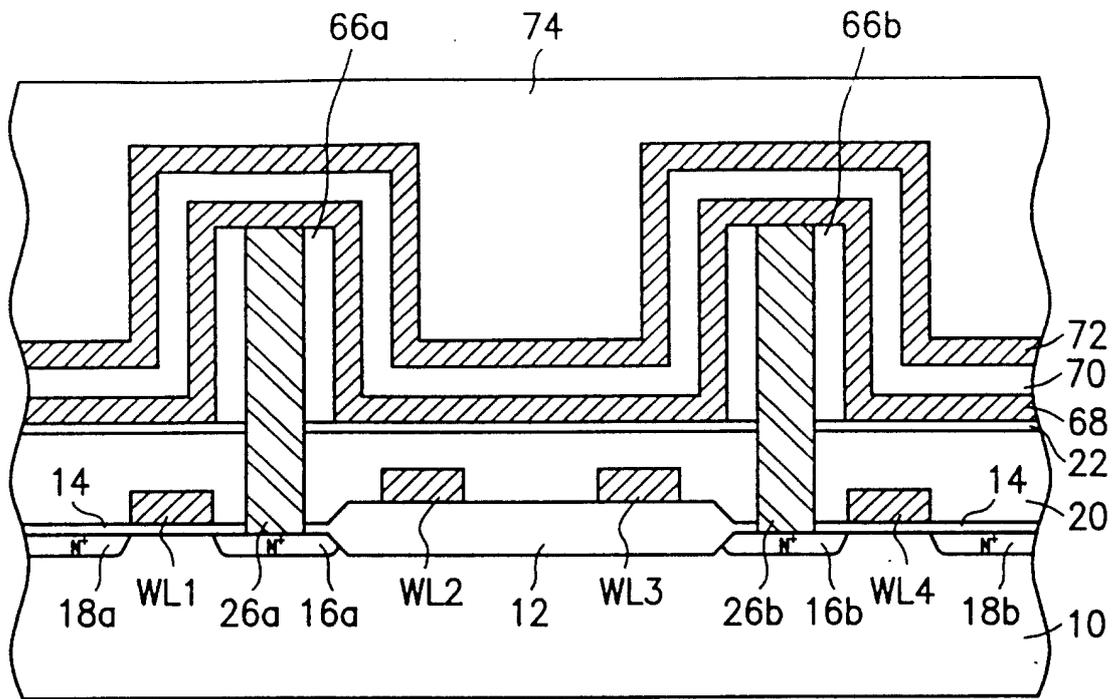
第4A圖



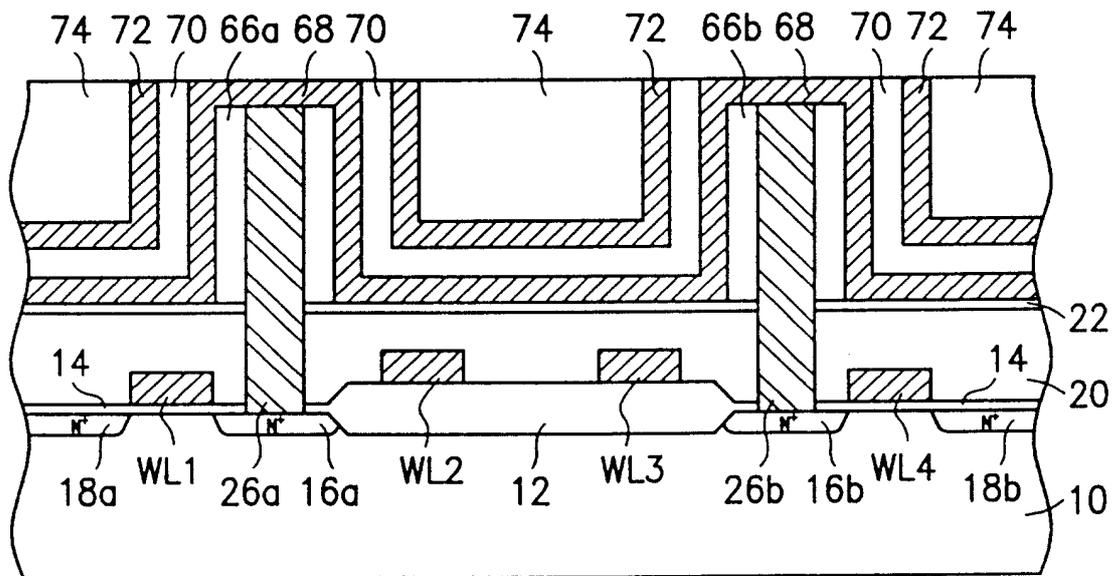
第4B圖



第 4C 圖

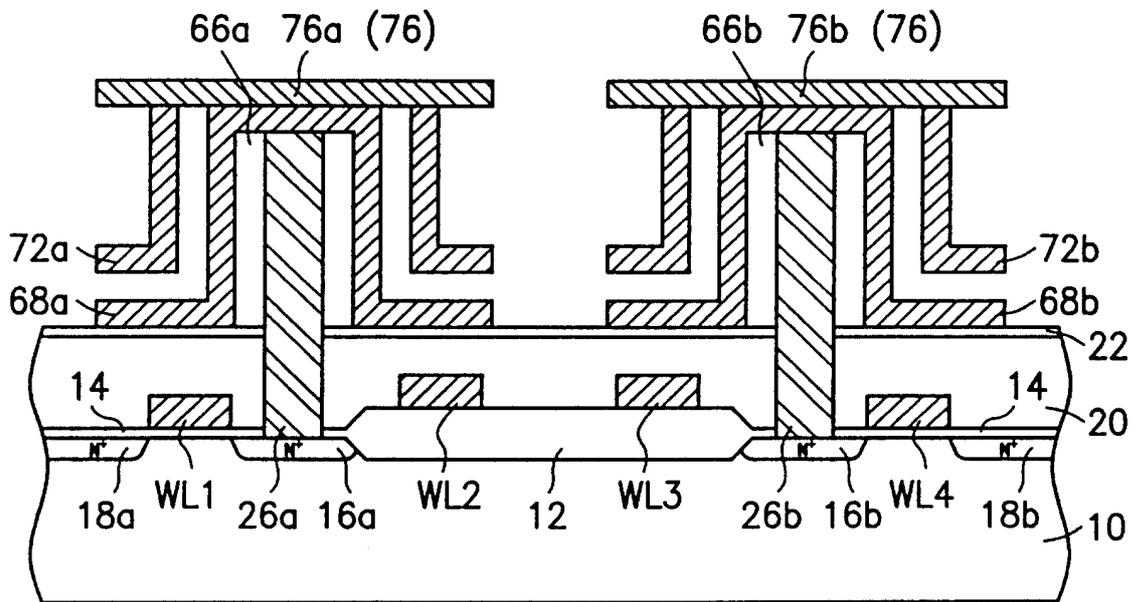


第5A圖

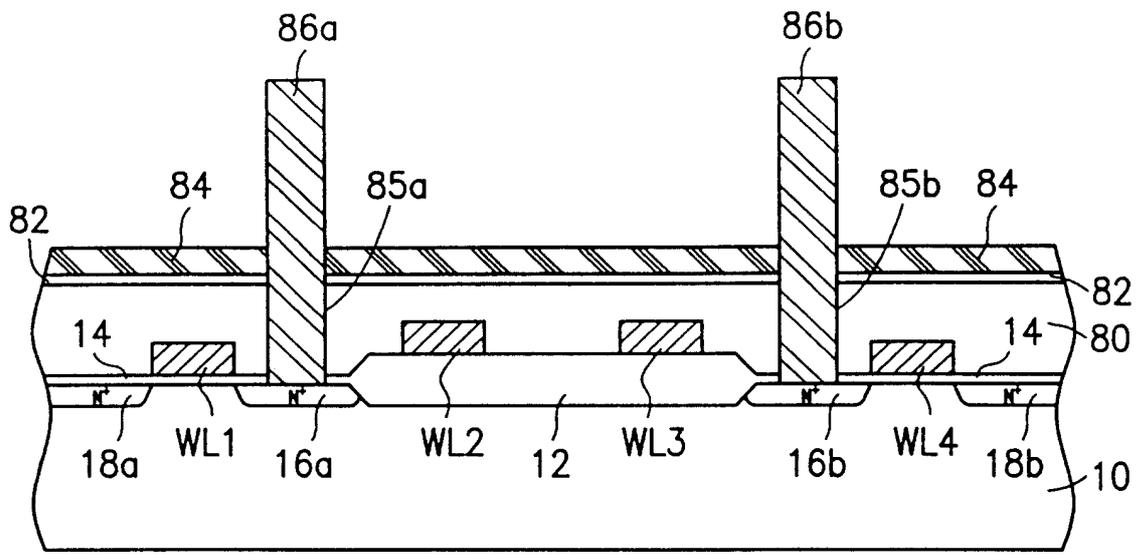


第5B圖

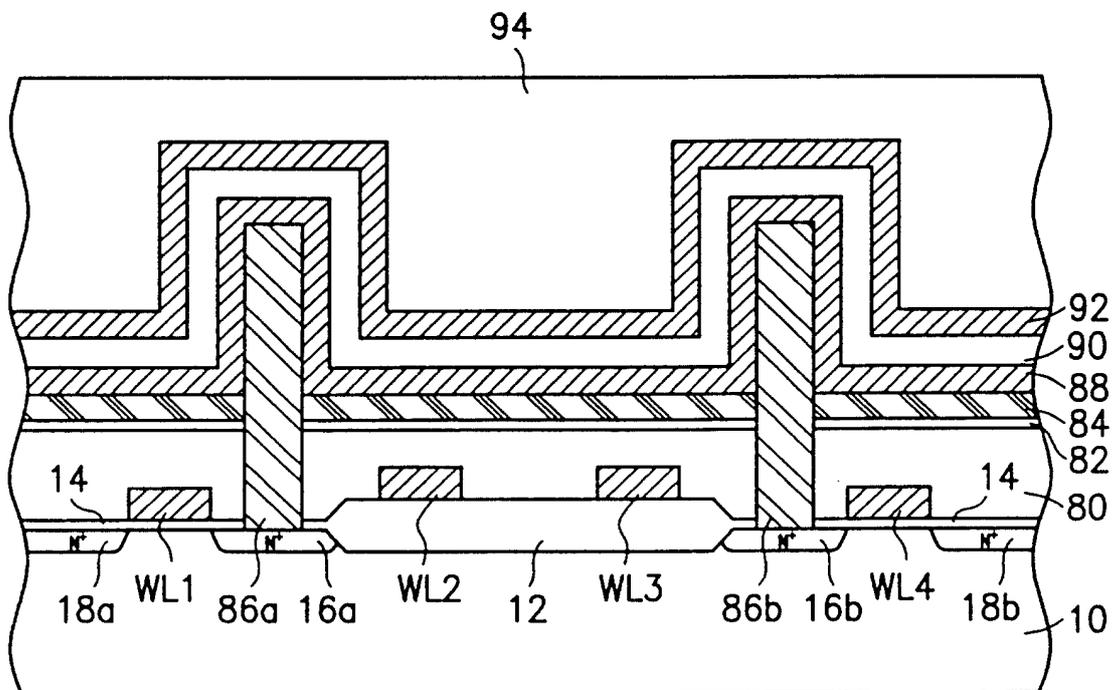
306036



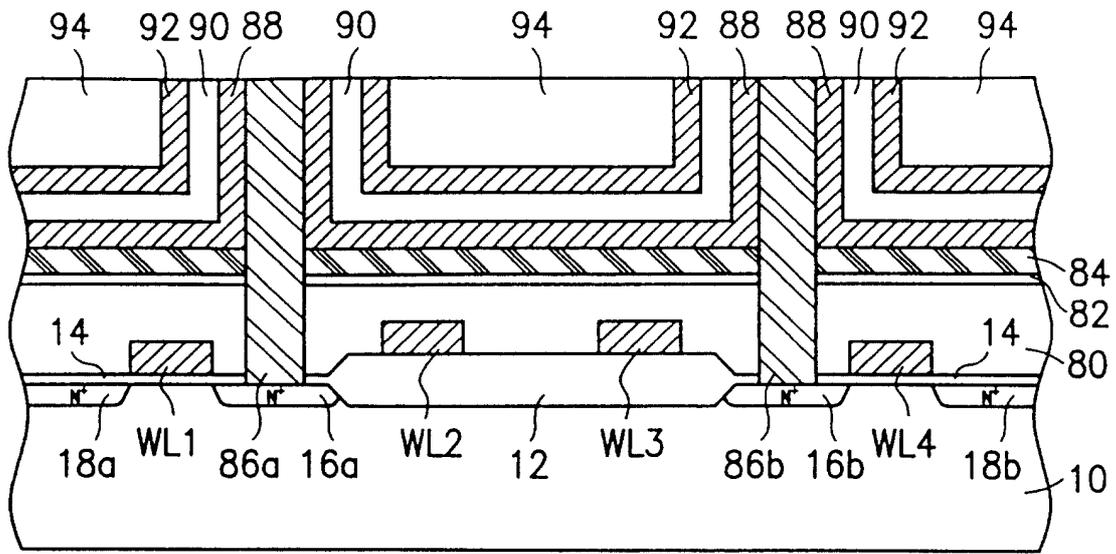
第5C圖



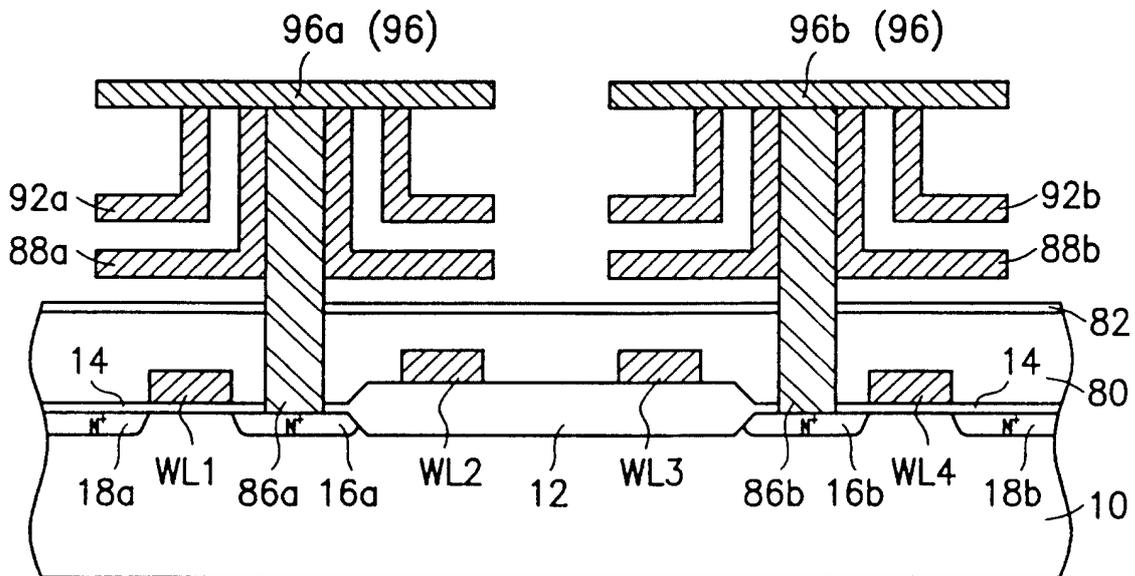
第 6A 圖



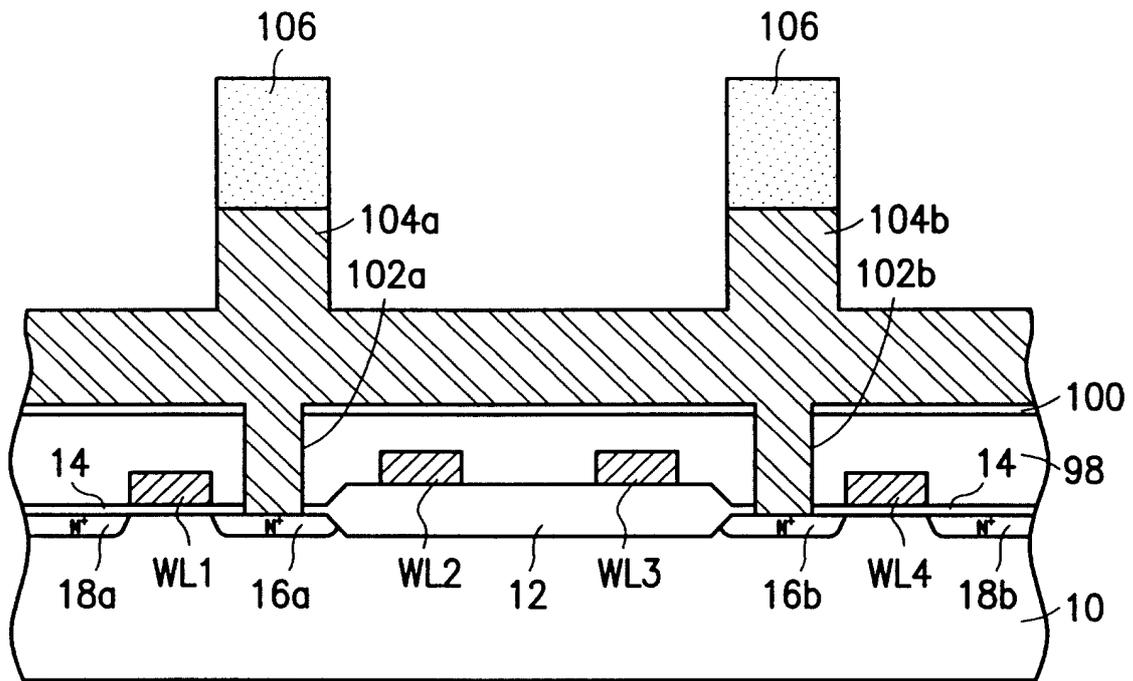
第 6B 圖



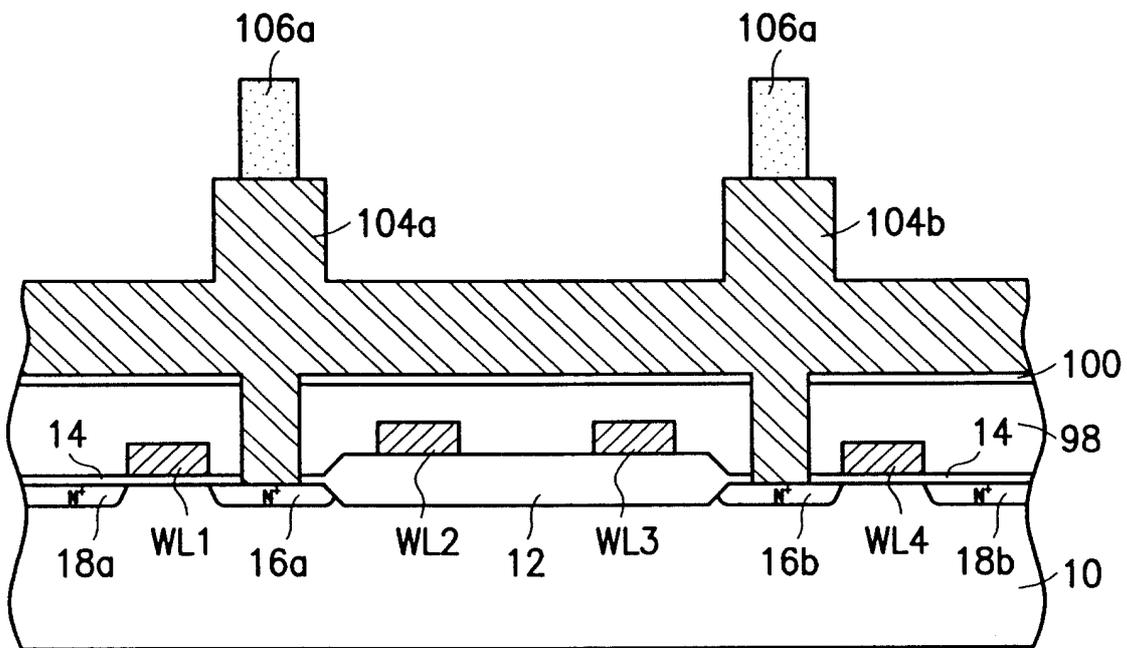
第 6C 圖



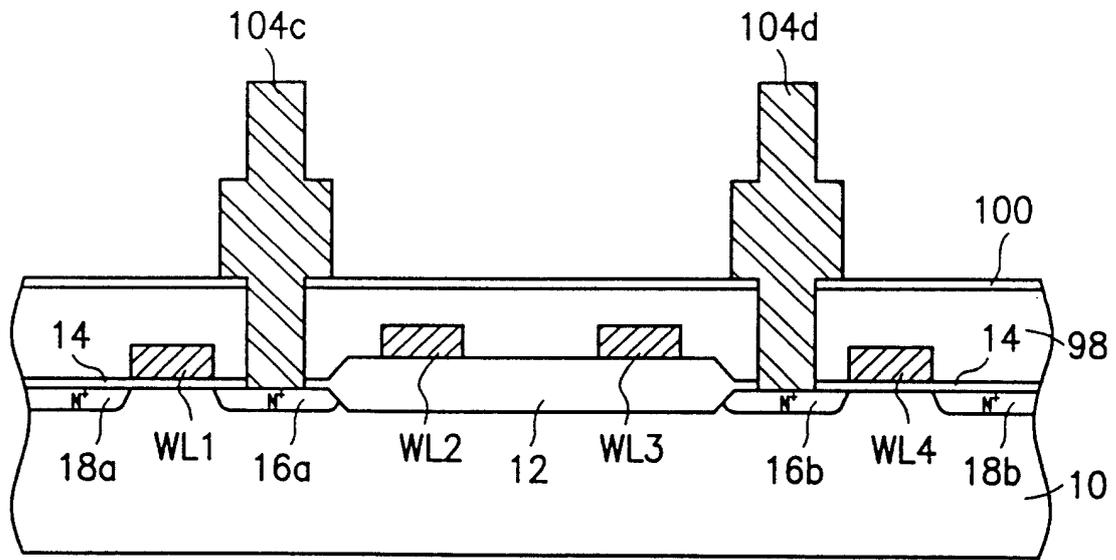
第 6D 圖



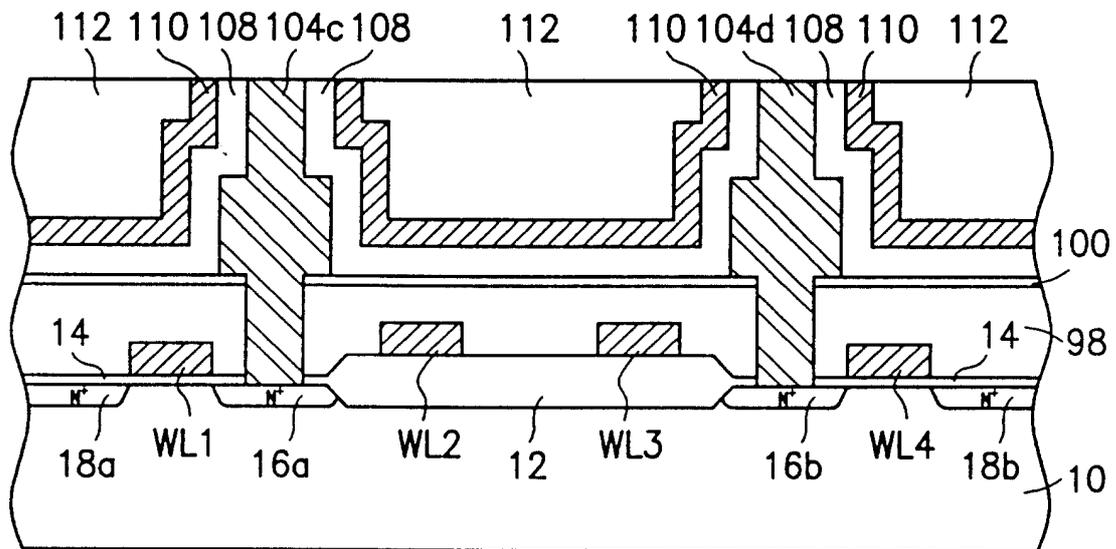
第7A圖



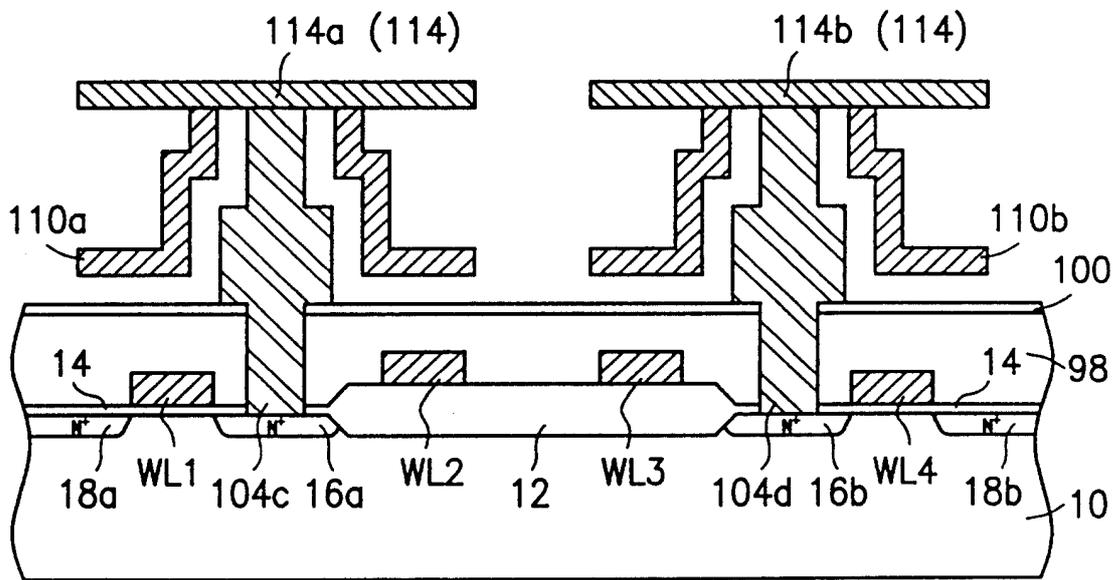
第7B圖



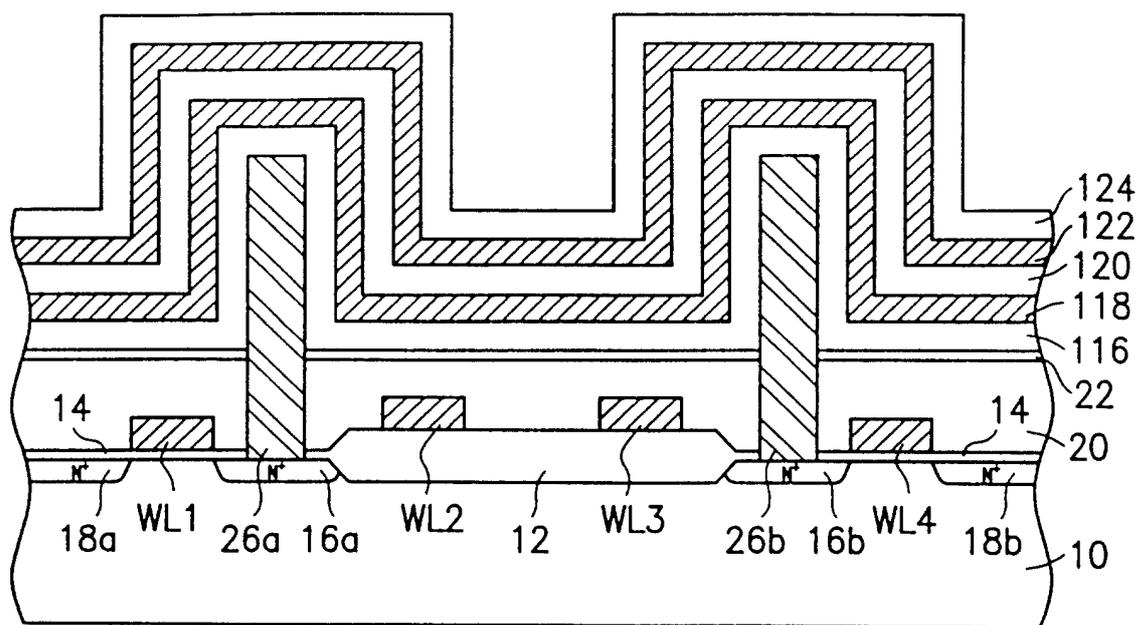
第7C圖



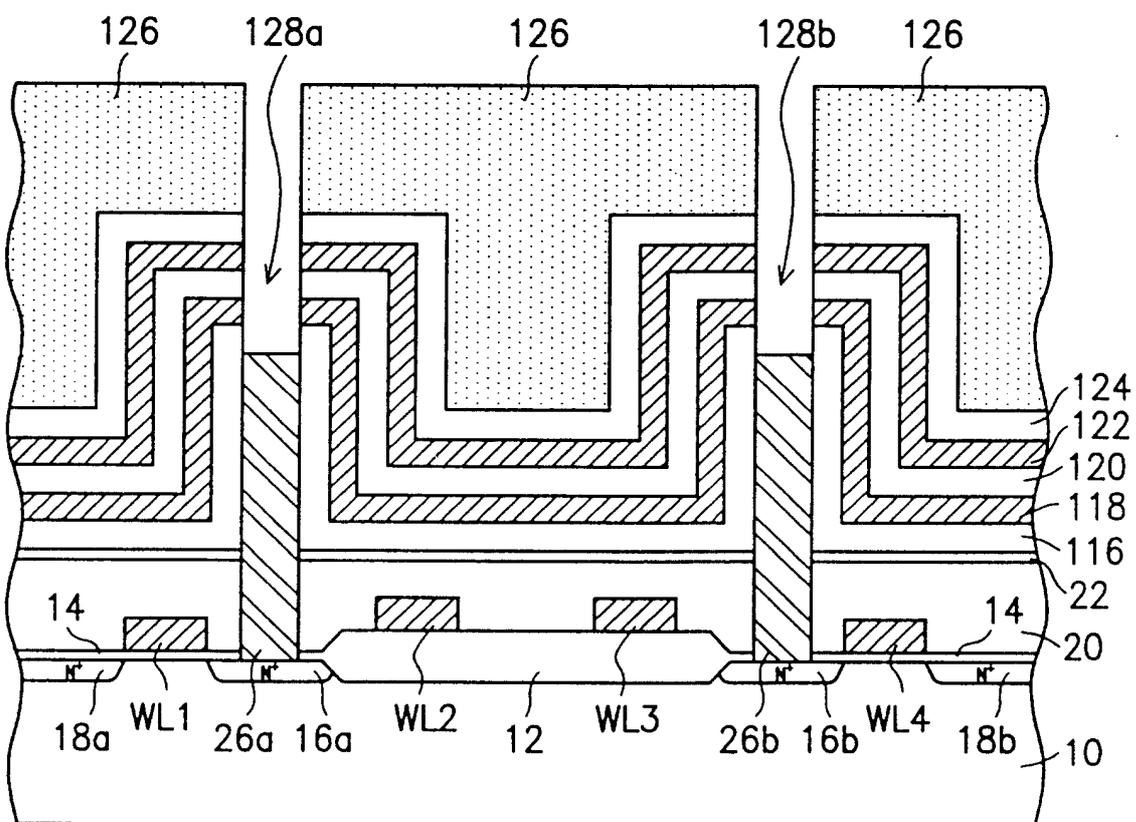
第7D圖



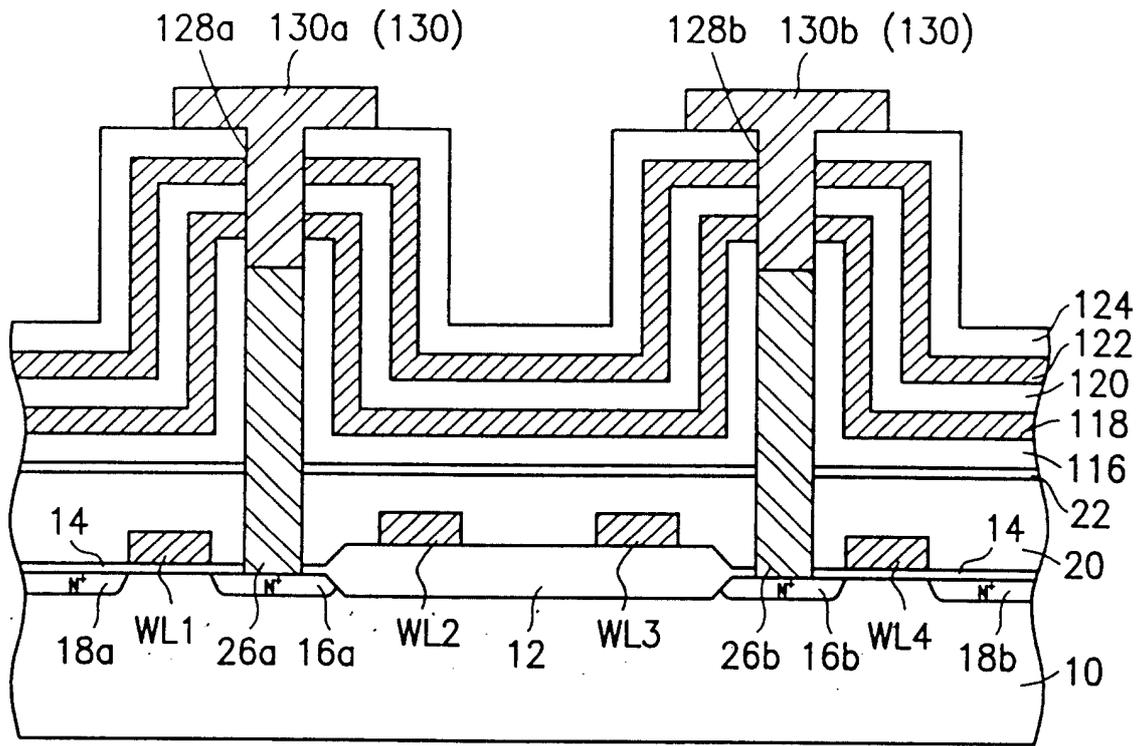
第7E圖



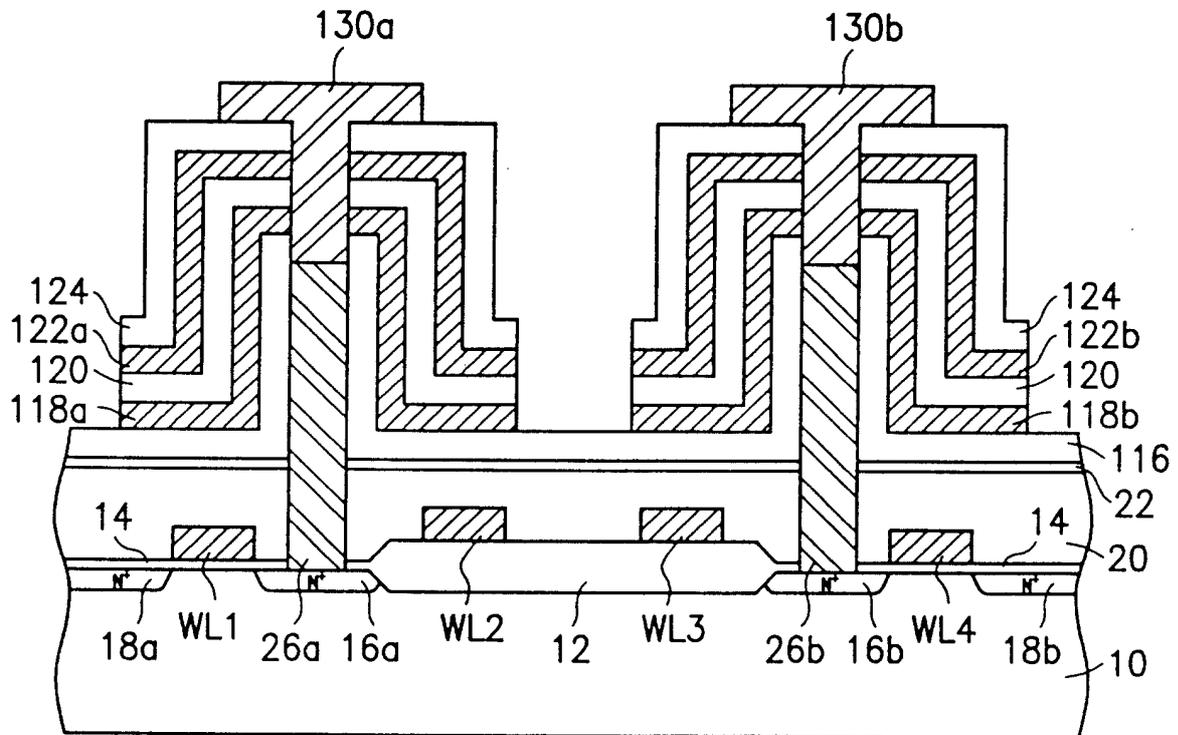
第8A圖



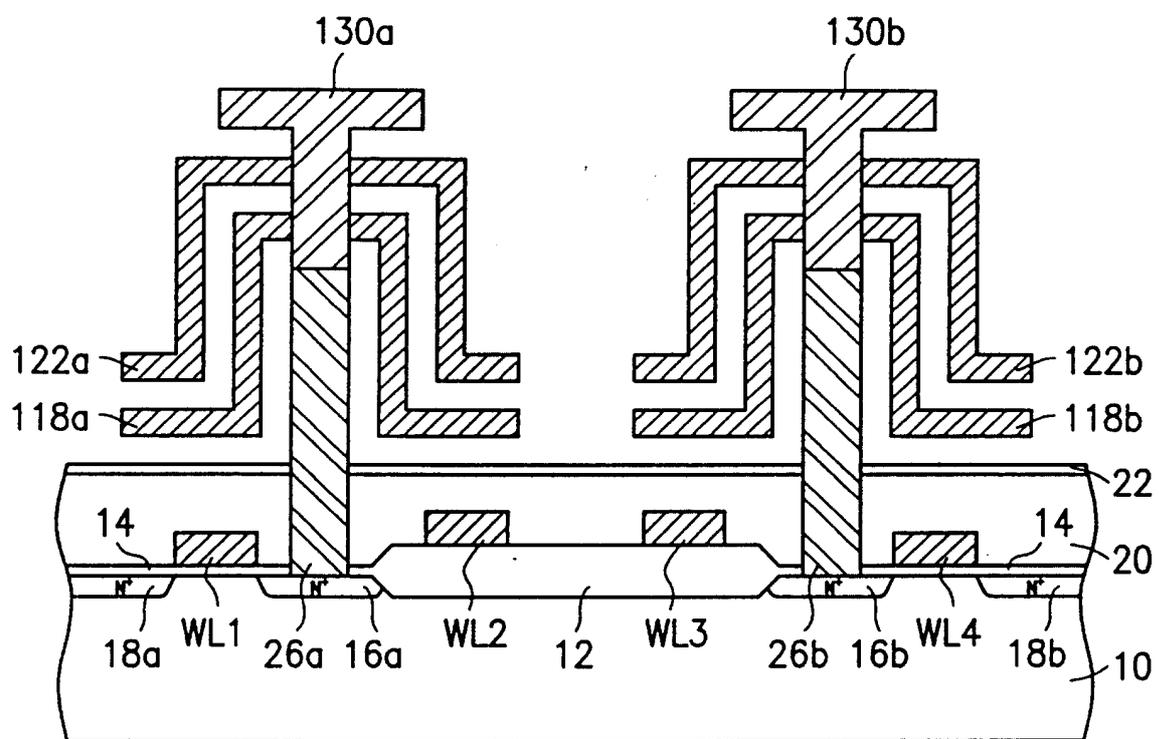
第8B圖



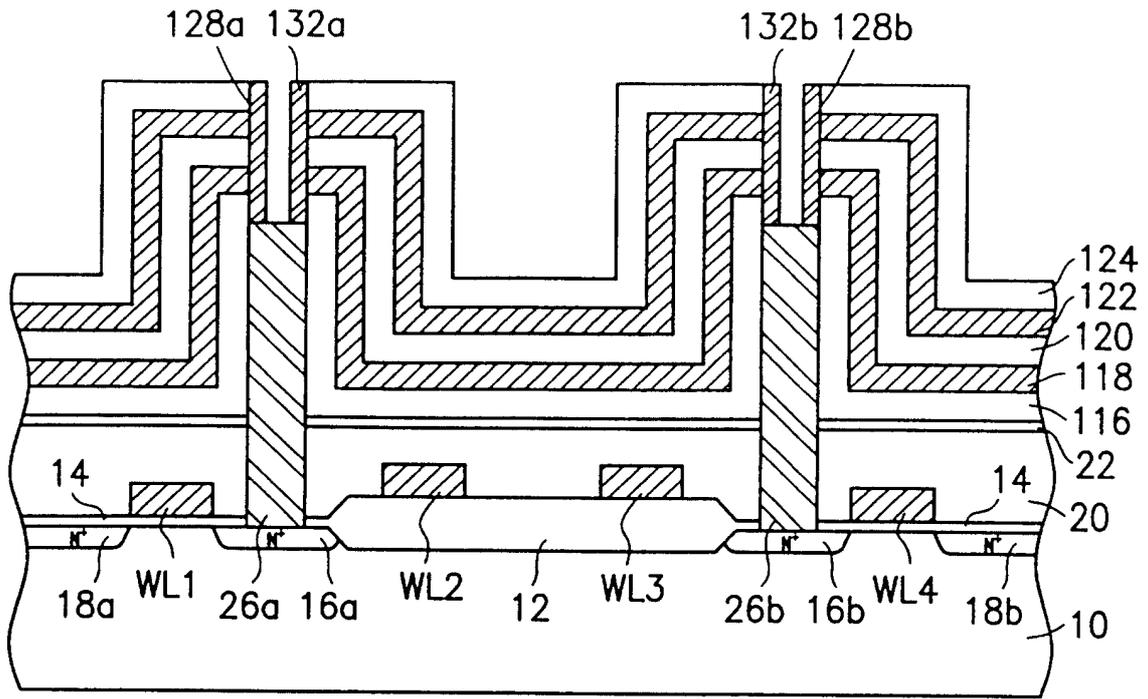
第8C圖



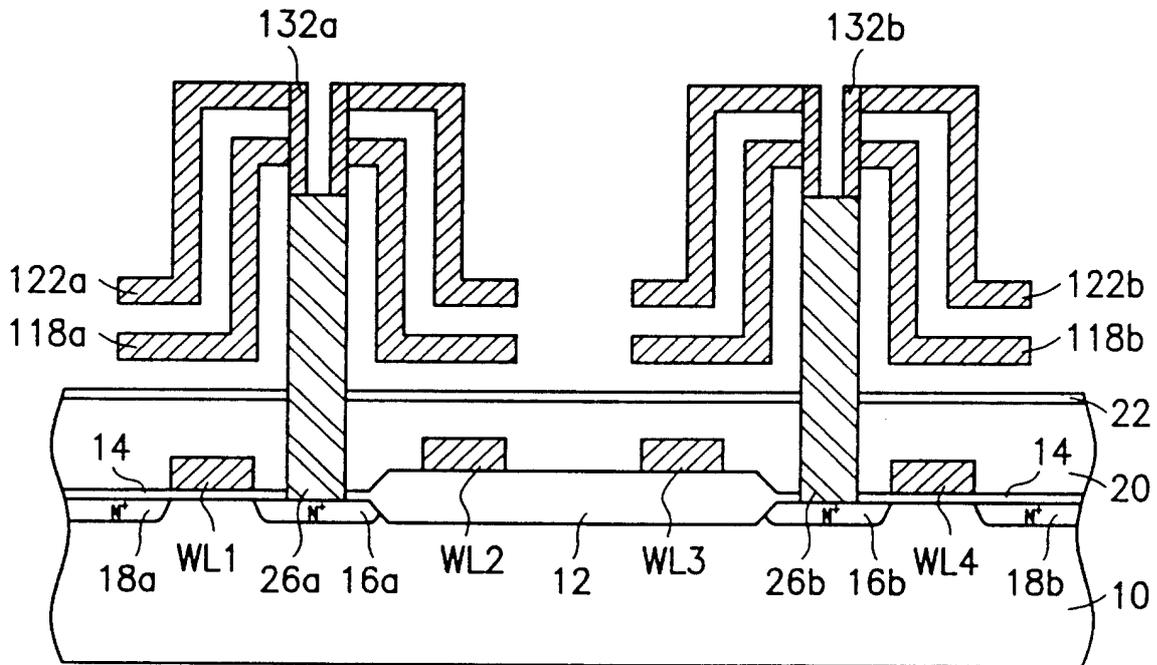
第8D圖



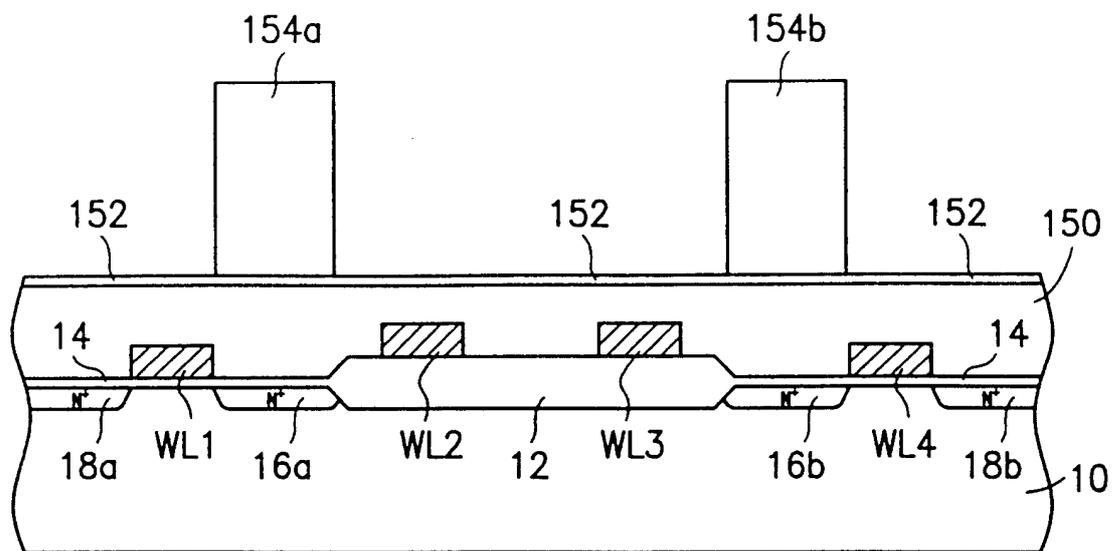
第8E圖



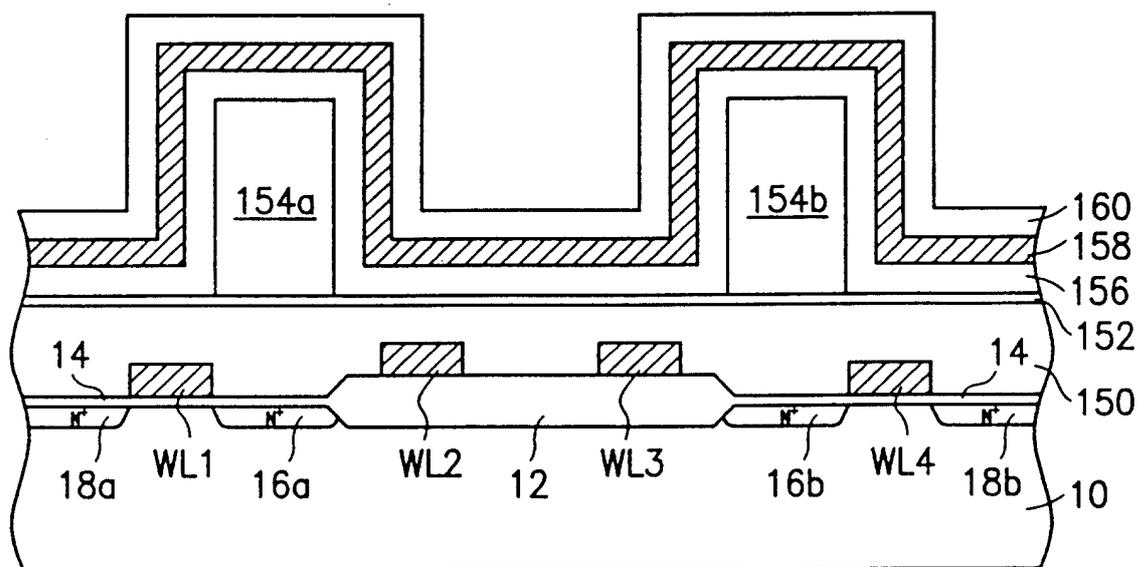
第9A圖



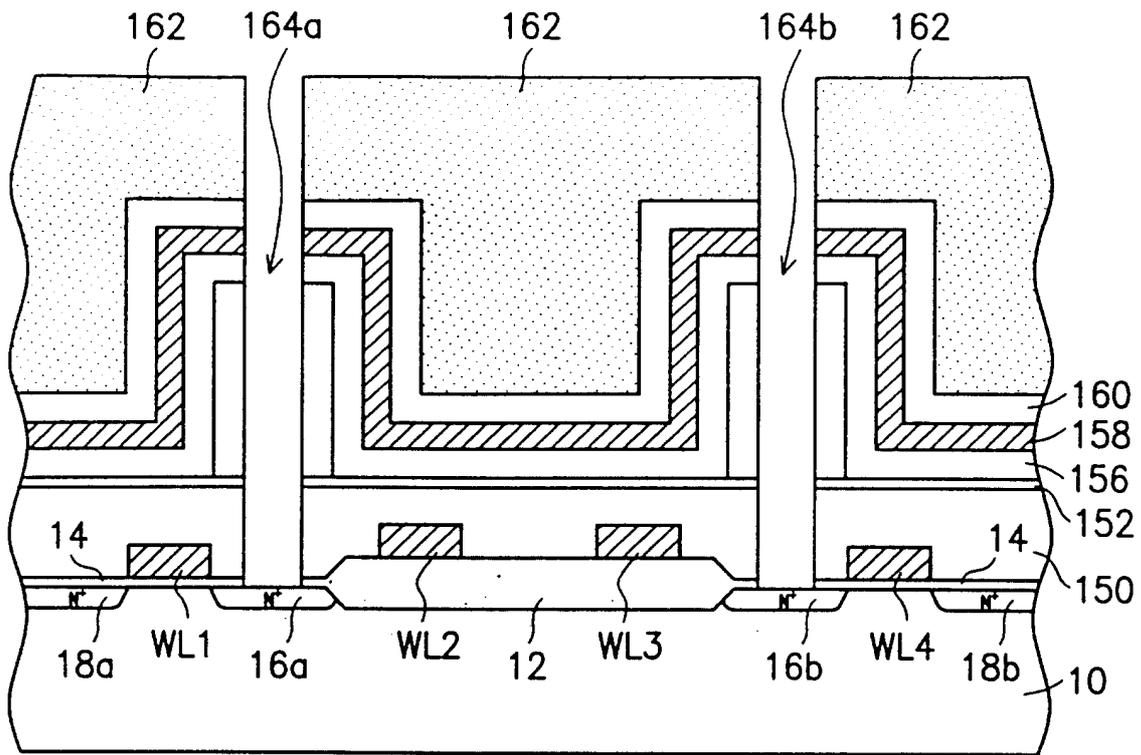
第9B圖



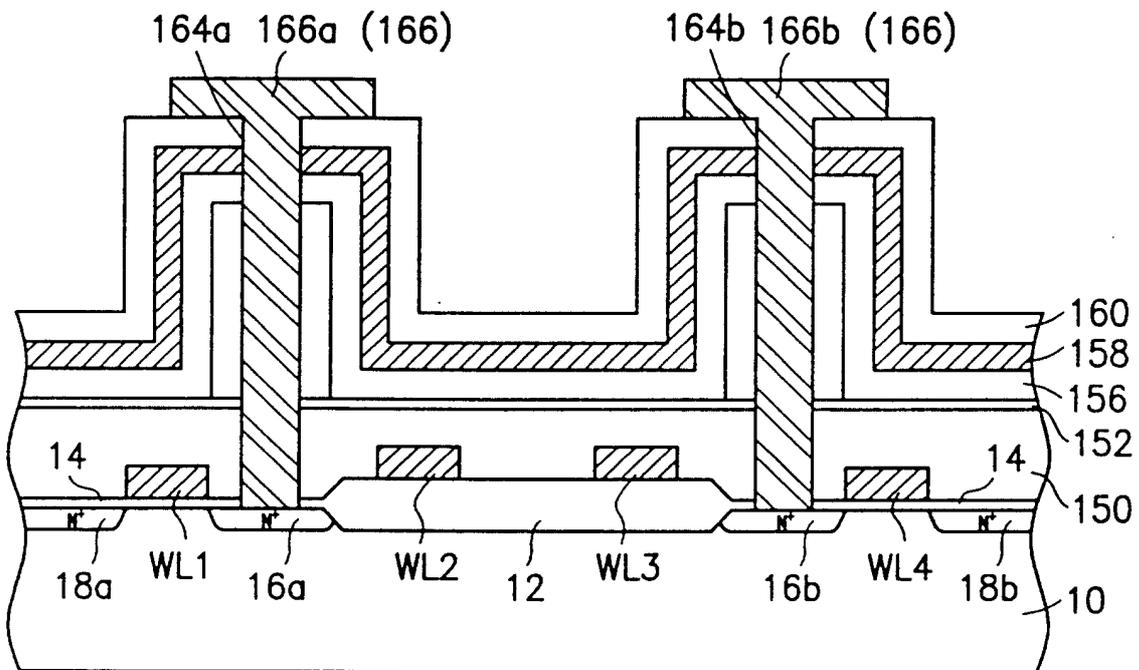
第10A圖



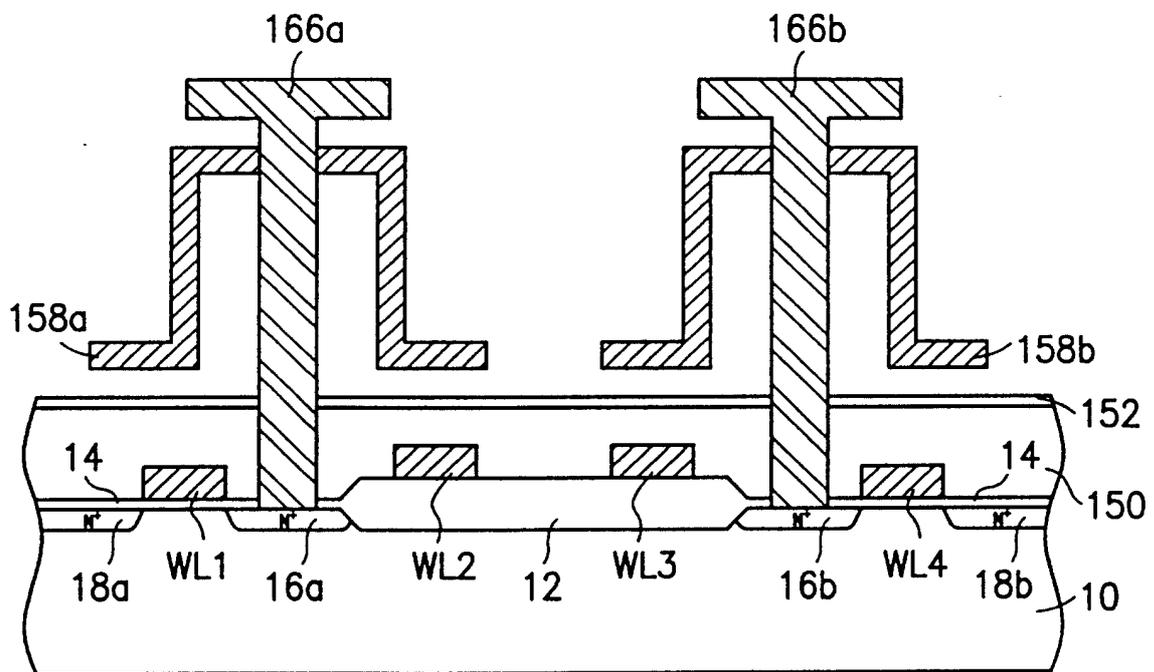
第10B圖



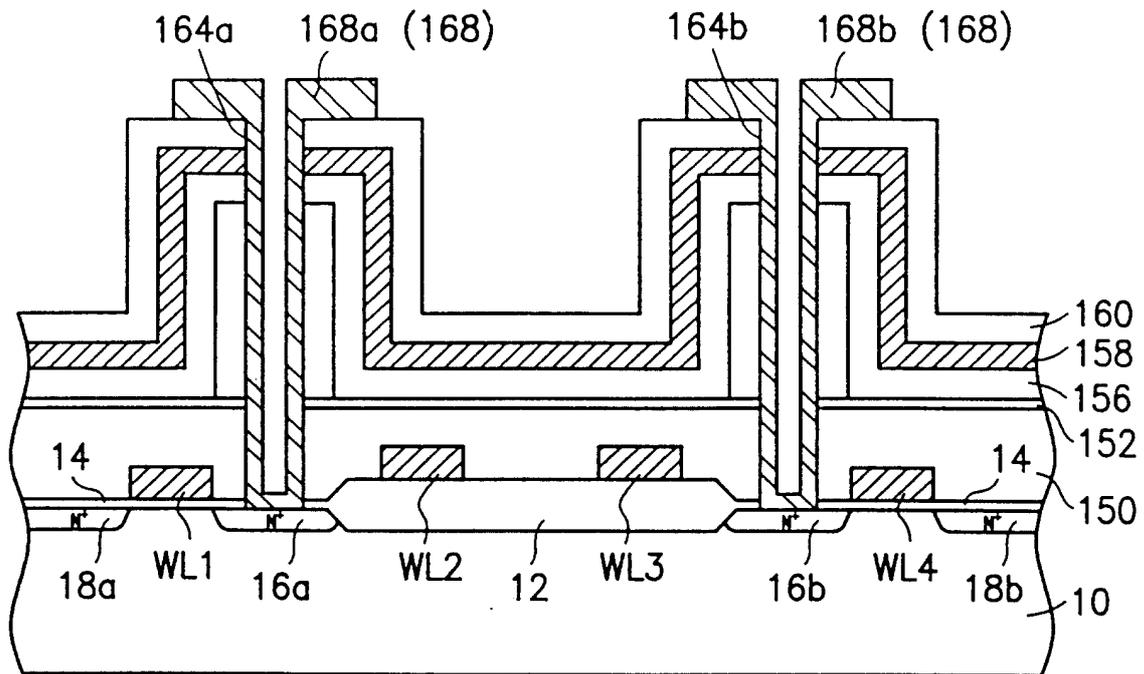
第10C圖



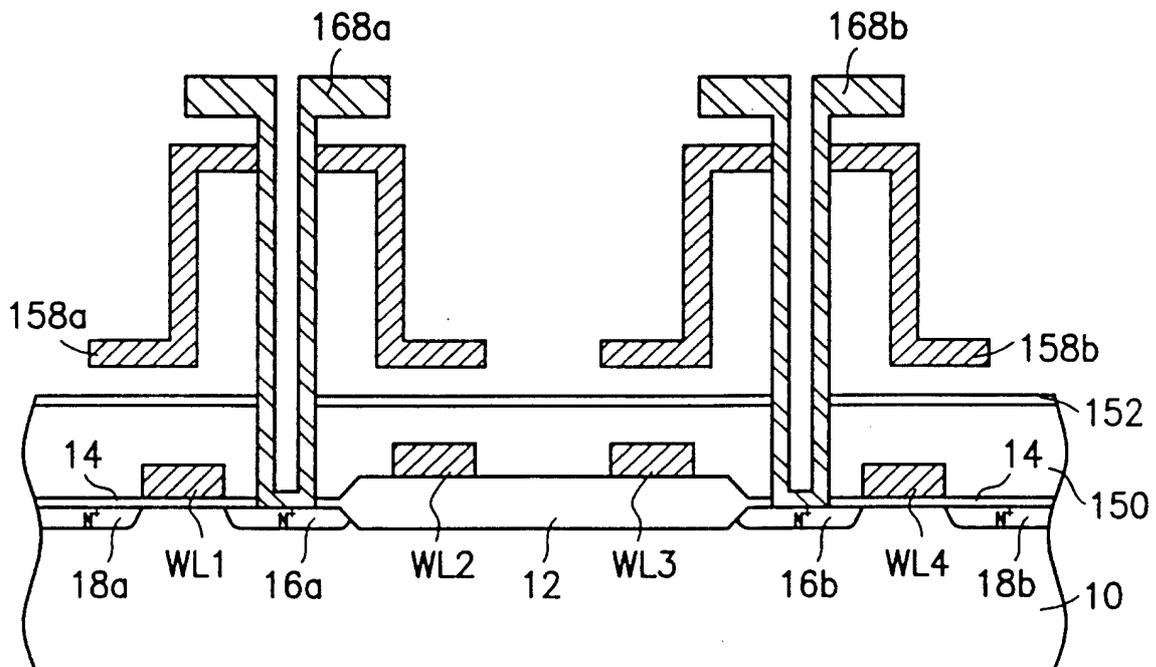
第10D圖



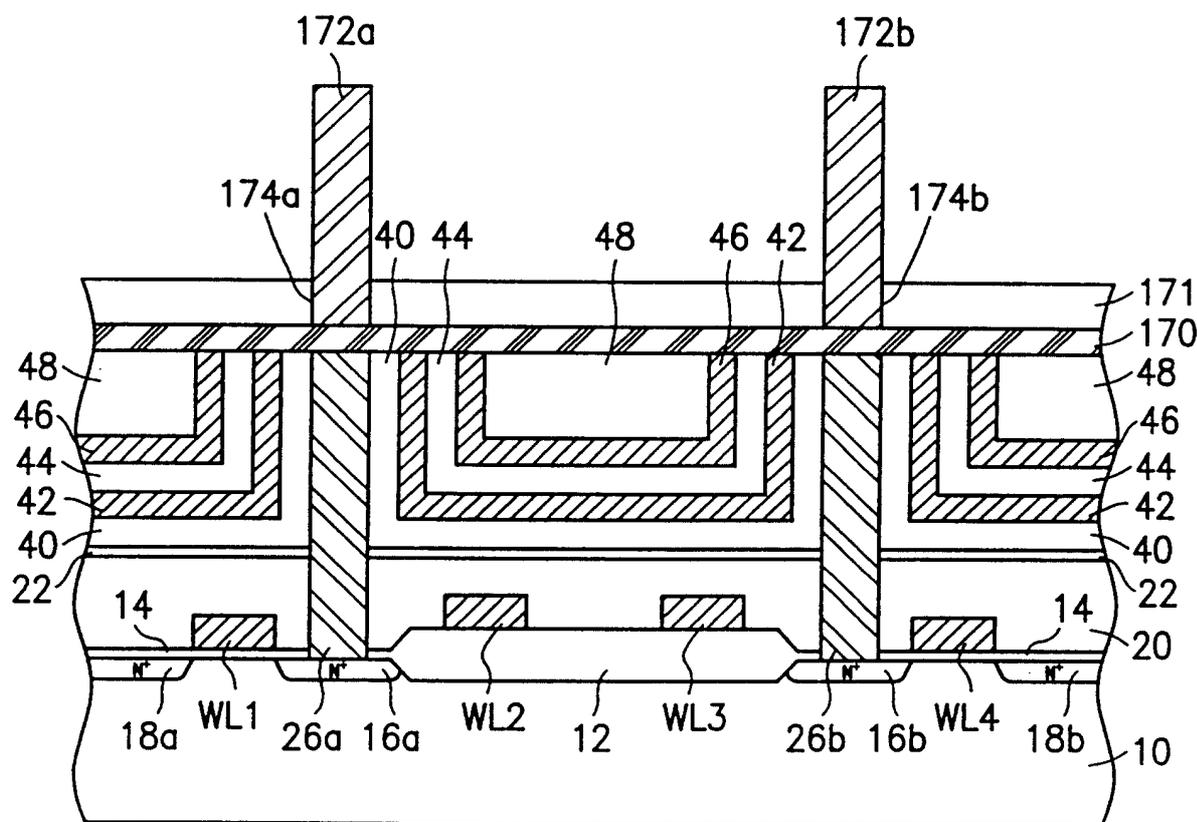
第10E圖



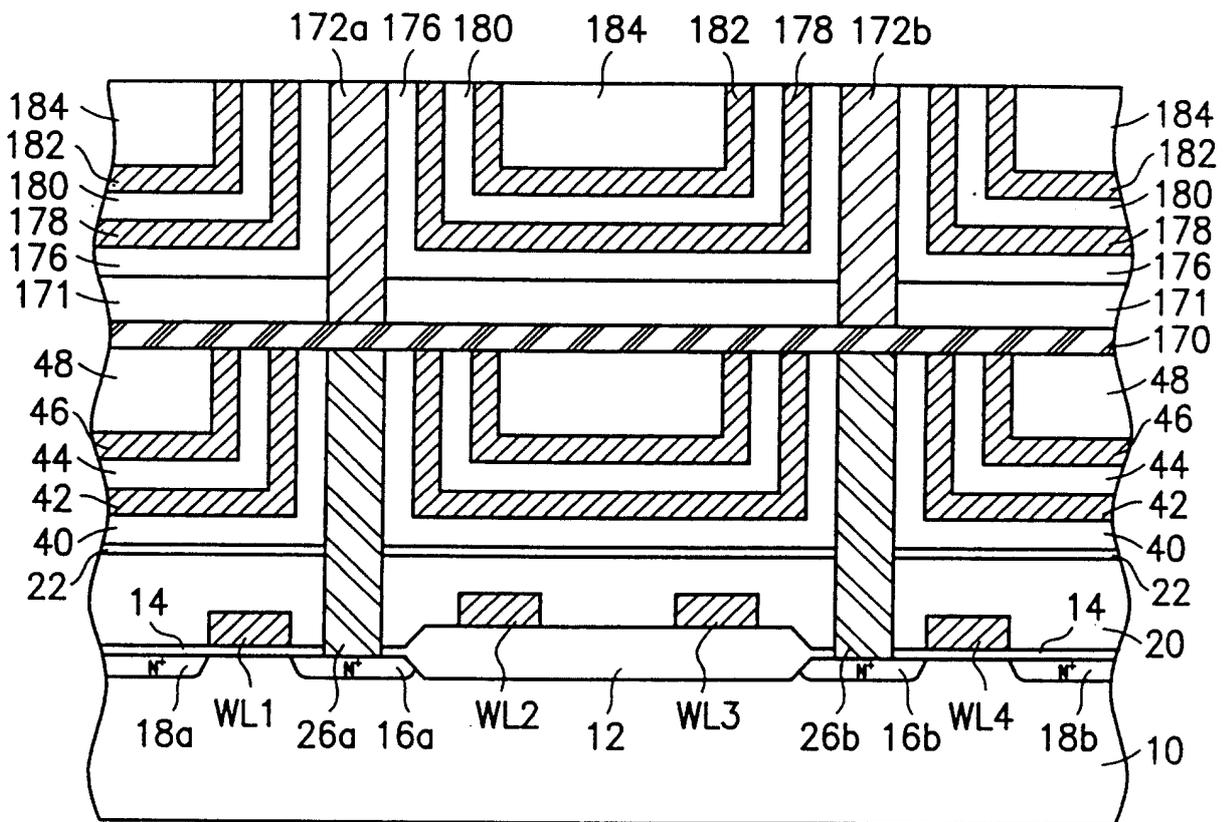
第11A圖



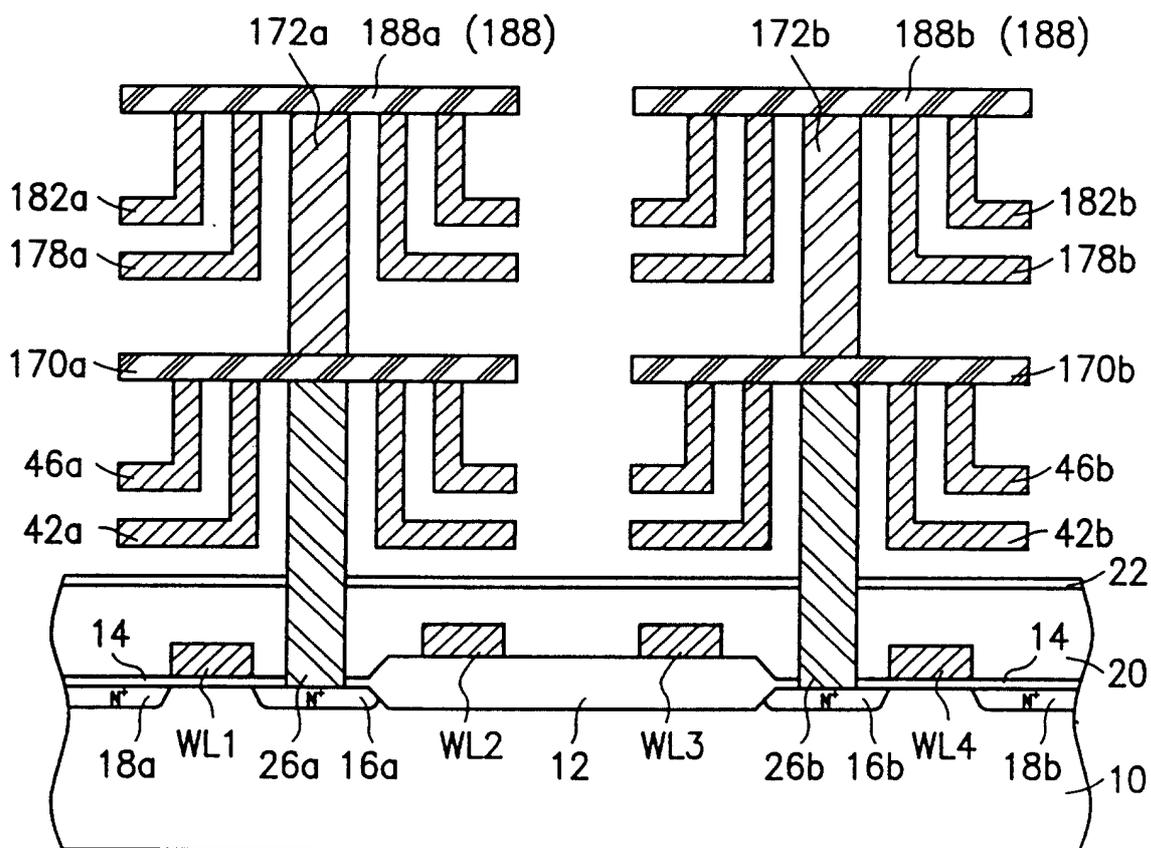
第11B圖



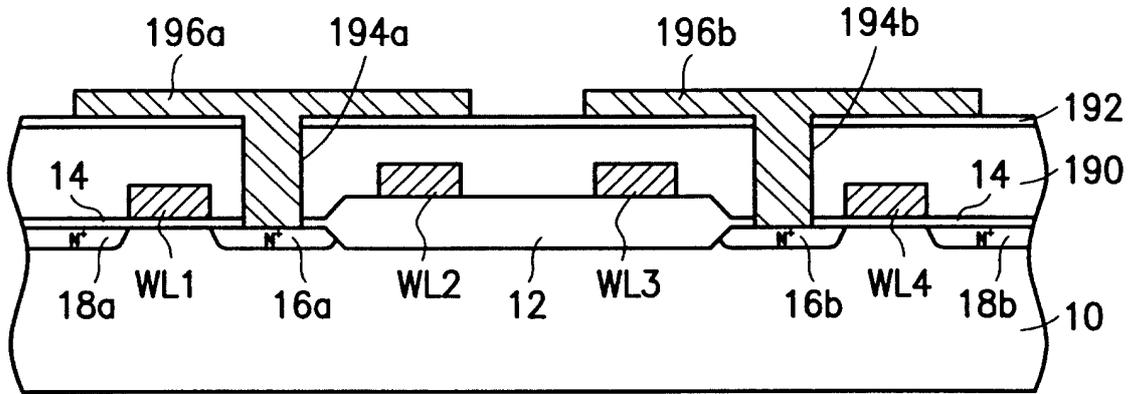
第12A圖



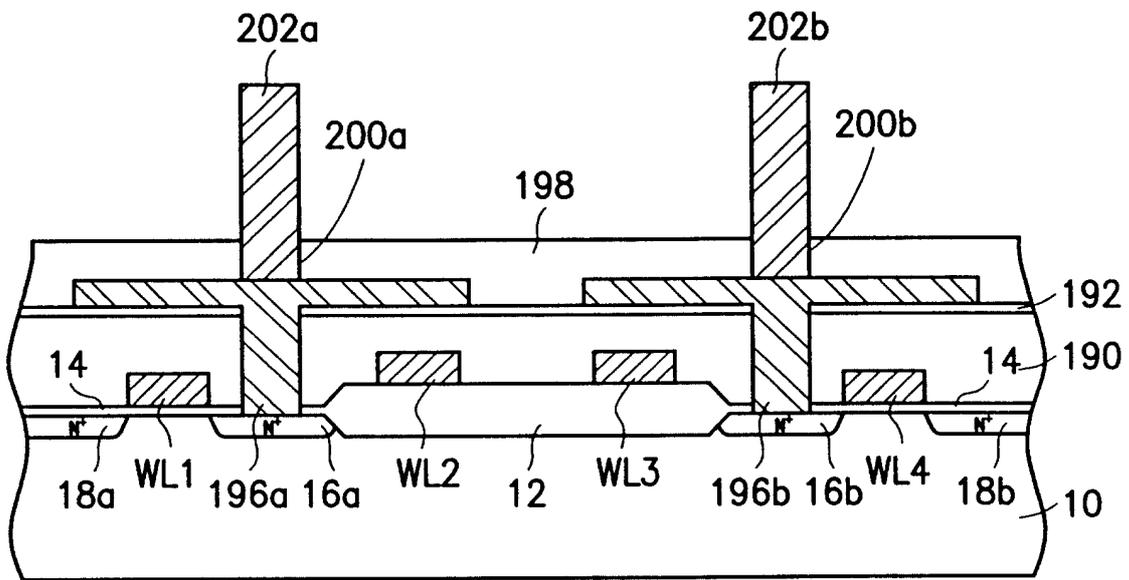
第12B圖



第12C圖



第13A圖



第13B圖