(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 7/06

(45) 공고일자 2004년08월09일
(11) 등록번호 10-0435977
(24) 등록일자 2004년06월03일

(21) 출원번호 10-1997-0002334
(22) 출원일자 1997년01월28일

(65) 공개번호 10-1997-0063248
(43) 공개일자 1997년09월12일

(30) 우선권주장 60/010,227 1996년02월01일 미국(US)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 오토리 히로시
일본국 도쿄도 오우메시 가베쵸 5-25-7

아키바 다케사다
일본국 도쿄도 다치카와시 이치방쵸 2-26-1

(74) 대리인 백남기

심사관 : 최정윤

(54) 반도체메모리,디바이스,신호의증폭방법,패스트랜지스터를제어하기위한방법및장치

요약

일정한 지연시간을 갖는 메모리센스회로를 위한 방법 및 장치에 관한 것으로서, 센스앰프동작의 정밀도를 유지하면서 신호를 오버드라이브하는 것에 의해 고속인 신호의 변별을 실행하기 위해, 소오스공통형 N채널스위치를 갖는 오버드라이버 회로가 감지될 신호를 임의의 기간 통상의 레벨 이상의 전압레벨로 구동하고, 신호가 오버드라이브되는 기간의 길이는 센스앰프회로의 동작전압에 대응한 것이고, 오버드라이브가 완료하면 센스대상의 신호를 정규화회로가 제2 기간 통상레벨로 구동하고, 그것에 의해 다음의 메모리사이클에 대비하여 신호를 재차 원하는 프리챠지레벨로 설정할 수 있도록 하는 구성으로 하였다.
이러한 구성에 의해, 센스앰프의 정밀도를 유지하면서 오버드라이브하는 것에 의해 비트선의 신호의 변별처리를 고속으로 실행할 수 있다는 등의 효과가 얻어진다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시형태인 DRAM의 일부를 도시한 회로도,
도 2는 도 1의 DRAM에서 사용되는 전압원의 블럭도,
도 3은 도 1의 DRAM의 파형도,
도 4는 종래의 DRAM의 문제점을 설명하기 위한 파형도,

도 5는 도 1의 신호의 타이밍도,
도 6은 도 1의 DRAM을 위한 제1 지연회로의 회로도,
도 7은 도 1의 DRAM을 위한 제2 지연회로의 회로도,
도 8은 본 발명에 의한 개선된 패스 게이트 드라이버회로의 회로도,
도 9는 도 8의 개선된 패스 게이트 드라이버회로의 타이밍도.
[부호의 설명]
10 디바이스
14a 14d 비트(메모리 셀)
16a, 16b 센스앰프
18a 18d 패스 게이트
19a 19d PMOS 트랜지스터
20a 20d NMOS 트랜지스터
32, 34, 36 소오스공통형 스위치 트랜지스터
BL1, BLB1, BL2, BLB2 비트선
WL1, WL2 워드선
I/00 I/03 출력선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체회로 설계에 관한 것으로서, 특히 일정한 지연시간을 갖는 메모리센스회로를 위한 방법 및 장치에 관한 것이다.
디지탈논리에서는 입출력신호가 '하이(High)'(이하, H라 약칭한다) 또는 '로우(Low)'(이하, L이라 약칭한다)로 간주되도록 정의된 전압레벨을 만족시킬 필요가 있다.
그러나, 디지탈논리를 이용하는 전형적인 집적회로, 즉 '칩'에는 많은 전압 레벨의 신호가 포함되어 있다. 그 결과, 센스앰프회로를 사용해서 신호를 해석, 즉 [변별]하고 신호를 H 또는 L의 전압레벨로 구동하고, 그것에 의해 칩상의 다른 디지탈회로를 위한 적정전압을 생성하도록 하고 있다.
예를 들면, 랜덤 액세스 메모리(DRAM) 디바이스를 위한 캐패시터형의 메모리 셀은 매우 작은 비트신호를 사용하고 있다. DRAM에 마련된 센스앰프회로는 메모리셀의 H레벨과 L레벨 사이의 레벨로서 정의된 프리챠지레벨과 비트선을 비교하는 것 에 의해 그 비트신호를 변별하고 있다. 비트신호의 레벨이 프리챠지레벨보다 높은 경우에는 센스앰프회로는 그 신호를 H 또는 논리값1의 신호로서 해석한다. 비트신호의 레벨이 프리챠지레벨보다 낮은 경우에는 센스앰프회로는 그 신호를 L 또는 논리값0의 신호로서 해석한다.
기술이 진보함에 따라 센스앰프회로에 의해 실행되는 변별의 속도 및 정밀도가 더욱 중요하게 되어 왔다. 이 때문에, 칩의 설계자는 신호변별의 속도를 높이는 여러가지 방법을 시도해 왔다. 예를 들면, Dhong et al.의 미국특허 제5,257,232호는 신호변별의 속도를 높이기 위해 센스앰프회로를 오버드라이브하는 방법을 교시하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 미국특허의 방법은 신호를 신속하게 변별하는 점에서는 성공하고 있지만, 문제점을 갖고 있다. 그와 같은 문제점의 하나는 센스가 완료할 때 신호가 원하는 프리챠지레벨로는 되돌아가지 않으므로, 이 오버드라이브처리가 부정확하다는 것이다. 그 대신에, 센스시에 전압을 통상이상으로 올리므로(오버슈트하므로) 비트신호가 어긋난 레벨로 되돌아간다. 그 결과, 프리챠지레벨이 변화하여 센스앰프회로는 다음의 비트신호를 정확하게 해석하지 않게 된다. 이 문제는 여러가지 전압레벨로 설정될 수 있는 외부전원(VDD)를 현대의 집적회로가 사용하고 있다는 사실에 의해 악화되고 있다. 예를 들면, 단일의 칩이 4.0V와 2.4V 사이의 외부전원레벨에서 동작하는 일이 있다. 전원레벨의 변동이 크고 칩의 소자가 다른 전원레벨에서 동작할 때는 다른 동작을 하므로 신호가 오버드 라이브되는 시간의 길이가 중요한 문제로 된다.
특히, 종래의 칩은 신호가 오버드라이브되는 시간의 길이를 제어하기 위해 소오스공통형의 큰 P채널스위치를 사용하고 있다. 이것은 P채널디바이스에 의해 매우 높은 전압으로 끌어올릴 수 있고 높은 전원레벨로 신속하게 그것을 실행할 수 있는 것에 의한다.
그러나, P채널디바이스는 동작전압의 변화에 의해 극적으로 변화하므로, 고속이고 정확한 설계를 더욱 실현하기 어렵게 하고 있다. 또, P채널디바이스는 여분의 레이아웃 스페이스를 필요로 하고 동작전압이 낮을 때는 동작속도가 매우 느리다.
따라서, 본 발명의 목적은 센스앰프동작의 정밀도를 유지하면서 신호를 오버드라이브하는 것에 의해 고속인 신호의

변별을 실행하기 위한 방법 및 장치를 제공하는 것이다.
또, 본 발명의 목적은 다른 전원레벨에서 동작하는 칩에 있어서 신호를 오버드라이브하기 위한 방법 및 장치를 제공하는 것이다.
본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면에서 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.
즉, 본 발명은 센스앰프회로가 받는 신호를 오버드라이브하기 위한 방법 및 장치를 제공한다. 이 목적을 위해 N채널 소오스공통형 스위치를 갖는 오버드라이브회로가 감지될 신호를 임의의 기간 통상의 레벨 이상의 전압레벨로 구동한다. 신호가 오버드라이브되는 기간의 길이는 센스앰프회로의 동작전압에 대응하고 있다. 오버드라이브가 완료하면 센스대상의 신호를 정규화회로가 제2 기간 통상 레벨로 구동하고, 그것에 의해 다음의 메모리사이클에 대비하여 신호를 재차 원하는 프리챠지레벨로 설정할 수 있도록 한다.
상기한 본 발명에 의하면, 정밀도를 유지하면서 센스앰프에 의해 비트선의 신호를 고속으로 변별할 수 있다.
또, 본 발명에 의하면 신호가 오버드라이브되는 기간의 길이가 외부전원의 전압레벨에 따른 것인 점에서 유리하다.
또, 본 발명에 의하면 낮은 동작전압에 있어서 소오스공통형의 N채널스위치가 소오스공통형의 P채널스위치보다 고속인 점에서 유리하다.
또, 본 발명에 의하면 소오스공통형의 N채널스위치는 다른 동작전압레벨에 있어서도 일관적으로 동작하는 점에서 유리하다.
또, 본 발명에 의하면 소오스공통형 N채널스위치는 소오스공통형 P채널스위치에 비해 레이아웃면적의 점에서 유리하다.
<발명의 실시 형태>
도 1에 있어서, (10)은 본 발명의 1실시형태인 메모리 디바이스를 나타내고 있다. 본 발명의 적합한 실시형태에서는 디바이스(10)은 256M비트의 다이나믹 랜덤 액세스 메모리(DRAM)이지만, 본 발명은 DRAM에 대한 적용에 한정되는 것은 아니고 정확하고 고속인 신호증폭이 필요한 임의의 집적회로 디바이스에 관련해서 적용할 수 있다.
디바이스(10)은 외부전원(도시되어 있지 않음)에 접속되어 있고, 그것에 의해 정의 전원(VDD) 및 OV의 전원(VSS)이 공급된다. 디바이스(10)은 여러개의 종래의 엔한스먼트형 전계효과 트랜지스터를 갖고 있고, 그의 각각은 게이트, 소오스, 드레인 및 웰을 구비하고 있다. 그밖에 특별한 언급이 없으면 각 트랜지스터는 여기에서 기재된 바와 같이 포화모드에서 동작하는 것으로 간주한다.
또, 디바이스(10)은 여러개의 메모리셀(비트)의 어레이블럭(어레이블럭(12)등)을 포함하고 있다. 어레이블럭(12)를 나머지 어레이블럭의 대표로서 들면, 비트 (14a) (14d)를 포함하고 있고 이들은 이 어레이블럭의 나머지 비트를 대표하는 것으로서 나타내어져 있다.
간단하게 하기 위해 상세한 설명의 다음 부분에 있어서, 어레이블럭(12)를 그 어레이블럭에 관련하는 소수의 비트, 신호 및 회로와 함께 설명한다. 따라서, 다음에 설명되는 것은 적합한 실시형태를 간략화하고 예시를 위해 설명한 것으로 본 발명의 한정을 의도한 것은 아니다.
비트(14a), (14b) 및 비트(14c), (14d)는 종래와 같이 워드선WL1 및 워드선 WL2에 의해 각각 선택된다. 선택되면, 비트(14a), (14b), (14c), (14d)는 비트 선BL1, BLB1, BL2, BLB2를 비트신호(도시되어 있지 않음)에 의해 종래의 방식으로 구동한다.
또, 비트선BL1, BLB1 및 비트선BL2, BLB2는 센스앰프(16a) 및 센스앰프(16b) 예 각각 접속되어 있지만, 그 접속은 패스 게이트(18a), (18b) 및 패스 게이트 (18c), (18d)를 거쳐서 실현되고 있다. 이와 같이 패스 게이트(18a) (18d)가 활성일 때에는 언제라도 비트신호는 센스앰프에 의해 구동될 수 있다.
센스앰프(16a) 및 센스앰프(16b)는 비트신호를 변별하기 위해 사용되는 종래의 센스앰프회로이다. 센스앰프(16a) 및 센스앰프(16b)의 각각은 1쌍의 P채널 금속산화물 반도체(PMOS) 트랜지스터(19a), (19b) 및 1쌍의 PMOS 트랜지스터(19c), (19d)를 각각 갖고, 또 1쌍의 N채널 금속산화물 반도체(NMOS)트랜지스터(20a), (20b) 및 1쌍의 NMOS 트랜지스터(20c), (20d)를 각각 갖고, 그들은 비트선BL1, BLB1 및 비트선BL2, BLB2의 각각의 사이에 있어서 종래의 방식으로 교차결합되어 있다.
또, PMOS트랜지스터(19a) (19d)는 VDD로 바이어스된 웰, 제1 소오스 공통형 스위치(common source switch ; 이하 CSS라 한다) 트랜지스터(32) 및 제2 CSS트랜지스터(34)에 접속된 소오스를 갖고 있다.
NMOS트랜지스터(20a) (20d)는 VSS로 바이어스된 웰과 제3 CSS트랜지스터 (36)에 접속된 소오스를 갖고 있다.
나중에 설명하는 바와 같이 VSS 및 VDD의 양쪽의 전원선은 센스앰프(16a), (16b)에 이미 사용되고 있으므로, 트랜지스터의 웰을 바이어스하기 위해 이들의 전원을 사용하는 것에 의해 레이아웃 면적이 절약된다.
비트선이 변별되면 열선택신호YS가 4개의 트랜지스터(38a), (38b), (38c), (38d)를 활성으로 하고, 이들의 트랜지스터(38a) (38d)가 비트선BL1, BLB1, BL2, BLB2를 대응하는 출력선I/00, I/01, I/02, I/03에 각각 접속한다.
도 2에 도시한 바와 같이, VDD 및 VSS전원에 부가해서 디바이스(10)은 3종류의 내부전압VPP, VPERI 및 VARY(VSS＜VARY＜VPERI＜VPP)를 생성하기 위해 종래의 전압원회로(40)을 포함하고 있다. 예시를 위해 VSS, VARY, VPERI, VPP는 각각 OV 2.OV, 2.5V 및 3.6인 것으로 한다. VDD의 전압레벨은 2.4 4.0V의 범위에 있는 것으로 한다.
재차 도 1을 참조하면, 센스앰프 제어회로(도시되어 있지 않음)는 3개의 신호SAP1, SAP2 및 신호SAN을 구동한다. 신호SAP1, SAP2 및 신호SAN은 3개의 CSS트랜지스터(32), (34), (36)의 각각의 게이트를 구동하기 위해 각각 사용

된다.
제1 CSS트랜지스터(32)가 활성으로 되면 센스앰프의 PMOS트랜지스터(19a) (19d)가 VDD(2.4 4.0V)에 접속되고, 이 전압레벨은 센스앰프가 비트신호를 구동하는 통상의 H전압레벨보다 높으므로 비트신호는 오버드라이브된다. 또, 제2 CSS트랜지스터(34)의 구성(즉, MOS 또는 PMOS)은 이하에 설명하는바와 같이 비트신호가 구동되는 속도에 영향을 준다.
제2 CSS트랜지스터(34)가 활성으로 되면 센스앰프의 PMOS 트랜지스터(19a) (19d)가 VARY(2.0V)에 접속되지만, 이 전압레벨은 센스앰프가 비트신호를 구동하기 위한 목표전압인 H레벨이다.
마찬가지로, 제3 CSS트랜지스터(36)이 활성으로 되면 센스앰프의 NMOS트랜지스터(20a) (20d)가 VSS(0.0V)에 접속되지만, 이 전압레벨은 센스앰프가 비트신호를 구동하기 위한 목표전압인 L레벨이다.
도 3도 참조하면, 그 도면은 각각 비트선BL1, BLB1상의 2개의 비트신호BL. BLB가 제1 CSS트랜지스터(32)에 접속된 센스앰프(16a)에 의해 변별되는 것을 도시한 시간-전압도이지만, 트랜지스터(32)가 N채널 트랜지스터일 때의 본 발명의 제1 실시형태의 동작을 도시하고 있다.
특히, 주의를 기울여야만 하는 것은 비트신호BL이 H의 목표전압VARY(2.0V)에 도달하는 시간과 비트신호BLB가 L의 목표전압VSS(0.0V)에 도달하는 시간이다.
도 3에 도시되어 있는 바와 같이, 비트신호BLB는 VDD가 2.4V에 근접할 때도 VDD가 4.0V에 근접할 때도 동일한 파형이다. 그러나, 비트신호BL은 VDD가 2.4V일 때의 파형(BL(VDD=2.4V))과 VDD가 4.0V에 근접할 때의 파형(BL(VDD=4.0V))은 다른 파형으로 되어 있다.
비트신호BL(VDD=4.0V)가 H의 목표전압에 도달하는 시각t1과 비트신호BL (VDD=2.4V)가 H의 목표전압에 도달하는 시각t2를 고려하면 시각t1과 시각t2 사이의 차d1은 약 2ns이다.
도 1 및 도 4를 참조하면, 도 4는 제1 CSS트랜지스터(32)가 P채널 트랜지스터인 것을 제외하면 도 3에서 사용된 것과 동일한 회로에 있어서의 2개의 비트신호 BL, BLB의 시간-전압도로서, 종래의 DRAM에 있어서의 문제점을 설명하기 위한 파형도를 도시하고 있다.
비트신호BLB는 역시 VDD가 2.4V에 근접할 때도, VDD가 4.0V에 근접할 때도 어느쪽이나 동일한 파형이다. 그러나, 비트신호BL은 VDD가 2.4V에 근접할 때의 파형(BL(VDD=2.4V))과 VDD가 4.0V에 근접할 때의 파형(BL(VDD=4.0V))은 다르다.
BL(VDD=4.0V)가 H의 목표전압에 도달하는 시각t3과 BL(VDD=2.4V)가 H의 목표 전압에 도달하는 시각t4를 고려하면 시각t3과 시각t4의 차d2는 약 14ns이다. 이 차d2가 차d1(도 3)보다 훨씬 큰 것이 본원 발명자에 의해 명확하게 되었다. 따라서, 본 발명에 있어서는 CSS트랜지스터(32)가 NMOS트랜지스터인 제1 실시 형태가 사용된다
도 1 및 도 5를 참조하면, 제1 실시형태에 있어서 센스동작은 시각t5에 있어서 SAN신호 및 SAP1신호의 양쪽을 활성으로 하는 것에 의해 개시되고, 그것은 오버드라이브기간(50)의 개시로 되어 있다.
오버드라이브기간(50)의 개시에 따라서 제1 및 제3 CSS트랜지스터(32), (36)이 인에이블로 되고, 2개의 래치신호SDP, SDN을 VDD전원선 및 VSS전원선에 각각 접속하는 것에 의해 신호SDP, SDN이 활성으로 된다.
그러나, 신호SAN 및 신호SAP2와는 달리 SAP1신호는 H의 전압레벨이 VPP (3.6V)이다. 그 결과, VDD가 3.0 4.0V에 근접하면 제1 CSS 트랜지스터(32)는 게이트전압VPP(이것은 VDD+Vth보다 낮은 전압이다)를 받고, 그것에 의해 제1 CSS트랜지스터를 포화모드로 유지하고 비교적 낮은 게이트전압에 의해 그 성능이 한정된다. 또한, Vth는 트랜지스터(32)의 임계값전압이다.
한편, VPP는 VDD의 변화에 대해서 안정한 일정 전압이므로, VDD가 2.4V에 근접하면 제1 CSS트랜지스터(32)의 게이트전압은 VDD+Vth보다 높아지고, 그것에 의해 제1 CSS트랜지스터(32)는 선형모드로 들어가고 이 CSS트랜지스터를 통해서 흐르는 전류(도시되어 있지 않음)는 VDD와 선형적으로 비례한다.
선형모드와 포화모드를 스위치하는 것에 의해 외부전원전압이 변동해도 비트 선이 H의 목표전압에 도달할 때까지의 오버드라이브시간을 거의 일정하게 할 수 있다. 바꿔말하면, 오버드라이브전압(외부전원전압)이 변동해도 거의 일정한 오버드라이브시간에 비트선의 하이레벨측 전압이 목표전압에 도달한다. 따라서, 오버드라이브시간의 제어가 용이하다. 또, 후술하는 바와 같이 센스동작의 개시에서 YS신호가 활성으로 될 때까지의 시간을 거의 일정하게 할 수 있기 때문에 YS신호의 타이밍제어가 용이하게 된다.
2개의 래치신호SDP, SDN이 활성으로 되면, 비트선상의 비트신호는 변별되기 시작한다. 그러나, 비트선의 길이로 인해, 또 모든 메모리셀과 그것에 접속된 센스앰프의 용량성 부하로 인해, 비트선의 센스앰프영역에 위치하는 부분에 있어서의 비트신호는 더욱 아래쪽의 워드선 근처에 위치하는 비트선부분에 있어서의 비트신호와는 다른 동작을 한다.
예를 들면, 2개의 비트선BL1, BLB1을 고려하면, 센스앰프(16a)에 있어서의 비트선부분에 위치하는 비트신호BL, BLB는 타이밍도에 있어서 각각 파형BLSA 및 파형BLBSA로서 나타내어져 있다.
마찬가지로, 워드선WL2 근처의 비트선부분에 위치하는 신호BL, BLB는 타이밍도에 있어서 각각 파형BLWL 및 파형BLBWL에 의해 나타내어져 있다.
파형BLWL, BLBWL과 파형BLSA, BLBSA를 비교하면, 센스앰프(16a)에 위치하는 비트선부분에 대해서는 메모리셀과 센스앰프회로의 용량성부하에 의해 받는 영향은 최소한이다. 그 결과, 센스앰프(16a)에 있어서의 비트신호는 워드선WL2에 있어서의 비트신호보다 고속으로 변별된다.
오버드라이브기간(50)은 비트선BLWL, BLSA의 양쪽이 H의 목표전압(VARY)에 도달할 때까지 유지된다. 오버드라이브기간(50)이 시각t6에 있어서 완료하면 SAP1신호가 비활성으로 되고 SAP2신호가 활성으로 되어 정규화기간(52)가 개시된다.
정규화기간(52)에 있어서 제1 CSS트랜지스터(32)는 디스에이블로 되고, 제2 CSS트랜지스터(34)가 인에이블로 되어 래치신호SDP가 VARY전원선에 접속된다.

정규화기간(52)에 의해 비트신호BL, BLB는 원하는 VARY전압레벨로 되고, 그때문에 등화기간(도시되어 있지 않음)에 있어서 이들의 비트신호는 정확하게 프리챠지레벨VBLR(이것은 VARY와 VSS의 정확히 중간이다)로 되돌아간다. 양쪽의 비트신호BL, BLB가 각각 H 및 L의 목표전압에 도달하면, YS신호가 활성으로 된다. 이와 같이 해서 비트선BL1, BLB1, BL2, BLB2는 각각 대응하는 출력선I/00, I/01, I/02, I/03에 접속된다.

비트신호BL, BLB가 대응하는 출력선에 도달하는 속도는 직접 디바이스(10)(도 1)의 속도에 영향을 준다. 따라서, YS신호가 빠르게 활성으로 되면 될수록 디바이스(10)은 빠르게 동작한다. 그러나, YS신호가 너무 빠르게 활성으로 되는 경우에는 비트신호는 목표변별레벨에 도달하지 않고 비트신호는 파괴되어 버린다.

따라서, YSINPUT신호가 활성으로 되고 나서(이것은 센스동작의 개시와 일치한다) YS신호가 활성으로 될 때까지의 지연시간(56)은 디바이스(10)의 정밀도 및 속도 양쪽에 있어서 중요하다.

도 3의 실시예에 의하면, 상술한 바와 같이 오버드라이브전압(외부전원전압)이 변동해도 거의 일정한 오버드라이브시간에 비트선의 하이레벨측전압이 목표전압 에 도달한다. 따라서, 오버드라이브전압(외부전원전압)의 변동에 관계없이 센스 동작의 개시에서 YS신호가 활성으로 될 때까지의 시간(지연시간(56))은 거의 일정해서 좋다. 따라서, YS신호의 타이밍제어가 용이하다. 도 6은 YS신호를 발생하는 회로의 1예를 도시한 것이다.

도 6에 도시한 바와 같이, 지연시간(56)(도 5) 다음에 YS신호를 활성으로 하기 위해서 제1 지연회로(60)이 사용된다. 지연회로(60)은 여러개의 인버터(인버터 (62a), (62b), (62c), (62d)가 대표로서 도시되어 있다)와 CSS트랜지스터(64)를 갖고 있다.

인버터(62a), (62b), (62c), (62d)의 각각은 NMOS트랜지스터 (66a), (66b), (66c), (66d) 및 PMOS트랜지스터(68a), (68b), (68c), (68d)를 각각 갖고 있고, 그들 트랜지스터는 각 PMOS트랜지스터의 웰이 VDD로 바이어스되고, 소오스가 CSS트랜지스터(64)에 접속되어 있는 것을 제외하고는 종래의 방식으로 배열되어 있다.

CSS트랜지스터(64)는 그의 게이트가 VPP(3.6V)에 결합되어 있다. 그 결과 VDD가 3.0 4.0V에 근접하면 VPP의 게이트전압은 VDD+Vth보다 작아지고, 그것에 의해 CSS트랜지스터(64)는 포화모드로 유지되고 비교적 낮은 게이트전압으로 인해 그 성능이 한정되어 있다. 또한, Vth는 트랜지스터(64)의 임계값전압이다.

또, VDD가 2.4V에 근접하면 VPP의 게이트전압은 VDD+Vth보다 높아지고, 그것에 의해 CSS트랜지스터(64)는 선형모드에서 동작하게 되어 상기 게이트전압(VPP)에 의해 그 성능이 한정되지 않는다. 따라서, 외부전원전압이 4.0V와 2.4V 사이에서 변동해도 지연시간(56)이 대폭으로 변화하는 것을 방지할 수 있다. 또, 선형 모드 에서는 CSS트랜지스터(64)를 통해서 흐르는 전류(도시되어 있지 않음)는 VDD에 선형적으로 비례한다.

그 결과, VDD가 2.4V에 근접할 때는 VDD가 3.0 4.0에 근접할 때에 비해 더욱 낮은 전류가 CSS트랜지스터(64)를 흐르고 인버터(62a), (62b), (62c), (62d)의 속도는 느려지고, 그것에 의해 지연시간(56)(도 5)이 약간 증대한다.

이 특성은 비트선이 H의 목표전압에 도달할 때까지의 상기 오버드라이브시간의 특성과 일치한다. 이것은 도 3에 도시된 시각t2가 시각t1보다 약간 지연되는 것에서 명확하다. 따라서, 도 6의 회로를 사용하는 것에 의해 YS신호의 타이밍을 비트선이 목표전압에 도달하는 시간에 따라서 자동적으로 미세조정할 수 있다.

이와 같이 해서 제1 지연회로(60)은 VDD의 다른 동작전압의 영향을 받는다. 또, 각 PMOS트랜지스터(68a), (68b), (68c), (68d)의 웰은 VDD로 바이어스되어 있고, 소오스는 NMOS트랜지스터를 거쳐서 VDD에 접속되어 있으므로, 이들 PMOS트랜지스터는 VDD전압레벨에 관계없이 센스앰프(16a), (16b)(도 1)의 센스앰프의 PMOS트랜지스터(19a) (19d)와 유사한 방식으로 동작하고, 비트신호BL, BLB(도 5)가 목표 레벨에 도달하는데 필요한 시간에 지연시간(56)을 합치시킨다.

도 7을 참조하면, 도 6의 지연회로(60) 대신에 YSINPUT신호가 활성으로 된 후 지연시간(56)(도 5) 다음에 YS신호를 활성으로 하므로 제2 지연회로(70)을 사용할 수 있다.

지연회로(70)은 여러개의 소자를 갖고 있고 그것에는 PMOS트랜지스터(72a) (72f), NMOS트랜지스터(74a) (74f), 저항R1, R2 및 CSS트랜지스터(76)이 포함되어 있다. 이들 소자는 종래의 방식으로 배열되고 저항성-용량성의 지연을 만들어내고 있다.

또, 각 PMOS트랜지스터(72a) (72f)는 VDD로 바이어스된 웰과 CSS트랜지스터 (76)에 접속된 소오스를 갖고 있다. CSS트랜지스터(76)은 그의 게이트가 VPP(3.6V)에 결합되어 있다. 그 결과, VDD가 3.0 4.0V에 근접하면 VPP의 게이트전압은 VDD+Vth보다 작아지고, 그것에 의해 CSS트랜지스터(64)는 포화모드로 유지되고 비교적 낮은 게이트전압으로 인해 그 성능이 한정되어 있다. 또한, Vth는 CSS트랜지스터(76)의 임계값전압이다.

또, VDD가 2.4V에 근접하면 VPP의 게이트전압은 VDD+Vth보다 높아지고, 그것에 의해 CSS트랜지스터(76)은 선형모드에서 동작하게 되어 상기 게이트전압(VPP)에 의해 그의 성능이 한정되는 일이 없다. 따라서, 외부전원전압4.0V와 2.4V 사이에서 변동해도 지연시간(56)이 대폭으로 변화하는 것을 방지할 수 있다.

또, 선형모드에서는 CSS트랜지스터(76)을 통해서 흐르는 전류(도시되어 있지 않음)는 VDD에 선형적으로 비례한다. 그 결과, VDD가 2.4V에 근접할 때는 VDD가 3.0 4.0V에 근접할 때에 비해서 더욱 낮은 전류가 CSS트랜지스터(76)을 흐르고, 지연시간(56)(도 5)가 약간 증대한다. 이 특성은 비트선이 H의 목표전압에 도달할 때까지의 상기 오버드라이브시간의 특성과 일치한다. 이것은 도 3에 도시된 시각t2가 시각t1보다 약간 지연되는 것에서 명확하다. 따라서, 도 7의 회로를 사용하는 것에 의해 도 6의 회로와 마찬가지로 YS신호의 타이밍을 자동적으로 미세 조정할 수 있다.

도 8을 참조하면, 패스신호SHR이 패스 트랜지스터(18a) (18d)를 제어하고 있다. 종래, 패스신호SHR은 패스제어신호(도시되어 있지 않음)에 의해 제어되는 인버터(도시되어 있지 않음)에 의해서 구동된다. 종래의 이 인버터에 있어서는 패스신호SHR은 VPP전압레벨에서 활성으로 되고, 그것에 의해 패스 게이트의 실효저항을 감소시킨다.

그러나, 적합한 실시형태에 있어서는 SHR신호는 인버터에 의해 제어되는 것이 아니고 소오스가 VPP에 접속된 제1 PMOS트랜지스터, 소오스가 VPERI에 접속된 제2 PMOS트랜지스터(82) 및 소오스가 VSS에 접속된 NMOS트랜지스터(84)에 의해 제어된다.

이들 3개의 트랜지스터(80), (82), (84)는 각각 제1, 제2, 제3 패스제어신호 P1, P2, P3에 의해 개별적으로 제어되고 있다.
패스 제어신호SHR이 패스 트랜지스터(18a) (18d)를 인에이블로 하면 비트선 BL1, BLB1 및 비트선BL2, BLB2는 어레이블럭(12)에서 센스앰프(16a), (16b))에 각각 접속된다.
그러나, 도 5를 참조해서 상술한 바와 같이 비트선은 그것에 접속된 모든 메모리셀 및 센스앰프회로로 인해 높은 용량성부하를 갖고 있다. 따라서, 비트선 BL1, BLB1, BL2, BLB2를 정확하게 모델화하기 위해서 각 비트선에 접속된 메모리셀에 기인하는 용량성부하를 캐패시터CARY로 대표시키고, 각 비트선에 접속된 센스앰프회로에 기인하는 용량성부하를 캐패시터CSA로 대표시킨다.
도 9도 참조하면, 동작시 용량성부하CARY 및 용량성부하CSA의 영향을 배제하 기 위해서 3개의 트랜지스터(80), (82), (84)가 사용되고 있다.
최초의 시각t7에 있어서, 패스 제어신호P1, P2는 L이고, 패스 제어신호P3은 H이고, PMOS트랜지스터(82)만이 인에이블로 되어 있다. 그 결과, 패스신호SHR은 VPERI(2.5V)의 레벨에 있다. 역시 시각t7에 있어서 비트신호BLA, BLBA 및 비트 신호BLSA, BLBSA(각각 어레이 및 센스앰프에 위치하는 비트신호를 대표하고 있다)는 프리챠지레벨VBLR에 가깝다.
시각t8에 있어서 비트선의 센스가 개시되고 비트신호BLA, BLBA 및 비트신호 BLSA, BLBSA가 변별되기 시작한다. 패스 트랜지스터(18a) (18d)가 포화모드에 있으므로 비트선BL1, BLB1, BL2, BLB2의 전체 실효 캐패시턴스는 용량성부하CSA와 용량성부하CARY를 더한 것보다 낮다. 이 용량성부하가 비교적 낮으므로 비트신호BLA, BLBA 및 비트선BLSA, BLBSA는 신속하게 변별된다.
그후, 시각t에 있어서 패스 제어신호P2, P3이 천이하고 그것에 의해 PMOS트랜지스터(82)가 디스에이블로 되고, PMOS트랜지스터(80)이 인에이블로 된다. 그 결과, 패스신호는 VPP(3.6V)의 레벨로 상승한다. 패스 트랜지스터(18a) (18d)가 VPP(3.6V)의 레벨에서 구동되므로 그들은 선형모드로 들어가고 비트선BL1, BLB1, BL2, BLB2의 전체 실효캐패시턴스는 거의 용량성부하CSA와 용량성부하CARY를 더한 것과 동일하다.
패스 트랜지스터(18a) (18d)는 트랜지스터 게이트의 레벨이 비교적 높은 VPP이므로, 블럭어레이(12)와 센스앰프(16a), (16b) 사이에 저저항의 경로를 제공하고, 비트신호BLA, BLBA 및 비트선BLSA, BLBSA는 H의 목표전압(VARY) 또는 L의 목 표전압(VSS)로 끌어올려지거나 또는 끌어내려진다.
이상, 본 발명자에 의해 이루어진 발명을 실시형태에 따라서 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.
예를 들면, 부의 방향으로 VSS를 초과하는 전압에 의해 제어한 방식으로 저전압(low-going)비트선을 오버드라이브하므로, 다른 실시형태를 실현할 수도 있다. 또, 본 발명의 요지를 이탈하는 일없이 추가의 버퍼, 드라이버, 지연회로 및 다른 회로를 예시로서 나타낸 실시형태를 추가할 수도 있다. 따라서, 첨부의 특허청구의 범위를 발명의 범위와 정합하는 방식으로 넓게 해석하는 것은 적절하다.

발명의 효과

본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 다음과 같다.
즉, 센스앰프의 정밀도를 유지하면서 오버드라이브하는 것에 의해 비트선의 신호의 변별처리를 고속으로 실행할 수 있다.
또, 다른 전원레벨에서 동작하는 칩에 있어서도 신호를 오버드라이브할 수도 있다.
또, 본 발명에 의하면 신호가 오버드라이브되는 기간의 길이를 외부전원의 전압레벨에 따라서 결정할 수 있다.
또, 본 발명에 의하면 낮은 동작전압에 있어서 소오스공통형의 N채널스위치를 사용하는 것에 의해 소오스공통형의 P채널스위치를 사용한 경우보다 동작속도를 향상시킬 수 있다.
또, 본 발명에 의하면 소오스공통형의 N채널스위치는 다른 동작전압레벨에 있어서도 일관적으로 동작하는 점에서 유리하다.
또, 본 발명에 의하면 소오스공통형 N채널스위치를 사용하는 것에 의해 소오스공통형 P채널스위치를 사용한 경우보다 레이아웃면적을 축소할 수 있다.

(57) 청구의 범위

청구항 1.

1쌍의 비트선;
여러개의 워드선;
각각이 상기 1쌍의 비트선의 1개와 상기 여러개의 워드선의 1개에 결합된 여러개의 다이나믹 메모리셀;
1쌍의 PMOS트랜지스터와 1쌍의 NMOS트랜지스터를 포함하는 센스앰프로서, PMOS트랜지스터 및 NMOS트랜지스터의 상기 쌍의 각각은 소오스가 공통으로 결합되고 드레인이 상기 비트선의 쌍에 각각 결합되고 게이트가 상기 드레인에 각각 교차 결합되어 있는 센스앰프;
제1 외부전원전압을 받기 위한 제1 외부단자;
소오스가 PMOS트랜지스터의 상기 쌍의 상기 소오스에 결합되고 드래인이 상기 제1 외부단자에 결합된 제1 스위치 NMOS트랜지스터 및;
제1 내부전원전압을 생성하는 제1 전압원을 포함하는 반도체메모리로서,

상기 제1 내부전원전압의 레벨이 상기 제1 외부전원전압에 대해서 안정하게 되도록, 상기 제1 내부전원전압의 레벨은 회로 접지전위에 따라서 설정되고,
상기 제1 스위치 NMOS트랜지스터를 활성으로 하도록, 상기 제1 스위치 NMOS 트랜지스터의 게이트로는 상기 제1 내부전원전압이 공급되는 것을 특징으로 하는 반도체메모리.

청구항 2.

제1항에 있어서,
PMOS트랜지스터의 상기 쌍의 각각의 웰이 상기 제1 외부전원전압에 의해 바이어스되어 있는 것을 특징으로 하는 반도체메모리.

청구항 3.

제1항에 있어서,
상기 제1 외부전원전압이 제1 레벨일 때 상기 제1 스위치 NMOS트랜지스터는 포화모드에서 구동되고,
상기 제1 외부전원전압이 상기 제1 레벨보다 낮은 제2 레벨일 때 상기 제1 스위치 NMOS트랜지스터는 선형모드에서 구동되는 것을 특징으로 하는 반도체메모리.

청구항 4.

제1항에 있어서,
상기 제1 내부전원전압보다 낮은 제2 내부전원전압을 생성하는 제2 전압원과
상기 쌍의 PMOS트랜지스터의 상기 소오스와 상기 제2 전압원의 출력단자 사이에 결합된 제2 스위치 트랜지스터를 더 포함하고,
상기 센스앰프는 상기 여러개의 다이나믹 메모리셀에서 선택된 메모리셀에 저장된 정보에 따라서 비트선의 상기 쌍에 대해서 하이측의 전압 및 로우측의 전압을 갖는 상보적인 신호의 쌍을 제공하고,
제1 기간에 있어서 상기 제1 스위치 NMOS트랜지스터가 인에이블로 되는 것에 따라서 상기 하이측의 전압이 상승되고,
상기 제1 기간에 계속되는 제2 기간에 있어서 상기 제2 스위치 트랜지스터가 인에이블로 되는 것에 따라서, 상보적인 신호의 상기 쌍의 상기 하이측의 전압은 상기 제2 내부전원전압에 근접하는 것을 특징으로 하는 반도체메모리.

청구항 5.

제1 외부전원전압을 받기 위한 외부단자;
게이트가 입력단자에 결합되고 드레인이 출력단자에 결합된 PMOS트랜지스터;
드레인이 제1 외부단자에 결합되고 소오스가 상기 PMOS트랜지스터의 소오스에 결합된 스위치 NMOS트랜지스터 및;
상기 외부전원전압에 대해서 안정하게 된 내부전원전압을 생성하기 위한 제1 전압원을 포함하는 반도체메모리로서,
상기 내부전원전압의 레벨이 상기 외부전원전압에 대해서 안정하게 되도록, 상기 내부전원전압의 레벨은 회로 접지전위에 따라서 설정되고,
상기 스위치 NMOS트랜지스터가 인에이블로 되도록, 상기 스위치 NMOS트랜지스터의 게이트는 상기 내부전원전압을 받고,
상기 PMOS트랜지스터의 웰은 상기 제1 외부전원전압에 의해 바이어스되어 있는 것을 특징으로 하는 반도체메모리.

청구항 6.

신호를 제1 전압레벨로 증폭하기 위한 방법으로서,
제1 스위치 NMOS트랜지스터를 사용해서 별개의 기간에 걸쳐 상기 신호를 제2 전압레벨로 오버드라이브하는 것과,
제1 PMOS트랜지스터의 웰을 상기 제2 전압레벨에 의해 바이어스하는 것을 포함하고,
상기 제2 전압레벨은 외부적으로 인가되는 전압원에 의해 결정되고, 상기 제2 전압레벨은 외부하이레벨과 외부로우레벨 사이에서 가변인 것을 특징으로 하는 신호의 증폭방법.

청구항 7.

패스 트랜지스터를 제어하기 위한 방법으로서,
상기 패스 트랜지스터가 포화모드로 되도록 상기 패스 트랜지스터의 게이트를 제1 전압으로 구동하는 것과;
그 후 상기 패스 트랜지스터가 선형모드로 되도록 상기 패스 트래지스터의 상기 게이트를 제2 전압으로 구동하는 것을 포함하고,
상기 패스 트랜지스터는 비트선을 저위부분과 고위부분으로 분할하고,
각 부분은 그것에 대응하는 용량성부하를 갖고,
상기 패스 트랜지스터가 포화모드에 있는 경우에는 비트선 전체에 관한 용량성부하가 감소되고, 상기 패스 트랜지스터가 선형모드에 있는 경우에는 상기 트랜지스터의 저항이 감소되도록, 상기 패스 트랜지스터는 그것에 대응하는 저항을 갖는 것을 특징으로 하는 패스 트랜지스터의 제어방법.

청구항 8.

제7항에 있어서,
상기 비트선의 상기 하위부분은 메모리비트에 접속되어 있고, 상기 비트선의 상기 고위부분은 센스앰프회로에 접속되어 있는 것을 특징으로 하는 패스 트랜지스터의 제어방법.

청구항 9.

제6항에 있어서,

상기 제1 스위치 NMOS트랜지스터의 게이트를 제3 전압레벨과 동일한 활성하이레벨의 신호에 접속하는 것을 더 포함하고,
상기 제3 전압레벨은 외부하이레벨과 외부로우레벨 사이에 있고, 또 외부적으로 인가되는 전압원의 전압레벨에 관계없이 일정하게 유지되는 것을 특징으로 하는 신호의 증폭방법.

청구항 10.

제9항에 있어서,
상기 외부적으로 인가되는 전압원의 전압레벨이 외부로우레벨에 가까울 때, 상기 제1 스위치 NMOS트랜지스터는 선형모드에서 동작하는 것을 특징으로 하는 신호의 증폭방법.

청구항 11.

제9항에 있어서,
상기 외부적으로 인가되는 전압원의 전압레벨이 외부하이레벨에 가까울 때, 상기 제1 스위치 NMOS트랜지스터의 게이트에 상기 제3 전압레벨을 인가하는 것에 의해, 상기 제1 스위치 NMOS트랜지스터를 흐르는 전류를 제한하는 것을 더 포함하는 것을 특징으로 하는 신호의 증폭방법.

청구항 12.

제6항에 있어서,
상기 외부적으로 인가되는 전압원의 전압레벨에 의해 길이가 결정되는 지연을 생성하는 것을 더 포함하는 것을 특징으로 하는 신호의 증폭방법.

청구항 13.

제12항에 있어서,
상기 지연은 웰이 상기 제2 전압레벨로 바이어스된 제2 PMOS트랜지스터와 제2 스위치 NMOS트랜지스터를 사용해서 생성되는 것을 특징으로 하는 신호의 증폭방법.

청구항 14.

제13항에 있어서,
상기 제1 스위치 NMOS트랜지스터의 게이트를 제1 신호에 접속하는 것과 상기 제2 스위치 NMOS트랜지스터의 게이트를 제2 신호에 접속하는 것을 더 포함하고,
상기 제1 및 제2 신호의 양쪽이 제3 전압레벨과 동일한 활성하이레벨이고,
상기 제3 전압레벨은 외부하이레벨과 외부로우레벨 사이에 있고, 외부적으로 인가되는 전압원의 전압레벨에 관계없이 일정하게 유지되는 것을 특징으로 하는 신호의 증폭방법.

청구항 15.

제14항에 있어서,
상기 외부적으로 인가되는 전압원이 외부로우레벨에 가까울 때, 상기 제1 및 제2 스위치 NMOS트랜지스터를 선형모드에서 동작시키는 것을 더 포함하는 것을 특징으로 하는 신호의 증폭방법.

청구항 16.

제14항에 있어서,
상기 외부적으로 인가되는 전압원이 외부하이레벨에 가까울 때, 상기 제1 및 제2 스위치 NMOS트랜지스터를 상기 스위치 NMOS트랜지스터의 게이트에 인가되는 상기 제3 전압레벨에 의해 제약하는 것을 더 포함하는 것을 특징으로 하는 신호의 증폭방법.

청구항 17.

패스 트랜지스터를 제어하기 위한 장치로서,
상기 패스 트랜지스터가 포화모드로 되도록 상기 패스 트랜지스터의 게이트를 제1 전압으로 선택적으로 구동하는 제1 회로와;
상기 패스 트랜지스터가 선형모드로 되도록 상기 패스 트랜지스터의 게이트를 제2 전압으로 구동하는 제2 회로를 포함하고,
상기 제1 및 제2 회로는 상기 패스 트랜지스터의 게이트를 다른 시간에 구동하고,
상기 패스 트랜지스터는 비트선을 하위부분과 고위부분으로 분할하고, 각 부분은 그것에 대응하는 용량성 부하를 갖고,
상기 패스 트랜지스터가 포화모드에 있을 때 비트선 전체에 관한 용량성 부하가 감소하도록, 또 상기 패스 트랜지스터가 선형모드에 있을 때 패스 트랜지스터 의 저항이 감소하도록, 상기 패스 트랜지스터는 그것에 대응하는 저항을 갖는 것을 특징으로 하는 패스 트랜지스터의 제어장치.

청구항 18.

제17항에 있어서,
상기 비트선의 상기 하위부분은 메모리비트에 접속되고, 상기 비트선의 고위 부분은 센스앰프회로에 접속되어 있는 것을 특징으로 하는 패스 트랜지스터의 제어장치.

청구항 19.

1쌍의 비트선;
여러개의 워드선;
각각이 상기 1쌍의 비트선의 1개와 상기 여러개의 워드선의 1개에 결합된 여러개의 다이나믹 메모리셀;

1쌍의 PMOS트랜지스터와 1쌍의 NMOS트랜지스터를 포함하는 센스앰프로서, PMOS트랜지스터 및 NMOS트랜지스터의 상기 쌍의 각각은 소오스가 공통으로 결합되고 드레인이 상기 비트선의 쌍에 각각 결합되고 게이트가 상기 드레인에 각각 교차 결합되어 있는 센스앰프;
제1 전압을 받기 위한 제1 단자;
상기 제1 단자와 PMOS트랜지스터의 상기 쌍의 소오스 사이에 마련된 소오스-드레인 경로를 갖고, PMOS트랜지스터의 상기 쌍의 상기 소오스에 상기 제1 전압보다 낮은 제2 전압을 공급하는 N채널형의 제1 MOS트랜지스터;
상기 제2 전압보다 낮은 제3 전압을 받기 위한 제2 단자 및;
상기 제2 단자와 PMOS트랜지스터의 상기 쌍의 소오스 사이에 마련된 소오스-드레인 경로를 갖는 제2 MOS트랜지스터를 포함하는 반도체 메모리로서,
상기 센스앰프는 상기 여러개의 다이나믹 메모리셀에서 선택된 메모리셀에 저장된 정보에 따라서 비트선의 상기 쌍에 대해서 하이측의 전압 및 로우측의 전압을 갖는 상보적인 신호의 쌍을 제공하고,
제1 기간에 있어서 상기 하이측의 전압이 상기 제2 전압에 의해 상승되고,
상기 제1 기간에 계속되는 제2 기간에 있어서 상보적인 신호의 상기 쌍의 상기 하이측의 전압이 상기 제3 전압에 근접하는 것을 특징으로 하는 반도체메모리.

청구항 20.

제19항에 있어서,
상기 제1 전압은 외부전원전압에 대응하고,
상기 제2 전압이 상기 외부전원전압에 대해서 안정하게 되도록, 상기 제1 MOS트랜지스터는 포화모드에서 구동되는 것을 특징으로 하는 반도체메모리.

청구항 21.

제20항에 있어서,
제4 전압을 받기 위한 제3 단자 및;
상기 제3 단자와 NMOS트랜지스터의 상기 쌍의 소오스 사이에 마련된 소오스-드레인 경로를 갖고 NMOS트랜지스터의 상기 쌍의 상기 소오스에 상기 제4 전압을 공급하는 제3 MOS트랜지스터를 더 포함하고,
상기 제2 기간에 있어서 상보적인 신호의 상기 쌍의 상기 로우측 전압이 상기 제4 전압에 근접하는 것을 특징으로 하는 반도체메모리.

청구항 22.

제21항에 있어서,
상기 제1 MOS트랜지스터의 게이트에 공급되는 제5 전압을 생성하는 제1 전압원을 더 포함하고,
상기 제5 전압이 상기 제1 전압에 대해서 안정하게 되도록, 상기 제5 전압의 레벨은 회로 접지전위에 따라서 설정되는 것을 특징으로 하는 반도체메모리.

청구항 23.

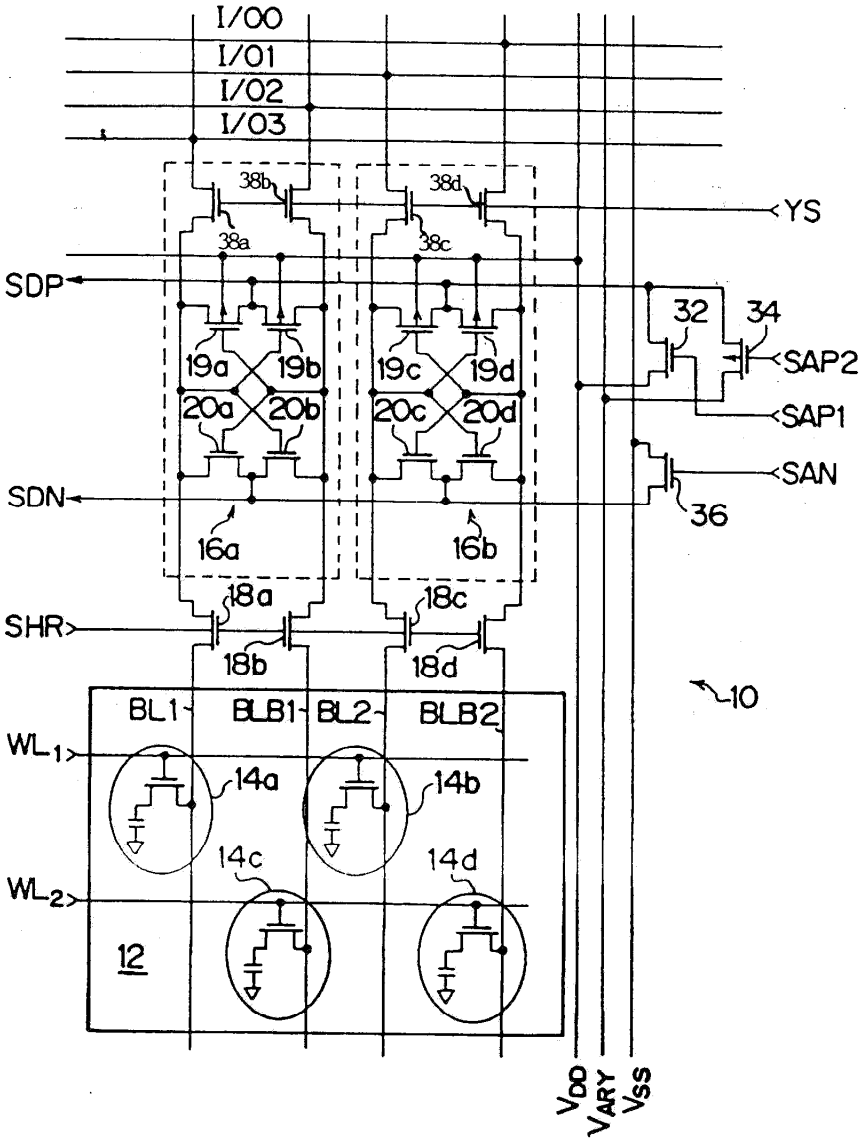
제22항에 있어서,
상기 제4 전압은 상기 회로 접지전위에 대응하는 것을 특징으로 하는 반도체 메모리.

청구항 24.

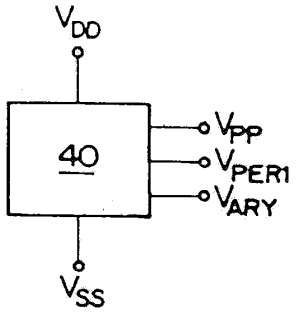
제22항에 있어서,
상기 제3 전압을 생성하는 제2 전압원을 더 포함하고,
상기 제3 전압이 상기 제1 전압에 대해서 안정하게 되도록, 상기 제3 전압의 레벨은 상기 회로 접지전위에 따라서 설정되는 것을 특징으로 하는 반도체메모리.

도면

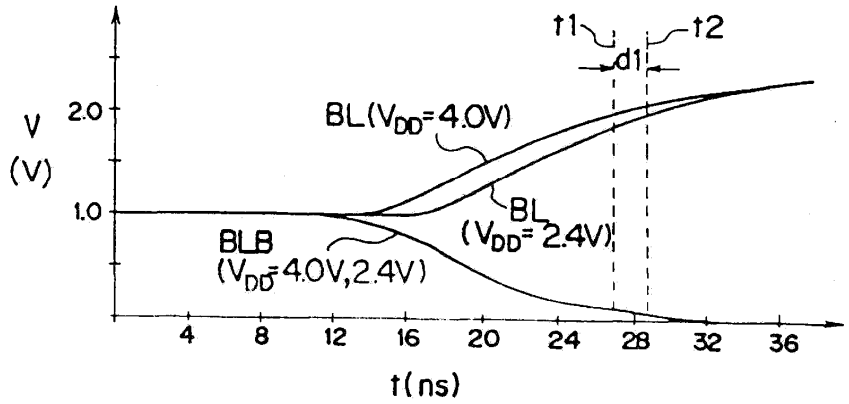
도면1


I/00
I/01
I/02
I/03
38b
38d
38a
38c
YS
SDP
32
34
SAP2
SAP1
19a
19b
19c
19d
20a
20b
20c
20d
SAN
SDN
36
16a
16b
18a
18c
SHR
18b
18d
10
BL1
BLB1
BL2
BLB2
WL1
14a
14b
14c
14d
WL2
12
VDD
VARY
VSS

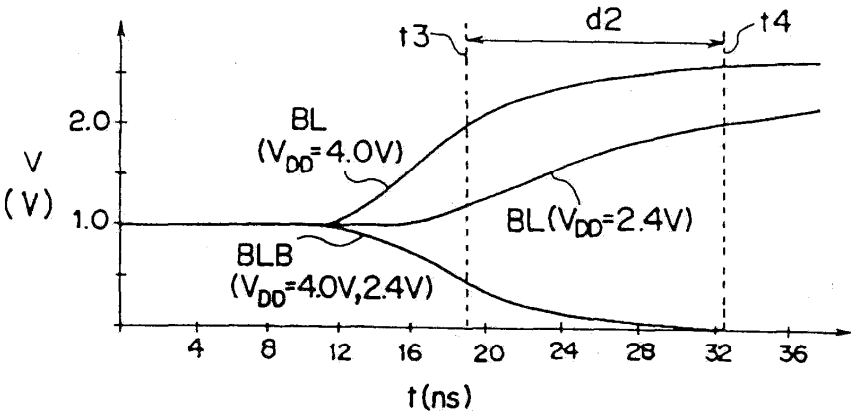
도면2


VDD
40
VPP
VPER1
VARY
VSS

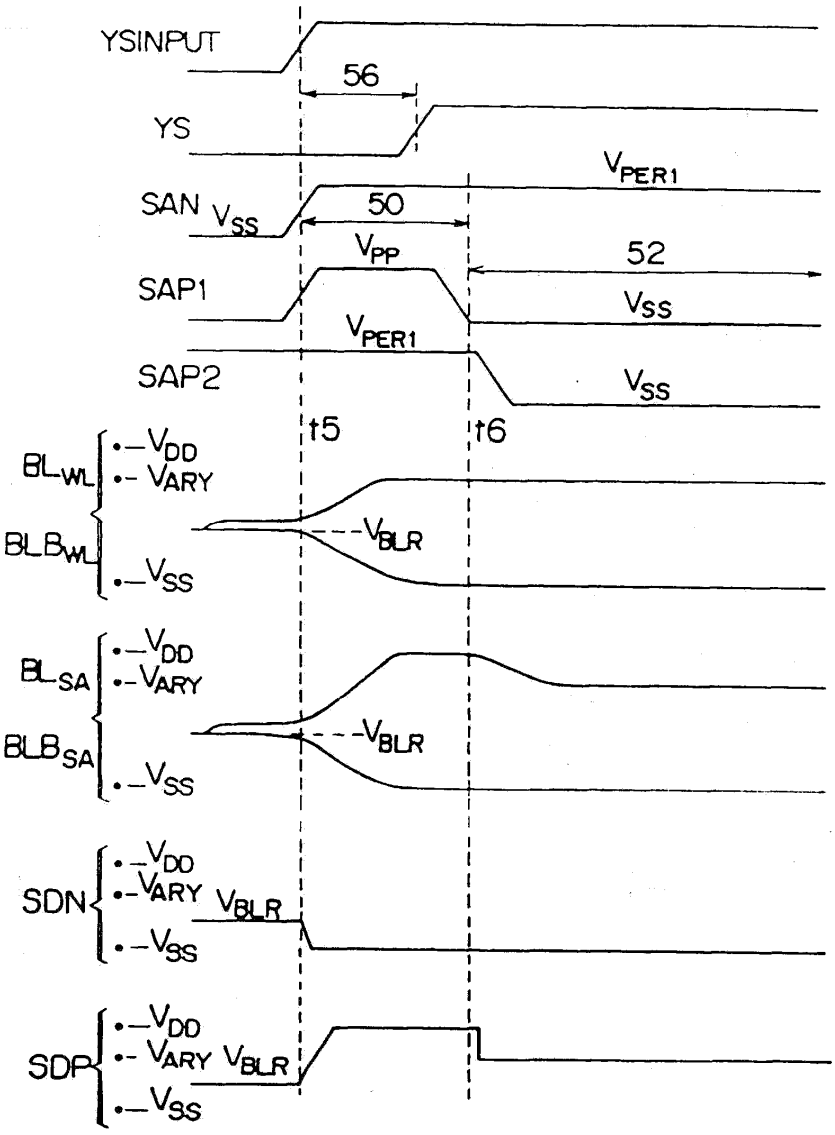
도면3


t1
t2
d1
V
(V)
2.0
1.0
BL(VDD=4.0V)
BL
(VDD=2.4V)
BLB
(VDD=4.0V,2.4V)
4
8
12
16
20
24
28
32
36
t(ns)

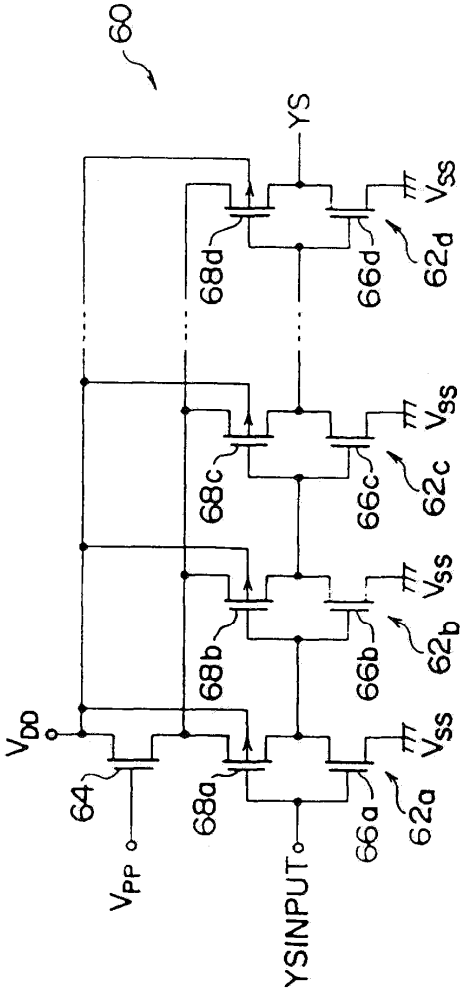
도면4


t3
d2
t4
V
(V)
2.0
1.0
BL
(VDD=4.0V)
BL(VDD=2.4V)
BLB
(VDD=4.0V,2.4V)
4
8
12
16
20
24
28
32
36
t(ns)

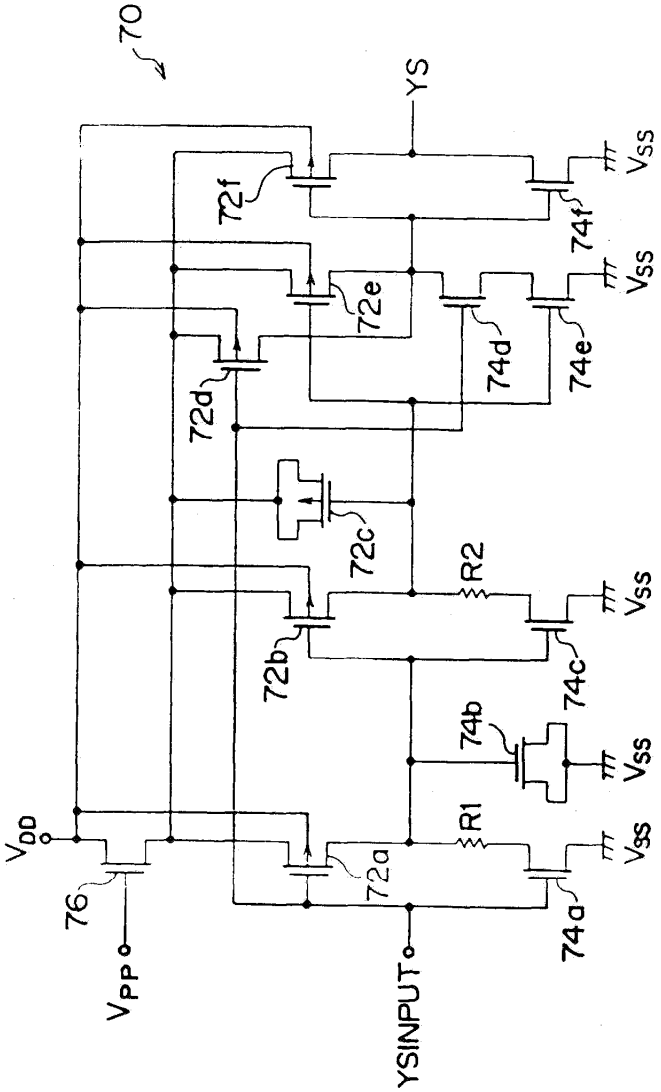
도면5


YSINPUT
56
YS
V_{PER1}
SAN
V_{SS}
50
V_{PP}
52
SAP1
V_{SS}
V_{PER1}
SAP2
V_{SS}
t5
t6
BL_{WL}
V_{DD}
V_{ARY}
BLB_{WL}
V_{BLR}
V_{SS}
BL_{SA}
V_{DD}
V_{ARY}
BLB_{SA}
V_{BLR}
V_{SS}
SDN
V_{DD}
V_{ARY}
V_{BLR}
V_{SS}
SDP
V_{DD}
V_{ARY}
V_{BLR}
V_{SS}

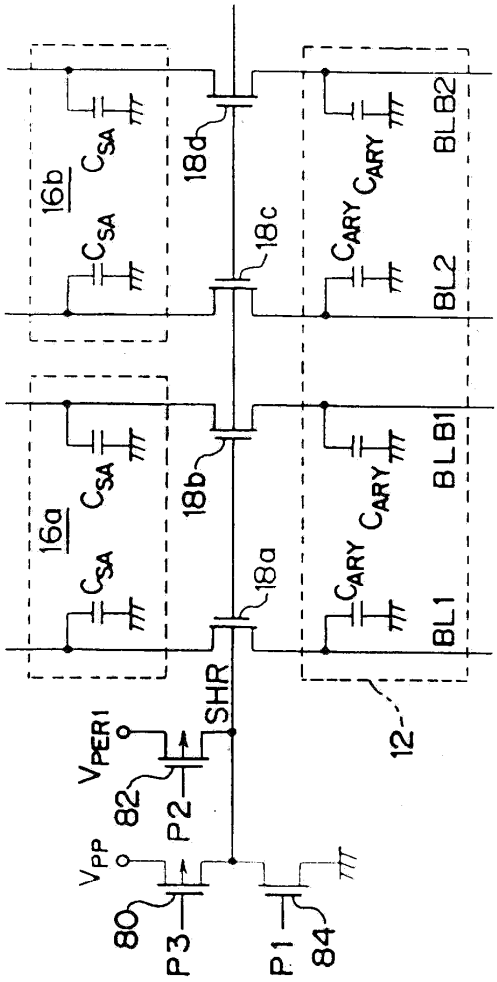
도면6


60
YS
V_{SS}
68d
66d
62d
68c
66c
62c
68b
66b
62b
68a
66a
62a
V_{DD}
64
V_{PP}
YSINPUT

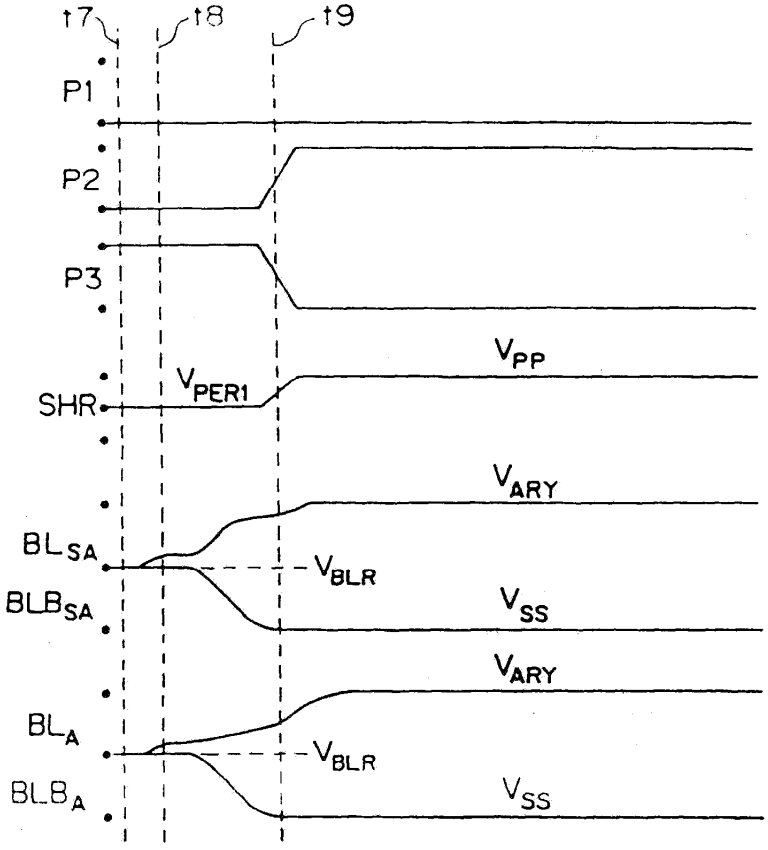
도면7


70
YS
72f
74f
Vss
72e
74d
74e
72d
72c
R2
72b
74c
74b
R1
VDD
72a
74a
76
VPP
YSINPUT

도면8


16b
16a
C_{SA}
18d
18c
18b
18a
C_{ARY}
BLB2
BL2
BLB1
BL1
12
SHR
V_{PER1}
82
P2
V_{PP}
80
P3
P1
84

도면9


t7
t8
t9
P1
P2
P3
SHR
V_{PER1}
V_{PP}
V_{ARY}
BL_{SA}
V_{BLR}
BLB_{SA}
V_{SS}
V_{ARY}
BL_A
V_{BLR}
BLB_A
V_{SS}