

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-15502

(P2012-15502A)

(43) 公開日 平成24年1月19日(2012.1.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 3 2 1	5 F 0 4 8
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 3 Z	5 F 0 8 3
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 0 1
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 6 M	5 F 1 4 0

審査請求 未請求 請求項の数 12 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願2011-124752 (P2011-124752)
 (22) 出願日 平成23年6月3日(2011.6.3)
 (31) 優先権主張番号 特願2010-129320 (P2010-129320)
 (32) 優先日 平成22年6月4日(2010.6.4)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F048 AA01 AB01 AB03 AC01 AC10
 BA01 BA14 BA16 BA19 BA20
 BB05 BB09 BB11 BF16 BG06
 BG13
 5F083 AD14 AD69 EP02 EP22 EP30
 ER01 GA06 JA02 JA05 JA06
 JA12 JA36 JA37 JA39 JA40
 JA60 PR33
 5F101 BA02 BB02 BC20 BD02 BD30
 最終頁に続く

(54) 【発明の名称】 半導体装置

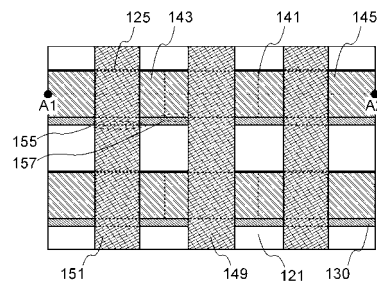
(57) 【要約】

【課題】 高度な集積化を実現した、新たな構造の半導体装置を提供することを目的の一とする。

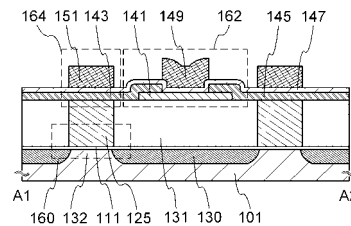
【解決手段】 チャネル形成領域を含む半導体層と、チャネル形成領域と電気的に接続するソース電極およびドレイン電極と、チャネル形成領域と重畳するゲート電極と、チャネル形成領域とゲート電極との間のゲート絶縁層と、を含み、チャネル形成領域を含む半導体層の側面の一部と、ソース電極またはドレイン電極の側面の一部とは、平面方向から見て概略一致している半導体装置である。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

チャンネル形成領域を含む半導体層と、
 前記チャンネル形成領域と電氣的に接続するソース電極およびドレイン電極と、
 前記チャンネル形成領域と重畳するゲート電極と、
 前記チャンネル形成領域と前記ゲート電極との間のゲート絶縁層と、を含み、
 前記チャンネル形成領域を含む半導体層の側面の一部と、前記ソース電極または前記ドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置。

【請求項 2】

前記チャンネル形成領域は、酸化物半導体を含んで構成される請求項 1 に記載の半導体装置。 10

【請求項 3】

前記チャンネル形成領域と、前記ソース電極または前記ドレイン電極とには、同じ工程で加工可能な材料が用いられている、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記チャンネル形成領域を含む半導体層の側面は、チャンネル長方向に平行な側面である請求項 1 乃至 3 のいずれか一に記載の半導体装置。

【請求項 5】

第 1 のチャンネル形成領域と、
 前記第 1 のチャンネル形成領域上の第 1 のゲート絶縁層と、
 前記第 1 のゲート絶縁層上の前記第 1 のチャンネル形成領域と重畳する第 1 のゲート電極と、 20

前記第 1 のチャンネル形成領域を挟む第 1 のソース領域および第 1 のドレイン領域と、を含む第 1 のトランジスタと、

第 2 のチャンネル形成領域を含む半導体層と、

前記第 2 のチャンネル形成領域と電氣的に接続する第 2 のソース電極および第 2 のドレイン電極と、

前記第 2 のチャンネル形成領域と重畳する第 2 のゲート電極と、

前記第 2 のチャンネル形成領域と前記第 2 のゲート電極との間の第 2 のゲート絶縁層と、
 を含む第 2 のトランジスタと、 30

を有し、

前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域は、異なる半導体材料を主成分として構成され、

前記第 1 のチャンネル形成領域の側面の一部と、前記第 1 のゲート絶縁層の側面の一部と、前記第 1 のゲート電極の側面の一部と、は、平面方向から見て概略一致しており、

前記第 2 のチャンネル形成領域を含む半導体層の側面の一部と、前記第 2 のソース電極または前記第 2 のドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置。

【請求項 6】

前記第 2 のチャンネル形成領域は、酸化物半導体を含んで構成される請求項 5 に記載の半導体装置。 40

【請求項 7】

前記第 1 のチャンネル形成領域と、前記第 1 のゲート絶縁層と、前記第 1 のゲート電極と、には、同じ工程で加工可能な材料が用いられている、請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記第 1 のチャンネル形成領域の側面は、前記第 1 のトランジスタのチャンネル長方向に平行な側面である請求項 5 乃至 7 のいずれか一に記載の半導体装置。

【請求項 9】

前記第 2 のチャンネル形成領域と、前記第 2 のソース電極または前記第 2 のドレイン電極 50

とには、同じ工程で加工可能な材料が用いられている、請求項 5 乃至 8 のいずれかーに記載の半導体装置。

【請求項 10】

前記第 2 のチャンネル形成領域を含む半導体層の側面は、前記第 2 のトランジスタのチャンネル長方向に平行な側面である請求項 5 乃至 9 のいずれかーに記載の半導体装置。

【請求項 11】

前記第 1 のゲート電極と、前記第 2 のソース電極または前記第 2 のドレイン電極と、は、電氣的に接続されている請求項 5 乃至 10 のいずれかーに記載の半導体装置。

【請求項 12】

前記第 1 のトランジスタおよび前記第 2 のトランジスタを複数有し、

10

前記複数の第 1 のトランジスタのーにおける第 1 のソース領域または第 1 のドレイン領域は、隣接する第 1 のトランジスタにおける第 1 のドレイン領域または第 1 のソース領域と電氣的に接続され、

前記複数の第 2 のトランジスタのーにおける第 2 のソース電極または第 2 のドレイン電極は、隣接する第 2 のトランジスタにおける第 2 のドレイン電極または第 2 のソース電極と電氣的に接続されている、請求項 11 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

20

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAM は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

30

【0004】

上述の原理から、DRAM では、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流 (オフ電流) 等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作 (リフレッシュ動作) が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

40

揮発性記憶装置の別の例としては SRAM (Static Random Access Memory) がある。SRAM は、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においては DRAM より有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAM と変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャンネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極

50

めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、上述のような半導体素子を利用した記憶装置（単に半導体装置とも言う）では、記憶容量の増大、製品単価抑制などの観点から、十分なサイズの低減が求められている。また、上述のような半導体素子を利用した記憶装置は、各種要求を満たす十分な機能を有しているとは言い難く、このため、記憶装置のさらなる高機能化が必要とされている。

【0011】

上述の問題に鑑み、開示する発明の一態様では、高度な集積化を実現した、新たな構造の半導体装置を提供することを目的の一とする。

【0012】

または、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置において、高度な集積化を実現することを目的の一とする。

【課題を解決するための手段】

【0013】

開示する発明の一態様では、半導体装置が有するトランジスタの構成要素の側面（の一部）を一致させる。または、トランジスタを三次元的に集積化する。より具体的には、例えば、半導体装置の構成を以下のようなものにする。

【0014】

開示する発明の一態様は、チャンネル形成領域を含む半導体層と、チャンネル形成領域と電気的に接続するソース電極およびドレイン電極と、チャンネル形成領域と重畳するゲート電極と、チャンネル形成領域とゲート電極との間のゲート絶縁層と、を含み、チャンネル形成領域を含む半導体層の側面の一部と、ソース電極またはドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置である。

【0015】

ここで、チャンネル形成領域は、酸化物半導体を含んで構成される場合がある。また、チャンネル形成領域と、ソース電極またはドレイン電極とは、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料が用いられている場合がある。また、チャンネル形成領域を含む半導体層の側面は、チャンネル長方向に平行な側面の場合がある。

【0016】

10

20

30

40

50

開示する発明の別の態様は、第1のチャンネル形成領域と、第1のチャンネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のチャンネル形成領域と重畳する第1のゲート電極と、第1のチャンネル形成領域を挟む第1のソース領域および第1のドレイン領域と、を含む第1のトランジスタと、第2のチャンネル形成領域を含む半導体層と、第2のチャンネル形成領域と電気的に接続する第2のソース電極および第2のドレイン電極と、第2のチャンネル形成領域と重畳する第2のゲート電極と、第2のチャンネル形成領域と第2のゲート電極との間の第2のゲート絶縁層と、を含む第2のトランジスタと、を有し、第1のチャンネル形成領域と第2のチャンネル形成領域は、異なる半導体材料を主成分として構成され、第1のチャンネル形成領域の側面の一部と、第1のゲート絶縁層の側面の一部と、第1のゲート電極の側面の一部と、は、平面方向から見て概略一致しており、第2のチャンネル形成領域を含む半導体層の側面の一部と、第2のソース電極または第2のドレイン電極の側面の一部と、は、平面方向から見て概略一致している半導体装置である。

10

20

30

40

50

【0017】

ここで、第2のチャンネル形成領域は、酸化物半導体を含んで構成される場合がある。また、第1のチャンネル形成領域と、第1のゲート絶縁層と、第1のゲート電極と、には、同じ工程で加工可能な材料が用いられている場合がある。また、第1のチャンネル形成領域の側面は、第1のトランジスタのチャンネル長方向に平行な側面の場合がある。また、第2のチャンネル形成領域と、第2のソース電極または第2のドレイン電極とには、同じ工程で加工可能な材料が用いられている場合がある。また、第2のチャンネル形成領域を含む半導体層の側面は、第2のトランジスタのチャンネル長方向に平行な側面の場合がある。

【0018】

また、上記において、第1のゲート電極と、第2のソース電極または第2のドレイン電極と、は、電気的に接続されている場合がある。そして、第1のトランジスタおよび第2のトランジスタを複数有し、複数の第1のトランジスタの—における第1のソース領域または第1のドレイン領域は、隣接する第1のトランジスタにおける第1のドレイン領域または第1のソース領域と電気的に接続され、複数の第2のトランジスタの—における第2のソース電極または第2のドレイン電極は、隣接する第2のトランジスタにおける第2のドレイン電極または第2のソース電極と電気的に接続されている場合がある。

【0019】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。

【0020】

本明細書等において、「平面方向から見て、側面の一部が一致」とは、基板の表面（または裏面）と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース領域（またはソース電極）からドレイン領域（またはドレイン電極）へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

【0021】

また、本明細書等において「主成分」の用語は、含有率（原子%）が最大の成分をいう場合に用いる。これに従えば、例えば、いわゆる「シリコンウェハ」の主成分元素はシリコンである、ということができる。

【0022】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【 0 0 2 3 】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【 0 0 2 4 】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

10

【 0 0 2 5 】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【 発明の効果 】

【 0 0 2 6 】

開示する発明に係る半導体装置では、トランジスタの構成要素の側面（の一部）を一致させる態様を採用している。これにより、半導体装置の高集積化を実現することが可能である。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。

20

【 図面の簡単な説明 】

【 0 0 2 7 】

【 図 1 】半導体装置の平面図および断面図

【 図 2 】半導体装置の作製工程に係る斜視図

【 図 3 】半導体装置の作製工程に係る斜視図

【 図 4 】半導体装置の作製工程に係る斜視図

【 図 5 】半導体装置の作製工程に係る斜視図

30

【 図 6 】半導体装置の回路図

【 図 7 】半導体装置の回路図

【 図 8 】半導体装置の回路図

【 図 9 】タイミングチャート図

【 図 1 0 】タイミングチャート図

【 図 1 1 】半導体装置を用いた電子機器を説明するための図

【 発明を実施するための形態 】

【 0 0 2 8 】

開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【 0 0 2 9 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 0 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 3 1 】

50

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 1 乃至図 5 を参照して説明する。なお、図 1 乃至図 5 は、半導体装置およびその作製方法の説明のために、半導体装置の一部に相当する部分を抜き出して示したものであって、半導体装置の構成全てを示すものではないことを付記する。

【0032】

半導体装置の断面構成および平面構成

図 1 は、半導体装置の構成の一例である。図 1 (A) は、半導体装置の一部を示す平面図であり、図 1 (B) は、図 1 (A) の A 1 - A 2 における断面図である。また、図 2 (A) の A 1 - A 2 における断面が、図 1 (B) に示される断面に相当する。以下、図 2 乃至図 5 において同様である。図 1 に示される半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 および容量素子 164 を有するものである。

10

【0033】

ここで、第 1 の半導体材料と第 2 の半導体材料とは、異なる半導体材料を主成分として構成されることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。単結晶シリコンなどの酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。なお、本明細書等において「主成分」の用語は、含有率（原子%）が最大の成分をいう場合に用いる。これに従えば、例えば、いわゆる「シリコンウェハ」の主成分元素はシリコンである、とすることができる。

20

【0034】

なお、これらのトランジスタは、nチャネル型トランジスタとしても良いし、pチャネル型トランジスタとしても良い。

【0035】

図 1 (B) におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む基板 101 に設けられたチャネル形成領域 132 と、チャネル形成領域 132 を挟むように設けられた不純物領域 130 と、チャネル形成領域 132 上に設けられたゲート絶縁層 111 と、ゲート絶縁層 111 上に設けられたゲート電極 125 と、を有する。ここで、不純物領域 130 は、トランジスタのソース領域またはドレイン領域として機能する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載にはソース領域が、ドレイン電極との記載にはドレイン領域が、含まれうる。

30

【0036】

ここで、トランジスタ 160 を平面方向から見ると、基板 101 に設けられたチャネル形成領域 132、ゲート絶縁層 111 およびゲート電極 125 の側面の一部は、概略一致している（図 1 (A) 参照）。特に、図 3 (C) に示すように、基板 101 に設けられたチャネル形成領域 132、ゲート絶縁層 111 およびゲート電極 125 のチャネル長方向に平行な側面（例えば、図 1 (A) の領域 155 に位置する側面）は概略一致している。このような平面レイアウトでトランジスタ 160 を形成することにより、トランジスタ 160 を含む半導体装置の高集積化を図ることができる。ここで、「平面方向から見て、側面の一部が一致」とは、基板 101 の表面（または裏面）と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

40

50

【0037】

また、図3(B)に示すように、基板101には、隣接するトランジスタ160どうしを分離する素子分離絶縁層121が埋め込まれており、また、図4(B)に示すように、トランジスタ160上に、ゲート電極125の上面を露出させるように絶縁層131が設けられている。なお、高集積化を実現するためには、図1に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極125の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域130を設けても良い。

【0038】

ここで、絶縁層131は、平坦性の良好な表面を有しているのが好ましく、例えば、絶縁層131の表面は、二乗平均平方根(RMS)粗さを1nm以下とすることが好ましい。絶縁層131の表面が平坦性に優れることで、その上に設けられるトランジスタ162の特性も高まるためである。

10

【0039】

図1(B)におけるトランジスタ162は、絶縁層131上に形成された、チャネル形成領域を含む酸化半導体層141と、酸化半導体層141の一部と接続するソース電極143およびドレイン電極145と、酸化半導体層141を覆うゲート絶縁層147と、ゲート絶縁層147上に酸化半導体層141と重畳するように設けられたゲート電極149と、を有する。ここで、トランジスタ162のソース電極143と、トランジスタ160のゲート電極125とは電氣的に接続されており、トランジスタ162のドレイン電極145と、隣接するトランジスタ160のゲート電極とは電氣的に接続されている。もちろん、開示する発明に係るトランジスタの接続関係はこれに限定されない。

20

【0040】

ここで、酸化半導体層141は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化半導体層141の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化半導体層141中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化半導体層141では、水素等のドナーに起因するキャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは10zA以下となる。このように、i型化(真性化)または実質的にi型化された酸化半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

30

【0041】

また、絶縁層131の表面であって酸化半導体層141と接する領域は、その二乗平均平方根(RMS)粗さを1nm以下とすることが好ましい。このように、二乗平均平方根(RMS)粗さが1nm以下という極めて平坦な領域にトランジスタ162のチャネル形成領域を設けることにより、トランジスタ162が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ162を提供することが可能である。

40

【0042】

ここで、トランジスタ162を平面方向から見ると、チャネル形成領域を含む酸化半導体層141、ソース電極143(またはドレイン電極145)の側面の一部は概略一致している。特に、図5(C)に示すように、チャネル形成領域を含む酸化半導体層141、ソース電極143(またはドレイン電極145)のチャネル長方向に平行な側面(例え

50

ば、図1(A)の領域157に位置する側面)は概略一致している。ここで、「平面方向から見て、側面の一部が一致」とは、基板101の表面(または裏面)と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。このような平面レイアウトでトランジスタ162を形成することにより、トランジスタ162を含む半導体装置の高集積化を図ることができる。

【0043】

図1における容量素子164は、ソース電極143、ゲート絶縁層147、ゲート絶縁層147上の電極151、で構成される。すなわち、ソース電極143は、容量素子164の一方の電極として機能し、電極151は、容量素子164の他方の電極として機能することになる。一方で、開示する発明の一態様において、容量素子164は必須の構成ではないから、電極151などは適宜省略することも可能である。

【0044】

以上のように、トランジスタの構成要素の側面(の一部)を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。なお、図1に示す半導体装置では、複数の領域(領域155、領域157)においてトランジスタの構成要素の側面(の一部)を一致させているが、これらのうちののみが一致する場合であっても十分な効果を得ることが可能である。

【0045】

なお、開示する発明に係る半導体装置の構成は、図1に示されるものに限定されない。開示する発明の一態様の技術的思想は、トランジスタの構成要素の側面(の一部)を一致させる態様とすることで半導体装置の高集積化を実現する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

【0046】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。

【0047】

まず、半導体材料を含む基板101を用意する(図2(A)参照)。なお、図2(A)のA1-A2における断面が、図1(B)に示される断面に相当する。以下、図2乃至図5において同様である。半導体材料を含む基板101としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板101として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0048】

半導体材料を含む基板101として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0049】

なお、トランジスタのしきい値電圧を制御するために、後にトランジスタ160のチャンネル形成領域132となる領域に、不純物元素を添加しても良い。ここでは、トランジスタ160のしきい値電圧が正となるように導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、硼素、アルミニウム、

10

20

30

40

50

ガリウムなどがある。

【0050】

次に、基板101上に絶縁層103を形成する(図2(A)参照)。絶縁層103は後のゲート絶縁層111となるものであり、例えば、半導体材料を含む基板101の表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。絶縁層103は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$, $y > 0$))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層103の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

【0051】

次に、絶縁層103上に導電性材料を含む層105を形成する(図2(A)参照)。導電性材料を含む層105は後のゲート電極125となるものである。導電性材料を含む層105は、リン、硼素等の一導電型を付与する不純物元素が添加された、多結晶シリコンなどの半導体材料を用いて形成することができる。また、導電性材料を含む層105は、アルミニウム、銅、チタン、タンタル、タングステン等の金属材料を用いて形成してもよい。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。

20

【0052】

次に、導電性材料を含む層105上に絶縁層107を形成する(図2(A)参照)。絶縁層107は、後の工程で導電性材料を含む層105をエッチングする際に、導電性材料を含む層105のゲート電極125となる部分を保護する絶縁層115となるものである。絶縁層107は、後の工程で形成する素子分離絶縁層121とエッチングの選択比がとれる材料を用いて形成するのが好ましく、例えば、素子分離絶縁層121に酸化シリコンが用いられる場合には、絶縁層107には窒化シリコンなどを用いるのが好ましい。

30

【0053】

それから、絶縁層107上にレジストマスク109を形成する(図2(A)参照)。

【0054】

次に、レジストマスク109を用いて、絶縁層107、導電性材料を含む層105、絶縁層103、および基板101の一部を選択的にエッチングして、レジストマスク109に覆われていない領域を除去する。これにより、ゲート絶縁層111、導電性材料を含む層113および絶縁層115が形成される(図2(B)参照)。また、これにより、後にチャンネル形成領域132となる領域(上述のエッチングによって形成された、基板101の凸状の領域)の側面の一部と、ゲート絶縁層111の側面の一部と、後にゲート電極となる導電性材料を含む層113の側面の一部と、が、平面方向から見て概略一致することになる。また、上述の概略一致する側面(例えば、後にチャンネル形成領域132となる領域の側面)は、チャンネル長方向に平行な側面である。ここで、「平面方向から見て、側面の一部が一致」とは、基板101の表面に垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、上述のような、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース領域からドレイン領域へと向かう方向、または、その反対の方向であって、ソース領域とドレイン領域との間隔が最小となる経路を通るものをいう。

40

【0055】

上述のように、レジストマスク109を用いて、絶縁層107、導電性材料を含む層10

50

5、絶縁層103、および基板101の一部を一度にエッチングすることで、各構成要素を個別にエッチングして形成する場合に生じうる、マスクの位置合わせに起因する形状ばらつきを無くすことができる。これにより、マスクの位置合わせに余裕を持たせる必要がなくなるため、十分に集積度を高めることができる。

【0056】

なお、上記エッチングの後には、レジストマスク109は除去する。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。また、導電性材料を含む層105、絶縁層103および基板101には、当該エッチング工程でエッチング条件の変更により連続的に加工可能な材料を用いるのが好ましく、例えば、ドライエッチング工程においてガスの切り替えといった条件変更により連続的に加工可能な材料を用いるのが好ましい。また、導電性材料を含む層105、絶縁層103および基板101には、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料を用いても良い。

10

【0057】

次に、基板101、ゲート絶縁層111、導電性材料を含む層113および絶縁層115を覆うように絶縁層117を形成する（図2（C）参照）。絶縁層117の形成方法は特に限定されないが、例えば、CVDを用いた高温酸化膜を形成することが出来る。また、導電性材料を含む層113を、不純物元素が添加された多結晶シリコンなどの半導体材料を用いて形成する場合には、熱酸化を行って熱酸化膜を形成することが好ましい。この場合、熱酸化膜形成前後に加熱処理を行うことも可能である。このように熱酸化や加熱処理を行うことで、上述のエッチングの際に損傷した基板101、ゲート絶縁層111、導電性材料を含む層113および絶縁層115の一部を修復させることも可能である。

20

【0058】

次に、基板101、ゲート絶縁層111、導電性材料を含む層113、絶縁層115および絶縁層117を覆うように絶縁層119を形成する（図3（A）参照）。絶縁層119は後に素子分離絶縁層121となるものであり、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを用いて形成される。

【0059】

次に、少なくとも絶縁層115の一部が露出するように絶縁層119を加工して素子分離絶縁層121を形成し、その後、絶縁層115を除去することで、導電性材料を含む層113を露出させる（図3（B）参照）。絶縁層119の加工方法としては、CMP（化学的機械的研磨）処理などの研磨処理やエッチング処理などがあるが、そのいずれか一または双方を用いても良い。なお、ここでは、研磨処理およびエッチング処理によって、素子分離絶縁層121の上面が、導電性材料を含む層113の上面より低い位置に来るように、絶縁層119の一部を除去する例について示している。このとき、素子分離絶縁層121より上部に形成されている絶縁層117も同時に除去される場合がある。

30

【0060】

次に、素子分離絶縁層121および導電性材料を含む層113上にレジストマスク123を形成し、導電性材料を含む層113を選択的にエッチングして、ゲート電極125を形成する（図3（C）参照）。

40

【0061】

次に、上述のエッチングにより形成されたゲート電極125などをマスクとして用い、領域127にリン（P）やヒ素（As）などの不純物元素を照射して、基板101中に、チャンネル形成領域132および不純物元素が添加された不純物領域130を形成する（図1、図3（C）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添

50

加時に生じる欠陥の改善等を図るのが望ましい。

【0062】

なお、ゲート電極125の周囲（例えば、チャンネル長方向に垂直な側面）にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0063】

また、ゲート電極125、不純物領域130等を覆うように金属層を形成し、熱処理によって当該金属層と半導体材料とを反応させて、金属化合物領域を形成しても良い。当該金属層は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層は、基板101を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。なお、このような金属化合物領域を形成する場合には、ゲート絶縁層111の一部をあらかじめ除去しておく必要がある。

10

【0064】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域を形成した後は、金属層は除去する。

20

【0065】

以上により、半導体材料を含む基板101を用いたトランジスタ160が形成される（図3（C）参照）。

【0066】

次に、上述の工程により形成された各構成を覆うように、絶縁層129を形成する（図4（A）参照）。絶縁層129は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層129に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層129には、これらの材料を用いた多孔質の絶縁層を適用しても良い。多孔質の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層129は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。絶縁層129は、単層構造としても良いし2層以上の積層構造としても良く、例えば、下層から順番に、酸化窒化シリコン層、窒化酸化シリコン層、酸化シリコン層となるような3層構造にすることもできる。

30

【0067】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層129にCMP処理を施して、ゲート電極125の上面を露出させた絶縁層131を形成する（図4（B）参照）。ゲート電極125の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能である。なお、トランジスタ162の特性を向上させるために、絶縁層131の表面は可能な限り平坦にしておくことが望ましく、この点においてはCMP処理が好適である。CMP処理を用いる場合には、例えば、絶縁層131の表面を、二乗平均平方根（RMS）粗さを1nm以下とすることができる。

40

【0068】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0069】

50

次に、絶縁層 131、ゲート電極 125 などの上に酸化物半導体層 133 を形成する（図 4（C）参照）。酸化物半導体層 133 は、後に、トランジスタ 162 の構成要素である酸化物半導体層 141 に加工される。なお、絶縁層 131 の上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD 法や CVD 法などを用いて形成することができる。この場合には、下地として機能する絶縁層に開口部を形成して、ゲート電極 125 の上面を露出させておくことが望ましい。

【0070】

酸化物半導体層 133 に用いる材料としては、少なくとも In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属の酸化物である In-Ga-Zn-O 系酸化物半導体、In-Sn-Zn-O 系酸化物半導体、In-Al-Zn-O 系酸化物半導体、Sn-Ga-Zn-O 系酸化物半導体、Al-Ga-Zn-O 系酸化物半導体、Sn-Al-Zn-O 系酸化物半導体や、二元系金属の酸化物である In-Zn-O 系酸化物半導体、Sn-Zn-O 系酸化物半導体、Al-Zn-O 系酸化物半導体、Zn-Mg-O 系酸化物半導体、Sn-Mg-O 系酸化物半導体、In-Mg-O 系酸化物半導体や、In-Ga-O 系の材料、一元系金属の酸化物である In-O 系酸化物半導体、Sn-O 系酸化物半導体、Zn-O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO₂ を含ませてもよい。

10

【0071】

例えば、In-Ga-Zn-O 系酸化物半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物半導体、という意味であり、その組成比は問わない。

20

【0072】

なお、In-Ga-Zn-O 系酸化物半導体は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0073】

In-Ga-Zn-O 系酸化物半導体の代表例としては、化学式 InM₃(ZnO)_m（m > 0）で表記されるものがある。ここで、M は、Zn、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

30

【0074】

酸化物半導体層 133 をスパッタ法で作製するためのターゲットとしては、In:Ga:Zn = 1:x:y（x は 0 以上、y は 0.5 以上 5 以下）の組成比で表されるものを用いるのが好適である。例えば、In:Ga:Zn = 1:1:1 [atom 比]（x = 1、y = 1）、（すなわち、In₂O₃:Ga₂O₃:ZnO = 1:1:2 [mol 数比]）の組成比を有するターゲットなどを用いることができる。また、In:Ga:Zn = 1:1:0.5 [atom 比]（x = 1、y = 0.5）の組成比を有するターゲットや、In:Ga:Zn = 1:1:2 [atom 比]（x = 1、y = 2）の組成比を有するターゲットや、In:Ga:Zn = 1:0:1 [atom 比]（x = 0、y = 1）の組成比を有するターゲットを用いることもできる。

40

【0075】

本実施の形態では、非晶質構造の酸化物半導体層 133 を、In-Ga-Zn-O 系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。また、その膜厚は、1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 20 nm 以下、より好ましくは 3 nm 以上 15 nm 以下とする。

【0076】

なお、In-Zn-O 系の金属酸化物ターゲットを用いてスパッタ法により酸化物半導体層 133 を形成する場合には、用いるターゲットの組成比を、原子数比で、In:Zn = 50:1 ~ 1:2（モル数比に換算すると In₂O₃:ZnO = 25:1 ~ 1:4）、好

50

ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0077】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

【0078】

酸化物半導体層133の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0079】

酸化物半導体層133の形成の際には、例えば、減圧状態に保たれた処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層133の形成の際の被処理物の温度は、室温(25 ± 10)としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層133を形成する。被処理物を熱しながら酸化物半導体層133を形成することにより、酸化物半導体層133に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

【0080】

酸化物半導体層133の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、ごみ(成膜時に形成される粉状の物質など)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層133の適切な厚さは、適用する酸化物半導体材料や、半導体装置の用途などにより異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。なお、上記のように絶縁層131を形成することにより、酸化物半導体層133のチャンネル形成領域に相当する部分の形成表面を十分に平坦化することができるので、厚みの小さい酸化物半導体層であっても、好適に形成することが可能である。また、酸化物半導体層133のチャンネル形成領域に相当する部分を平坦にすることができるため、平坦でない場合と比較して、リーク電流を低減することができる。

【0081】

なお、酸化物半導体層133をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば絶縁層131の表面)の付着物を除去しても良い。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによ

10

20

30

40

50

る雰囲気を用いてもよい。

【0082】

酸化物半導体層133の形成後には、酸化物半導体層133に対して熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層133中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層133の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、好ましくは400以上500以下とする。

【0083】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

10

【0084】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0085】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

30

【0086】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を用いるのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0087】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層135の形成後や酸化物半導体層141の形成後、ゲート絶縁層147の形成後、ゲート電極149の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

【0088】

次に、酸化物半導体層133を選択的にエッチングして酸化物半導体層135を形成する（図5（A）参照）。このエッチングにより、酸化物半導体層141のチャンネル長方向の長さが決定される。酸化物半導体層133のエッチングは、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

50

【0089】

次に、ゲート電極125、絶縁層131および酸化半導体層135を覆うように導電層を成膜し、当該導電層を選択的にエッチングして、導電層137および導電層139を形成する(図5(B)参照)。導電層137および導電層139は、後にソース電極143およびドレイン電極145に加工される。なお、導電層の形成前に、導電層のエッチング工程における酸化半導体層135の損傷を防ぐための保護絶縁層を酸化半導体層135上に形成しても良い。

【0090】

当該導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0091】

当該導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極143、ドレイン電極145への加工が容易であるというメリットがある。

20

【0092】

また、当該導電層は、導電性を有する金属酸化物を用いて形成しても良い。導電性を有する金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたもの、などを用いることができる。

【0093】

なお、当該導電層のエッチングは、ドライエッチング、ウェットエッチングのいずれを用いても良いが、微細化のためには、制御性の良いドライエッチングを用いるのが好適である。また、形成されるソース電極143、およびドレイン電極145がテーパ形状となるようにしても良い。テーパ角は、例えば、 30° 以上 60° 以下とすることができる。

30

【0094】

トランジスタ162のチャンネル長(L)は、導電層137と導電層139(ソース電極143とドレイン電極145)の下端部の間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、十分に小さくすることが可能であり、これにより、回路の動作速度を高めることが可能である。

40

【0095】

次に、酸化半導体層135、導電層137および導電層139を選択的にエッチングして酸化半導体層141、ソース電極143、およびドレイン電極145を形成する(図5(C)参照)。当該エッチングによって、酸化半導体層141の側面の一部と、ソース電極143の側面の一部(またはドレイン電極145の側面の一部)と、は、平面方向から見て概略一致することになる。また、上述の概略一致する側面(例えば、酸化半導体層141の側面)は、チャンネル長方向に平行な側面である。ここで、「平面方向から見て、側面の一部が一致」とは、基板101の表面に垂直な方向から見て、対象物の側面が

50

、一部の領域において重畳することを意味する。また、「概略一致」は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、上述のような、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。また、「チャンネル長方向」とは、ソース電極143から、ドレイン電極145へと向かう方向、または、その反対の方向であって、ソース電極143と、ドレイン電極145との間隔が最小となる経路を通るものをいう。

【0096】

上述のように、酸化物半導体層135、導電層137および導電層139を一度にエッチングすることで、各構成要素を個別にエッチングして形成する場合に生じうる、マスクの位置合わせに起因する形状ばらつきを無くすることができる。これにより、マスクの位置合わせに余裕を持たせる必要がなくなるため、十分に集積度を高めることができる。

10

【0097】

なお、酸化物半導体層135、導電層137および導電層139のエッチングは、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。また、酸化物半導体層135、導電層137および導電層139には、当該エッチング工程でエッチング条件の変更により連続的に加工可能な材料を用いるのが好ましく、例えば、ドライエッチング工程においてガスの切り替えといった条件変更により連続的に加工可能な材料を用いるのが好ましい。また、酸化物半導体層135、導電層137および導電層139には、同じ工程（例えば、同じエッチングガスを用いたドライエッチング工程など）で加工可能な材料を用いても良い。

20

【0098】

次に、酸化物半導体層141を覆うようにゲート絶縁層147を形成する（図1参照）。ゲート絶縁層147は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層147は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、酸化ガリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネート、などを含むように形成するのが好適である。ゲート絶縁層147は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。

30

【0099】

なお、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層147に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネートなどの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層147に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。例えば、酸化ハフニウムは比誘電率が1.5程度であり、酸化シリコンの比誘電率の3~4と比較して非常に大きな値を有しているため、電気的特性を確保しつつ、ゲート絶縁層を十分に厚くすることが可能である。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

40

【0100】

ゲート絶縁層147の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、酸素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層147が酸素を含む場合、酸化物半導体層141

50

に酸素を供給し、酸化物半導体層 141 の酸素欠損を補填する。

【0101】

なお、本実施の形態では、ゲート絶縁層 147 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。

【0102】

上述のように、第 1 の熱処理と第 2 の熱処理を適用し、酸化物半導体層 141 中の不純物を低減し、酸素欠損を補填することで、酸化物半導体層 141 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0103】

なお、第 2 の熱処理に代えて、または、第 2 の熱処理と共に、酸素プラズマ処理を適用しても良い。酸素プラズマ処理によっても、酸化物半導体層 141 に酸素を供給し、酸化物半導体層 141 の酸素欠損を補填することができる。

【0104】

次に、ゲート絶縁層 147 上にゲート電極 149 および電極 151 を形成する（図 1 参照）。

【0105】

ゲート電極 149 および電極 151 は、ゲート絶縁層 147 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 149 および電極 151 となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極 143 またはドレイン電極 145 などの場合と同様であり、これらの記載を参酌できる。

【0106】

以上により、酸化物半導体層 141 を用いたトランジスタ 162 と、ソース電極 143、電極 151 およびゲート絶縁層 147 からなる容量素子 164 とが完成する（図 1 参照）。なお、上記トランジスタ 162 は、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層 141 を有するため、極めて優れた特性を示す。

【0107】

なお、上述の工程で作製されたトランジスタ 162 は、オフ電流が十分に低減されているという特徴を有する。

【0108】

上述の工程の後には、ゲート絶縁層 147、ゲート電極 149 および電極 151 を覆うように絶縁層を形成しても良い。当該絶縁層は、PVD 法や CVD 法などを用いて形成することができる。また、当該絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて、単層または積層で形成することができる。

【0109】

また、当該絶縁層には、誘電率の低い材料や、誘電率の低い構造（多孔質の構造など）を用いることが望ましい。絶縁層の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【0110】

また、当該絶縁層は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層を形成することで、半導体装置を微細化した場合などにおいても、当該絶縁層上に、電極や配線などを好適に形成することができるためである。なお、当該絶縁層の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0111】

また、上述の工程の後には、各種配線や電極などを形成しても良い。配線や電極は、いわゆるダマシン法、デュアルダマシン法などの方法を用いて形成することができる。

【0112】

以上により、図 1 に示すような構成の半導体装置を作製することができる。

10

20

30

40

50

【0113】

本実施の形態において示すように、トランジスタの構成要素の側面（の一部）を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。

【0114】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0115】

（実施の形態2）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図6乃至図10を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

10

【0116】

基本回路

はじめに、基本的な回路構成およびその動作について、図6を参照して説明する。図6（A-1）に示す半導体装置において、第1の配線（1st Line）とトランジスタ160のソース電極（またはドレイン電極）とは、電氣的に接続され、第2の配線（2nd Line）とトランジスタ160のドレイン電極（またはソース電極）とは、電氣的に接続されている。また、第3の配線（3rd Line）とトランジスタ162のソース電極（またはドレイン電極）とは、電氣的に接続され、第4の配線（4th Line）と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極（またはソース電極）は、容量素子164の電極の一方と電氣的に接続され、第5の配線（5th Line）と、容量素子164の電極の他方は電氣的に接続されている。

20

【0117】

ここで、トランジスタ162には、先の実施の形態で示した酸化物半導体を用いたトランジスタ162を適用することができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0118】

なお、トランジスタ160については特に限定されないが、先の実施の形態で示したトランジスタ160を適用することが好適である。また、情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0119】

また、図6（B）に示すように、容量素子164を設けない構成とすることも可能である。

40

【0120】

図6（A-1）に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0121】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子1

50

64に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

【0122】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

10

【0123】

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャンネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて Q_H が与えられた場合には、第5の配線の電位が $V_0(>V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。 Q_L が与えられた場合には、第5の配線の電位が $V_0(<V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

【0124】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

30

【0125】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

40

【0126】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0127】

なお、トランジスタ162のドレイン電極(またはソース電極)は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフ

50

ローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電氣的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体で形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0128】

例えば、トランジスタ162の室温（25℃）でのオフ電流が10zA（1zA（zeptoアンペア）は 1×10^{-21} A）以下であり、容量素子164の容量値が10fF程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0129】

また、開示する発明の半導体装置においては、従来フローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来フローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

【0130】

図6(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図6(A-2)のように考えることが可能である。つまり、図6(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量）の容量値に相当する。

【0131】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）をROSとすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、 $R1 \gg ROS$ 、 $R2 \gg ROS$ を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0132】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流（例えば、トランジスタ160におけるソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R1 \gg ROS$ 、および $R2 \gg ROS$ の関係を満たすものであることが望ましいといえる。

【0133】

一方で、C1とC2は、 $C1 \gg C2$ の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってノードFGの電位を制御する際に、第5の配線の電位を効率よくノードFGに与えることができるようになり、第5の配線に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

10

20

30

40

50

【0134】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0135】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

10

【0136】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0137】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

20

【0138】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

【0139】

さらに、容量素子164を構成する絶縁層の比誘電率 r_1 と、トランジスタ160を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子164を構成する絶縁層の面積 S_1 と、トランジスタ160においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ （望ましくは $S_2 \leq S_1$ ）を満たしつつ、C1、C2を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、C1、C2を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

30

【0140】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

40

【0141】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採用することもできる。例えば、メモリセルの一に3段階以上の情報を書き込む構成とすることで、2段階（1ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え、他の電位を与える電荷 Q をトランジスタ160のゲート電極に与えることで、多値化を実現することができる。

【0142】

50

応用例

次に、図6に示す回路を応用したより具体的な回路構成および動作について、図7乃至図10を参照して説明する。

【0143】

図7は、縦 m 個(行) \times 横 n 個(列)のメモリセル190を有する半導体装置の回路図の一例である。図7中のメモリセル190の構成は、図6(A-1)と同様である。すなわち、図6(A-1)における第1の配線及び第3の配線が共通して図7におけるビット線BLに相当し、図6(A-1)における第2の配線が図7におけるソース線SLに相当し、図6(A-1)における第4の配線が図7における信号線Sに相当し、図6(A-1)における第5の配線が図7におけるワード線WLに相当する。ただし、図7では、メモリセル190がトランジスタ162とトランジスタ160において列方向に直列に接続されるので、第1行目のメモリセル190のみが他のメモリセル190を介することなくビット線BLと接続され、第 m 行目のメモリセル190のみが他のメモリセル190を介することなくソース線SLと接続される。他の行のメモリセル190は、同じ列の他のメモリセル190を介してビット線BLおよびソース線SLと電氣的に接続される。

10

【0144】

図7に示す半導体装置は、 m 本(m は2以上の整数)のワード線WLと、 m 本の信号線Sと、 n 本(n は2以上の整数)のビット線BLと、メモリセル190が縦 m 個(行) \times 横 n 個(列)のマトリクス状に配置されたメモリセルアレイと、ソース線SLと、選択線G₁および選択線G₂と、選択線G₁に沿ってビット線BLと第1行目のメモリセル190との間に配置され、選択線G₁とゲート電極において電氣的に接続された n 個の選択トランジスタ180と、選択線G₂に沿って第 m 行目のメモリセル190とソース線SLとの間に配置され、選択線G₂とゲート電極において電氣的に接続された n 個の選択トランジスタ182と、を有する。

20

【0145】

つまり、ビット線BLは、第1行目のメモリセル190のトランジスタ162のドレイン電極と電氣的に接続され、且つ選択トランジスタ180を介して、第1行目のメモリセル190のトランジスタ160のドレイン電極と電氣的に接続される。また、ソース線SLは、選択トランジスタ182を介して、第 m 行目のメモリセル190のトランジスタ160のソース電極と電氣的に接続される。また、第 k 行目(k は1以上 m 以下の自然数)の信号線Sは、第 k 行目のメモリセル190のトランジスタ162のゲート電極と電氣的に接続され、第 k 行目のワード線WLは、第 k 行目のメモリセル190の容量素子164の電極の一方と電氣的に接続される。

30

【0146】

また、第1行目(l は2以上 m 以下の自然数)のメモリセル190のトランジスタ160のドレイン電極は、第($l-1$)行目のメモリセル190のトランジスタ160のソース電極と電氣的に接続される。

【0147】

また、第1行目のメモリセル190のトランジスタ162のドレイン電極は、第($l-1$)行目のメモリセル190の、トランジスタ160のゲート電極と、トランジスタ162のソース電極と、容量素子164の電極の他方とは電氣的に接続される。また、第 m 行目のメモリセル190の、トランジスタ160のゲート電極と、トランジスタ162のソース電極と、容量素子164の電極の他方とは電氣的に接続される。つまり、図7に示す半導体装置の第($l-1$)行目のメモリセル190のノードFGには、図6(A-1)に示す構成に加えて、第1行目のメモリセル190のトランジスタ162のドレイン電極が電氣的に接続されることになる。ここで、第1行目においても、第($l-1$)行目においても、酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいので、図7に示す半導体装置のメモリセル190においても、図6(A-1)に示す半導体装置と同様に、トランジスタ162をオフ状態にすることで、ノードFGの電位を極めて長時間にわたって保持することが可能である。

40

50

【0148】

なお、選択線 G_{__1}、選択線 G_{__2}、選択トランジスタ 180、および選択トランジスタ 182 は必ずしも設けなくとも良く、選択線 G_{__1} および選択トランジスタ 180、または、選択線 G_{__2} および選択トランジスタ 182 の一組を省略することが可能である。例えば、図 8 に示すように、上記選択線 G_{__2} に相当する選択線 G と、選択トランジスタ 182 と、だけ設ける構成とすることもできる。

【0149】

データの書き込み、保持、および読み出しは、基本的に図 6 の場合と同様である。ただし、データの書き込みは少なくとも行単位で、かつ、行ごとに順を追って行われる。具体的には、ビット線から遠いメモリセルを含む行からビット線に近いメモリセルを含む行に、順を追って行われる。あるメモリセル 190 のノード FG は、トランジスタ 162 を介して、隣接するメモリセル 190 のノード FG と接続されている。このため、あるメモリセルに書き込みを行う場合、当該メモリセルとビット線との間のメモリセルにも影響を与え、メモリセルごとの書き込み動作が難しくなっているためである。よって、具体的な書き込みの動作は以下ようになる。なお、ここでは一例として、ノード FG に電位 V₂ (電源電位 VDD より低い電位) または基準電位 GND (0V と表す場合がある) のいずれかを与える場合について説明するが、ノード FG に与える電位の関係はこれに限られない。また、ノード FG に電位 V₂ を与えた場合に保持されるデータをデータ "1"、ノード FG に基準電位 GND を与えた場合に保持されるデータをデータ "0" とする。

【0150】

まず、選択線 G_{__1} の電位を GND (0V) とし、選択線 G_{__2} の電位を V₁ (例えば、VDD) とし、書き込み対象のメモリセル 190 に接続される信号線 S の電位を V₃ (V₂ より高い電位、例えば VDD) とし、メモリセル 190 を選択する。なお、書き込み対象のメモリセル 190 とビット線 BL との間に他のメモリセル 190 が存在する場合には、当該他のメモリセル 190 に接続される信号線 S の電位を V₃ とし、ビット線 BL の電位を、書き込み対象のメモリセル 190 に与えられる状態にする。

【0151】

メモリセル 190 にデータ "0" を書き込む場合には、ビット線 BL には GND を与え、メモリセル 190 にデータ "1" を書き込む場合には、ビット線 BL には V₂ を与える。ここでは信号線 S の電位を V₃ としているため、ノード FG に V₂ を与えることが可能である。

【0152】

データの保持は、保持対象のメモリセル 190 に接続される信号線 S の電位を GND とすることにより行われる。信号線 S の電位を GND に固定すると、ノード FG の電位は書き込み時の電位に固定される。つまり、ノード FG にデータ "1" である V₂ が与えられている場合、ノード FG の電位は V₂ となり、ノード FG にデータ "0" である GND が与えられていれば、ノード FG の電位は GND となる。

【0153】

また、信号線 S には GND が与えられているため、データ "1" とデータ "0" のいずれが書き込まれた場合でも、トランジスタ 162 はオフ状態となる。トランジスタ 162 のオフ電流は極めて小さいから、トランジスタ 160 のゲート電極の電荷は長時間にわたって保持される。なお、当該保持に係る動作の後に、隣接するメモリセル 190 (ビット線 BL により近いメモリセル 190) への情報の書き込みが行われる。詳細は上述の通りである。

【0154】

データの読み出しは、読み出し対象のメモリセル 190 に接続されるワード線 WL の電位を GND とし、また、読み出し対象ではないメモリセル 190 に接続されるワード線 WL の電位を V₅ (例えば、VDD) とし、かつ、選択線 G_{__1} 及び選択線 G_{__2} の電位を V₁ とすることにより行われる。

【0155】

読み出し対象のメモリセル190に接続されるワード線WLの電位をGNDとすると、読み出し対象のメモリセル190のノードFGにデータ"1"であるV2が与えられている場合、トランジスタ160はオン状態となる。一方で、ノードFGにデータ"0"であるGNDが与えられていれば、トランジスタ160はオフ状態となる。

【0156】

また、読み出し対象ではないメモリセル190に接続されるワード線WLの電位をV5とすると、読み出し対象ではないメモリセル190にデータ"1"が書き込まれている場合、および、データ"0"が書き込まれている場合のいずれにおいても、トランジスタ160はオン状態となる。

【0157】

なお、図7に係る構成では、各メモリセル190を構成するトランジスタ162を直列に接続するため、任意の行のデータのみを書き換えることは困難である。ある行を書き換えた場合には、当該行よりビット線に近いメモリセルを含む行にも書き込まれてしまうためである。従って、書き込み動作においては、ビット線BLから最も遠い行のメモリセルから順番にデータを書き込むとよい。なお、直前に書き込んだ行のデータを書き変える書き込み動作は有効である。なお、駆動方法として、複数行の一括消去動作を設けてもよい。例えば、トランジスタ162がビット線BLとソース線SLの間で直列に接続される行全体をブロックとして、ブロックごとの消去を行うことが出来る。所定のブロックのデータを書き換える場合には、まず当該ブロックのデータを消去して、ビット線BLから最も遠い行のメモリセル190から順番にデータを書き込むとよい。なお、直前に書き込んだ行のデータを書き換える場合には、消去動作は不要である。

【0158】

図9には、図7に係る半導体装置のより詳細な動作に係るタイミングチャートの例を示す。タイミングチャート中のS、BL等の名称は、タイミングチャートに示す電位が与えられる配線を示しており、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に__1、__2等を付すことで区別している。

【0159】

図9に示されるタイミングチャートは、第1行乃至第m行のメモリセルに書き込まれたデータを消去する(複数行の一括消去)場合と、第k行第1列のメモリセルにデータ"1"を書き込むと共に、第k行の他の列(第2列乃至第n列)のメモリセルにデータ"0"を書き込む(k行目書込み)場合と、k行目に書き込まれたデータを読み出す(k行目読み出し)場合の各配線の電位の関係を示すものである。読み出しでは、第k行第1列のメモリセルにデータ"1"が、第k行の他の列(第2列乃至第n列)のメモリセルにデータ"0"が格納されているとした。

【0160】

複数行の一括消去においては、S__1乃至S__mに電位V3を与えて、第1行乃至第m行のトランジスタ162をオン状態とすると共に、BL__1乃至BL__nをGNDとして第1行乃至第m行のノードFGの電位をGNDにする。

【0161】

なお、G__1はGNDとして、選択トランジスタ180をオフ状態とし、G__2に電位V1を与えて、選択トランジスタ182をオン状態としておく。また、G__1には電位V1を与えても良い。

【0162】

k行目書込みにおいては、S__1乃至S__kに電位V3を与えて、第1行乃至第k行のトランジスタ162をオン状態とし、S__(k+1)乃至S__mをGNDとして、第(k+1)行乃至第m行のトランジスタ162をオフ状態とする。また、BL__1に電位V2を与え、BL__2乃至BL__nをGNDとする。

【0163】

なお、G__1はGNDとして、選択トランジスタ180をオフ状態とし、G__2に電位V1を与えて、選択トランジスタ182をオン状態とする。また、WL__(k+1)乃至W

10

20

30

40

50

L_mに電位V₅を与えてもよい。

【0164】

その結果、第k行第1列のメモリセルのノードFGには電位V₂が与えられ、すなわちデータ"1"が書き込まれたこととなる。また、第k行第2列乃至第n列のノードFGには0Vが与えられ、すなわちデータ"0"が書き込まれたこととなる。

【0165】

このように、本実施の形態に示す半導体装置において、第k行目(kは1以上m以下の自然数)のメモリセル190に書き込みを行う場合、第1行乃至第k行のトランジスタ162をオン状態とする必要があるため、メモリセルアレイへの書き込みは、第m行目から順に行うのが好ましい。

【0166】

k行目読み出しにおいては、S₁乃至S_mをGNDとして全てのトランジスタ162をオフ状態とすると共に、選択線G₁及び選択線G₂に電位V₁を与えて選択トランジスタ180及び選択トランジスタ182をオン状態とする。また、読み出し対象の第k行目のメモリセル190に接続されるWL_kをGNDとし、読み出し対象でないメモリセル190に接続されるWL₁乃至WL_(k-1)、およびWL_(k+1)乃至WL_mに電位V₅を与える。

【0167】

また、選択線G₁および選択トランジスタ180、または、選択線G₂および選択トランジスタ182の一組を省略し、図8に示すように、上記選択線G₂に相当する選択線Gと、選択トランジスタ182と、だけを設ける構成とする場合も、データの書き込み、保持、読み出し、及び複数行の一括消去は、基本的に上述の動作と同様に行うことができる。

【0168】

ただし、選択線Gについては、図7に係る半導体装置と若干動作が異なる。ここで、図8に係る半導体装置の詳細な動作に係るタイミングチャートである、図10を用いて、各動作における選択線Gの電位について説明する。図10に示されるタイミングチャートは、図9に示されるタイミングチャートと同様に、第1行乃至第m行のメモリセルに書き込まれたデータを消去する(複数行の一括消去)場合と、第k行第1列のメモリセルにデータ"1"を書き込むと共に、第k行の他の列(第2列乃至第n列)のメモリセルにデータ"0"を書き込む(k行目書き込み)場合と、k行目に書き込まれたデータを読み出す(k行目読み出し)場合の各配線の電位の関係を示すものである。よって、図10に示されるタイミングチャートと、図9に示されるタイミングチャートとの相違点は、選択線Gの電位のみなので、当該相違点について以下で説明する。

【0169】

複数行の一括消去においては、選択線Gに電位V₁を与えて、選択トランジスタ182をオン状態としておく。k行目書き込みにおいては、選択線Gの電位はGNDとして、選択トランジスタ182をオフ状態とする。k行目読み出しにおいては、選択線Gに電位V₁を与えて選択トランジスタ182をオン状態とする。図8に係る半導体装置の各動作において、このように選択線Gに電位を与えることにより、上述の図9に示されるタイミングチャートの動作と同様の動作を行うことができる。

【0170】

本実施の形態に示す半導体装置では、酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合(ただし、電位は固定されていることが望ましい)であっても、長期にわたって記憶内容を保持することが可能である。

【0171】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素

10

20

30

40

50

子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0172】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせることで、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

10

【0173】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【0174】

本実施の形態に示す半導体装置では、トランジスタの構成要素の側面（の一部）を一致させる態様を採用することで、高度に集積化された半導体装置を実現することができる。特に、トランジスタを三次元的に集積化した構造においては、当該三次元的構成の採用による高集積化と相まって、より顕著な効果が得られる。これにより、高度に集積化された半導体装置を実現し、メモリセルの占有面積を低減することができるので、単位面積あたりの記憶容量を増加させることができる。

20

【0175】

なお、開示する発明に係る半導体装置の回路構成は、図7または図8に示されるものに限定されない。例えば、メモリセル190を構成するトランジスタ162が列方向に直列接続されることなく、配線に対してそれぞれ並列に接続されるような構成の回路としても良いし、メモリセル190を構成するトランジスタ160が列方向に直列接続されることなく、配線に対してそれぞれ並列に接続されるような構成の回路としても良い。

30

【0176】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることで用いることができる。

【0177】

（実施の形態3）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図11を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

40

【0178】

図11(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0179】

図11(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端

50

末を操作するスタイラス 712などを備えている。本体 711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0180】

図 11(C)は、電子ペーパーを実装した電子書籍 720であり、筐体 721と筐体 723の2つの筐体で構成されている。筐体 721および筐体 723には、それぞれ表示部 725および表示部 727が設けられている。筐体 721と筐体 723は、軸部 737により接続されており、該軸部 737を軸として開閉動作を行うことができる。また、筐体 721は、電源 731、操作キー 733、スピーカー 735などを備えている。筐体 721、筐体 723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

10

【0181】

図 11(D)は、携帯電話機であり、筐体 740と筐体 741の2つの筐体で構成されている。さらに、筐体 740と筐体 741は、スライドし、図 11(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 741は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748などを備えている。また、筐体 740は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750などを備えている。また、アンテナは、筐体 741に内蔵されている。筐体 740と筐体 741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

20

【0182】

図 11(E)は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766などによって構成されている。本体 761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

30

【0183】

図 11(F)は、テレビジョン装置 770であり、筐体 771、表示部 773、スタンド 775などで構成されている。テレビジョン装置 770の操作は、筐体 771が備えるスイッチや、リモコン操作機 780により行うことができる。筐体 771およびリモコン操作機 780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0184】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

40

【符号の説明】

【0185】

- 101 基板
- 103 絶縁層
- 105 導電性材料を含む層
- 107 絶縁層
- 109 レジストマスク
- 111 ゲート絶縁層
- 113 導電性材料を含む層
- 115 絶縁層

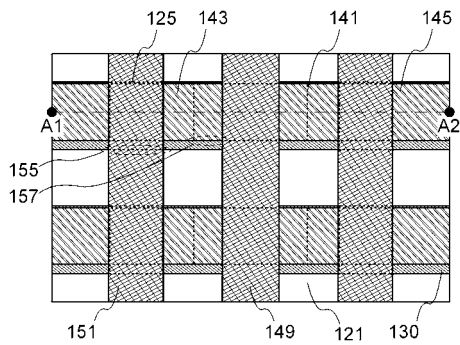
50

1 1 7	絶縁層	
1 1 9	絶縁層	
1 2 1	素子分離絶縁層	
1 2 3	レジストマスク	
1 2 5	ゲート電極	
1 2 7	領域	
1 2 9	絶縁層	
1 3 0	不純物領域	
1 3 1	絶縁層	
1 3 2	チャンネル形成領域	10
1 3 3	酸化物半導体層	
1 3 5	酸化物半導体層	
1 3 7	導電層	
1 3 9	導電層	
1 4 1	酸化物半導体層	
1 4 3	ソース電極	
1 4 5	ドレイン電極	
1 4 7	ゲート絶縁層	
1 4 9	ゲート電極	
1 5 1	電極	20
1 5 5	領域	
1 5 7	領域	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 8 0	選択トランジスタ	
1 8 2	選択トランジスタ	
1 9 0	メモリセル	
7 0 1	筐体	
7 0 2	筐体	30
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	40
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	50

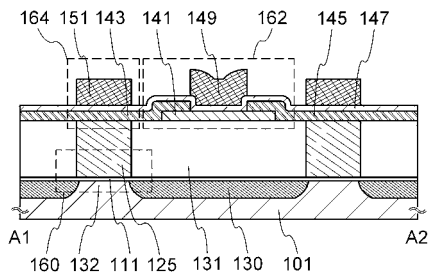
- 7 4 4 マイクロフォン
- 7 4 5 操作キー
- 7 4 6 ポインティングデバイス
- 7 4 7 カメラ用レンズ
- 7 4 8 外部接続端子
- 7 4 9 太陽電池セル
- 7 5 0 外部メモリスロット
- 7 6 1 本体
- 7 6 3 接眼部
- 7 6 4 操作スイッチ
- 7 6 5 表示部
- 7 6 6 バッテリー
- 7 6 7 表示部
- 7 7 0 テレビジョン装置
- 7 7 1 筐体
- 7 7 3 表示部
- 7 7 5 スタンド
- 7 8 0 リモコン操作機

【 図 1 】

(A)

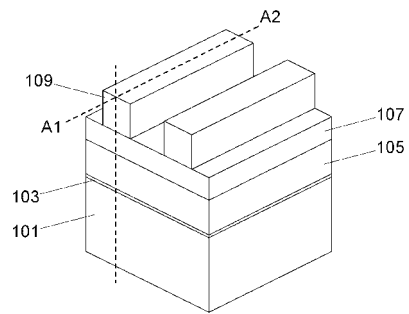


(B)

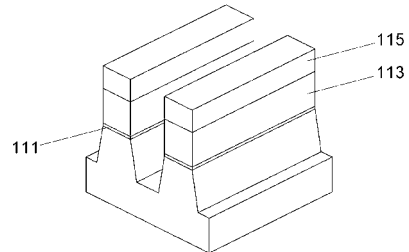


【 図 2 】

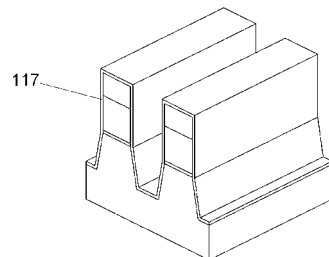
(A)



(B)

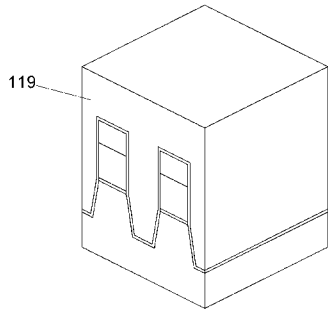


(C)

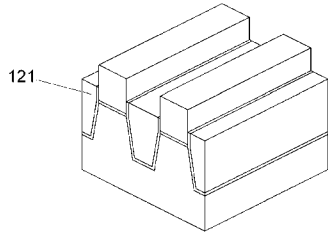


【 図 3 】

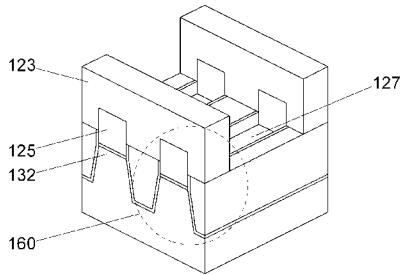
(A)



(B)

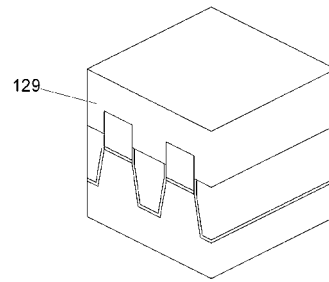


(C)

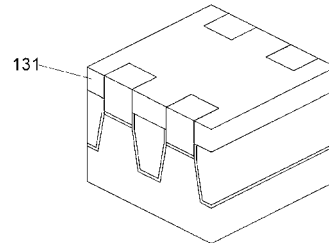


【 図 4 】

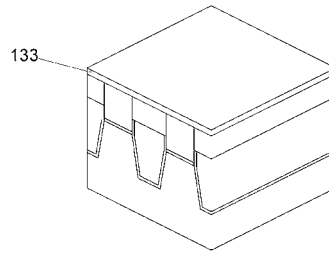
(A)



(B)

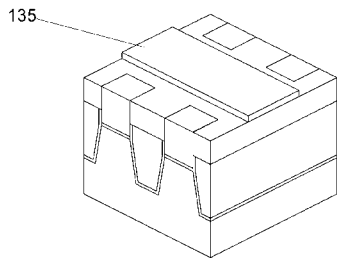


(C)

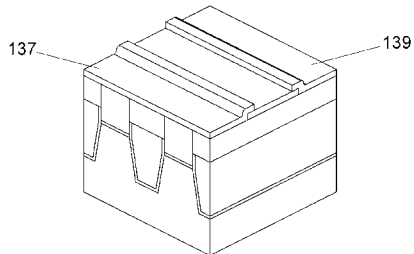


【 図 5 】

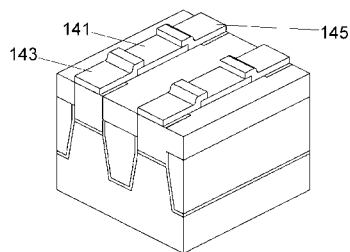
(A)



(B)

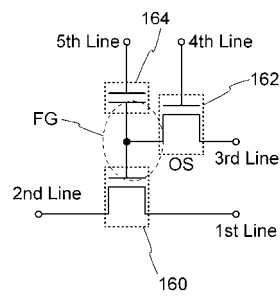


(C)

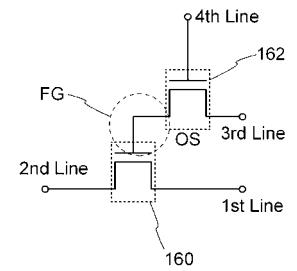


【 図 6 】

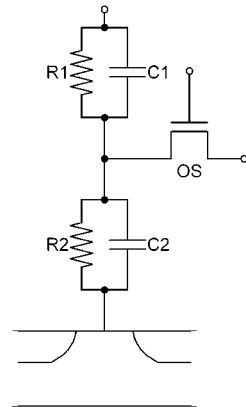
(A-1)



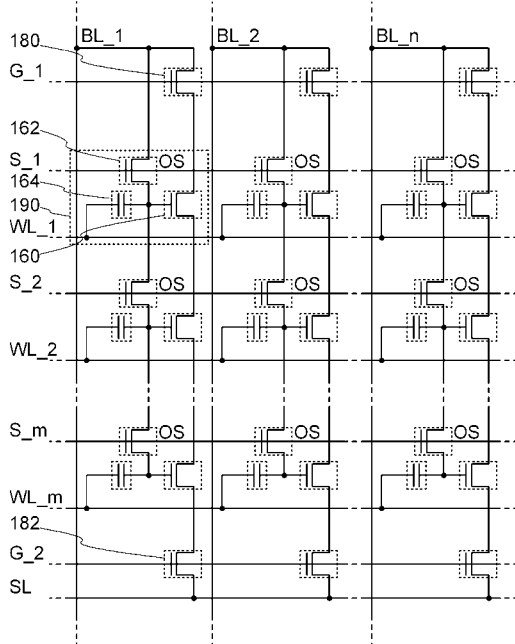
(B)



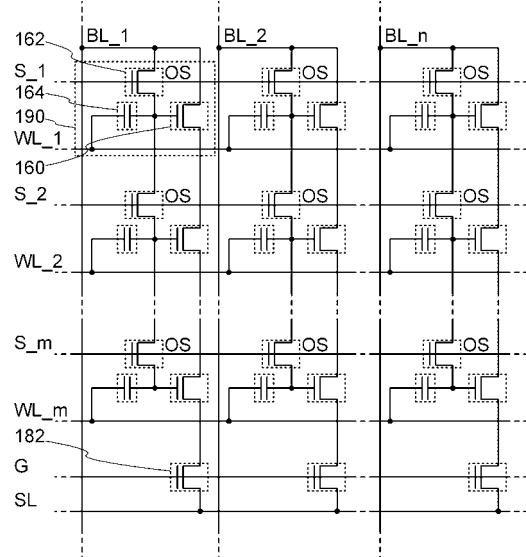
(A-2)



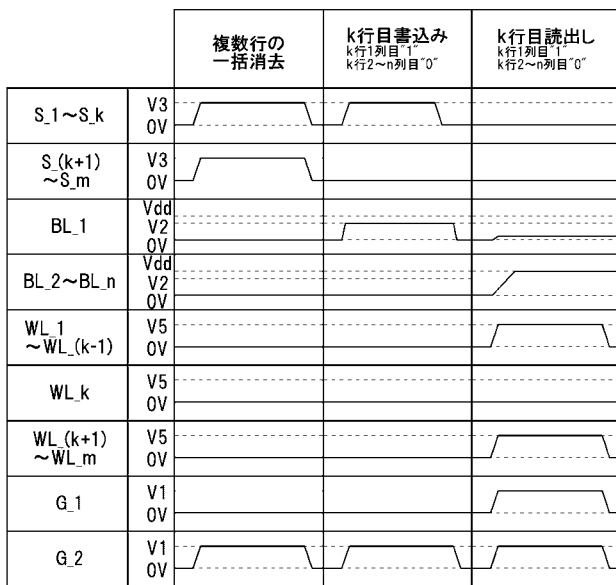
【 図 7 】



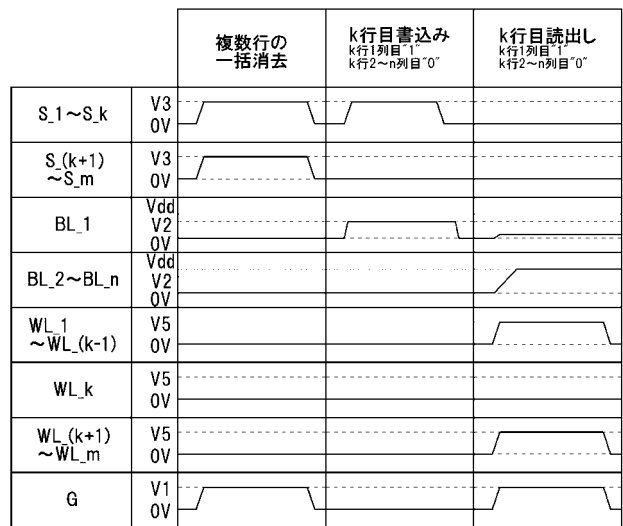
【 図 8 】



【 図 9 】

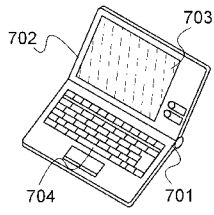


【 図 10 】

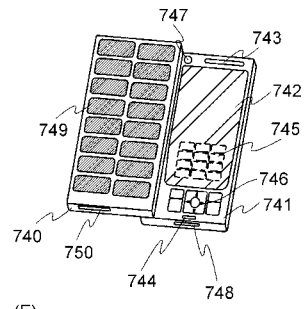


【 図 1 1 】

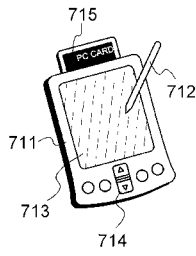
(A)



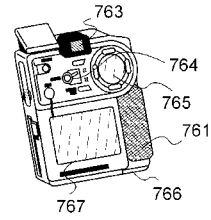
(D)



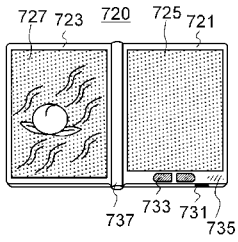
(B)



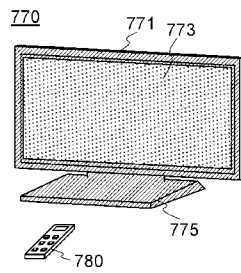
(E)



(C)



(F)



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/115 (2006.01)	H 0 1 L 29/78 3 0 1 R	5 M 0 2 4
H 0 1 L 21/8247 (2006.01)	H 0 1 L 27/10 4 3 4	
H 0 1 L 29/788 (2006.01)	H 0 1 L 29/78 3 7 1	
H 0 1 L 29/792 (2006.01)	H 0 1 L 27/08 1 0 2 E	
H 0 1 L 21/8234 (2006.01)	H 0 1 L 27/08 3 2 1 G	
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/08 3 3 1 E	
H 0 1 L 27/092 (2006.01)	G 1 1 C 11/34 3 5 2 B	
H 0 1 L 21/8238 (2006.01)	H 0 1 L 29/78 6 2 7 C	
H 0 1 L 27/08 (2006.01)		
G 1 1 C 11/405 (2006.01)		

F ターム(参考)	5F110	AA04	BB01	BB06	BB08	BB11	CC01	CC02	DD02	DD05	DD12
		DD13	DD14	DD15	DD17	EE02	EE03	EE04	EE05	EE09	EE14
		EE31	EE42	EE43	EE44	EE45	FF01	FF02	FF03	FF04	FF05
		FF09	FF23	FF25	FF26	FF28	FF29	GG01	GG02	GG06	GG07
		GG12	GG15	GG25	GG28	GG32	GG33	GG34	GG35	GG43	GG57
		GG58	HJ01	HK01	HK02	HK03	HK04	HK05	HK06	HK07	HK21
		HK22	HK32	HK33	HK34	HK35	HK40	HM03	HM05	NN03	NN22
		NN23	NN24	NN27	NN62	NN65	NN72	NN74	QQ08	QQ11	
	5F140	AC32	AC36	BA01	BA02	BA05	BD04	BD07	BD09	BD11	BD12
		BD13	BF01	BF04	BF05	BF07	BG08	BG22	BG38	BH14	BK13
		CB04	CB10	CC02	CC03	CC08	CC09	CE07	CF04		
	5M024	AA06	AA94	BB02	CC02	CC05	CC07	HH01	HH11	PP03	PP04
		PP05	PP07	PP10							