(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 11 日(11.06.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/083225 A1

(51) 国際特許分類:
*G06F 12/16* (2006.01) *G06F 12/00* (2006.01)

(21) 国際出願番号: PCT/JP2013/082403

(22) 国際出願日: 2013 年 12 月 2 日(02.12.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者: 秋保晋 (AKIU, Susumu); 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 早坂和美 (HAYASAKA, Kazumi); 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 日下田雅紀 (HIGETA, Masanori); 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町８番地２０ 二番町ビル３Ｆ Tokyo (JP).

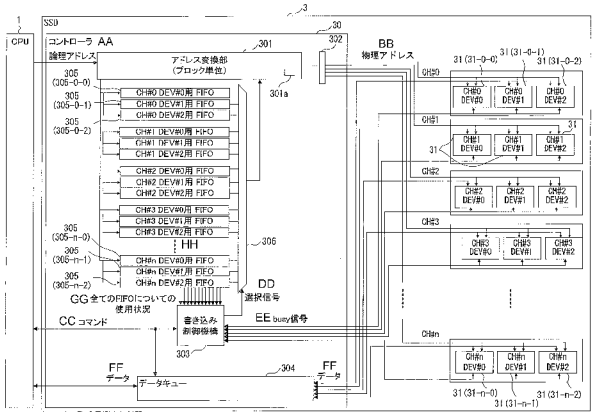
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: INFORMATION PROCESSING DEVICE, STORAGE, AND ACCESS CONTROL METHOD

(54) 発明の名称 : 情報処理装置、ストレージ、及びアクセス制御方法




| | |
|---|---|
| 30 | Controller |
| 301 | Address conversion unit (block unit) |
| 303 | Write control mechanism |
| 304 | Data queue |
| 305 | FIFO for CH#... |
| AA | Logical address |
| BB | Physical address |
| CC | Command |
| DD | Selection signal |
| EE | Busy signal |
| FF | Data |
| GG | Usage states for all FIFOs |
| HH | Usage |

(57) **Abstract**: A system to which the present invention is applied comprises: a processing unit; a plurality of storage devices whereupon data deletion is carried out in block units; a plurality of storage units which are used for storing control information which represents reserve blocks, which are blocks for writing data which are present on one or more of the storage devices which are respectively allocated among the plurality of storage devices; and an access unit which, when a processing unit issues a write instruction requesting a data write to the plurality of storage devices, selects a storage unit which uses control information among the plurality of storage units, and writes the data requested by the write instruction to the reserve block which is specified by the control information stored in the selected storage unit.

(57) 要約: 本発明を適用した１システムは、処理部と、ブロック単位でデータの消去が行われる複数の記憶装置と、それぞれ、複数の記憶装置のなかで割り当てられた１つ以上の記憶装置上に存在する、データの書き込み用のブロックである予備ブロックを表す制御情報の格納に用いられる複数の記憶部と、複数の記憶装置へのデータの書き込みを要求する書込命令を処理部が発行した場合、複数の記憶部のなかで制御情報を用いる記憶部を選択し、該選択した記憶部に格納されている制御情報によって特定される予備ブロックに、書込命令により要求されたデータを書き込むアクセス部と、を有する。

WO 2015/083225 A1

# 明　細　書

## 発明の名称 ： 情報処理装置、ストレージ、及びアクセス制御方法

## 技術分野

[0001] 本発明は、ブロック単位でデータの消去を行う複数の記憶装置を管理するための技術に関する。

## 背景技術

[0002] 現在の情報処理装置（コンピュータ）の大部分には、不揮発性の半導体メモリが搭載されている。不揮発性の半導体メモリの一種であるフラッシュメモリは、近年、ストレージにも広く採用されている。ＳＳＤ（Solid State Drive）は、フラッシュメモリを記憶媒体として採用している代表的なストレージである。フラッシュメモリが広く採用されるようになったのは、大容量のフラッシュメモリが比較的に安価になった、磁気ディスク装置（例えばハードディスク装置）などと比較して動作速度が高速である、といった理由からである。

[0003] フラッシュメモリには、ＮＡＮＤ型と、ＮＯＲ型とがある。ここでは便宜的に、ＮＡＮＤ型のフラッシュメモリ（以降「ＮＡＮＤフラッシュメモリ」と表記。ＮＯＲ型のフラッシュメモリは「ＮＯＲフラッシュメモリ」と表記）を例にとり、一般的な制御方法について説明する。

[0004] ＮＡＮＤフラッシュメモリは、ＮＯＲフラッシュメモリと比較して、大容量化（高集積化）が容易であり、且つ書き込みを高速に行えるという利点を備えている。しかし、ＮＡＮＤフラッシュメモリでは、１バイト単位の読み出しはできず、ランダムアクセスによる読み出しはＮＯＲフラッシュメモリよりも低速であるという欠点を有する。ＮＡＮＤフラッシュメモリ、及びＮＯＲフラッシュメモリは共に、数ＫＢから数十ＫＢ程度のブロック単位でしか消去・書き込みができない。

[0005] ＮＡＮＤフラッシュメモリでは、通常、読み出し・書き込みはページ単位で実行され、消去は複数ページ分の容量を有する「ブロック」と呼ばれる単

位で実行される。ページを書き込んだブロックには直ちに上書きを行うことはできない。上書きを行う場合、そのページが書き込まれたブロックを消去した後、上書きすべきページ、及びそのブロックの他のページを書き込まなければならない。多くの場合、書き込むべきページは、そのページが書き込まれているブロックの他のページと共に、別のブロックに書き込まれる。

[0006] フラッシュメモリの記憶素子（セル）では、絶縁体となる酸化膜はその酸化膜を貫通する電子によって劣化する。そのため、各ブロックの消去・書き込み可能回数には限界がある。このことから、フラッシュメモリでは、特定のブロックに対する消去・書き込みが集中しないように平準化するアクセス制御が行われる。その平準化のアクセス制御のために、フラッシュメモリには、そのフラッシュメモリへのアクセスを制御するコントローラが用意されるのが普通である。

[0007] 特定のブロックへの消去・書き込みが集中しないようにする平準化のための従来のアクセス制御方法としては、ＦＩＦＯ（First In First Out）を用いたものがある。

[0008] この従来のアクセス制御方法では、ＮＡＮＤフラッシュメモリのなかで未使用のブロックをデータ書き込み用の予備ブロックとして、その予備ブロックを表す制御情報をＦＩＦＯに格納する。ページの書き込みを行う場合、そのページは、そのページが書き込まれているブロックの他のページと共に、ＦＩＦＯから出力される制御情報によって特定される予備ブロックに書き込む。そのページが書き込まれているブロックは消去して予備ブロックとし、その予備ブロックの制御情報をＦＩＦＯに登録する。

[0009] そのようにして、この従来のアクセス制御方法では、新たに発生した予備ブロックは、その時点で存在する予備ブロックのなかで最後に割り当てるように管理される。このため、特定のブロックに対する消去・書き込みが集中するのが回避され、予備ブロックの割り当ては平準化される。

[0010] この従来のアクセス制御方法では、ＦＩＦＯは１つのみ用いられる。そのため、予備ブロックのなかで割り当ての対象となる予備ブロックは固定的に

決定される。割り当ての対象となる予備ブロックを固定的に決定する結果、システム構成、或いは状況に応じて、アクセス速度を大きく低下させる場合がある。

[0011] 例えば複数のＮＡＮＤフラッシュメモリが複数のチャネルでコントローラと接続されているシステム構成では、チャネル毎にＮＡＮＤフラッシュメモリへのアクセスが可能である。それにより、このシステム構成では、或るチャネルを用いたアクセスが行われている、或いはアクセスが行われる状況下で、そのチャネルを用いてアクセスする予備ブロックが割り当てられる場合がある。

[0012] 予備ブロックが、アクセスが集中しているチャネルを介してアクセスしなければならない場合、アクセスが集中しているほど、待ち時間は長くなる。その結果、予備ブロックへのデータの書き込みに要する時間は長くなり、アクセス速度は大きく低下する。また、予備ブロックにデータを書き込ませるアクセス以降に行われるアクセスのアクセス速度を大きく低下させる可能性もある。

[0013] アクセスの集中自体は、ガーベジコレクション、或いはデータ更新等を行う場合に発生しやすい。ＦＩＦＯには、過去の状況に応じて予備ブロックの制御情報が格納される。そのため、ＦＩＦＯが出力する制御情報によって、予備ブロックは現在の状況とは無関係に選択される。従い、アクセスが集中しているチャネルを介してアクセスする予備ブロックが連続して選択される可能性もある。

[0014] ＮＡＮＤフラッシュメモリでは、データの書き込みのためのアクセスが行われる場合、ブロックの消去のためのアクセスも行われる。そのため、同じ領域にデータの上書きを行える半導体メモリを採用した場合と比較して、単位時間当たりに要求されるアクセス数（発行される命令数）は多くなりやすい。これは、アクセスの集中が発生しやすいことを意味する。

[0015] アクセス速度は、アクセスが集中するほど、つまり、単位時間当たりのアクセス数が多くなるほど、低下しやすい。そのアクセス速度自体は、性能に

大きく影響する。データを書き込む予備ブロックは、基本的に、任意に選択可能である。このことから、予備ブロックへのデータの書き込みのためのアクセスでは、アクセス速度の低下を抑えることも重要と思われる。このことは、データの上書きが直ちに行えない記憶装置全般に云えることである。

## 先行技術文献

### 特許文献

[0016] 特許文献1：特開平７－７８４８５号公報

特許文献2：特開平５－１９８１９８号公報

特許文献3：特開２００６－２５２６９５号公報

## 発明の開示

### 発明が解決しようとする課題

[0017] １側面では、本発明は、データの上書きが直ちに行えない記憶装置へのアクセス速度の低下を抑制するための技術を提供することを目的とする。

### 課題を解決するための手段

[0018] 本発明を適用した１システムは、処理部と、ブロック単位でデータの消去が行われる複数の記憶装置と、それぞれ、複数の記憶装置のなかで割り当てられた１つ以上の記憶装置上に存在する、データの書き込み用のブロックである予備ブロックを表す制御情報の格納に用いられる複数の記憶部と、複数の記憶装置へのデータの書き込みを要求する書込命令を処理部が発行した場合、複数の記憶部のなかで制御情報を用いる記憶部を選択し、該選択した記憶部に格納されている制御情報によって特定される予備ブロックに、書込命令により要求されたデータを書き込むアクセス部と、を有する。

### 発明の効果

[0019] 本発明を適用した１システムでは、データの上書きが直ちに行えない記憶装置へのアクセス速度の低下を抑制することができる。

## 図面の簡単な説明

[0020] [図1]本実施形態による情報処理装置の構成例を説明する図である。

[図2]ＳＳＤの構成例を説明する図である。

[図3]書き込み制御機構の機能構成例を説明する図である。

[図4]ＳＳＤへのデータの書き込み時のコントローラの動作を説明する図である。

[図5]データの書き込み時に各チャネルを介して行われるアクセス例を説明するタイムチャートである。

[図6]データ書き込み時のコントローラの動作を表すフローチャートである。

## 発明を実施するための形態

[0021] 以下、本発明の実施形態について、図面を参照しながら詳細に説明する。

図１は、本実施形態による情報処理装置の構成例を説明する図である。本実施形態による情報処理装置は、例えばサーバであり、図１に表すように、２個のＣＰＵ（Central Processing Unit）１（１－１、１－２）、２つのメモリ２（２－１、２－２）、２台のＳＳＤ（Solid State Drive）３（３－０、３－１）、Ｉ／Ｏ（Input/Output）ハブ４、及びＦＷＨ（FirmWare Hub）５を備えている。

[0022] 各ＳＳＤ３は、本実施形態によるストレージである。２台のＳＳＤ３は、例えば冗長化のために情報処理装置に搭載されている。各ＣＰＵ１は、ＦＷＨ５に格納されているファームウェアをメモリ２に読み出して実行することにより、各ＳＳＤ３へのアクセスが可能となる。

[0023] 各ＳＳＤ３には、例えば各ＣＰＵ１が処理に用いるデータの他に、各ＣＰＵ１が実行するプログラム、具体的にはＯＳ（Operating System）、及びアプリケーション・プログラム等が格納されている。このＯＳには、ＳＳＤ３を含む各種記憶装置上のデータ、及び各種記録媒体上のデータを管理するためのプログラムであるファイルシステムが搭載されている。また、ＯＳは、仮想記憶をサポートしている。

[0024] 各ＳＳＤ３には、コントローラ（図１中「NAND Controller」と表記）３０、及び複数のＮＡＮＤフラッシュメモリ（図１中「Device」と表記。以降「デバイス」と表記する）３１（３１－０－０～３１－ｎ－２）が含まれる。

コントローラ３０と各デバイス３１は計ｎ＋１個のチャネルで接続されている。

[0025] 本実施形態では、各チャネルに３個のデバイス３１が接続されている。デバイス３１に符号として付した「３１－０－０」の最後の「０」は、同じチャネルに接続されているデバイス３１間の識別情報であるデバイス番号が「０」であることを表している。その前の「０」は、チャネルの識別情報として割り当てられた番号（チャネル番号）が０であることを表している。それにより、「３１－０－０」は、チャネル番号が０のチャネルに接続されているデバイス番号が０のデバイス３１であることを表している。また、「３１－ｎ－１」は、チャネル番号がｎのチャネルに接続されているデバイス番号が１のデバイス３１であることを表している。

[0026] 図２は、ＳＳＤの構成例を説明する図である。図２に表すように、コントローラ３０には、各チャネルに３つのデバイス３１が接続されている。コントローラ３０は、アドレス変換部３０１、デマルチプレクサ３０２、書き込み制御機構３０３、データキュー３０４、複数のＦＩＦＯ３０５（３０５－０－０～３０５－ｎ－２）、及びマルチプレクサ３０６を備えている。図２では、各ＣＰＵ１と、各ＳＳＤ３との間に存在するＩ／Ｏハブ４は便宜的に省いている。

[0027] ＦＩＦＯ３０５に符号として付した「３０５－０－０」は、デバイス３１と同様に、チャネル番号が０のチャネルに接続されているデバイス番号が０のデバイス３１－０－０用のＦＩＦＯ３１であることを表している。図２中に表記の「ＣＨ＃０　ＤＥＶ＃０用」は、このことを表している。つまり「ＣＨ＃０」「ＤＥＶ＃０」はそれぞれ、チャネル番号が０のチャネル、デバイス番号が０のデバイス３１を表している。また、「３０５－ｎ－２」は、チャネル番号がｎのチャネルに接続されているデバイス番号が２のデバイス３１－ｎ－２用のＦＩＦＯ３１であることを表している。図２中に表記の「ＣＨ＃ｎ　ＤＥＶ＃２用」は、このことを表している。このように、本実施形態では、ＦＩＦＯ３０５は、チャネル毎、デバイス３１毎に設けられてい

る。

[0028] ＣＰＵ１は、ＳＳＤ３にアクセスを行う場合、コマンドを発行する。そのコマンドは、データの読み出しを要求するリードコマンドの場合、コマンドの種類を表すコマンド種別データ、及びアクセス先を表す論理アドレスを含む。データの書き込みを要求するライトコマンドでは、他に、書き込むべきデータ（ページ）を含む。論理アドレスはアドレス変換部３０１に入力される。コマンド種別データは書き込み制御機構３０３に、データ（ページ）はデータキュー３０４にそれぞれ入力される。

[0029] ＣＰＵ１が実行するＯＳは、仮想記憶をサポートする。そのため、ＣＰＵ１は、データを論理アドレスで扱う。しかし、デバイス３１へのアクセスは、物理アドレスで行わなければならない。このことから、アドレス変換部３０１は、入力した論理アドレスを物理アドレスに変換する。

[0030] 図４は、ＳＳＤへのデータの書き込み時のコントローラの動作を説明する図である。その図４では、理解を容易とするために、想定するデバイス３１は１つのみとしている。ここで図４を参照し、ライトコマンド発行時におけるアドレス変換部３０１を含むコントローラ３０の動作について具体的に説明する。

[0031] ＳＳＤ３に搭載されている各デバイス３１は、ブロックと呼ばれる記憶領域単位でしか消去・書き込みを行うことができない。仮想記憶を用いる情報処理装置では、通常、データの読み出し・書き込みはページ単位で実行される。ブロックは、複数ページ分の容量を有する。

[0032] ＯＳに搭載されたファイルシステム４０は、論理アドレスを用いて、データをページ単位で管理する。ここでは、ＳＳＤ３上のブロックとの対応関係を明確にするために、ファイルシステム４０が管理するページを仮想的なブロックに分けて表している。図４では、その仮想的なブロックを「論理ブロック」と表記し、デバイス３１上のブロックと区別している。デバイス３１上のブロックは「物理ブロック」と表記している。

[0033] 図４中に表記の「論理ブロック＃０（Ｌ０）」は、ブロック番号が「０」

の論理ブロックの別表現が「Ｌ０」であることを表している。「Ｌ０－０」～「Ｌ０－３」は、ブロック番号が「０」の論理ブロックを構成するページを表している。それにより、ここでは、各論理ブロック（及びデバイス３１上の各物理ブロック）に４つのページが含まれると想定している。以降、便宜的に、特定の論理ブロックを指す場合には「Ｌ０」「Ｌ１」等を符号として付すことにする。任意の論理ブロックを指す場合には符号として「Ｌ」を付すこととする。

[0034] 一方、図４中に表記の「物理ブロック＃０（Ｐ０）」は、ブロック番号として「０」が割り当てられた物理ブロックの別表現が「Ｐ０」であることを表している。物理ブロックでも論理ブロックＬと同様に、特定の物理ブロックを指す場合には「Ｐ０」「Ｐ１」等を符号として付し、任意の物理ブロックを指す場合には「Ｐ」を符号として付すこととする。

[0035] コントローラ３０は、論理ブロックＬ（論理アドレス）と物理ブロックＰ（物理アドレス）間の対応関係の特定に、ブロック変換テーブル３０１ａを用いている。このブロック変換テーブル３０１ａは、アドレス変換部３０１が管理するテーブルであり、論理ブロックＬ毎に、その論理ブロックＬに対応付けられた物理ブロックＰを表す。そのため、アドレス変換部３０１は、ファイルシステム４０（ＣＰＵ１）が命令で指定する論理アドレスから論理ブロックＬを特定し、特定した論理ブロックＬを用いてブロック変換テーブル３０１ａを参照して、アクセスすべき物理ブロックＰを特定することができる。図４では、ファイルシステム４０から論理ブロックＬ４内の論理アドレスが指定されたことにより、物理ブロックＰ７をアドレス変換部３０１が特定したことを表している。

[0036] ファイルシステム４０が要求するアクセスが読み出しであった場合、コントローラ３０は、ブロック変換テーブル３０１ａを参照して特定した物理ブロックＰ７からデータを読み出す。データの読み出しは、物理アドレスをアドレス変換部３０１が出力し、必要な制御信号を書き込み制御機構３０３が出力することで実現される。

[0037] データを読み出すためにアドレス変換部３０１から出力された物理アドレスは、デマルチプレクサ３０２を介して、そのデータを格納したデバイス３１に入力される。そのために、アドレス変換部３０１は、デマルチプレクサ３０２を制御し、物理アドレスを出力させるべきチャネルに出力させる。書き込み制御機構３０３が出力する制御信号には、コマンド・ラッチ・イネーブル、アドレス・ラッチ・イネーブル、チップ・イネーブル、ライト・イネーブル、リード・イネーブル、等がある。

[0038] 物理ブロックＰから読み出されたデータは、データキュー３０４を介してＣＰＵ１に出力される。このデータキュー３０４は、各デバイス３１からＣＰＵ１へのデータ出力、及びＣＰＵ１から各デバイス３１へのデータ出力のための記憶装置である。各デバイス３１から読み出されたデータは一旦、データキュー３０４に格納される。ＣＰＵ１から出力されたデータも一旦、データキュー３０４に格納される。

[0039] ファイルシステム４０が要求するアクセスが書き込みであった場合、コントローラ３０は、未使用の物理ブロックＰのなかの何れかの物理ブロックＰにデータを書き込む。図４では、未使用の物理ブロックＰのなかから物理ブロックＰ８が選択され、物理ブロックＰ７が割り当てられていた各ページＬ４－０～Ｌ４－３が物理ブロックＰ８に書き込まれたことを表している。その結果、ブロック変換テーブル３０１ａでは、論理ブロックＬ４に対応付けられた物理ブロックＰは、物理ブロックＰ７から物理ブロックＰ８に更新される。物理ブロックＰ７は、データの消去が行われ、ブロック変換テーブル３０１ａでは、何れの論理ブロックＬとも対応付けられない。それにより、物理ブロックＰ７は、以降、未使用の物理ブロックＰとして扱われる。未使用の物理ブロックＰは、以降、「予備ブロック」と表記する。図４において、各ページＬ４－０～Ｌ４－３が割り当てられる前の物理ブロックＰ８に「予備」を表記しているのは、そのためである。

[0040] 上記のように、ＦＩＦＯ３０５は、チャネル毎、デバイス３１毎に設けられている。これらのＦＩＦＯ３０５は、データを書き込む予備ブロックＰの

選択に用いられる。

[0041] データが格納されている物理ブロックＰへのデータ（ページ）の上書きは行うことはできない。そのため、既にデータ（ページ）が格納されている物理ブロックＰへの上書きを行う場合、その物理ブロックＰの消去を行わなければならない。しかし、物理ブロックＰの消去・書き込み可能回数には限界がある。その限界により、特定の物理ブロックＰに対する消去・書き込みが集中しないように、消去・書き込みのためのアクセスは平準化する必要がある。その平準化のために、チャネル毎、デバイス３１毎に設けたＦＩＦＯ３０５は用いられる。

[0042] アドレス変換部３０１は、物理ブロックＰの消去が行われた場合、或いはブロック変換テーブル３０１ａ上で物理ブロックＰへの論理ブロックＬの対応付けを解除した場合、その物理ブロックＰを表す情報（例えばブロック番号。以降「識別情報」と表記）を対応するＦＩＦＯ３０５に保持させる。例えば消去が行われた、或いは対応付けが解除された物理ブロックＰがデバイス３１－０－０上に存在する場合、アドレス変換部３０１は、その物理ブロックＰの識別情報（物理ブロックＰと共に、デバイス３１－０－０を特定可能な情報）をＦＩＦＯ３０５－０－０に保持させる。ここでは、ＦＩＦＯ３０５への識別情報の保持は、データの消去によって行われると想定する。

[0043] 物理ブロックＰの消去は、その消去を要求する消去命令の発行によって行われる。消去対象となる物理ブロックＰを指定する識別情報（例えばブロック番号）は、アドレスとして与えられる。アドレス変換部３０１は、例えば書き込み制御機構３０３から通知されるコマンド種別、及びアドレス（ブロック番号）から、消去が行われる物理ブロックＰを特定し、その物理ブロックＰの識別情報を対応するＦＩＦＯ３０５に格納する。

[0044] 各ＦＩＦＯ３０５が出力する識別情報のうちの一つは、マルチプレクサ３０６によって選択され、選択された識別情報はアドレス変換部３０１に出力される。それにより、アドレス変換部３０１は、マルチプレクサ３０６から入力した識別情報が表す物理ブロックＰにアクセスするための物理アドレス

を出力する。識別情報が選択されたＦＩＦＯ３０５は、例えばアドレス変換部３０１の制御により、次に出力すべき識別情報を出力する。それにより、ＦＩＦＯ３０５は、識別情報の選択により、保持内容が更新される。マルチプレクサ３０６における識別情報の選択は、書き込み制御機構３０３が出力する選択信号に従って行われる。

[0045] 図５は、データの書き込み時に各チャネルを介して行われるアクセス例を説明するタイムチャートである。ここで図５を参照し、各ＦＩＦＯ３０５から出力される識別情報の選択方法、及びその識別情報の選択を通して実現されるアクセスについて具体的に説明する。

[0046] 図５において、図５（ａ）に表記の「ＦＩＦＯから指定される予備ブロック」とは、マルチプレクサ３０６からアドレス変換部３０１に出力される識別情報によって指定される予備ブロックＰのことである。図５（ａ）に表記の「ＣＨ０　ＤＥＶ１　ブロック１」は、チャネル番号が０のチャネルに接続されたデバイス３１－０－１上のブロック番号が１の物理ブロックＰを意味している。図２に表す構成では、各チャネルには３つのデバイス３１が接続されている。しかし、図5では、各チャネルに４つ以上のデバイス３１が接続されていると想定している。

[0047] 図５（ｂ）に表記の「ＣＰＵ―ＩＦ」は、ＣＰＵ１から入力するデータであることを表している。そのデータとして、図５（ｂ－１）に書込命令（ライトコマンド）、図５（ｂ－２）に書き込みを要求されたデータ（書込データ）をそれぞれ表している。ここでは、ライトコマンドは書込データを除く部分のデータを指す意味で用いている。

[0048] 図５（ｂ－１）に表記の「Ａコマンド」～「Ｅコマンド」はそれぞれ、異なるライトコマンドを表している。図５（ｂ－２）に表記の「Ａデータ」～「Ｅデータ」は、「Ａコマンド」～「Ｅコマンド」の書込データを表している。

[0049] 図５（ｃ）に表記の「Ｃｏｎｔｏｒｏｌｌｅｒ－ＩＦ」は、コントローラ３０の制御によってアクセスが行われるチャネルを表している。ここでは、

チャネルとして、それぞれ０～４のチャネル番号が割り当てられたチャネル０～４の計５つのチャネルが存在することを想定している（図５（ｃ－０）～図５（ｃ－４））。

[0050] 図５（ｂ－１）に表すようなＣＰＵ１からのＡ～Ｅコマンドの入力により、チャネル０～４では、図５（ｃ－０）～図５（ｃ－４）に表すようにＡ～Ｅコマンドの処理が並行する形で行われ、Ａ～Ｅデータの書き込みは独立して行われる。図５（ａ）に表すような識別情報の選択は、チャネル０～４で並行して、言い換えればチャネル０～４に分散させて、Ａ～Ｅコマンドを処理できるように行われる。

[0051] 図５（ａ）に表すような識別情報の選択は、チャネル０～４のなかで他のコマンドによるアクセスが行われていないチャネルの利用を優先させていることを意味する。そのため、他のコマンドによるアクセスの終了を待つ待ち時間は最小限に抑えることができる。この結果、ＣＰＵ１から連続して複数のライトコマンドを入力したとしても、その複数のライトコマンドの処理に要する時間を最小か、或いは最小に近い時間にすることができる。これは、ライトコマンドによるアクセスのアクセス速度の低下が最小限に抑えられることを意味する。

[0052] ライトコマンドの実行によるアクセス速度の低下を最小限に抑えることにより、アクセスが集中するチャネルの発生も抑えられるようになる。これは、単位時間当たりに可能なアクセス数を最大レベルに維持できるようになるからである。そのため、ライトコマンドによるアクセスのアクセス速度だけでなく、基本的に全てのアクセスのアクセス速度の低下が抑制される。

[0053] 本実施形態では、図５（ｃ）（図５（ｃ－０）～図５（ｃ－４））に表すように、チャネル０～４のなかでアクセスが行われていないチャネルが複数、存在している場合、異なるチャネルを選択させていくようにしている。

[0054] 例えばチャネル０では、Ａデータの書き込みが終了した後に、別のライトコマンドを処理できる状況に移行する。その状況となっても、Ｄ及びＥコマンドの処理に用いるチャネルは、チャネル３→チャネル４の順に選択してい

る。これは、チャネル間で予備ブロックＰの選択に偏りが生じないようにするためである。異なるチャネルの利用を優先させることにより、チャネル間の平準化を実現させることができる。

[0055] 各チャネルには、複数のデバイス３１が接続されている。各チャネルでの予備ブロックＰの選択では、異なるデバイス３１を選択させていくようにしている。それにより、例えば図２に表すチャネル０と接続された３つのデバイス３１－０－０～３１－０－２では、デバイス３１－０－０の予備ブロックＰが選択された後、デバイス３１－０－１、或いは３１－０－２の予備ブロックＰの選択を優先させるようにしている。これは、同じチャネルと接続されたデバイス３１間で予備ブロックＰの選択に偏りが生じないようにするためである。異なるデバイス３１の利用を優先させることにより、同じチャネルと接続されたデバイス３１間の平準化を実現させることができる。

[0056] 複数のチャネル毎にＦＩＦＯ３０５を設けた場合、アクセスが行われているチャネルを避けて、予備ブロックＰを選択できるとは限らない。このことから、本実施形態では、チャネル毎にＦＩＦＯ３０５を設けている。

[0057] チャネル毎に１つのＦＩＦＯ３０５を設けても、迅速なアクセスが可能なチャネルを用いたアクセスを行うことはできる。しかし、各ＦＩＦＯ３０５から取り出される識別情報は、過去の状況によってＦＩＦＯ３０５に保持された識別情報である。そのため、１つのＦＩＦＯ３０５から順次、取り出される識別情報の流れは、現在の状況に合わない可能性がある。また、同じチャネルに接続された各デバイス３１へのアクセスの偏りがあっても、その偏りを修正するのは困難である。このようなことから、本実施形態では、各チャネルに対し、そのチャネルに接続されているデバイス３１の数分のＦＩＦＯ３０５を設けている。デバイス３１毎にＦＩＦＯ３０５を設けることにより、過去のアクセスの偏りを修正し、より望ましい平準化を実現することができる。

[0058] マルチプレクサ３０６は、書き込み制御機構３０３が出力する選択信号に従って、ＦＩＦＯ３０５を選択する。チャネル間、同じチャネルに接続され

たデバイス３１間の平準化、及び図５に表すようなアクセス制御は、マルチプレクサ３０６を用いたＦＩＦＯ３０５の選択を通して実現される。以降、チャネル間、同じチャネルに接続されたデバイス３１間の平準化、及び図５に表すようなアクセス制御を実現させる書き込み制御機構３０３について詳細に説明する。

[0059] 図３は、書き込み制御機構の機能構成例を説明する図である。書き込み制御機構３０３は、図３に表すように、予備ブロックチェック回路３３１、ビジーチェック回路３３２、状況チェック回路３３３、チャネル選択回路３３４、デバイス選択回路３３５、メモリ３３６、及び２つのインタフェース３３７、３３８を備えている。

[0060] インタフェース３３７は、ＣＰＵ１との通信を行う構成要素である。インタフェース３３７は、ＣＰＵ１から書き込み命令を入力した場合、入力した書き込み命令を状況チェック回路３３３に出力する。

[0061] 予備ブロックチェック回路３３１は、ＦＩＦＯ３０５毎に、予備ブロックＰの識別情報が存在するか否かの確認を行う。予備ブロックＰの識別情報が存在するか否かの確認には、各ＦＩＦＯ３０５から取得される使用状況情報が用いられる。この使用状況情報は、例えばＦＩＦＯ３０５から出力される識別情報の有無を表す情報である。ＦＩＦＯ３０５から出力される識別情報は、使用状況情報として用いることができる。

[0062] 各デバイス３１は、ライト動作中、消去動作中、或いはリード動作中には、ビジー(Busy)信号（RY/BY＝“Ｌ”）を出力し、動作の完了により、レディ（Ready）信号（RY/BY=“H”）を出力する。ビジーチェック回路３３２は、チャネル毎に、ビジー信号が出力されているか否かを確認する。

[0063] 状況チェック回路３３３は、データの書き込みが行える状況か否かを確認する。その確認は、予備ブロックチェック回路３３１、及びビジーチェック回路３３２の各確認結果を用いて行われる。それにより、状況チェック回路３３３は、ビジー信号が出力されていないチャネルに接続され、且つ予備ブロックPを有するデバイス３１が存在する場合に、データの書き込みが行える

状況と判定する。その判定結果は、チャネル選択回路３３４に出力される。

[0064] メモリ３３６には、書込命令の処理結果を表す履歴情報が格納される。その履歴情報は、少なくとも、直前の書込命令で選択したチャネルの識別情報（チャネル番号）、及び各チャネルで最後に選択したデバイス３１を表す識別情報を特定可能な情報である。この履歴情報は、チャネル選択回路３３４、及びデバイス選択回路３３５も参照する。

[0065] チャネル選択回路３３４は、予備ブロックチェック回路３３１、及びビジーチェック回路３３２の各確認結果、及びメモリ３３６の履歴情報を参照し、予備ブロックPへの書き込みに用いるべきチャネルを選択する。そのチャネルの選択は、履歴情報が表すチャネル番号の次のチャネル番号が割り当てられたチャネルから、ビジー信号が出力されておらず、且つ予備ブロックPを有するデバイス３１が接続されているという条件を満たしているか否かを確認していくことで行われる。チャネルの選択結果は、デバイス選択回路３３５に出力される。

[0066] デバイス選択回路３３５は、予備ブロックチェック回路３３１の確認結果、及びメモリ３３６の履歴を参照し、チャネル選択回路３３４が選択したチャネルに接続されているデバイス３１のなかから、データを書き込ませるデバイス３１を選択する。そのデバイス３１の選択は、チャネル選択回路３３４が選択したチャネルに接続され、履歴が表すそのチャネルで最後に選択したデバイス３１とは別のデバイス３１から、予備ブロックPが存在するか否かを確認していくことで行われる。

[0067] デバイス選択回路３３５がデバイス３１を選択することにより、識別情報を選択すべきＦＩＦＯ３０５が決定する。このことから、デバイス選択回路３３５は、デバイス３１の選択結果から生成される選択信号をマルチプレクサ３０６に出力する。また、デバイス選択回路３３５は、デバイス３１の選択結果をインタフェース３３８に出力する。

[0068] インタフェース３３８は、各デバイス３１へのアクセスのための制御信号を出力する。インタフェース３３８は、デバイス選択回路３３５の選択結果

によって指定されるデバイス３１に制御信号を出力する。そのデバイス３１には、アドレス変換部３０１から論理アドレス、データキュー３０４から１物理ブロックＰ分のデータがそれぞれ出力される。そのため、そのデバイス３１の予備ブロックＰに、１物理ブロックＰ分のデータが書き込まれる。

[0069] デバイス選択回路３３５による選択信号の生成には、各チャネルで行われているアクセス状況、各チャネルに接続されている各デバイス３１の状態（予備ブロックの有無）、及び履歴情報が反映される。そのため、この選択信号に従ったマルチプレクサ３０６によるＦＩＦＯ３０５（識別情報）の選択を通して、チャネル間、同じチャネルに接続されたデバイス３１間の平準化、及び図５に表すようなアクセス制御が実現される。

[0070] 図６は、データ書き込み時のコントローラの動作を表すフローチャートである。最後に図6を参照し、ＣＰＵ１から書込命令（ライトコマンド）を受信した場合のコントローラ３０の動作を詳細に説明する。図６にフローチャートで表す動作は、ＣＰＵ１から受信した１書込命令のみの処理を行うことを想定している。

[0071] 図６では、３つの枠にそれぞれ「３３３」～「３３５」の符号を付している。「３３３」～「３３５」が付された枠内の処理ステップは、それぞれ、状況チェック回路３３３、チャネル選択回路３３４、及びデバイス選択回路３３５の各動作を表している。

[0072] ＣＰＵ１から発行された書込命令は、書き込み制御機能３０３のインタフェース３３７によって受信され、受信された書込命令はインタフェース３３７から状況チェック回路３３３に出力される。状況チェック回路３３３は、書込命令の入力により、ビジーチェック回路３３２から、チャネル毎に行われたビジー信号の確認結果を入力し、ビジー信号が出力されていないチャネルがあるか否か判定する（Ｓ１）。何れかのチャネルでビジー信号が出力されていない場合、Ｓ１の判定はＹｅｓとなってＳ３に移行する。全てのチャネルでビジー信号が出力されている場合、Ｓ１の判定はＮｏとなってＳ２に移行する。

[0073] Ｓ２では、状況チェック回路３３３は、一定時間、待機する。その一定時間とは、例えばビジーチェック回路３３２から新たに確認結果を入力するまでの時間である。一定時間が経過すると、上記Ｓ１に戻る。それにより、状況チェック回路３３３は、全てのチャネルでビジー信号が出力されている状況では、ビジー信号が出力されていないチャネルが出現するまで待つ。

[0074] Ｓ３では、状況チェック回路３３３は、予備ブロックチェック回路３３１から確認結果を入力し、ビジー信号が出力されていない何れかのチャネルに接続された何れかのデバイス３１上に予備ブロックＰが存在するか否か判定する。ビジー信号が出力されていない１つ以上のチャネルが存在し、且つ存在する何れかのチャネルに予備ブロックＰを有するデバイス３１が接続されていた場合、Ｓ３の判定はＹｅｓとなってＳ５に移行する。ビジー信号が出力されていない全てのチャネルに、予備ブロックＰを有するデバイス３１が接続されていない場合、Ｓ３の判定はＮｏとなってＳ４に移行する。

[0075] ビジーチェック回路３３２による新たな確認結果は、状況チェック回路３３３に随時、入力される。そのため、Ｓ３では、新たにビジー信号が出力されなくなったチャネルも対象にして、予備ブロックＰを有するデバイス３１の確認が行われる。

[0076] Ｓ４では、状況チェック回路３３３は、一定時間、待機する。その一定時間とは、例えば予備ブロックチェック回路３３１から新たに確認結果を入力するまでの時間である。一定時間が経過すると、上記Ｓ３に戻る。

[0077] Ｓ３でのＹｅｓによるＳ５への移行は、状況チェック回路３３３が、データの書込が行える状況であるとの判定結果をチャネル選択回路３３４に通知することで行われる。その通知を入力したチャネル選択回路３３４は、メモリ３３６に格納されている履歴情報を参照し、前回、選択したチャネルよりチャネル番号が１つ大きいチャネルを選択する（Ｓ５）。次に、チャネル選択回路３３４は、ビジーチェック回路３３２から入力する確認結果を参照し、選択したチャネルにビジー信号が出力されていないか否か判定する（Ｓ６）。選択したチャネルにビジー信号が出力されていない場合、Ｓ６の判定は

ＹｅｓとなってＳ８に移行する。選択したチャネルにビジー信号が出力されている場合、Ｓ６の判定はＮｏとなってＳ７に移行する。

[0078] Ｓ７では、チャネル選択回路３３４は、現在のチャネル番号より１つ大きいチャネルを新たに選択する。その選択後、上記Ｓ６に戻る。それにより、チャネル選択回路３３４は、直前のチャネルの選択結果を反映させつつ、チャネル番号が小さいほうから、ビジー信号が出力されていないチャネルの特定・選択を行う。

[0079] Ｓ８では、チャネル選択回路３３４は、予備ブロックチェック回路３３１から随時、入力する確認結果を参照し、選択したチャネルに予備ブロックＰが存在するか否か判定する。選択したチャネルに接続されている何れのデバイス３１にも予備ブロックＰが存在しない場合、Ｓ８の判定はＮｏとなってＳ９に移行する。選択したチャネルに予備ブロックＰを有するデバイス３１が接続されている場合、Ｓ８の判定はＹｅｓとなってＳ１０に移行する。

[0080] Ｓ９では、チャネル選択回路３３４は、現在のチャネル番号より１つ大きいチャネルを新たに選択する。その選択後、上記Ｓ６に戻る。それにより、チャネル選択回路３３４は、直前のチャネルの選択結果を反映させつつ、チャネル番号が小さいほうから、予備ブロックＰを有するデバイス３１が接続されており、且つビジー信号が出力されていないチャネルの特定・選択を行う。

[0081] Ｓ８でのＹｅｓによるＳ１０への移行は、チャネル選択回路３３４が、データの書き込みに用いるべきと判定したチャネルをデバイス選択回路３３５に通知することで行われる。その通知を入力したデバイス選択回路３３５は、メモリ３３６に格納されている履歴情報を参照し、前回、選択したデバイス３１よりデバイス番号が１つ大きいデバイス３１を選択する（Ｓ１０）。次に、デバイス選択回路３３５は、予備ブロックチェック回路３３１から入力する確認結果を参照し、選択したデバイス３１に予備ブロックＰが存在するか否か判定する（Ｓ１１）。選択したデバイス３１に予備ブロックＰが存在しない場合、Ｓ１１の判定はＮｏとなってＳ１２に移行する。選択したデ

バイス３１に予備ブロックＰが存在する場合、Ｓ１１の判定はＮｏとなってＳ１３に移行する。

[0082] Ｓ１２では、デバイス選択回路３３５は、現在のデバイス番号より１つ大きいデバイス３１を新たに選択する。その選択後、上記Ｓ１１に戻る。それにより、デバイス選択回路３３５は、同一のチャネルでの直前のデバイス３１の選択結果を反映させつつ、デバイス番号が小さいほうから、予備ブロックＰを有するデバイス３１の特定・選択を行う。

[0083] データを書き込む予備ブロックＰを有するデバイス３１、及びそのデバイス３１が接続されているチャネルは、上記のようにして決定される。その結果、マルチプレクサ３６に出力する選択信号により、チャネル間、同じチャネルに接続されたデバイス３１間の平準化、及び図５に表すようなアクセス制御が実現されることとなる。

[0084] Ｓ１３では、デバイス選択回路３３５は、チャネル、及びデバイス３１の決定結果に従い、選択信号を出力し、インタフェース３３８に対して、その決定されたチャネルへの制御信号の出力を指示する。そのようにして、デバイス選択回路３３５は、決定したデバイス３１の予備ブロックＰにデータを書き込ませる。データの書き込みにはインタフェース３３８から出力される制御情報が必要なことから、図６ではＳ１３を枠３３５外としている。

[0085] データが書き込まれるデバイス３１は、データの書き込みの動作中、ビジー信号を出力し、その書き込み動作の終了により、ビジー信号に代えてレディ信号を出力する（RY/BY＝“Ｌ”→“Ｈ”）。ビジーチェック回路３３２は、その信号の変化を監視し、ビジー信号からレディ信号への変化を例えばインタフェース３３７に通知する。インタフェース３３７は、その通知により、書込命令を送信したＣＰＵ１に対し、データの書き込みが完了した旨を表す書き込み完了通知を返信する（以上Ｓ１４）。その書き込み完了通知の返信により、ＣＰＵ１から受信した１書込命令に対する処理、つまり図６に表すフローチャートの動作が終了する。

[0086] なお、本実施形態では、同じチャネルに接続されているデバイス３１間の

平準化のために、デバイス３１の数分、ＦＩＦＯ３０５を設けているが、１つのチャネルに１つのＦＩＦＯを設けるようにしても良い。これは、１つのチャネルに１つのＦＩＦＯ３０５を設けることにより、アクセス速度の低下は十分に抑制できるからである。多くのチャネルが存在するＳＳＤ３では、２つ以上のチャネルに１つのＦＩＦＯ３０５を設けるようにしても良い。

# 請求の範囲

[請求項1] 処理部と、

ブロック単位でデータの消去が行われる複数の記憶装置と、

それぞれ、前記複数の記憶装置のなかで割り当てられた１つ以上の記憶装置上に存在する、前記データの書き込み用のブロックである予備ブロックを表す制御情報の格納に用いられる複数の記憶部と、

前記複数の記憶装置へのデータの書き込みを要求する書込命令を前記処理部が発行した場合、前記複数の記憶部のなかで前記制御情報を用いる記憶部を選択し、該選択した記憶部に格納されている制御情報によって特定される予備ブロックに、前記書込命令により要求されたデータを書き込むアクセス部と、

を有することを特徴とする情報処理装置。

[請求項2] 前記複数の記憶装置は、複数のチャネルにそれぞれ前記記憶装置が１つ以上、接続され、

前記記憶装置が接続されている各チャネルには、それぞれ、前記複数の記憶部のなかの１つ以上の記憶部が割り当てられている、

ことを特徴とする請求項１記載の情報処理装置。

[請求項3] 前記アクセス部は、前記各チャネルに接続されている前記記憶装置の状態を基に、前記複数の記憶部のなかで前記制御情報を用いる記憶部の選択を行う、

ことを特徴とする請求項２記載の情報処理装置。

[請求項4] 前記アクセス部による前記記憶部の選択結果を表す履歴情報を格納した他の記憶部を備え、

前記アクセス部は、前記各チャネルに接続されている前記記憶装置の状態、及び前記他の記憶部に格納されている前記履歴情報を基に、前記複数の記憶部のなかで前記制御情報を用いる記憶部の選択を行う、

ことを特徴とする請求項２、または３記載の情報処理装置。

[請求項5] ブロック単位でデータの消去が行われる複数の記憶装置と、

それぞれ、前記複数の記憶装置のなかで割り当てられた１つ以上の記憶装置上の前記データの書き込み用のブロックである予備ブロックを表す制御情報の格納に用いられる複数の記憶部と、

前記複数の記憶装置へのデータの書き込みを要求する書込命令を受信した場合、前記複数の記憶部のなかで前記制御情報を用いる記憶部を選択し、該選択した記憶部に格納されている制御情報によって特定される予備ブロックに、前記書込命令により要求されたデータを書き込むアクセス部と、

を有することを特徴とするストレージ。

[請求項6] 前記複数の記憶装置は、複数のチャネルにそれぞれ前記記憶装置が１つ以上、接続され、

前記記憶装置が接続されている各チャネルには、それぞれ、前記複数の記憶部のなかの１つ以上の記憶部が割り当てられ、

前記アクセス部は、前記各チャネルに接続されている前記記憶装置の状態を基に、前記複数の記憶部のなかで前記制御情報を用いる記憶部の選択を行う、

ことを特徴とする請求項５記載のストレージ。

[請求項7] 情報処理装置に、

ブロック単位でデータの消去が行われる複数の記憶装置と、

それぞれ、前記複数の記憶装置のなかで割り当てられた１つ以上の記憶装置上の前記データの書き込み用のブロックである予備ブロックを表す制御情報の格納に用いられる複数の記憶部と、を搭載し、

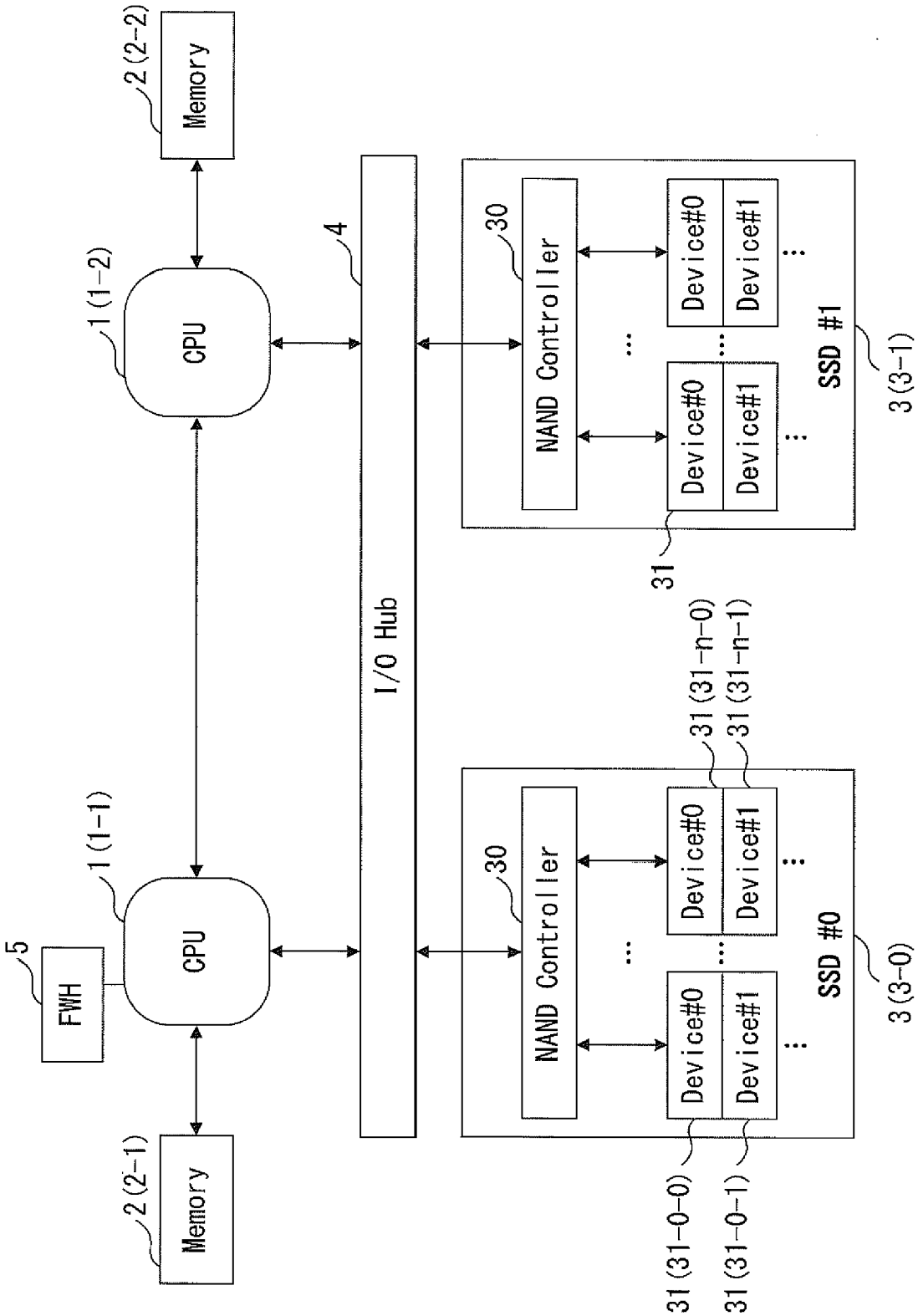
前記複数の記憶装置へのデータの書き込みを要求する書込命令が発行された場合、前記複数の記憶部のなかで前記制御情報を用いる記憶部を選択させ、

該選択した記憶部に格納されている制御情報によって特定される予備ブロックに、前記書込命令により要求されたデータを書き込ませる

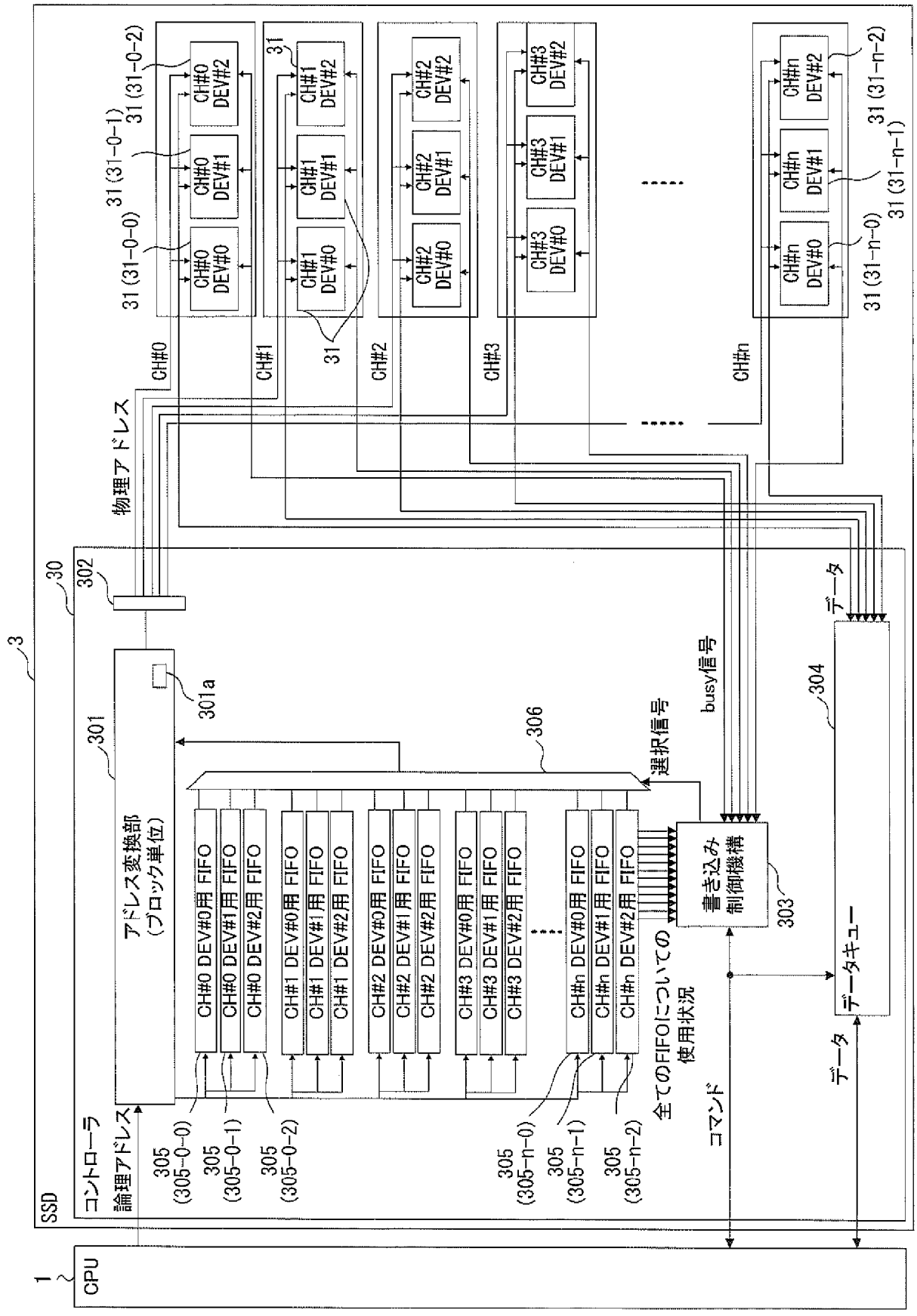
、

ことを特徴とするアクセス制御方法。

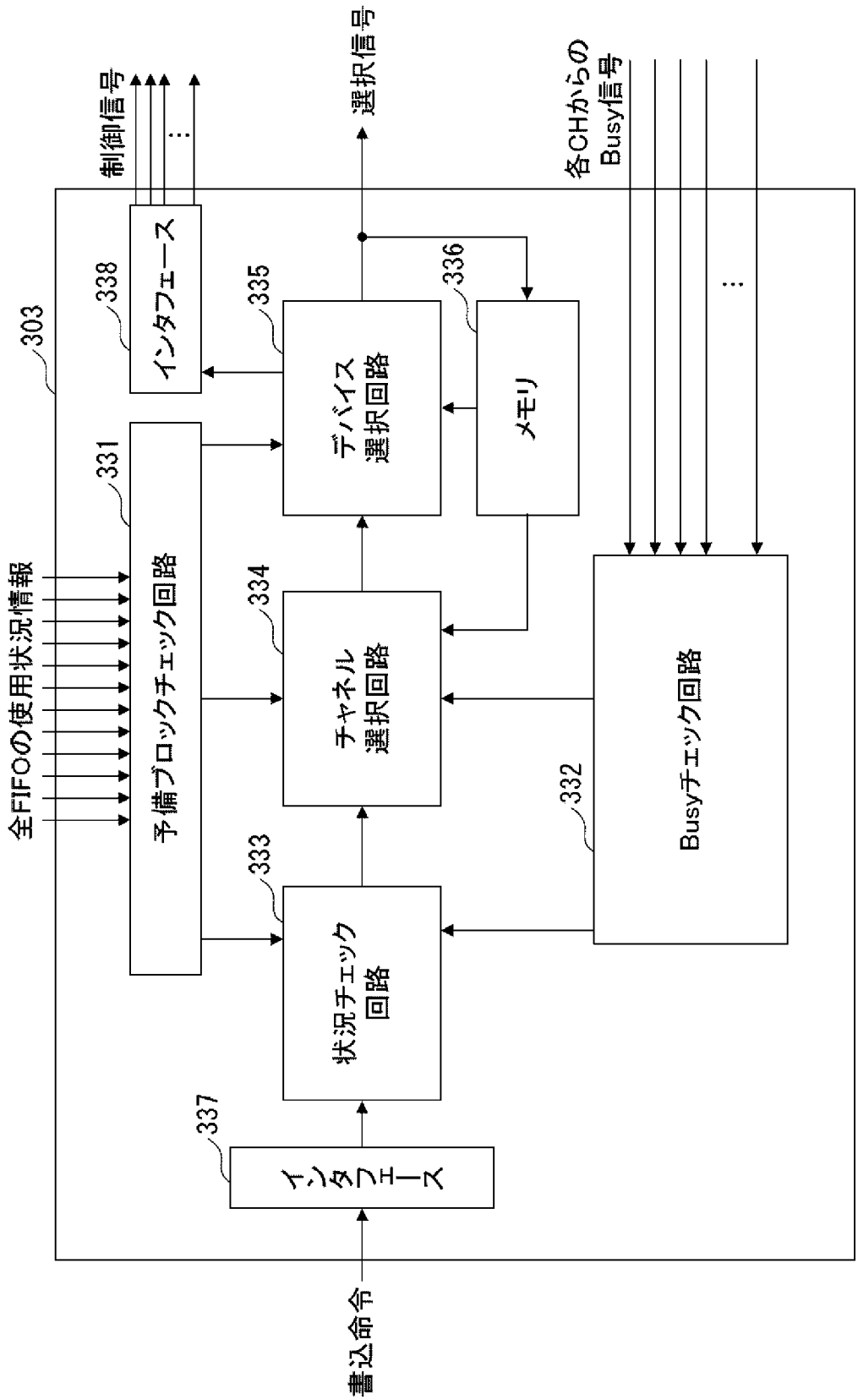
[図1]


2 (2-2)
Memory
1 (1-2)
CPU
4
I/O Hub
30
NAND Controller
Device#0
Device#1
SSD #1
3 (3-1)
31
31 (31-n-0)
31 (31-n-1)
1 (1-1)
CPU
5
FWH
2 (2-1)
Memory
SSD #0
3 (3-0)
31 (31-0-0)
31 (31-0-1)

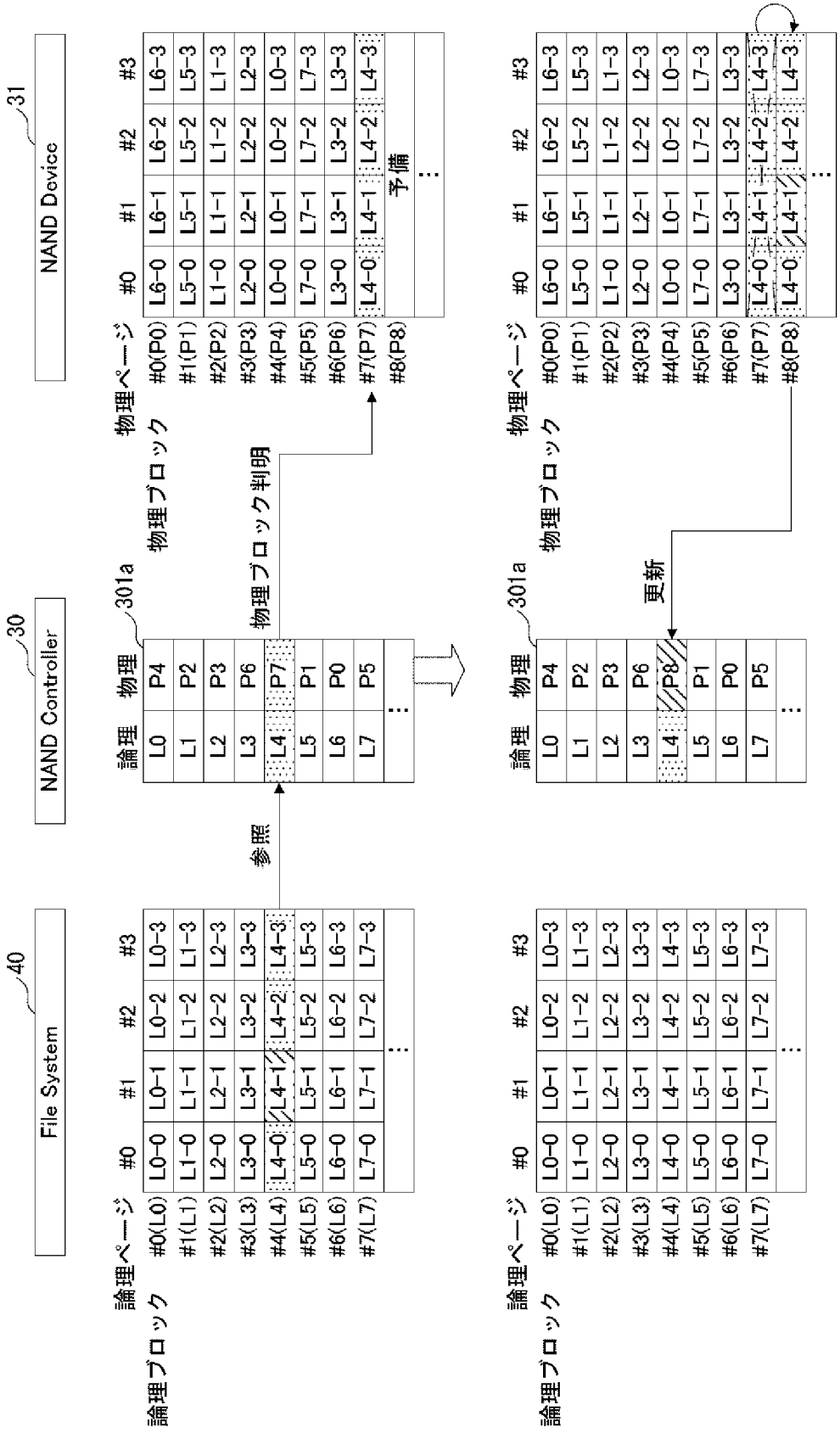
[図2]


CPU
SSD
コントローラ
論理アドレス
物理アドレス
アドレス変換部
(ブロック単位)
書き込み
制御機構
データキュー
データ
コマンド
busy信号
選択信号
全てのFIFOについての
使用状況
CH#0 DEV#0用 FIFO
CH#0 DEV#1用 FIFO
CH#0 DEV#2用 FIFO
CH#1 DEV#0用 FIFO
CH#1 DEV#1用 FIFO
CH#1 DEV#2用 FIFO
CH#2 DEV#0用 FIFO
CH#2 DEV#1用 FIFO
CH#2 DEV#2用 FIFO
CH#3 DEV#0用 FIFO
CH#3 DEV#1用 FIFO
CH#3 DEV#2用 FIFO
CH#n DEV#0用 FIFO
CH#n DEV#1用 FIFO
CH#n DEV#2用 FIFO
CH#0
CH#1
CH#2
CH#3
CH#n
CH#0 DEV#0
CH#0 DEV#1
CH#0 DEV#2
CH#1 DEV#0
CH#1 DEV#1
CH#1 DEV#2
CH#2 DEV#0
CH#2 DEV#1
CH#2 DEV#2
CH#3 DEV#0
CH#3 DEV#1
CH#3 DEV#2
CH#n DEV#0
CH#n DEV#1
CH#n DEV#2
1
3
30
301
301a
302
303
304
305
(305-0-0)
(305-0-1)
(305-0-2)
(305-n-0)
(305-n-1)
(305-n-2)
306
31
(31-0-0)
(31-0-1)
(31-0-2)
(31-n-0)
(31-n-1)
(31-n-2)

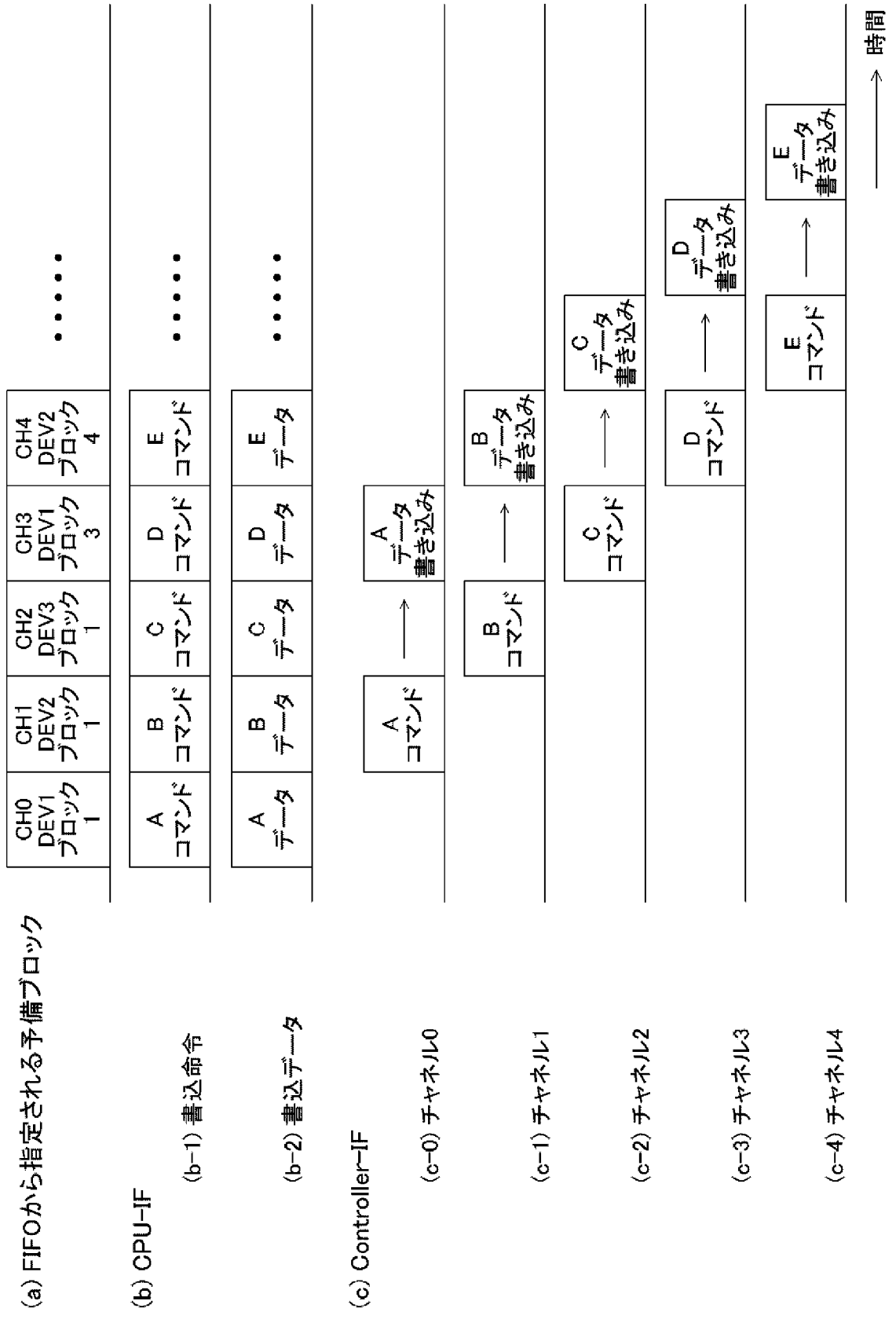
[図3]


制御信号
選択信号
各CHからの
Busy信号
303
338
インタフェース
335
デバイス
選択回路
336
メモリ
331
予備ブロックチェック回路
334
チャネル
選択回路
332
Busyチェック回路
333
状況チェック
回路
337
インタフェース
全FIFOの使用状況情報
書込命令

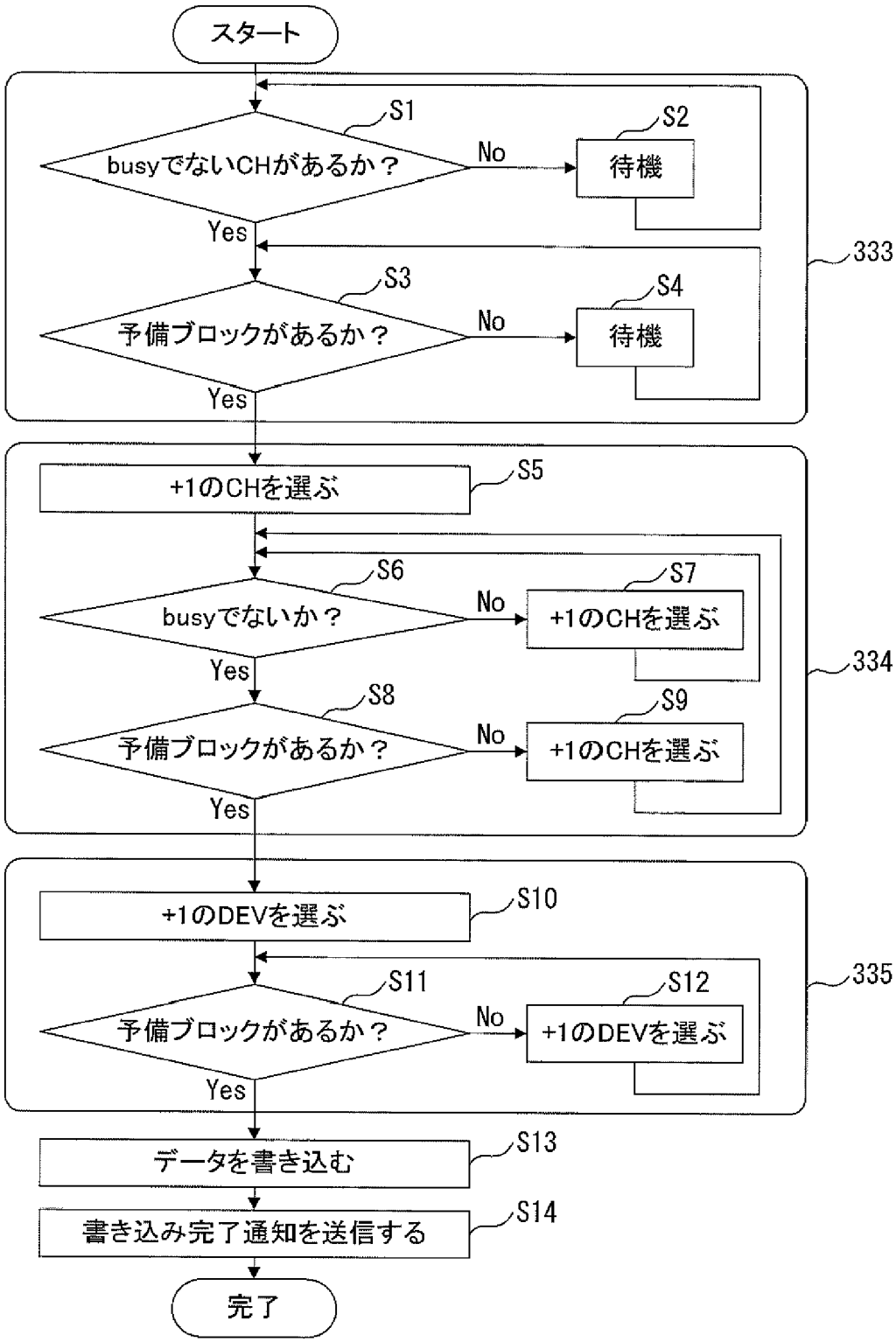
[図4]


40
File System
30
NAND Controller
31
NAND Device
論理ブロック
論理ページ
#0(L0)
#1(L1)
#2(L2)
#3(L3)
#4(L4)
#5(L5)
#6(L6)
#7(L7)
#0
#1
#2
#3
L0-0 L0-1 L0-2 L0-3
L1-0 L1-1 L1-2 L1-3
L2-0 L2-1 L2-2 L2-3
L3-0 L3-1 L3-2 L3-3
L4-0 L4-1 L4-2 L4-3
L5-0 L5-1 L5-2 L5-3
L6-0 L6-1 L6-2 L6-3
L7-0 L7-1 L7-2 L7-3
参照
301a
論理
物理
L0 P4
L1 P2
L2 P3
L3 P6
L4 P7
L5 P1
L6 P0
L7 P5
物理ブロック判明
物理ブロック
物理ページ
#0(P0)
#1(P1)
#2(P2)
#3(P3)
#4(P4)
#5(P5)
#6(P6)
#7(P7)
#8(P8)
L6-0 L6-1 L6-2 L6-3
L5-0 L5-1 L5-2 L5-3
L1-0 L1-1 L1-2 L1-3
L2-0 L2-1 L2-2 L2-3
L0-0 L0-1 L0-2 L0-3
L7-0 L7-1 L7-2 L7-3
L3-0 L3-1 L3-2 L3-3
L4-0 L4-1 L4-2 L4-3
予備
更新
L4-3

[図5]


(a) FIFOから指定される予備ブロック
CH0 DEV1 ブロック 1
CH1 DEV2 ブロック 1
CH2 DEV3 ブロック 1
CH3 DEV1 ブロック 3
CH4 DEV2 ブロック 4
(b) CPU-IF
(b-1) 書込命令
A コマンド
B コマンド
C コマンド
D コマンド
E コマンド
(b-2) 書込データ
A データ
B データ
C データ
D データ
E データ
(c) Controller-IF
(c-0) チャネル0
A コマンド
A データ 書き込み
(c-1) チャネル1
B コマンド
B データ 書き込み
(c-2) チャネル2
C コマンド
C データ 書き込み
(c-3) チャネル3
D コマンド
D データ 書き込み
(c-4) チャネル4
E コマンド
E データ 書き込み
時間

[図6]


スタート
S1
busyでないCHがあるか？
No
S2
待機
Yes
S3
予備ブロックがあるか？
No
S4
待機
Yes
333
+1のCHを選ぶ
S5
S6
busyでないか？
No
S7
+1のCHを選ぶ
Yes
S8
予備ブロックがあるか？
No
S9
+1のCHを選ぶ
Yes
334
+1のDEVを選ぶ
S10
S11
予備ブロックがあるか？
No
S12
+1のDEVを選ぶ
Yes
335
データを書き込む
S13
書き込み完了通知を送信する
S14
完了

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/082403

A. CLASSIFICATION OF SUBJECT MATTER
*G06F12/16*(2006.01)i, *G06F12/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F12/16, G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | JP 2013-513881 A (International Business Machines Corp.), 22 April 2013 (22.04.2013), paragraph [0012]; fig. 3; paragraph [0016]; fig. 5 & US 2011/0145475 A1 & US 2012/0297128 A1 & EP 2513798 A & WO 2011/073902 A1 & CN 102713866 A | 1-7 |
| A | JP 8-16482 A (Hitachi, Ltd.), 19 January 1996 (19.01.1996), paragraphs [0034] to [0035]; fig. 7 & US 5737742 A & US 5930193 A | 1-7 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>17 February, 2014 (17.02.14) | Date of mailing of the international search report<br>25 February, 2014 (25.02.14) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2013/082403

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2012-53553 A (Toshiba Corp.), 15 March 2012 (15.03.2012), paragraphs [0085] to [0088]; fig. 10 & US 2012/0054418 A1 | 1-7 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０８２４０３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F12/16(2006.01)i, G06F12/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F12/16, G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１４年 |
| 日本国実用新案登録公報 | １９９６－２０１４年 |
| 日本国登録実用新案公報 | １９９４－２０１４年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | JP 2013-513881 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）<br>2013.04.22,【００１２】段落及び図３,【００１６】段落及び図５<br>& US 2011/0145475 A1 & US 2012/0297128 A1 & EP 2513798 A<br>& WO 2011/073902 A1 & CN 102713866 A | 1-7 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １７．０２．２０１４ | ２５．０２．２０１４ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｕ　２９４５
桜井　茂行
電話番号　０３－３５８１－１１０１　内線　３５６５

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 8-16482 A (株式会社日立製作所)<br>1996.01.19, 【００３４】－【００３５】段落, 図７<br>& US 5737742 A & US 5930193 A | 1-7 |
| A | JP 2012-53553 A (株式会社東芝)<br>2012.03.15, 【００８５】－【００８８】段落, 図１０<br>& US 2012/0054418 A1 | 1-7 |